

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

WO 2020/195035 A1

(51) 国際特許分類:
H02M 1/08 (2006.01) H03K 19/0175 (2006.01)
H03K 17/687 (2006.01) H03K 19/08 (2006.01)

(21) 国際出願番号: PCT/JP2020/001295

(22) 国際出願日: 2020年1月16日(16.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-057809 2019年3月26日(26.03.2019) JP

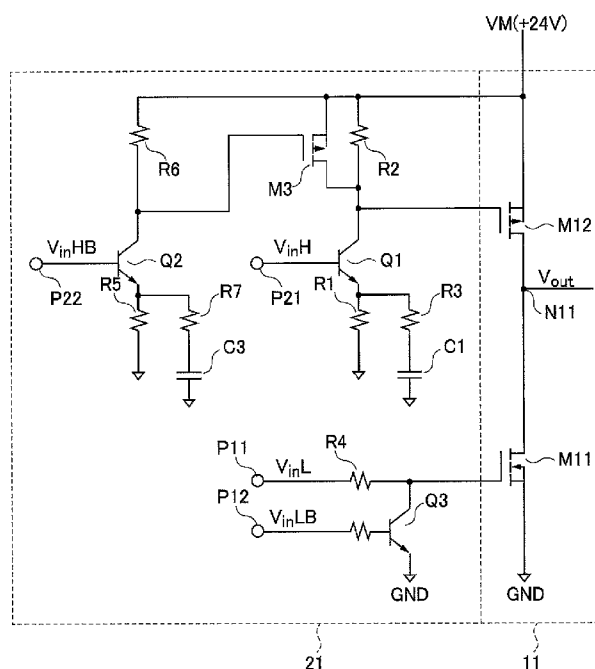
(71) 出願人: 日本電産株式会社 (NIDEC CORPORATION) [JP/JP]; 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 Kyoto (JP).

(72) 発明者: 吉永 眞樹 (YOSHINAGA, Masaki); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 雨貝 太郎 (AMAGAI, Taro); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 池田 明子 (IKEDA, Akiko); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 荒木 健吾 (ARAKI, Kengo); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DRIVE CIRCUIT AND DRIVE SYSTEM

(54) 発明の名称: 駆動回路、駆動システム



(57) Abstract: The present invention proposes a drive circuit provided with: a drive NMOS transistor and a drive PMOS transistor, the drains of which are common to each other and connected to a load, said drive NMOS transistor having a source set to a reference voltage level, and said drive PMOS transistor having a source set to a first voltage level; a first bipolar transistor for controlling the on/off of the drive PMOS transistor; a first switch element for causing the gate-source of the drive NMOS transistor to be conductive or non-conductive; and a second switch element for causing the gate-source

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

of the drive PMOS transistor to be conductive or non-conductive.

(57) 要約: 互いに共通のドレインが負荷に接続され、基準電位に設定されるソースを有する駆動用NMOSトランジスタ、および、第1電位に設定されるソースを有する駆動用PMOSトランジスタと、駆動用PMOSトランジスタのオン/オフを制御するための第1のバイポーラトランジスタと、駆動用NMOSトランジスタのゲート・ソース間を導通又は非導通とする第1のスイッチ素子と、駆動用PMOSトランジスタのゲート・ソース間を導通又は非導通とする第2のスイッチ素子と、を備える駆動回路が提案される。

明 細 書

発明の名称： 駆動回路、駆動システム

技術分野

[0001] 本発明は、駆動回路および駆動システムに関する。

背景技術

[0002] 従来、モータを駆動するためのインバータ装置として、マイクロコントローラからの指令に基づき、モータに与える電圧を制御するスイッチ素子に対する信号を生成する専用ＩＣが設けられたものが知られている（例えば、特許文献１の図１を参照）。

先行技術文献

特許文献

[0003] 特許文献１：特許第５６５２２４０号

発明の概要

発明が解決しようとする課題

[0004] モータ等の負荷を駆動する駆動回路において専用ＩＣを設ける場合には、設計の自由度が高いため、専用ＩＣを設けない場合よりも、例えば消費電力、応答性、エネルギー損失等の特性上で有利であるが、コスト面では不利である。

[0005] そこで、本発明は、負荷をスイッチング駆動する場合に専用ＩＣを用いずに性能向上を実現することを目的とする。

課題を解決するための手段

[0006] 本願の例示的な第１発明は、互いに共通のドレインが負荷に接続され、基準電位に設定されるソースを有する駆動用ＮＭＯＳトランジスタ、および、第１電位に設定されるソースを有する駆動用ＰＭＯＳトランジスタと、駆動用ＰＭＯＳトランジスタのオン／オフを制御するための第１のバイポーラトランジスタと、一端が第１のバイポーラトランジスタのコレクタに接続され、他端が前記第１電位に設定される第１の抵抗と、駆動用ＮＭＯＳトランジ

スタのゲート・ソース間を導通又は非導通とする第1のスイッチ素子と、駆動用PMOSトランジスタのゲート・ソース間を導通又は非導通とする第2のスイッチ素子と、を備え、駆動用NMOSトランジスタのゲートは、前記基準電位と、前記第1電位よりも低い第2電位と、の間で変動する第1パルス信号を入力する第1入力端子に接続され、第1のスイッチ素子は、第1パルス信号が前記基準電位である場合に駆動用NMOSトランジスタのゲート・ソース間を導通とし、第1パルス信号が前記第2電位である場合に駆動用NMOSトランジスタのゲート・ソース間を非導通とし、第1のバイポーラトランジスタのベースは、前記基準電位と前記第2電位との間で変動する第2パルス信号を入力する第2入力端子に接続され、第2のスイッチ素子は、第2パルス信号が前記基準電位である場合に前記駆動用PMOSトランジスタのゲート・ソース間を導通とし、第2パルス信号が前記第2電位である場合に駆動用PMOSトランジスタのゲート・ソース間を非導通とする、駆動回路である。

発明の効果

[0007] 本発明によれば、負荷をスイッチング駆動する場合に専用ICを用いずに性能向上を実現することができる。

図面の簡単な説明

[0008] [図1]第1の実施形態のモータ駆動システムのシステム構成を示す図である。

[図2]参照回路の回路図である。

[図3]第1の実施形態の駆動回路の回路図である。

[図4]第1の実施形態の駆動回路の動作を示すタイミングチャートである。

[図5]第2の実施形態の駆動回路の回路図である。

[図6]第2の実施形態の駆動回路の動作を示すタイミングチャートである。

[図7]第3の実施形態の駆動回路の回路図である。

[図8]第3の実施形態の駆動回路の動作を示すタイミングチャートである。

[図9]第4の実施形態の駆動回路の回路図である。

[図10]第5の実施形態の駆動回路の回路図である。

[図11]第6の実施形態の駆動回路の回路図である。

[図12]第7の実施形態の駆動回路の回路図である。

[図13]第7の実施形態の駆動回路の動作を示すタイミングチャートである。

[0009] 以下、本発明の駆動システムの実施形態であるモータ駆動システムについて説明する。

[0010] (1) 第1の実施形態

(1-1) システム構成

以下、本発明のモータ駆動システムの一実施形態について図面を参照して説明する。

図1は、実施形態のモータ駆動システム1のシステム構成を示す図である。モータ駆動システム1は、インバータ装置2、降圧電源回路3、CPU (Central Processing Unit) 5、および、3相交流モータMを備える。CPU 5は、マイクロコントローラの例である。

インバータ装置2は、3相電圧生成部10および駆動回路群20を備え、3相交流電力を発生させて3相交流モータMに供給する。3相交流モータMには、回転子の位置を検出する相ごとのホールセンサ100が取り付けられている。

[0011] 以下の説明において、回路内のノードまたは端子の電圧は、グランド電位GND (以下の説明では、「GND電位」とする。)を基準とした電位を意味している。例えば、インバータ装置2において最も高い電位は電源電位VM (+24V) であるが、GND電位は0Vとみなしてよいため、適宜、「電源電圧VM」ともいう。

降圧電源回路3は、電源電圧VM (+24V) をCPU 5が動作するのに必要となる所定の電圧 (本実施形態の例では、+3.3V) まで低下させてCPU 5に供給する。

CPU 5は、駆動回路群20の駆動回路21~23の各々に対して、振幅が3.3Vのパルス信号を供給する。各駆動回路は、CPU 5からのパルス信号を、3相電圧生成部10内のMOSトランジスタを動作可能となる信号

レベルに変換する。

図1では、駆動回路21～23がそれぞれ、ノードN11～N13に対応しており、それぞれ後述する駆動回路の出力端子に相当する。

[0012] (1-2) インバータ装置2の構成

以下、インバータ装置2の構成を詳細に説明する。

図1に示すように、インバータ装置2の3相電圧生成部10は、ローサイドスイッチとしてのNMOSトランジスタM11, M21, M31、および、ハイサイドスイッチとしてのPMOSトランジスタM12, M22, M32を備える。3相交流モータMは100%デューティで動作する場合もあるため、3相電圧生成部10は、ハイサイドスイッチをPMOSトランジスタとしている。

[0013] 本実施形態では、PMOSトランジスタM12とNMOSトランジスタM11は、3相交流モータMに供給される3相交流電力のU相に対して設けられる。PMOSトランジスタM12とNMOSトランジスタM11とがスイッチング動作を行うことによりU相の出力電圧であるU相電圧 V_u が生成される。

同様に、PMOSトランジスタM22とNMOSトランジスタM21は、3相交流モータMに供給される3相交流電力のV相に対して設けられる。PMOSトランジスタM22とNMOSトランジスタM21とがスイッチング動作を行うことによりV相の出力電圧であるV相電圧 V_v が生成される。PMOSトランジスタM32とNMOSトランジスタM31は、3相交流モータMに供給される3相交流電力のW相に対して設けられる。PMOSトランジスタM32とNMOSトランジスタM31とがスイッチング動作を行うことによりW相の出力電圧であるW相電圧 V_w が生成される。

[0014] NMOSトランジスタM11, M21, M31のソースは、グラウンド電位GNDに設定されている。PMOSトランジスタM12, M22, M32のソースは、インバータ装置2の電源電圧 V_M に接続されている。

[0015] U相のNMOSトランジスタM11とPMOSトランジスタM12の共通

のドレイン（ノードN11）は、3相交流モータMのU相の巻線（図示せず）の一端に接続される。同様に、V相のNMOSトランジスタM21とPMOSトランジスタM22の共通のドレイン（ノードN12）は、3相交流モータMのV相の巻線（図示せず）の一端に接続され、W相のNMOSトランジスタM31とPMOSトランジスタM32の共通のドレイン（ノードN13）は、3相交流モータMのW相の巻線（図示せず）の一端に接続される。

[0016] CPU5は、3相交流モータMの回転子の位置を検出するホールセンサ100の各相の検出値を示す信号Hu, Hv, Hwに基づいて、駆動回路群20の駆動回路21～23に供給するパルス信号のデューティ比を決定する。なお、信号Hu, Hv, Hwは、順に120度ずつ位相差がある正弦波信号である。CPU5は、決定したデューティ比のパルス信号を各駆動回路に供給する。各駆動回路に供給されるパルス信号の振幅は、CPU5の動作電圧と同一の3.3Vである。

[0017] 駆動回路群20の各駆動回路は、振幅3.3VのCPU5からのパルス信号をレベル変換し、3相電圧生成部10のPMOSトランジスタのゲートとNMOSトランジスタのゲートに入力する。駆動回路21は、U相のNMOSトランジスタM11およびPMOSトランジスタM12の各ゲートに対してレベル変換したパルス信号を入力する。駆動回路22は、V相のNMOSトランジスタM21およびPMOSトランジスタM22の各ゲートに対してレベル変換したパルス信号を入力する。駆動回路23は、W相のNMOSトランジスタM31およびPMOSトランジスタM32の各ゲートに対してレベル変換したパルス信号を入力する。

駆動回路21, 22, 23によってレベル変換されたパルス信号によって、ローサイドスイッチであるNMOSトランジスタM11, M21, M31およびハイサイドスイッチであるPMOSトランジスタM12, M22, M32の動作が制御される。

[0018] （1－3）駆動回路群20の構成

以下、駆動回路群20の構成について、図2を参照してさらに詳しく説明

する。図2は、駆動回路21と、3相電圧生成部10において駆動回路21に対応するU相のNMOSトランジスタM11およびPMOSトランジスタM12と、を備えた駆動回路の回路構成を示している。

駆動回路22と、対応するV相のNMOSトランジスタM21およびPMOSトランジスタM22と、を備えた駆動回路、および、駆動回路23と、対応するW相のNMOSトランジスタM31およびPMOSトランジスタM32と、を備えた駆動回路は、U相の場合と同じである。そのため、以下ではU相の場合についてのみ説明し、V相およびW相についての重複説明は省略する。

[0019] (1-3-1) 参照回路

本実施形態の駆動回路21について説明する前に駆動回路21と対比する目的で、参照用の駆動回路である参照回路21Rについて、図2を参照して説明する。なお、図2において、3相電圧生成部10のU相生成部11を記載してある。

U相生成部11では、NMOSトランジスタM11（駆動用NMOSトランジスタの例）およびPMOSトランジスタM12（駆動用PMOSトランジスタの例）の共通のドレインが、負荷としての3相交流モータMに接続される。NMOSトランジスタM11のソースがグランド電位GNDに設定され、PMOSトランジスタM12のソースが電源電位VMに設定される。

[0020] 参照回路21Rは、グランド電位GND（基準電位の例）と3.3V（第2電位の例）との間で変動する入力端子P1および入力端子P2の電位に基づいて、NMOSトランジスタM11およびPMOSトランジスタM12のゲートの電位が、グランド電位GNDと電源電圧VM（+24V；第1電位の例）との間で変動するように信号処理する。

入力端子P1と入力端子P2にはそれぞれCPU5から、グランド電位GNDと3.3Vの間で変動する互いに相補的なパルス信号VinL、パルス信号VinHが入力される。

[0021] 図2に示すように、参照回路21Rは、NPNトランジスタQ1と、抵抗

R1～R4と、キャパシタC1とを有する。

NPNトランジスタQ1（第1のバイポーラトランジスタの一例）は、PMOSトランジスタM12のオン／オフを制御するために設けられる。参照回路21Rでは、MOSトランジスタのゲート耐圧を考慮して、ハイサイド側でバイポーラトランジスタ（つまり、NPNトランジスタQ1）を設けている。

抵抗R4の一端が入力端子P1に接続され、抵抗R4の他端がNMOSトランジスタM11のゲートに接続される。抵抗R2（第1の抵抗の一例）の一端がNPNトランジスタQ1のコレクタに接続され、他端が電源電圧VMに設定される。

抵抗R1の一端がNPNトランジスタQ1のエミッタに接続され、他端がグラウンド電位GNDに設定される。抵抗R1に並列に、抵抗R3とキャパシタC1が接続される。

[0022] 参照回路21Rの動作は以下のとおりである。

ローサイドでは、抵抗R4を介してCPU5からのグラウンド電位GNDと3.3Vの間で変動するパルス信号VinLがNMOSトランジスタM11のゲートに直接入力される。パルス信号VinLが3.3VのときにNMOSトランジスタM11がオンする。パルス信号VinLがグラウンド電位GNDのときはNMOSトランジスタM11がオフする。

ハイサイドでは、パルス信号VinHが3.3VのときにNPNトランジスタQ1がオンし、抵抗R2に流れるコレクタ電流Icによる電圧降下によってPMOSトランジスタM12がオンする。パルス信号VinHがグラウンド電位GNDのときにはNPNトランジスタQ1がオフして抵抗R2にコレクタ電流Icが流れず、PMOSトランジスタM12もオフする。なお、PMOSトランジスタM12のターンオンを速めるため、スピードアップコンデンサであるキャパシタC1によってコレクタ電流Icを過渡的に増大させている。

[0023] 参照回路21Rは、以下の課題がある。

（課題１）PMOSトランジスタM12がオンしているときの消費電流が大きい

PMOSトランジスタM12が定常的にオンしている期間ではNPNトランジスタQ1がオンしているため、コレクタ電流 I_c が常に流れることから消費電流がゼロにはならない。

（課題２）PMOSトランジスタM12がオフするときの動作が遅い

PMOSトランジスタM12がオフするときの時間は、PMOSトランジスタM12のゲート寄生容量と抵抗 R_2 による時定数によって定まる。そのため、PMOSトランジスタM12がオフするときの時間を速めるためには抵抗 R_2 を小さくする必要がある。その一方で、抵抗 R_2 による電圧降下分はPMOSトランジスタM12がオン時のゲート・ソース間電圧 V_{GS} の閾値電圧以上とする必要があることから、抵抗 R_2 を小さくした分、コレクタ電流 I_c を増大させる必要がある。すなわち、PMOSトランジスタM12がオフするときの時間と、消費電流とはトレードオフの関係にある。

（課題３）NMOSトランジスタM11がオンしているときのオン抵抗が高い

参照回路21Rでは、CPU5から供給される3.3Vの電圧を直接NMOSトランジスタM11に入力しているため、オン抵抗が高い。オン抵抗を下げるためには、NMOSトランジスタM11がオンしているときのパルス信号 V_{inL} の電圧を3.3Vよりも増加させる必要がある。

（課題４）NMOSトランジスタM11およびPMOSトランジスタM12のセルフターンオンのマージンが小さい

キャパシタC1によってコレクタ電流 I_c を過渡的に増大させてPMOSトランジスタM12のターンオンを高速化することで、PMOSトランジスタM12のスイッチング損失は低減する。しかし、出力電圧 V_{out} が高速に上昇することで、NMOSトランジスタM11のゲート・ドレイン間容量を介してNMOSトランジスタM11のゲート電位も高速に上昇し、ゲート・ソース間電圧が閾値電圧を超えるとNMOSトランジスタM11がセルフ

ターンオンする。

逆に、NMOSトランジスタM11のゲート抵抗R4を小さくし、NMOSトランジスタM11のターンオンを高速化することで、NMOSトランジスタM11のスイッチング損失は低減する。しかし、出力電圧 V_{out} が高速に下降し、PMOSトランジスタM12のゲート・ドレイン間容量を介してPMOSトランジスタM12のゲート電位が高速に下降し、ソース・ゲート間電圧が閾値電圧を超えるとPMOSトランジスタM12がセルフターンオンする。

[0024] (1-3-2) 本実施形態の駆動回路

参照回路21Rの上述した課題に鑑み、本実施形態の駆動回路21は、上述した課題のうち、課題1、2および4に対処した回路である。

以下、本実施形態の駆動回路21について、図3および図4を参照して説明する。図3は、本実施形態の駆動回路21の回路図である。図4は、本実施形態の駆動回路21の動作を示すタイミングチャートである。

図3を図2と比較してわかるように、本実施形態の駆動回路21は参照回路21Rに対して、NPNトランジスタQ2、Q3と、PMOSトランジスタM3と、抵抗R6（第2の抵抗の一例）とが追加された点が異なる。

[0025] 駆動回路21は、グランド電位GND（基準電位の例）と3.3V（第2電位の例）との間で変動する入力端子P11、P12、P21、P22の電位に基づいて、NMOSトランジスタM11およびPMOSトランジスタM12のゲートの電位が、グランド電位GNDと電源電圧VM（+24V；第1電位の例）との間で変動するように信号処理する。

入力端子P11、P12にはそれぞれCPU5から、グランド電位GNDと3.3Vの間で変動する互いに相補的なパルス信号 V_{inL} 、 V_{inLB} が入力される。パルス信号 V_{inLB} は、パルス信号 V_{inL} （第1パルス信号の一例）に対して反転した信号である。入力端子P11は、第1入力端子の一例である。

入力端子P21、P22にはそれぞれCPU5から、グランド電位GND

と3. 3 Vの間で変動する互いに相補的なパルス信号 V_{inH} , V_{inHB} が入力される。パルス信号 V_{inHB} は、パルス信号 V_{inH} （第2パルス信号の一例）に対して反転した信号である。入力端子P21は、第2入力端子の一例である。

[0026] NMOSトランジスタM11のゲートには、抵抗R4を介して入力端子P11からパルス信号 V_{inL} が入力される。

NPNトランジスタQ3（第1のスイッチ素子および第2のバイポーラトランジスタの一例）は、NMOSトランジスタM11のゲート・ソース間を導通又は非導通とする素子である。NPNトランジスタQ3のベースには、入力端子P12からパルス信号 V_{inLB} が入力される。NPNトランジスタQ3のエミッタはグラウンド電位GNDに設定され、NPNトランジスタQ3のコレクタはNMOSトランジスタM11のゲートに接続される。NPNトランジスタQ3は、パルス信号 V_{inL} がグラウンド電位GNDである場合にNMOSトランジスタM11のゲート・ソース間を導通とし、パルス信号 V_{inL} が3. 3 Vである場合にNMOSトランジスタM11のゲート・ソース間を非導通とする。

[0027] PMOSトランジスタM3（第2のスイッチ素子の一例）は、PMOSトランジスタM12のゲート・ソース間を導通又は非導通とする素子である。

PMOSトランジスタM3のソースおよびドレインは、それぞれ抵抗R2の両端に接続される。PMOSトランジスタM3は、パルス信号 V_{inH} がグラウンド電位GNDである場合にPMOSトランジスタM12のゲート・ソース間を導通とし、パルス信号 V_{inH} が3. 3 Vである場合にPMOSトランジスタM12のゲート・ソース間を非導通とする。この導通／非導通の制御は、NPNトランジスタQ2によって行われる。

[0028] NPNトランジスタQ1のベースには入力端子P21からパルス信号 V_{inH} が入力され、NPNトランジスタQ2のベースには入力端子P22からパルス信号 V_{inHB} が入力される。

抵抗R5の一端がNPNトランジスタQ2のエミッタに接続され、他端が

グラウンド電位GNDに設定される。抵抗R5に並列に、抵抗R7とキャパシタC3が接続される。キャパシタC3は、過渡的にNPNトランジスタQ2のコレクタ電流を増大させるスピードアップコンデンサとして機能する。

NPNトランジスタQ2のコレクタは、PMOSTランジスタM3のゲートに接続されるとともに、負荷抵抗R6を介して電源電圧VMに接続される。

[0029] 次に、図4を参照して駆動回路21の動作を説明する。

図4では、時間の経過に応じた、パルス信号VinH, VinHB, VinL, VinLBの波形と、トランジスタQ1~Q3, M11, M12, M3の動作状態(ON又はOFF)と、出力電圧Voutの波形とが示される。

図4のタイミングチャートにおいて初期の時刻t1~t2の間では、パルス信号VinLがグラウンド電位GND(以下、「Lレベル」という。)、パルス信号VinLBが3.3V(以下、「Hレベル」という。)、パルス信号VinHがLレベル、パルス信号VinHBがHレベルである。そのため、ローサイドでは、NPNトランジスタQ3がオンするため、NMOSTランジスタM11がオフする。ハイサイドでは、NPNトランジスタQ2がオンし、コレクタ電流の抵抗R6における電圧降下分によってPMOSTランジスタM3がオンする。PMOSTランジスタM3がオンすることで、PMOSTランジスタM12のゲート・ソース間電圧が閾値を超えず、PMOSTランジスタM12はオフである。

すなわち、NMOSTランジスタM11およびPMOSTランジスタM12はともにオフであるため、出力電圧Voutはフローティング状態(不定)となる。

[0030] 時刻t2になると、パルス信号VinLがHレベルとなり、パルス信号VinLBがLレベルとなる。そのため、NPNトランジスタQ3がオフし、NMOSTランジスタM11がオンする。それによって、出力電圧Voutがフローティング状態からグラウンド電位GNDに下降する。

なお、ハイサイドでは、パルス信号 V_{inH} 、 V_{inHB} の変化がないため、PMOSトランジスタ $M12$ はオフのままである。

[0031] 時刻 t_3 になると、パルス信号 V_{inL} がLレベルとなり、パルス信号 V_{inLB} がHレベルとなる。そのため、NPNトランジスタ $Q3$ がオンし、NMOSトランジスタ $M11$ がオフする。他方、ハイサイドでは、パルス信号 V_{inH} 、 V_{inHB} の変化がないため、PMOSトランジスタ $M12$ はオフのままである。よって、出力電圧 V_{out} はグランド電位 GND のままである。

[0032] 時刻 t_4 になると、パルス信号 V_{inH} がHレベルとなり、パルス信号 V_{inHB} がLレベルとなる。そのため、NPNトランジスタ $Q1$ がオンし、NPNトランジスタ $Q2$ がオフする。NPNトランジスタ $Q2$ がオフすることで負荷抵抗 $R6$ にコレクタ電流が流れなくなるため、PMOSトランジスタ $M3$ がオフする。NPNトランジスタ $Q1$ のコレクタ電流が負荷抵抗 $R2$ を流れることで、抵抗 $R2$ における電圧降下によってPMOSトランジスタ $M12$ のゲート・ソース間電圧が閾値を超え、PMOSトランジスタ $M12$ がオンする。

他方、ローサイドでは、パルス信号 V_{inL} 、 V_{inLB} の変化がないため、NMOSトランジスタ $M11$ はオフのままである。

よって、PMOSトランジスタ $M12$ がオンし、NMOSトランジスタ $M11$ がオフであるため、出力電圧 V_{out} は電源電圧 V_M まで上昇する。

[0033] 時刻 t_5 になると、各パルス信号のレベルは時刻 t_1 と同じ状態となる。すなわち、NMOSトランジスタ $M11$ およびPMOSトランジスタ $M12$ はともにオフであるため、出力電圧 V_{out} は電源電圧 V_M のままである。

時刻 t_6 以降は、時刻 t_2 以降と同じ動作が繰り返される。

[0034] 本実施形態の駆動回路21は、ハイサイドにおいてPMOSトランジスタ $M3$ を設けることで、PMOSトランジスタ $M12$ がターンオフするときにPMOSトランジスタ $M12$ のゲート・ソース間電圧を速やかに低下させることができる。すなわち、抵抗 $R1$ および抵抗 $R2$ を大きな値とした場合で

もPMOSトランジスタM12がオフするときの動作を高速化できる。すなわち、低消費電力化のために抵抗R1および抵抗R2を大きくする場合でも、PMOSトランジスタM12がオフするときの動作の高速化が維持できる。よって、本実施形態の駆動回路21によって、参照回路21Rの課題1と課題2を解決することができる。

また、ローサイドにおいてNPNトランジスタQ3を設けることで、NMOSトランジスタM11がターンオフするときにNMOSトランジスタM11のゲート・ソース間電圧を速やかに低下させることができるため、NMOSトランジスタM11がオフするときの動作も高速化できる。

[0035] 本実施形態の駆動回路21は、ローサイドにおいてNPNトランジスタQ3を設け、ハイサイドにおいてPMOSトランジスタM3を設けることで、NMOSトランジスタM11およびPMOSトランジスタM12のセルフターンオンのマージンを増加させることができる。

すなわち、出力電圧 V_{out} が高速に上昇する場合（例えば、図4の時刻 t_4 ）、本実施形態の駆動回路21ではNPNトランジスタQ3がオンしており、NMOSトランジスタM11のゲート・ソース間のインピーダンスが低いことから、ゲート・ドレイン間容量を介してNMOSトランジスタM11のゲート電位が上昇し難い。そのため、NMOSトランジスタM11のセルフターンオンのマージンが増加している。

逆に、出力電圧 V_{out} が高速に下降する場合（例えば、図4の時刻 t_6 ）、本実施形態の駆動回路21ではPMOSトランジスタM3がオンしており、PMOSトランジスタM12のゲート・ソース間のインピーダンスが低いことから、ゲート・ドレイン間容量を介してPMOSトランジスタM12のゲート電位が下降し難い。そのため、PMOSトランジスタM12のセルフターンオンのマージンが増加している。

よって、参照回路21Rの課題4を解決することができる。

[0036] 以上説明したように、本実施形態のモータ駆動システム1において、駆動回路21～23は、CPU5から直接供給されるパルス信号をレベル変換し

て、3相電圧生成部10のNMOSトランジスタM11、M21、M31、PMOSトランジスタM12、M22、M32を駆動する。そのため、3相交流モータMをスイッチング駆動する場合に専用ICを用いずに性能向上を実現することができる。さらに、本実施形態の駆動回路を用いることで、参照回路21Rの課題1、2および4を解決することができるという利点がある。

[0037] (2) 第2の実施形態

第2の実施形態以降の各実施形態に係るモータ駆動システムは、第1の実施形態と比較して駆動回路の構成が異なるのみであるため、駆動回路の相違点について説明する。

[0038] 以下、第2の実施形態の駆動回路21Aについて、図5および図6を参照して説明する。図5は、第2の実施形態の駆動回路21Aの回路図である。図6は、第2の実施形態の駆動回路21Aの動作を示すタイミングチャートである。

図5を図3と比較してわかるように、本実施形態の駆動回路21Aは第1の実施形態の駆動回路21に対して、PMOSトランジスタM4（第2のPMOSトランジスタの一例）が追加された点異なる。PMOSトランジスタM4のソースは、PMOSトランジスタM3のソースと共通に電源電圧V_Mに設定される。PMOSトランジスタM4のドレインは、PMOSトランジスタM3のゲートに接続される。PMOSトランジスタM4のゲートは、PMOSトランジスタM12のゲートに接続される。

[0039] 図6のタイミングチャートでは、図4のタイミングチャートに対してPMOSトランジスタM4の動作状態（ON又はOFF）が追加されている。図6に示すように、PMOSトランジスタM4は、PMOSトランジスタM3がオンの場合にオフとなり、PMOSトランジスタM3がオフの場合にオンとなるように動作する。PMOSトランジスタM4は、PMOSトランジスタM3をより高速にオフさせるために設けられている。

[0040] 図6において時刻t₁では、前述したように、NPNトランジスタQ2が

オンし、PMOSトランジスタM3がオンするため、PMOSトランジスタM12はオフである。PMOSトランジスタM3がオンであるため、PMOSトランジスタM4のゲート・ソース間電圧が閾値を超えることはなく、PMOSトランジスタM4はオフである。

時刻 $t_1 \sim t_4$ では、パルス信号 V_{inH} 、 V_{inHB} に変化がないため、PMOSトランジスタM4はオフのままである。

[0041] 時刻 t_4 になると、パルス信号 V_{inH} がHレベルとなり、パルス信号 V_{inHB} がLレベルとなる。すると、NPNトランジスタQ1がオンし、NPNトランジスタQ2がオフする。NPNトランジスタQ1がオンすることでコレクタ電流が抵抗R2を流れ、抵抗R2の電圧降下によってPMOSトランジスタM4がオンし、それによってPMOSトランジスタM3が速やかにオフすることになる。つまり、PMOSトランジスタM4は、PMOSトランジスタM3を高速にオフさせるように動作する。PMOSトランジスタM3が高速にオフすることで、PMOSトランジスタM12が高速にターンオンする。

[0042] 時刻 t_5 になると、パルス信号 V_{inH} がLレベルとなり、パルス信号 V_{inHB} がHレベルとなる。すると、NPNトランジスタQ1がオフし、NPNトランジスタQ2がオンする。抵抗R2に電流が流れずにPMOSトランジスタM12がオフする。NPNトランジスタQ2のコレクタ電流が抵抗R6を流れ、それによってPMOSトランジスタM3がオンし、PMOSトランジスタM4はオフする。

以上説明したように、PMOSトランジスタM4を設けることで、第1の実施形態の駆動回路よりも速やかにPMOSトランジスタM12をオン・オフさせることができるようになる。

[0043] (3) 第3の実施形態

以下、第3の実施形態の駆動回路21Bについて、図7および図8を参照して説明する。図7は、第3の実施形態の駆動回路21Bの回路図である。図8は、第3の実施形態の駆動回路21Bの動作を示すタイミングチャート

である。

図7を図3と比較してわかるように、本実施形態の駆動回路21Bは第1の実施形態の駆動回路21に対して、NPNトランジスタQ1のコレクタとPMOSトランジスタM12のゲートとの間に、NPNトランジスタQ5とPNPトランジスタQ6からなるプッシュプル回路を設けた点異なる。また、駆動回路21Bでは駆動回路21に対して、抵抗R3、R7およびキャパシタC1、C7が削除されている。

[0044] より具体的には、NPNトランジスタQ5とPNPトランジスタQ6のベース同士がNPNトランジスタQ1のコレクタに接続される。NPNトランジスタQ5とPNPトランジスタQ6のエミッタ同士が抵抗R41を介してPMOSトランジスタM12のゲートに接続される。NPNトランジスタQ5のコレクタが電源電圧VMに設定され、PNPトランジスタQ6のコレクタがグランド電位GNDに設定される。

[0045] 図8において時刻t1では、NPNトランジスタQ1がオフであり、NPNトランジスタQ2がオンする。PMOSトランジスタM3がオンするため、PMOSトランジスタM12はオフである。このとき、抵抗R2からNPNトランジスタQ5のベースに流れる電流によってNPNトランジスタQ5がオンし、PNPトランジスタQ6はオフである。

時刻t4になると、NPNトランジスタQ1がオンし、NPNトランジスタQ2がオフする。このとき、PNPトランジスタQ6のベースからNPNトランジスタQ1のコレクタに向かう方向にベース電流が流れ、PMOSトランジスタM12のゲート電位が低下してPMOSトランジスタM12がオンする。

時刻t5になると、NPNトランジスタQ1がオフであり、NPNトランジスタQ2がオンする。この場合、時刻t1～t2の期間と同様に、NPNトランジスタQ5がオンし、PNPトランジスタQ6はオフである。時刻t5～t6の期間は、NMOSトランジスタM11およびPMOSトランジスタM12がともにオフになるため、出力電圧Voutが電源電圧VMを維持

するのは、第1の実施形態と同様である。

[0046] 本実施形態の駆動回路21Bによれば、第1の実施形態の駆動回路21と同様に、抵抗R2, R6を大きくして低消費電力を実現しつつ、PMOSトランジスタM12がオフするときの動作を高速にすることができる。

[0047] (4) 第4の実施形態

以下、第4の実施形態の駆動回路21Cについて、図9を参照して説明する。図9は、第4の実施形態の駆動回路21Cの回路図である。

図9を図5と比較してわかるように、本実施形態の駆動回路21Cは、第2の実施形態の駆動回路21Aと比較して、ローサイドにおいてE部およびF部を設けた点異なる。

E部は、PMOSトランジスタM7（第3のスイッチ素子の一例）および抵抗R18, R19を有する。

F部は、E部のPMOSトランジスタM7に対して、ハイサイドと同じ回路構成となっている。すなわち、F部の抵抗R12, R13, R14, R15, R16, R17、キャパシタC11, C4、NPNトランジスタQ4, Q5、および、PMOSトランジスタM5, M6は、それぞれ、ハイサイドの抵抗R1, R2, R3, R5, R6, R7、キャパシタC1, C3、NPNトランジスタQ1, Q2、および、PMOSトランジスタM3, M4に相当する。

[0048] E部において、PMOSトランジスタM7のソースは電源電圧VMに設定され、PMOSトランジスタM7のゲートはNPNトランジスタQ4のコレクタに接続される。PMOSトランジスタM7のドレインとグランド電位GNDの間には抵抗R18, R19が直列に接続され、抵抗R18と抵抗R19の中間のノードがNMOSトランジスタM11のゲートに接続される。PMOSトランジスタM7は、NMOSトランジスタM11のゲートと電源電圧VMのノードとの間に設けられる第3のスイッチ素子の一例である。

[0049] 本実施形態の駆動回路21CにおいてローサイドにおけるE部およびF部は、NMOSトランジスタM11がオンしているときのオン抵抗を低下させ

るために設けられる。

他の実施形態と同様に、パルス信号 V_{inL} が H レベルであり、パルス信号 V_{inLB} が L レベルのときに、NMOS トランジスタ M11 がオンする。すなわち、パルス信号 V_{inL} が H レベルであり、パルス信号 V_{inLB} が L レベルのときには、NPN トランジスタ Q3, Q5 がオフであり、NPN トランジスタ Q4 がオンである。このとき、NPN トランジスタ Q4 のコレクタ電流の抵抗 R13 における電圧降下によって PMOS トランジスタ M7 がオンし、NMOS トランジスタ M11 のゲート電位は、グランド電位 GND と電源電圧 VM の中間電位となる。つまり、パルス信号 V_{inL} が H レベルである場合にスイッチ素子としての PMOS トランジスタ M7 が導通して、NMOS トランジスタ M11 のゲートを、グランド電位 GND と電源電圧 VM の中間電位に設定する。

[0050] NMOS トランジスタ M11 のゲートは、抵抗 R18 と抵抗 R19 の中間のノードに接続されているため、上記中間電位は、グランド電位 GND と電源電圧 VM を抵抗 R18 と抵抗 R19 で分圧した値となる。例えば抵抗 R18, R19 の値が等しい場合、NMOS トランジスタ M11 がオンしているときのゲート・ソース間電圧は $VM/2$ ($=12V$) となり、CPU5 からのパルス信号の H レベル ($3.3V$) と比較して高い値となることから、NMOS トランジスタ M11 のオン抵抗を低下させることができる。

[0051] 他方、パルス信号 V_{inL} が L レベルであり、パルス信号 V_{inLB} が H レベルのときに、NPN トランジスタ Q3, Q5 がオンであり、NPN トランジスタ Q4 がオフである。このとき、PMOS トランジスタ M5 がオンするため PMOS トランジスタ M7 がオフとなる。つまり、パルス信号 V_{inL} がグランド電位 GND である場合にスイッチ素子としての PMOS トランジスタ M7 が非導通となる。NMOS トランジスタ M11 のゲート電位が低下して NMOS トランジスタ M11 がオフする。

[0052] 上述したように、本実施形態の駆動回路 21C によれば、NMOS トランジスタ M11 がオンしているときのゲート・ソース間電圧を高くすることが

できるため、NMOSトランジスタM11のオン抵抗を低下させることができる。すなわち、参照回路21Rの課題3を解決することができる。

[0053] なお、図9の回路構成は例示に過ぎず、すべての素子を必要とすることを意図していない。

例えば、図9の回路構成では、ハイサイドにおいてPMOSトランジスタM4を設けているが、第1の実施形態の駆動回路21（図3参照）と同様に、PMOSトランジスタM4は無くてもよい。

また、ローサイドのF部では、抵抗R13と抵抗R12とNPNトランジスタQ4が最低限必要であり、その他の素子は必ずしも必要としない。

[0054] （5）第5の実施形態

以下、第5の実施形態の駆動回路21Dについて、図10を参照して説明する。図10は、第5の実施形態の駆動回路21Dの回路図である。

図10を図7と比較してわかるように、本実施形態の駆動回路21Dは、第3の実施形態の駆動回路21Bと比較して、ローサイドの回路構成が異なる。本実施形態ではローサイドに特徴があり、ハイサイドでは他の実施形態のいずれかで提示された回路構成を採ることができる。したがって、図10に示すハイサイドの回路構成は例示に過ぎない。

本実施形態の駆動回路21Dは、例えば5V電源を利用できる場合の回路構成例を示している。5V電源は、例えば、降圧電源回路3（図1参照）によって生成されてもよい。

[0055] 図10に示すように、駆動回路21Dのローサイドの回路は、NMOSトランジスタM10、PMOSトランジスタM8およびNMOSトランジスタM9からなるCMOSインバータ、および、抵抗R7、R4、R42を含む。

NMOSトランジスタM10のゲートにはパルス信号 V_{inL} が入力される。NMOSトランジスタM10と抵抗R7によってパルス信号 V_{inL} がレベルシフトされてCMOSインバータに入力される。CMOSインバータの出力は、抵抗R4、R42を介してNMOSトランジスタM11のゲート

に入力される。

[0056] 例えばパルス信号 V_{inL} が H レベルのときには、NMOS トランジスタ M10 がオンし、PMOS トランジスタ M8 がオンし、抵抗 R4 を介して NMOS トランジスタ M11 のゲートに 5 V が入力される。

他方、パルス信号 V_{inL} が L レベルのときには、NMOS トランジスタ M10 がオフし、NMOS トランジスタ M9 がオンする。このとき、NMOS トランジスタ M11 のゲートから抵抗 R42 を介して電荷が引き抜かれ、当該ゲートの電位が低下し、NMOS トランジスタ M11 がオフする。

[0057] 本実施形態の駆動回路 21D によれば、NMOS トランジスタ M11 がオンしているときにゲートに 5 V が入力されるため、CPU5 からの 3.3 V が入力される場合よりも NMOS トランジスタ M11 のゲート・ソース間電圧を高くすることができる。そのため、NMOS トランジスタ M11 のオン抵抗を低下させることができる。

また、抵抗 R4, R42 を設けたことで、NMOS トランジスタ M11 のオン特性とオフ特性を所望の特性に設定できるという利点がある。例えば、抵抗 R42 を小さくすることで、NMOS トランジスタ M11 がオフ時のゲートのインピーダンスを低下させることができ、セルフターンオンのマージンを増加させることができる。

[0058] (6) 第6の実施形態

以下、第6の実施形態の駆動回路 21E について、図 11 を参照して説明する。図 11 は、第6の実施形態の駆動回路 21E の回路図である。

図 11 の本実施形態の駆動回路 21E は、第5の実施形態の駆動回路 21D (図 10) と比較してわかるように、抵抗 R42 の代わりに、抵抗 R4 と並列にダイオード D1 を設けた点異なる。

本実施形態の駆動回路 21E では、NMOS トランジスタ M11 がオフになるときに、NMOS トランジスタ M11 のゲート容量にある電荷を、ダイオード D1 を介して引き抜き、NMOS トランジスタ M11 のゲート電位を低下させる。

[0059] 上述した参照回路21Rでは、PMOSトランジスタM12のターンオンを高速化させた場合、出力電圧 V_{out} が高速に上昇することで、NMOSトランジスタM11のゲート・ドレイン間容量を介してNMOSトランジスタM11のゲート電位も高速に上昇し、ゲート・ソース間電圧が閾値電圧を超えるとNMOSトランジスタM11がセルフターンオンする。

それに対して、本実施形態の駆動回路21Eでは、ダイオードD1によってNMOSトランジスタM11のゲート・ソース間電圧が0.7V程度にクランプされるために閾値電圧を超えず、セルフターンオンには至らない。

[0060] (7) 第7の実施形態

以下、第7の実施形態の駆動回路21Fについて、図12および図13を参照して説明する。図12は、第7の実施形態の駆動回路21Fの回路図である。図13は、第7の実施形態の駆動回路21Fの動作を示すタイミングチャートである。

本実施形態の駆動回路21Fは、第3の実施形態の駆動回路21B（図7参照）の変形例である。図12に示すように、駆動回路21Fは、駆動回路21Bに対して以下の点が異なる。

(i) ローサイドにおいて、NPNトランジスタQ3に代えてNMOSトランジスタM9を設ける。

(ii) NPNトランジスタQ1、Q2のエミッタとグランド電位GNDの間に共通の抵抗R1を設ける。

(iii) 入力端子P11、P22を共通化して、パルス信号 V_{inL} を入力する。

(iv) 入力端子P12、P21を共通化して、パルス信号 V_{inH} を入力する。

[0061] 本実施形態の駆動回路21Fでは、ローサイドのNMOSトランジスタM9およびハイサイドのPMOSトランジスタM3はセルフターンオンを防止するための素子である。

例えば、時刻 t_2 においてNMOSトランジスタM11がオンして出力電

圧 V_{out} がグランド電位 GND に低下する場合に、PMOSトランジスタ $M3$ がオンする。そのため、PMOSトランジスタ $M12$ のゲート・ソース間のインピーダンスが低下するため、PMOSトランジスタ $M12$ のセルフターンオンを防止できる。

例えば時刻 t_4 においてPMOSトランジスタ $M12$ がオンして出力電圧 V_{out} がグランド電位 GND から電源電圧 V_M まで上昇する場合に、NMOSトランジスタ $M9$ がオンする。そのため、NMOSトランジスタ $M11$ のゲート・ソース間のインピーダンスが低下するため、NMOSトランジスタ $M11$ のセルフターンオンを防止できる。

[0062] 以上、本発明の駆動回路および駆動システムの実施形態について詳細に説明したが、本発明の範囲は上記の実施形態に限定されない。また、上記の実施形態は、本発明の主旨を逸脱しない範囲において、種々の改良や変更が可能である。複数の実施形態の各々で述べた技術的事項は、適宜組み合わせることが可能である。例えば、特定の実施形態の駆動回路のハイサイドの回路構成と、他の実施形態の駆動回路のローサイドの回路構成とを組み合わせることが可能である。

[0063] 例えば、上述した実施形態では、3相電圧生成部10の各駆動用MOSトランジスタのオン・オフ制御が、ホールセンサの位置情報に基づく120度通電によって行われる場合について説明したが、その限りではない。各駆動用MOSトランジスタのオン・オフ制御方法は、180度通電等の他の通電制御方法を適用してもよい。

符号の説明

[0064] 1…モータ駆動システム、2…インバータ装置、3…降圧電源回路、5…CPU、10…3相電圧生成部、20…駆動回路群、21R…参照回路、21～23、21A、21B、21C、21D、21E、21F…駆動回路、N11～N13…ノード、 V_u …U相電圧、 V_v …V相電圧、 V_w …W相電圧、M…3相交流モータ、100…ホールセンサ

請求の範囲

[請求項1]

互いに共通のドレインが負荷に接続され、基準電位に設定されるソースを有する駆動用NMOSトランジスタ、および、第1電位に設定されるソースを有する駆動用PMOSトランジスタと、

駆動用PMOSトランジスタのオン／オフを制御するための第1のバイポーラトランジスタと、

一端が第1のバイポーラトランジスタのコレクタに接続され、他端が前記第1電位に設定される第1の抵抗と、

駆動用NMOSトランジスタのゲート・ソース間を導通又は非導通とする第1のスイッチ素子と、

駆動用PMOSトランジスタのゲート・ソース間を導通又は非導通とする第2のスイッチ素子と、

を備え、

駆動用NMOSトランジスタのゲートは、前記基準電位と、前記第1電位よりも低い第2電位と、の間で変動する第1パルス信号を入力する第1入力端子に接続され、

第1のスイッチ素子は、第1パルス信号が前記基準電位である場合に駆動用NMOSトランジスタのゲート・ソース間を導通とし、第1パルス信号が前記第2電位である場合に駆動用NMOSトランジスタのゲート・ソース間を非導通とし、

第1のバイポーラトランジスタのベースは、前記基準電位と前記第2電位との間で変動する第2パルス信号を入力する第2入力端子に接続され、

第2のスイッチ素子は、第2パルス信号が前記基準電位である場合に前記駆動用PMOSトランジスタのゲート・ソース間を導通とし、第2パルス信号が前記第2電位である場合に駆動用PMOSトランジスタのゲート・ソース間を非導通とする、

駆動回路。

- [請求項2] 第2のスイッチ素子は、前記第1電位に設定されるソースと、駆動用PMOSトランジスタのゲートに接続されるドレインと、を有するPMOSトランジスタであって、
前記駆動回路は、
第2パルス信号の反転信号が入力されるベースと、前記PMOSトランジスタのゲートに接続されるコレクタと、前記基準電位に接続されるエミッタと、を有する第2のバイポーラトランジスタと、
一端が第2のバイポーラトランジスタのコレクタに接続され、他端が前記第1電位に設定される第2の抵抗と、をさらに備えた、
請求項1に記載された駆動回路。
- [請求項3] 前記PMOSトランジスタのソースと共通に前記第1電位に設定されるソースと、前記PMOSトランジスタのゲートに接続されるドレインと、駆動用PMOSトランジスタのゲートに接続されるゲートと、を有する第2のPMOSトランジスタをさらに備えた、
請求項2に記載された駆動回路。
- [請求項4] NPNトランジスタとPNPトランジスタからなるプッシュプル回路をさらに備え、
前記NPNトランジスタと前記PNPトランジスタのベース同士が前記第1のバイポーラトランジスタのコレクタに接続され、
前記NPNトランジスタと前記PNPトランジスタのエミッタ同士が駆動用PMOSトランジスタのゲートに接続され、
前記NPNトランジスタのコレクタが前記第1電位に設定され、前記PNPトランジスタのコレクタが前記基準電位に設定される、
請求項1から3のいずれか一項に記載された駆動回路。
- [請求項5] 駆動用NMOSトランジスタのゲートと前記第1電位のノードとの間に設けられる第3のスイッチ素子を備え、
第1パルス信号が前記第2電位である場合に第3のスイッチ素子が導通して、駆動用NMOSトランジスタのゲートを、前記基準電位と

前記第 1 電位の間電位に設定し、

第 1 パルス信号が前記基準電位である場合に第 3 のスイッチ素子が非導通となる、

請求項 1 から 4 のいずれか一項に記載された駆動回路。

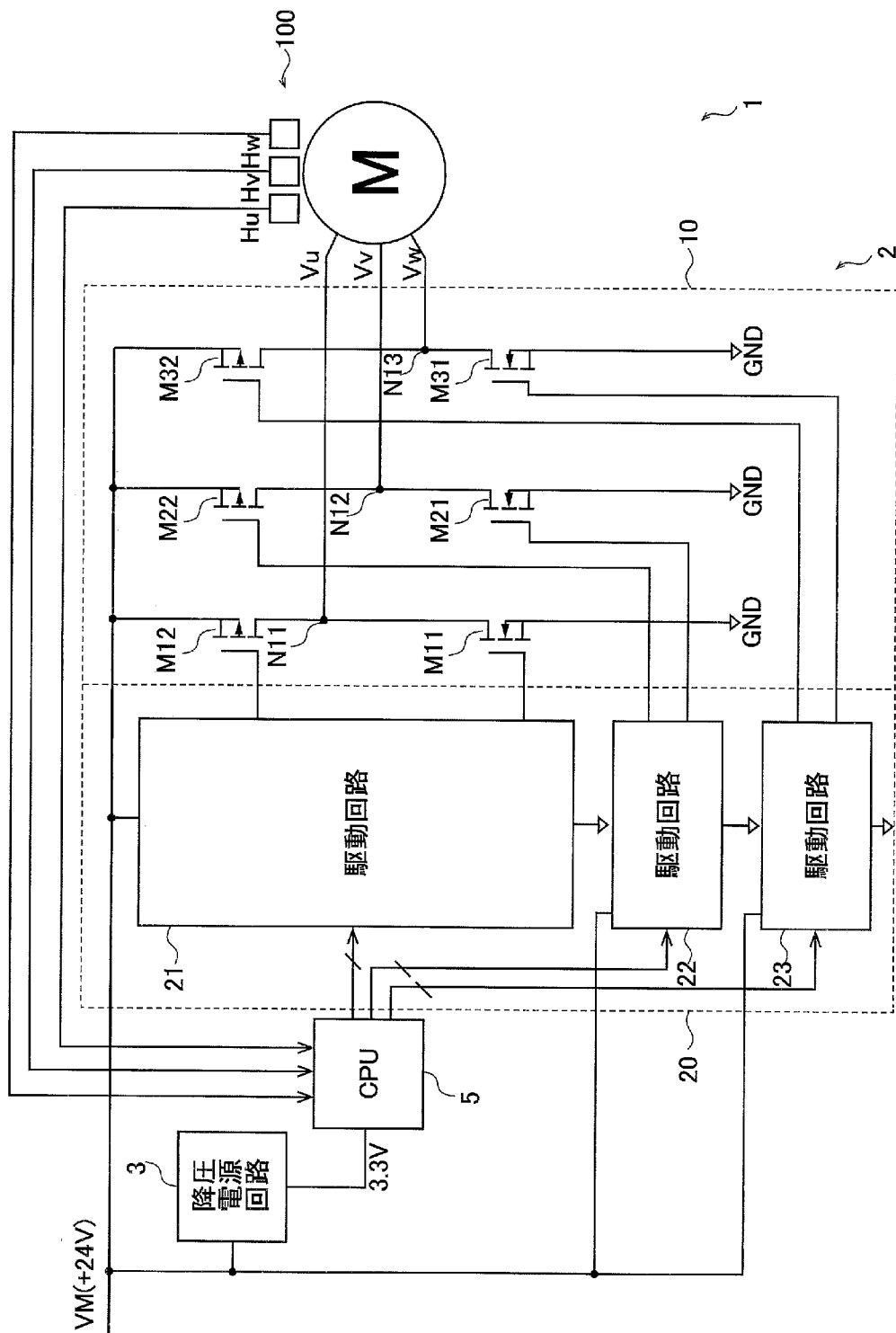
[請求項 6]

請求項 1 から 5 のいずれか一項に記載された駆動回路と、

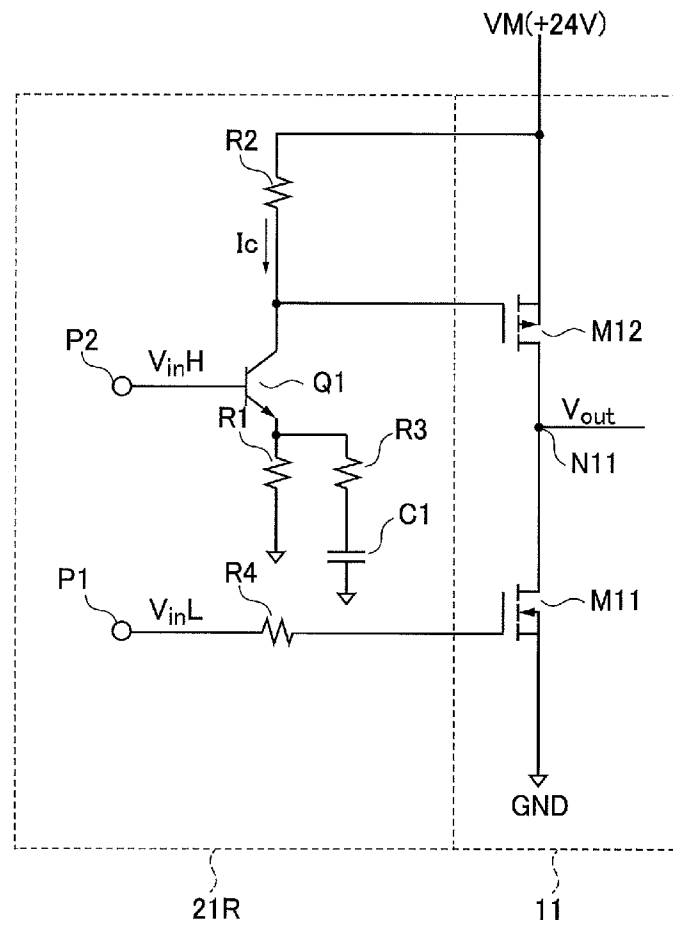
マイクロコントローラと、を備え、

前記マイクロコントローラによって前記第 1 入力端子および前記第 2 入力端子の電位が設定される、駆動システム。

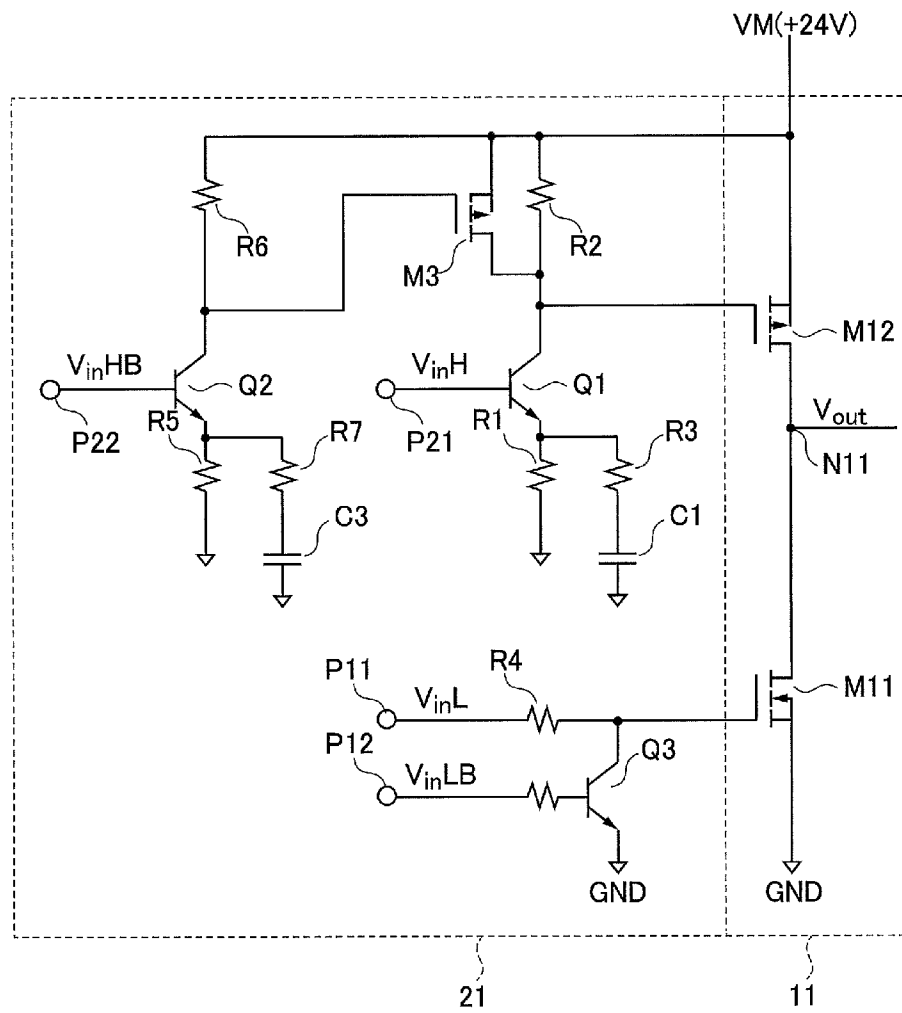
[図1]



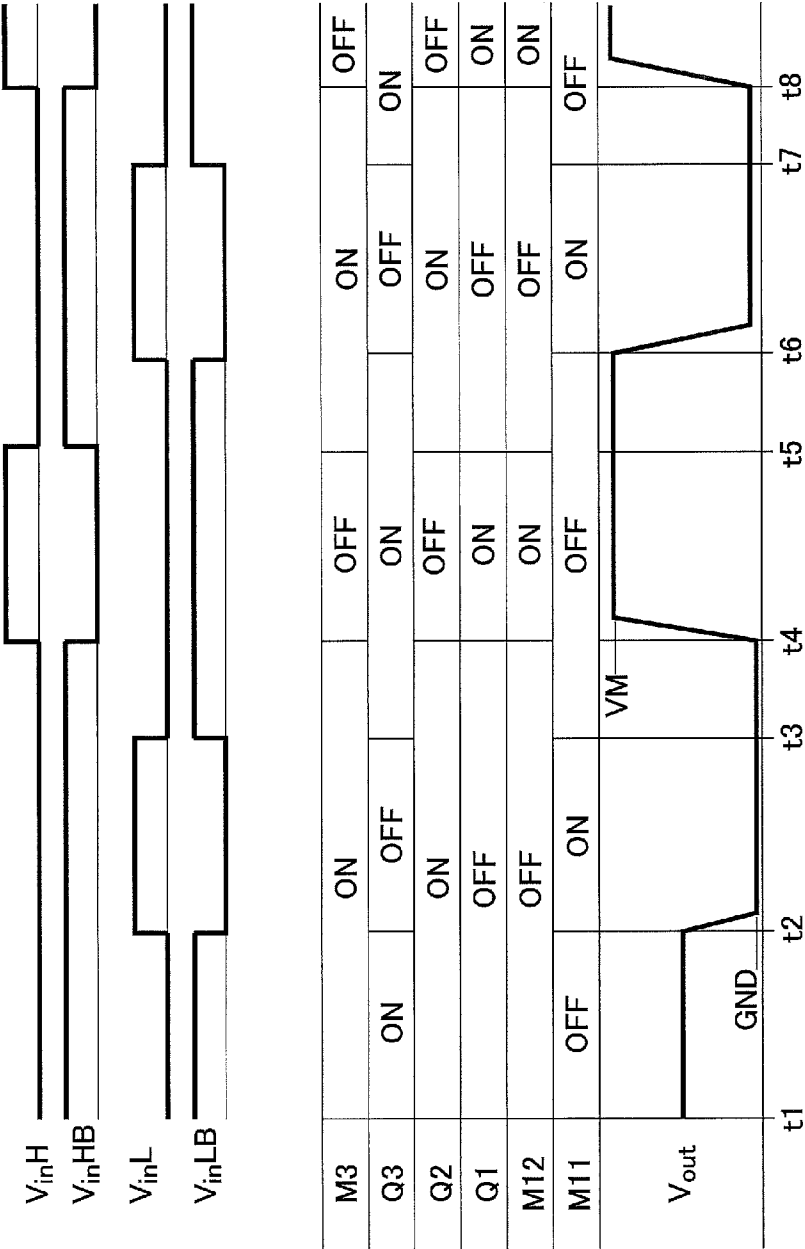
[図2]



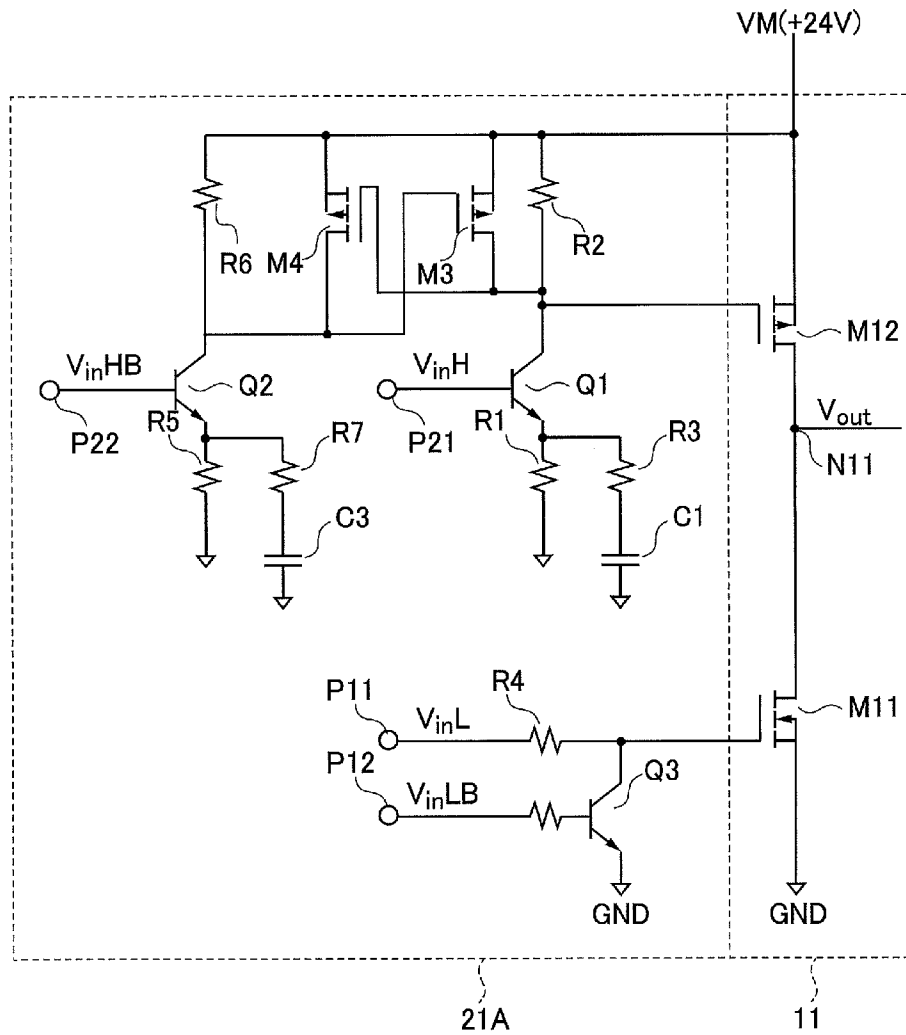
[図3]



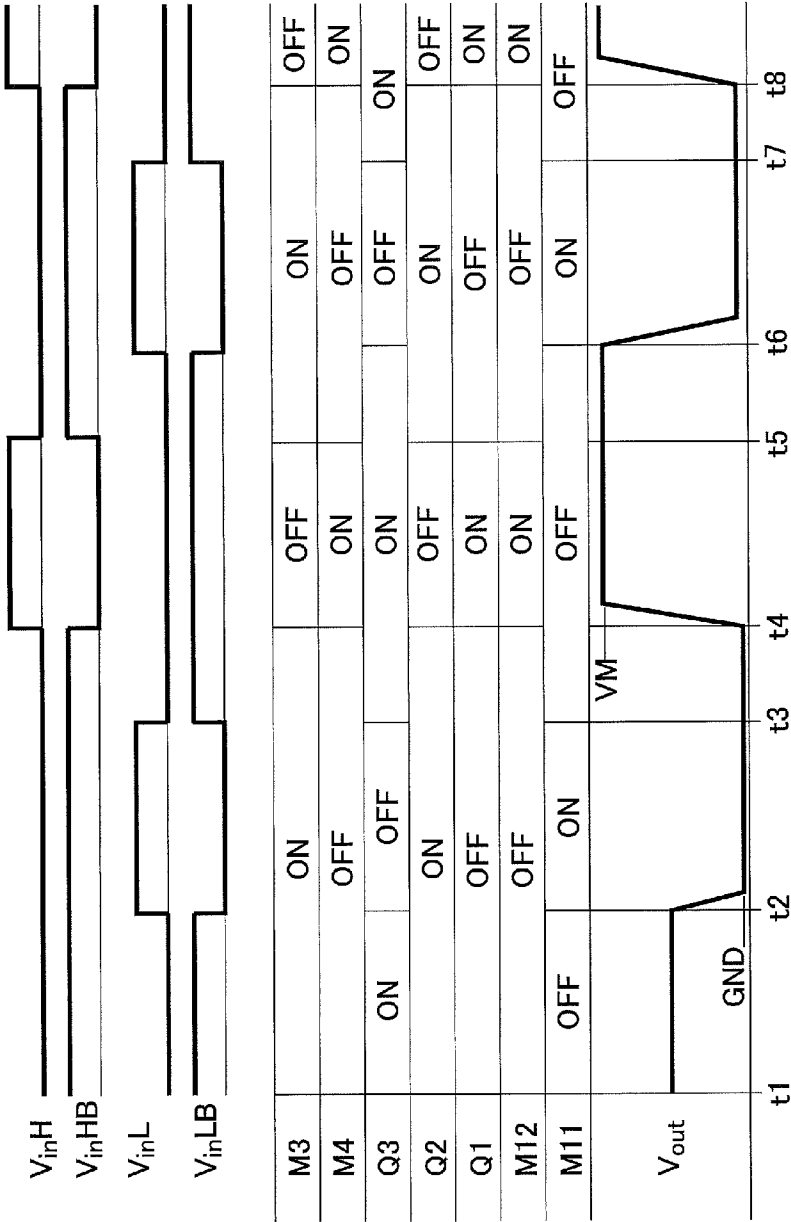
[図4]



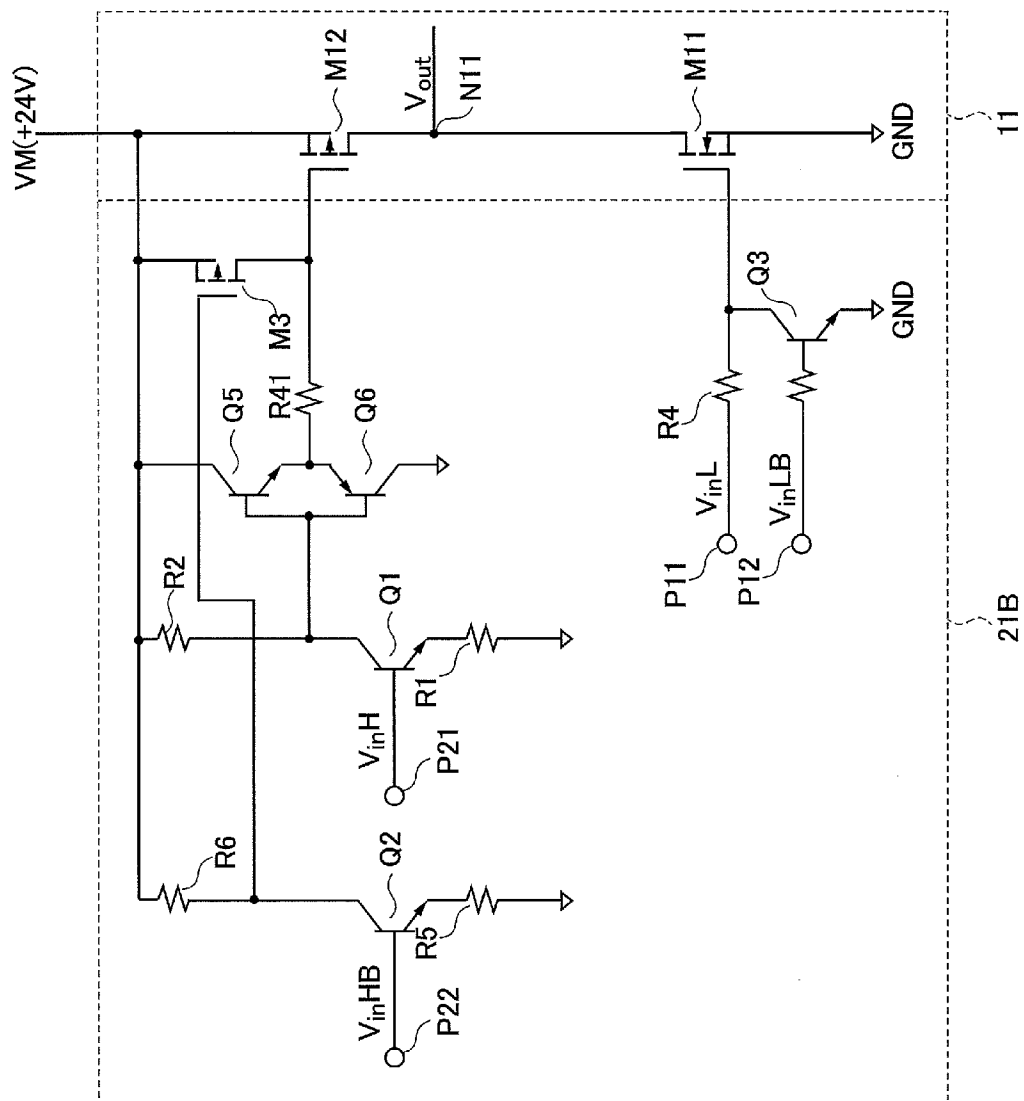
[図5]



[図6]



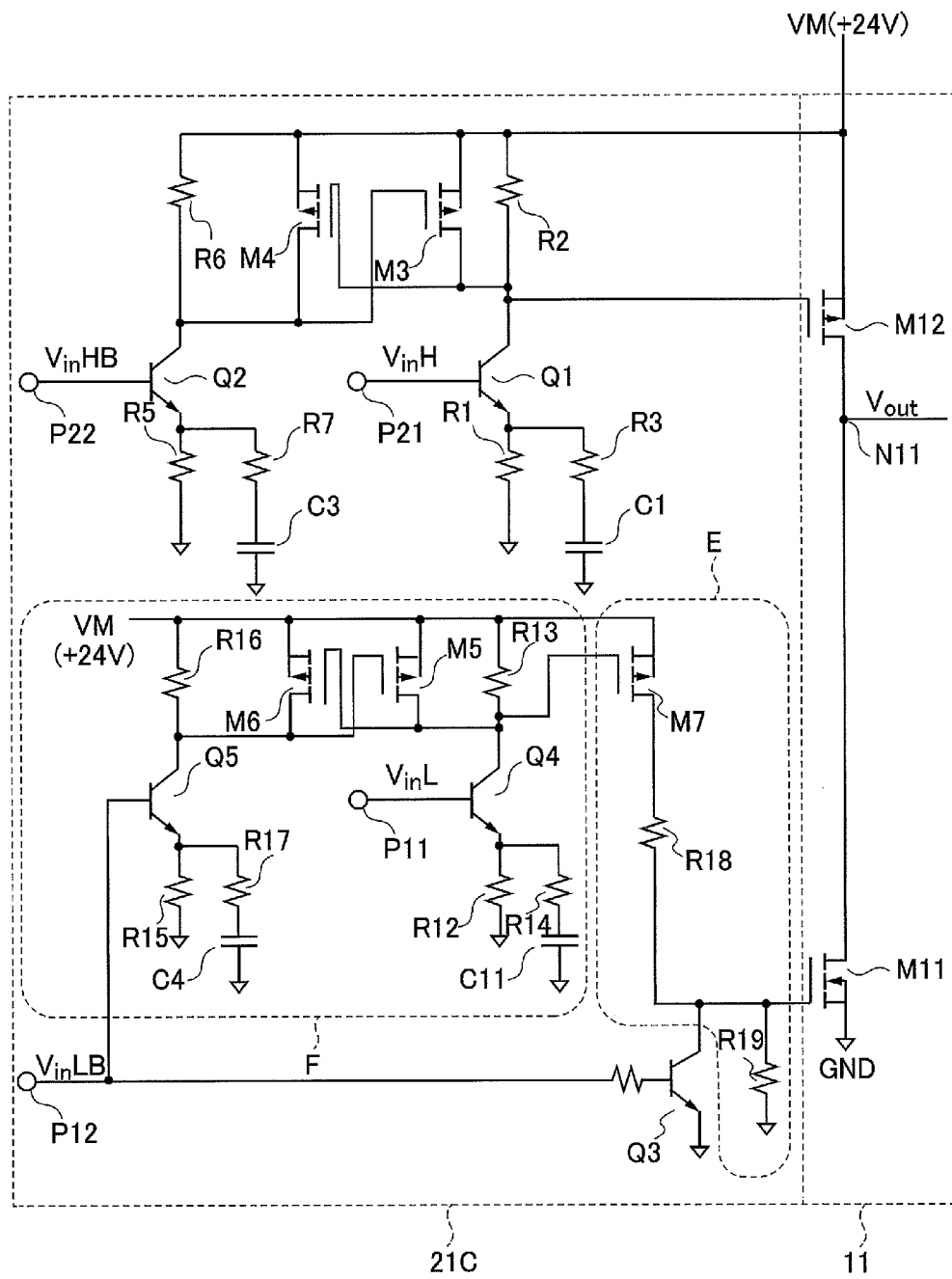
[図7]



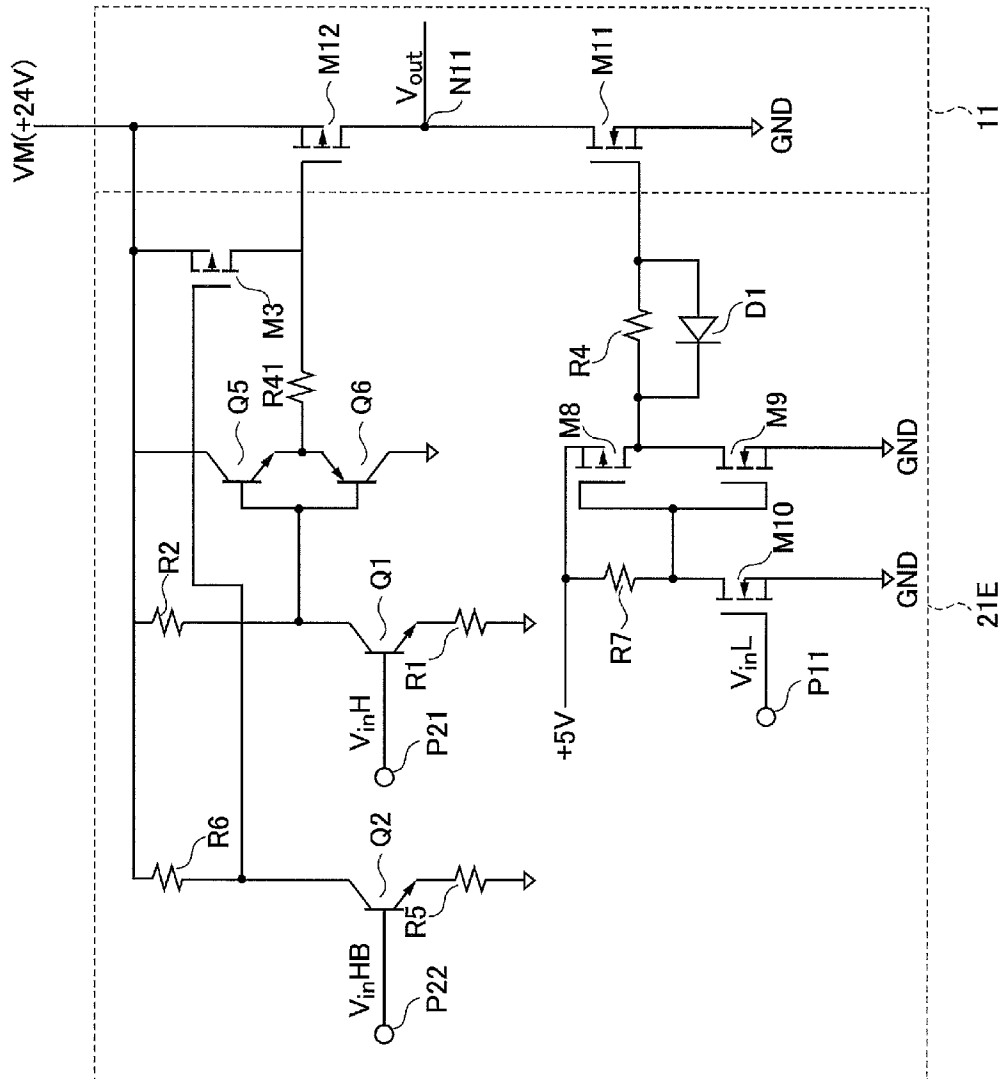
Timing diagram for the 74VHC163 4-bit binary counter. The diagram shows four input signals: V_{inH} , V_{inHB} , V_{inL} , and V_{inLB} . V_{inH} and V_{inHB} are active-low signals, while V_{inL} and V_{inLB} are active-high signals. The signals are shown as digital waveforms over time.

	t1	t2	t3	t4	t5	t6	t7	t8
M3		ON			OFF		ON	OFF
Q6		OFF			ON		OFF	ON
Q5		ON			OFF		ON	OFF
Q3		ON	OFF		ON		OFF	ON
Q2			ON		OFF		ON	OFF
Q1			OFF		ON		OFF	ON
M12			OFF		ON		OFF	ON
M11		OFF	ON		OFF		ON	OFF
V_{out}		GND		V_M				

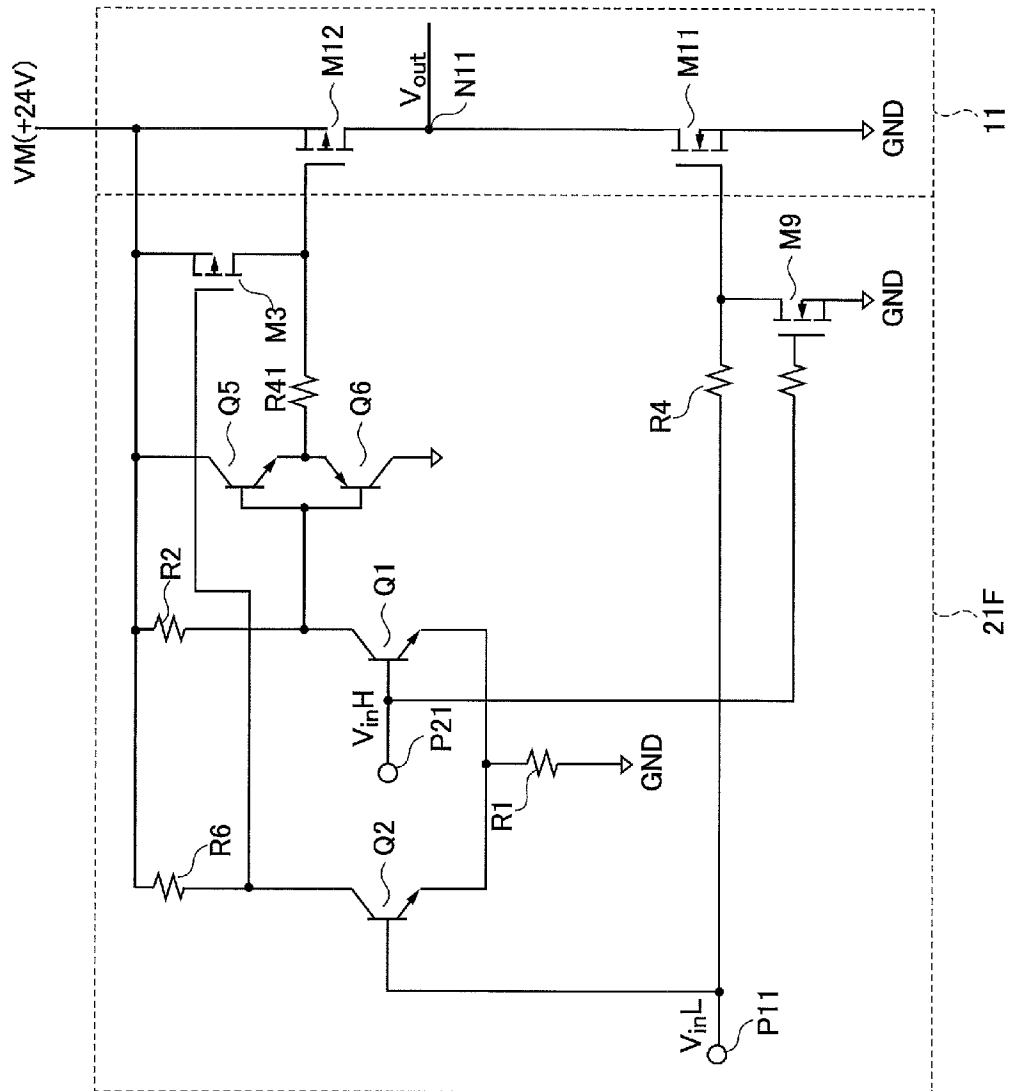
[図9]



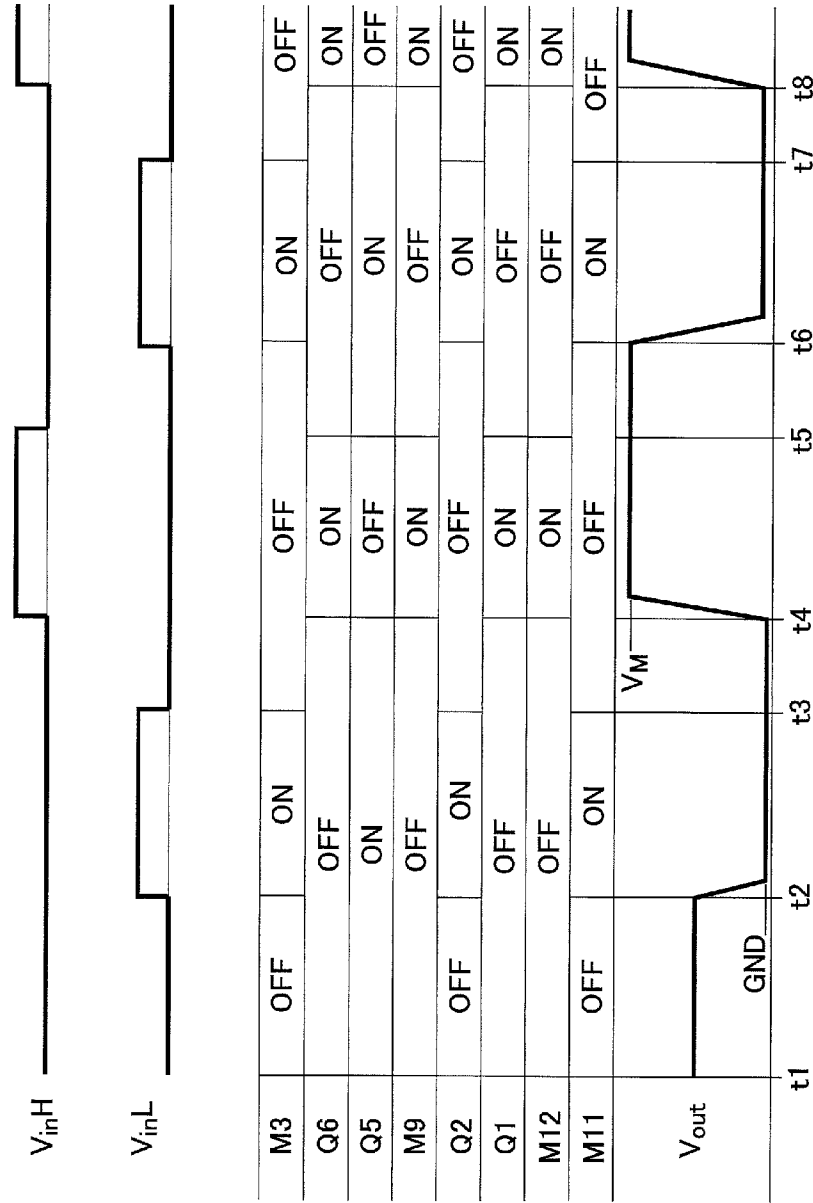
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/001295

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M1/08(2006.01)i, H03K17/687(2006.01)i, H03K19/0175(2006.01)i, H03K19/08(2006.01)i

FI: H03K19/0175210, H02M1/08A, H03K19/08210, H03K17/687A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H03K17/687, H03K19/0175, H03K19/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-187829 A (SEIKO EPSON CORPORATION) 02.10.2014 (2014-10-02), paragraphs [0001]-[0006], [0049]-[0089], fig. 7, 8, 11	1-2, 4-6 3
Y A	WO 2010/023805 A1 (MITSUBISHI ELECTRIC CORPORATION) 04.03.2010 (2010-03-04), paragraphs [0035]-[0041], fig. 2	1-2, 4-6 3
Y A	JP 2007-235859 A (KAWASAKI HEAVY IND LTD.) 13.09.2007 (2007-09-13), paragraphs [0045], [0046], fig. 1	4-6 3
Y A	JP 2006-41571 A (DAIWA INDUSTRIES LTD.) 09.02.2006 (2006-02-09), paragraphs [0019]-[0034], fig. 1	6 1-5
A	JP 2011-55470 A (ROHM CO., LTD.) 17.03.2011 (2011- 03-17), entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11.03.2020

Date of mailing of the international search report

24.03.2020

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/001295

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-200020 A (FUJI ELECTRIC CO., LTD.) 31.07.1997 (1997-07-31), entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/001295

JP 2014-187829 A	02.10.2014	US 2014/0285130 A1 paragraphs [0001]-[0006], [0068]-[0111], fig. 7, 8, 11 CN 104079286 A KR 10-2014-0116804 A
WO 2010/023805 A1	04.03.2010	US 2011/0089848 A1 paragraphs [0051]-[0057], fig. 2 CN 102132631 A
JP 2007-235859 A	13.09.2007	(Family: none)
JP 2006-41571 A	09.02.2006	(Family: none)
JP 2011-55470 A	17.03.2011	US 2011/0187439 A1 entire text, all drawings
JP 9-200020 A	31.07.1997	US 5896043 A entire text, all drawings

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/08(2006.01)i; H03K 17/687(2006.01)i; H03K 19/0175(2006.01)i; H03K 19/08(2006.01)i FI: H03K19/0175 210; H02M1/08 A; H03K19/08 210; H03K17/687 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H02M1/08; H03K17/687; H03K19/0175; H03K19/08														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2014-187829 A（セイコーエプソン株式会社）02.10.2014（2014-10-02） 段落[0001]-[0006], [0049]-[0089], 図7-8, 11	1-2, 4-6 3												
Y A	WO 2010/023805 A1（三菱電機株式会社）04.03.2010（2010-03-04） 段落[0035]-[0041], 図2	1-2, 4-6 3												
Y A	JP 2007-235859 A（川崎重工業株式会社）13.09.2007（2007-09-13） 段落[0045]-[0046], 図1	4-6 3												
Y A	JP 2006-41571 A（大和冷機工業株式会社）09.02.2006（2006-02-09） 段落[0019]-[0034], 図1	6 1-5												
A	JP 2011-55470 A（ローム株式会社）17.03.2011（2011-03-17） 全文, 全図	1-6												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 11.03.2020	国際調査報告の発送日 24.03.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-200020 A (富士電機株式会社) 31.07.1997 (1997 - 07 - 31) 全文, 全図	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/001295

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-187829	A	02.10.2014	US 2014/0285130 A1 段落[0001]-[0006], [0068]-[0111], 図7-8, 11 CN 104079286 A KR 10-2014-0116804 A	
WO	2010/023805	A1	04.03.2010	US 2011/0089848 A1 段落[0051]-[0057], 図2 CN 102132631 A	
JP	2007-235859	A	13.09.2007	(ファミリーなし)	
JP	2006-41571	A	09.02.2006	(ファミリーなし)	
JP	2011-55470	A	17.03.2011	US 2011/0187439 A1 全文, 全図	
JP	9-200020	A	31.07.1997	US 5896043 A 全文, 全図	