

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)



(10) 国際公開番号
WO 2012/117530 A1

- (51) 国際特許分類:
H03K 5/13 (2006.01)
- (21) 国際出願番号: PCT/JP2011/054655
- (22) 国際出願日: 2011 年 3 月 1 日(01.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 薩川 禎彦 (SATSUKAWA, Yoshihiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号 丸の内 M Y P L A Z A (明治安田生命ビル) 1 6 階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

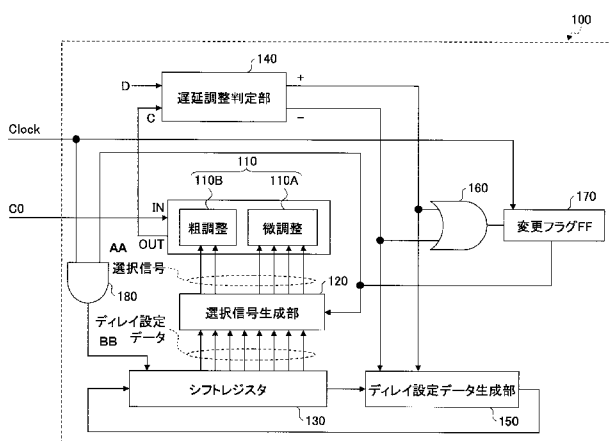
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL DELAY DEVICE, SIGNAL DELAY DEVICE CONTROL METHOD

(54) 発明の名称: 信号遅延装置、信号遅延装置の制御方法

[図 10]



110A Fine adjustment
110B Coarse adjustment
120 Selection signal generation unit
130 Shift register
140 Delay adjustment assessment unit
150 Delay setting data generation unit
170 Change Flag FF
AA Selection signal
BB Delay setting data

(57) Abstract: Provided are a signal delay device and a signal delay device control method with which it is possible to easily set a degree of delay which is applied to an input signal. A signal delay device which outputs a delay signal whereby a delay is applied to an input signal comprises: a delay means, further comprising a plurality of display units which are serially connected, wherein each delay unit applies a delay to an inputted signal and outputs same; a selection means for outputting the delay signal, further comprising a plurality of selection units which are serially connected and which receive as input the output of one of the plurality of delay units, wherein each selection unit other than the headmost selection unit receives as input the output of the preceding selection unit and outputs either the output from the delay unit or the output from the previous selection unit, depending on the inputted selection signal; a register unit which retains delay setting data which sets the degree of delay of the signal delay device; and a selection signal generation unit which, on the basis of the delay setting data which the register unit retains, generates a selection signal which denotes the selection unit which selects the corresponding display unit output and outputs said selection signal to the selection means.

(57) 要約:

[続葉有]

WO 2012/117530 A1

入力信号に与える遅延量を簡単に設定できる信号遅延装置、信号遅延装置の制御方法を提供すること。信号遅延装置は、入力信号に遅延を与えた遅延信号を出力する信号遅延装置において、互いに直列に接続された複数のディレイ部を有し、各ディレイ部が入力する信号に遅延を与えて出力するディレイ手段と、互いに直列に接続され、前記複数のディレイ部のいずれかの出力が入力する複数の選択部を有し、最も先頭の選択部を除く各選択部には、前段の選択部出力が入力し、入力する選択信号に応じて前記ディレイ部からの出力あるいは前段の選択部出力のいずれかを出力する、前記遅延信号を出力する選択手段と、前記信号遅延装置の遅延量を設定するディレイ設定データを保持するレジスタ部と、前記レジスタ部が保持するディレイ設定データに基づいて、対応するディレイ部出力を選択する選択部を示す選択信号を生成し、前記選択手段に出力する選択信号生成部とを有する。

明 細 書

発明の名称： 信号遅延装置、信号遅延装置の制御方法

技術分野

[0001] 本願発明は、信号遅延装置、及び、信号遅延装置の制御方法に関する。

背景技術

[0002] 従来より、L S I (Large Scale Integrated circuit: 大規模集積回路) のような半導体回路装置のクロック信号等の入力信号に遅延を与えて出力する信号遅延装置がある。

[0003] 例えば、遅延時間の異なる複数の遅延部に入力信号を入力し、切り換え制御信号に応じていずれかの遅延部を動作状態に設定し、動作状態に設定された遅延部により遅延された信号を出力する信号遅延装置があった。

先行技術文献

特許文献

[0004] 特許文献1：特開平 1 1 - 6 8 5 2 8 号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、従来の信号遅延装置は、入力信号に与える遅延量を設定するためには、遅延量の計算、又は遅延量の重み付け等の処理が必要であった。

[0006] このため、遅延量の設定を簡単に行うことができないという課題があった。

[0007] そこで、入力信号に与える遅延量を簡単に設定できる信号遅延装置、信号遅延装置の制御方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の実施の形態の信号遅延装置は、入力信号に遅延を与えた遅延信号を出力する信号遅延装置において、互いに直列に接続された複数のディレイ部を有し、各ディレイ部が入力する信号に遅延を与えて出力するディレイ手段と、互いに直列に接続され、前記複数のディレイ部のいずれかの出力が入

力する複数の選択部を有し、最も先頭の選択部を除く各選択部には、前段の選択部出力が入力し、入力する選択信号に応じて前記ディレイ部からの出力あるいは前段の選択部出力のいずれかを出力する、前記遅延信号を出力する選択手段と、前記信号遅延装置の遅延量を設定するディレイ設定データを保持するレジスタ部と、前記レジスタ部が保持するディレイ設定データに基づいて、対応するディレイ部出力を選択する選択部を示す選択信号を生成し、前記選択手段に出力する選択信号生成部とを有することを特徴とする。

発明の効果

[0009] 入力信号に与える遅延量を簡単に設定できる信号遅延装置、及び、信号遅延装置の制御方法を提供することができる。

図面の簡単な説明

[0010] [図1A]比較例の信号遅延装置の遅延調整回路を示す図である。

[図1B]比較例の信号遅延装置の遅延調整回路を示す図である。

[図2]比較例の遅延調整回路10、50とシフトレジスタを示す図である。

[図3]比較例の遅延調整回路10、50に接続されるシフトレジスタ40A、40Bが保持するデータとディレイ番号の対応関係を示す図である。

[図4A]比較例の省電力機構を有する遅延調整回路10Aを示す図である。

[図4B]図4Aの遅延調整回路10Aで信号の折り返し地点を切り替えた場合の信号経路を示す図である。

[図5]データ信号を取り込む際の動作を示すタイミングチャートである。

[図6]データ信号を取り込む際の動作を示すタイミングチャートである。

[図7]データ信号を取り込む際の動作を示すタイミングチャートである。

[図8]データ信号を取り込む際の動作を示すタイミングチャートである。

[図9]実施の形態1の信号遅延装置を含む情報処理装置を示す図である。

[図10]実施の形態1の信号遅延装置を示す図である。

[図11]実施の形態1の信号遅延装置の遅延調整判定部140の回路構成を示す図である。

[図12]実施の形態1の信号遅延装置の遅延調整判定部140の動作を表すタ

イミングチャートである。

[図13]実施の形態1の信号遅延装置のディレイ設定データ生成部150の回路構成を示す図である。

[図14A]実施の形態1の信号遅延装置100の微調整用の遅延調整回路110A、選択信号生成部120、シフトレジスタ130、及び変更フラグFF170を示す図である。

[図14B]選択信号生成部120の一部の回路構成例を示す図である。

[図15A]実施の形態1の信号遅延装置100のシフトレジスタ130が保持するディレイ設定データの一例を示す図である。

[図15B]実施の形態1の信号遅延装置100のシフトレジスタ130が保持するディレイ設定データを変更フラグ及び選択信号とともに示す図である。

[図16]実施の形態1の信号遅延装置100における遅延処理を示すフローチャートである。

[図17]実施の形態1の信号遅延装置100の微調整用の遅延調整回路110Aにおけるディレイ設定データ、選択信号の関係を示すタイミングチャートである。

[図18]実施の形態2の信号遅延装置を示す図である。

[図19]実施の形態2の信号遅延装置200の遅延調整回路110A、選択信号生成部220、及びシフトレジスタ230の回路構成を示す図である。

[図20]実施の形態2の信号遅延装置200において選択信号1～4を得るためのディレイ設定データの組合せと、選択信号1～4として出力されるNAND回路251の出力とを表形式で示す図である。

[図21]実施の形態2の信号遅延装置200の遅延調整回路110Aにおける信号の折り返し地点の切り替えを模式的に示す図である。

[図22]実施の形態2の信号遅延装置200の微調整用の遅延調整回路110Aにおけるディレイ設定データ、選択信号の関係を示すタイミングチャートである。

発明を実施するための形態

- [0011] 以下、本発明の信号遅延装置、及び、信号遅延装置の制御方法を適用した実施の形態について説明する。
- [0012] 実施の形態１、２の信号遅延装置について説明する前に、まず、図１乃至図８を用いて、比較例の信号遅延装置について説明する。
- [0013] 図１Ａ、図１Ｂは、比較例の信号遅延装置の遅延調整回路を示す図である。
- [0014] 図１Ａに示す比較例の信号遅延装置の遅延調整回路１０は、インバータ１１、１２、１３、１４、１５、セクタ２１、２２、２３、２４、２５、及びインバータ３１、３２、３３、３４、３５を含む。
- [0015] インバータ１１～１５、セクタ２１～２５、及びインバータ３１～３５は、遅延素子である。
- [0016] また、インバータ１１～１５は、信号の折り返し地点となるセクタ２１～２５に信号を伝搬するためのフォワード側のインバータであり、インバータ３１～３５は、信号がセクタ２１～２５で折り返した後に伝搬されるリターン側のインバータである。
- [0017] インバータ１１～１５は、それぞれ、入力信号を反転して出力する否定回路である。
- [0018] インバータ１１～１５は、それぞれ、出力端子と入力端子が接続されることにより、直列に接続されている。インバータ１１の入力端子は、遅延調整回路１０の入力端子ＩＮに接続されており、インバータ１５の出力端子は、セクタ２５の一方の入力端子に接続されている。
- [0019] セクタ２１～２５は、それぞれ、インバータ１１～１５に対応して設けられている。セクタ２１～２５は、２つの入力端子を有し、選択信号のレベル（“１”又は“０”）に応じて、いずれかの入力を選択して出力する。
- [0020] インバータ３１～３５は、それぞれ、入力信号を反転して出力する否定回路であり、セクタ２１～２５に対応して設けられている。インバータ３１～３５は、セクタ２１～２５と交互に直列に接続されており、それぞれ、セクタ２１～２５の各々の出力を反転して出力する。

- [0021] セレクタ 2 5 の一方の入力端子には、インバータ 1 5 の出力端子が接続されている。セレクタ 2 5 の他方の入力端子には、データ X が入力されている。なお、データ X は“0”又は“1”の固定データである。
- [0022] セレクタ 2 4 の一方の入力端子には、インバータ 1 4 の出力端子が接続され、他方の入力端子には、インバータ 3 5 の出力端子が接続されている。
- [0023] セレクタ 2 3 の一方の入力端子には、インバータ 1 3 の出力端子が接続され、他方の入力端子には、インバータ 3 4 の出力端子が接続されている。
- [0024] セレクタ 2 2 の一方の入力端子には、インバータ 1 2 の出力端子が接続され、他方の入力端子には、インバータ 3 3 の出力端子が接続されている。
- [0025] セレクタ 2 1 の一方の入力端子には、インバータ 1 1 の出力端子が接続され、他方の入力端子には、インバータ 3 2 の出力端子が接続されている。
- [0026] インバータ 3 1 の入力端子には、セレクタ 2 1 の出力端子が接続され、インバータ 3 1 の出力端子は、遅延調整回路 1 0 の出力端子 O U T に接続されている。
- [0027] 遅延調整回路 1 0 は、入力端子 I N に入力される信号をセレクタ 2 1 ~ 2 5 のうちのどこで信号を折り返すかにより、入力端子 I N に入力される信号の遅延量を調節して出力端子 O U T から出力する。
- [0028] すなわち、遅延調整回路 1 0 は、セレクタ 2 1 ~ 2 5 を用いて入力端子 I N に入力される信号が通過するインバータの個数を選択することにより、遅延量を調節する。
- [0029] 入力端子 I N から入力した信号が折り返す位置は、入力端子 I N 側から見て最初に選択信号が“0”に設定されるセレクタ（2 1 ~ 2 5 のうちのいずれか）によって決定する。
- [0030] 又、信号をどのセレクタで折り返した場合であっても、入力端子 I N から入力される信号が通過するインバータの個数は偶数個であるため、入力端子 I N から入力される信号と出力端子 O U T から出力される信号は極性が同一となる。
- [0031] 上記の遅延調整回路 1 0 において、例えば、図 1 に示すように、セレクタ

21～25の各々に入力する選択信号を“1”、“0”、“0”、“0”、“0”に設定した場合は、セクタ22がインバータ12の出力を選択する。このため、入力端子INに入力される信号は、インバータ11からインバータ12に伝搬し、インバータ12の出力端子からセクタ22に入力し、セクタ22で折り返すことになる。

[0032] セクタ22で信号を折り返す場合には、インバータ13、14、15、セクタ23、24、25、インバータ33、34、35は、入力端子INから入力した信号の伝搬経路に含まれない。

[0033] 図1Bに示す比較例の信号遅延装置の遅延調整回路50は、インバータ51、52、53、セクタ61、62、63、及びインバータ71、72、73を含む。

[0034] 比較例の遅延調整回路50のインバータ51、52、53、セクタ61、62、63、及びインバータ71、72、73は、比較例の遅延調整回路10のフォワード側のインバータ、セクタ、リターン側のインバータの段数を、それぞれ、5段から3段に減らした回路構成を有する。

[0035] インバータ51、52、53、セクタ61、62、63、及びインバータ71、72、73は、それぞれ、比較例の遅延調整回路10のインバータ11、12、13、セクタ21、22、23、及びインバータ31、32、33に対応し、セクタ63の他方の入力端子にデータXが入力されていること以外の接続関係は同様である。

[0036] 比較例の信号遅延装置の遅延調整回路50は、比較例の遅延調整回路10よりも遅延量の調整幅が大きく設定されている。このため、遅延調整回路10は微調整用に用いられ、信号遅延装置の遅延調整回路50は、粗調整用に用いられる。

[0037] 次に、図2を用いて、比較例の遅延調整回路10に入力する選択信号を出力するシフトレジスタについて説明する。

[0038] 図2は、比較例の遅延調整回路10、50とシフトレジスタを示す図である。

- [0039] 図2に示す遅延調整回路10は、遅延時間を微調整するために設けられており、例えば、20ps（ピコ秒）毎に遅延時間を調整できるものとする。また、遅延調整回路50は、遅延時間を粗調整するために設けられており、例えば、100ps（ピコ秒）毎に遅延時間を調整できるものとする。
- [0040] 遅延調整回路10は、5つのセクタ21～25を有するため、5ビットのシフトレジスタ40Aから5ビット分の選択信号が入力する。
- [0041] 遅延調整回路50は、3つのセクタ61～63を有するため、3ビットのシフトレジスタ40Bから3ビット分の選択信号が入力する。
- [0042] 次に、図3を用いてシフトレジスタ40A、40Bが保持する選択信号を表すデータについて説明する。
- [0043] 図3は、比較例の遅延調整回路10、50に接続されるシフトレジスタ40A、40Bが保持するデータと、遅延調整回路の遅延時間に対応するディレイ番号（ディレイNo.）の対応関係を示す図である。比較例の遅延調整回路10、50では、選択信号は、シフトレジスタ40A、40Bから遅延調整回路10、50のセクタ21～25、61～63（図1A、図1B参照）に入力する。
- [0044] 図3に示すように、選択信号は、微調整用の5ビットのデータと、粗調整用の3ビットのデータを有する。各ビットのデータは選択信号としてシフトレジスタ40A、40Bから出力する。図3では、8ビットの選択信号の組に、0～14のディレイ番号（ディレイNo.）を割り当てて説明する。
- [0045] ディレイ番号0の8ビットの選択信号は、すべて“0”に設定されている。ディレイ番号0～ディレイ番号4までは、粗調整用の選択信号をすべて“0”で固定し、微調整用の5ビットの選択信号が左側のビットから順次“1”が立ち上がって行くように設定されている。
- [0046] これは、粗調整用の遅延調整回路50（図1B参照）をセクタ61で信号を折り返すように固定した状態で、微調整用の遅延調整回路10（図1A参照）において、信号の折り返し地点をインバータ11の出力端子からインバータ15の出力端子にかけて順次シフトさせるためである。

- [0047] なお、ディレイ番号0の選択信号によって与えられる遅延時間は、遅延調整回路50における100psに、遅延調整回路10における20psを加算した120psである。ディレイ番号が1つ増える毎に、微調整用の遅延調整回路10における遅延量が20psずつ増えるため、ディレイ番号4の選択信号によって与えられる遅延時間は、200psである。
- [0048] また、ディレイ番号5では、粗調整用の3ビットの選択信号のうち、一番左のビットが“1”に立ち上がり、微調整用の5ビットの選択信号がすべて“0”に設定される。これにより、ディレイ番号5の選択信号によって与えられる遅延時間は、遅延調整回路50における200psに、遅延調整回路10における20psを加算した220psである。
- [0049] 以下、ディレイ番号が6以上の場合は、微調整用のビットと粗調整用のビットが順次“0”から“1”に立ち上がるように設定されており、ディレイ番号14の選択信号によって与えられる遅延時間は、遅延調整回路50における300psに、遅延調整回路10における100psを加算した400psである。
- [0050] このような選択信号を用いて比較例の省電力機構を有しない遅延調整回路10、50の遅延時間を調節する際には、無効データによる問題は生じないが、電力消費が多いという問題がある。
- [0051] 次に、図4A、図4Bを用いて、信号の伝搬経路に含まれないインバータとセクタを停止させる省電力機構を有する比較例の遅延調整回路について説明する。
- [0052] 図4Aは、図1に示す遅延調整回路10に、信号の伝搬経路に含まれないインバータとセクタを停止させる省電力機構を追加した遅延調整回路10Aを示す図である。
- [0053] 遅延調整回路10Aは、図1Aに示す比較例の遅延調整回路10と基本的に同様の回路構成を有するが、セクタ25の片方の入力端子にはデータXの代わりに固定データが入力している点異なる。図4Aに示す遅延調整回路10Aには固定データ“0”が入力しているが、固定データは“1”であって

もよい。

- [0054] 省電力機構を有する比較例の遅延調整回路 10A では、入力端子 IN、出力端子 OUT から見て折り返し地点となるセクタよりも奥側にあるセクタに入力する選択信号を“1”に設定する。これは、信号の伝搬経路に含まれないリターン側のインバータとセクタに入力するデータを、フォワード側のインバータ 11～15 を伝搬するデータからセクタ 25 に入力する固定データに切り替えることで、信号の伝搬経路に含まれないリターン側のインバータとセクタの動作を停止させて省電力化を図るためである。
- [0055] 図 4A に示すように、遅延調整回路 10A のセクタ 21～25 にそれぞれ選択信号“1”、“0”、“1”、“1”、“1”を入力すると、入力端子 IN に入力される信号は、矢印で示すようにセクタ 22 で折り返す。
- [0056] また、このとき、セクタ 25 は固定データを出力し、セクタ 25 から出力される固定データは、インバータ 35、セクタ 24、インバータ 34、セクタ 23、インバータ 33 まで伝搬する。
- [0057] このように、信号の伝搬経路に含まれないインバータ 33、34、35 とセクタ 23、24、25 に固定データを入力することにより、信号の伝搬経路に含まれないインバータ 33、34、35 とセクタ 23、24、25 が有するトランジスタのスイッチング動作等を停止することができる。
- [0058] この結果、遅延調整回路 10A の省電力化を図ることができる。
- [0059] ところで、信号の伝搬経路に含まれないインバータ 33、34、35 とセクタ 23、24、25 の動作を停止させている間においても、入力端子 IN に入力される信号は、刻々と変化する。
- [0060] しかしながら、省電力化のためにインバータ 33、34、35 とセクタ 23、24、25 の動作を停止させると、セクタ 25 の出力端子からインバータ 33 の出力端子までの間には、セクタ 25 に入力される固定データに基づくデータが出力され続ける。
- [0061] このようなセクタ 25 に入力される固定データに基づくデータは、入力端子 IN から入力される信号によるデータとは無関係であり、無効なデータ

（無効データ）である。

- [0062] ここで、セクタ 25 の出力端子からインバータ 33 の出力端子までの間に無効データが出力され続けているとする。このときに、例えば、図 4 B に示すようにセクタ 21 ～ 25 に選択信号“1”、“1”、“1”、“1”、“0”を入力して、信号の折り返し地点を矢印で示すようにセクタ 22 からセクタ 25 に変更すると、出力端子 O U T から出力する信号には、無効データが含まれてしまう。
- [0063] これは、セクタ 25 の出力端子からインバータ 33 の出力端子までの間に無効データが出力され続けているときに、信号の折り返し地点をセクタ 22 からセクタ 23 又は 24 に変更した場合においても同様である。
- [0064] このように、省電力機構を有する遅延調整回路 10 A において、信号の折り返し地点が入力端子 I N、出力端子 O U T から見て奥側にシフトすると、信号の伝搬経路に無効データを保持するインバータ又はセクタが含まれるようになる。このため、無効データが信号経路内を伝搬する間は、入力端子 I N に入力される信号が出力端子 O U T まで正確に伝搬しないという問題が生じる。
- [0065] そして、このような問題は、特に、図 4 A に示す遅延調整回路 10 A に加えて、比較例の粗調整用の遅延調整回路 50（図 1 B 参照）に省電力機構を付け加えた粗調整用の遅延調整回路を用いる場合に顕著に表れる。
- [0066] 例えば、選択信号が図 3 に示すディレイ番号 5 の選択信号からディレイ番号 4 の選択信号に変化した場合には、遅延量を 20 p s 短くしただけで、遅延調整回路 10 A 内の信号の折り返し地点が、セクタ 21 からセクタ 25 に、入力端子 I N、出力端子 O U T から見て奥側にシフトする。
- [0067] このように信号の折り返し地点が入力端子 I N、出力端子 O U T から見て大きく奥側にシフトすると、動作停止していた多くのセクタ及びリターン側のインバータが信号経路に含まれることになるため、多くの無効データが出力信号に含まれることになる。
- [0068] 上述のような遅延調整回路を含む比較例の信号遅延装置は、例えば、サー

バ等のような情報処理装置においてデータ信号を取り込む際に、取り込み信号による取り込みのタイミングをデータ信号に対して適切なタイミングにするために、データ信号又は取り込み信号を遅延させるために用いられる。

[0069] このため、信号遅延装置の出力信号に無効データが含まれると、遅延調整回路により遅延した信号を使用する情報処理装置の動作不良の原因になる可能性があり、特に、無効データが存在する信号経路が長い場合には、情報処理装置の動作に及ぼす影響が、当該信号経路が短い場合よりも大きくなる可能性がある。

[0070] 次に、図5乃至図8のタイミングチャートを用いて、データ信号を取り込む際の動作について説明する。

[0071] 図5乃至図8は、データ信号を取り込む際の動作を示すタイミングチャートである。図5乃至図8では、データ信号をD（Dataの略）、取り込み信号をC（Captureの略）、取り込んだ結果を表す信号をR（Resultの略）と表す。なお、横軸は時間軸であり、右方向を時間が進む方向とする。

[0072] ここでは、取り込み信号Cの立ち上がりでデータ信号Dを取り込むこととする。図5に示す取り込み信号Cの周期は、一例としてデータ信号Dの半分に設定されている。

[0073] 取り込み信号Cでデータ信号Dを確実に取り込めるようにすべく、矢印Aで示す取り込み信号Cの立ち上がりは、データ信号DがH（High）レベルである期間Bの中央付近に位置するように調節される。このような調節は、データ信号D又は取り込み信号Cを遅延させることによって実現される。

[0074] 取り込み結果を表す信号Rは、取り込み信号Cの立ち上がりのタイミングでデータ信号Dを取り込むため、図5の例ではデータ信号Dを正確に取り込んだ信号になる。

[0075] 次に、図6を用いて、図1に示す遅延調整回路10において遅延量を増大させた場合にデータ信号を取り込む動作について説明する。遅延調整回路10は、省電力機構を有しない。

- [0076] 遅延調整回路 10（図 1 A 参照）に選択信号“1”、“0”、“0”、“0”、“0”を入力した場合に出力端子 OUT から出力されるデータ信号を D0、選択信号“1”、“1”、“0”、“0”、“0”を入力した場合に出力端子 OUT から出力されるデータ信号を D1 とする。データ信号 D1 の波形は、データ信号 D0 よりも遅延量が多いため、データ信号 D0 の波形よりも右にシフトしている。
- [0077] 時刻 t_0 で遅延調整回路 10（図 1 A 参照）に選択信号“1”、“0”、“0”、“0”、“0”を入力すると、データ信号 D はデータ信号 D0 と等しくなる。
- [0078] ここで、データ信号 D0 が H レベルである期間の中央は、取り込み信号 C の立ち上がりよりもタイミングが早いため、データ信号 D0 を遅延させる必要がある。
- [0079] このため、時刻 t_1 で選択信号を“1”、“1”、“0”、“0”、“0”に切り替えると、データ信号 D は、データ信号 D0 よりも遅延量の多いデータ信号 D1 に切り替わる。データ信号 D は、時刻 $t_0 \sim t_1$ のデータ信号 D0 と時刻 t_1 以降のデータ信号 D1 を合成した波形になる。
- [0080] 遅延量の切り替えを行った時刻 t_1 では、データ信号 D0 が H レベルでデータ信号 D1 が L レベルであるため、データ信号 D は、時刻 t_1 の直前にデータ信号 D の周期よりも短い期間だけ H レベルとなるグリッチ（glitch）を含む。
- [0081] しかしながら、時刻 t_1 以降は、データ信号 D が H レベルである期間の中央は取り込み信号 C のほぼ中央に位置しているため、時刻 t_2 でデータ信号 D を取り込んでも、取り込み結果を表す信号 R にデータ信号 D の立ち上がり付近にあるグリッチが取り込まれない。
- [0082] このため、図 6 の例では、取り込み結果を表す信号 R は、データ信号 D を正確に取り込んだ信号波形を有することになる。
- [0083] 次に、図 7 を用いて、図 6 に示した動作例よりも、遅延量を切り替えるタイミング（ t_1 ）と、データ信号 D を取り込むタイミング（ t_2 ）が近接する場合の動作例について説明する。

- [0084] なお、図 7 に示す動作例は、図 6 に示した動作例と同様に、図 1 に示す遅延調整回路 10 において遅延量を増大させた場合の動作例である。また、遅延調整回路 10 は、省電力機構を有しない。
- [0085] また、図 7 に示すデータ信号 D0、D1 は、図 6 に示すデータ信号 D0、D1 と同一である。
- [0086] 時刻 t0 で遅延調整回路 10（図 1 A 参照）に選択信号“1”、“0”、“0”、“0”、“0”を入力すると、データ信号 D はデータ信号 D0 と等しくなる。
- [0087] 時刻 t1 で選択信号を“1”、“1”、“0”、“0”、“0”に切り替えると、データ信号 D は、データ信号 D0 よりも遅延量の多いデータ信号 D1 に切り替わり、データ信号 D の波形は、時刻 t0 ～ t1 のデータ信号 D0 の波形と時刻 t1 以降のデータ信号 D1 の波形を合成した波形になる。
- [0088] 遅延量の切り替えを行った時刻 t1 では、データ信号 D0、D1 とともに H レベルである。このため、データ信号 D は、グリッチ（glitch）を含まない。
- [0089] 次に、時刻 t2 における取り込み信号 C の立ち上がりのタイミングでデータ信号 D を取り込む。取り込み信号 C の立ち上がりは、データ信号 D の立ち上がりタイミングと立ち下がりタイミングの両方のタイミングに対して、十分に余裕のあるタイミングである。
- [0090] この結果、図 7 の例では、取り込み結果を表す信号 R は、データ信号 D を正確に取り込んだ信号波形を有することになる。
- [0091] 次に、図 8 を用いて、図 4 A 及び図 4 B に示した省電力機構を有する遅延調整回路 10 A における動作例について説明する。
- [0092] 図 8 に示すデータ信号 D0 A は、図 6 及び図 7 に示したデータ信号 D0 と同一の波形を有するが、遅延調整回路 10 A（図 4 A 参照）に選択信号“1”、“0”、“1”、“1”、“1”を入力した場合に、出力端子 OUT から出力されるデータ信号である。
- [0093] また、図 8 に示すデータ信号 D1 A は、遅延調整回路 10 A（図 4 A 参照）に入力する選択信号を“1”、“0”、“1”、“1”、“1”から“1”、“1”、“0”

”、“1”、“1”に切り替えた直後に、出力端子OUTから出力されるデータ信号である。データ信号D1Aは、信号の折り返し地点が入力端子IN、出力端子OUTから見て奥側に切り替えられた直後のデータであるため、図4Aに示すセクタ23の出力端子からインバータ33の出力端子までの間に含まれる無効データを含む。図8には、この無効データが出力される期間についてInvalidと表す。

[0094] なお、データ信号DOAに対するデータ信号D1Aの遅延量は、図6及び図7に示すデータ信号DOに対するデータ信号D1の遅延量と等しい。

[0095] 時刻t0で遅延調整回路10A（図4A参照）に選択信号”1”、“0”、“1”、“1”、“1”を入力すると、データ信号Dはデータ信号DOAと等しくなる。

[0096] 時刻t1で選択信号を”1”、“1”、“0”、“1”、“1”に切り替えると、データ信号Dは、時刻t1以降において、データ信号DOAよりも遅延量の多いデータ信号D1Aに切り替わるが、データ信号Dには、データ信号D1Aの無効データの一部が含まれてしまう。

[0097] 次に、時刻t2における取り込み信号Cの立ち上がりでデータ信号Dを取り込むと、取り込み結果を表す信号Rは、データ信号Dに含まれる無効データを取り込むことになってしまう。

[0098] 省電力機構を有する遅延調整回路10A（図4A参照）で信号の折り返し地点が入力端子IN、出力端子OUTから見て奥側にシフトすると、出力端子OUTから出力されるデータ信号に無効データが含まれる。

[0099] このため、遅延調整回路10Aを有する比較例の信号遅延装置をサーバ等の情報処理装置に用い、遅延調整回路10Aで遅延量を調整したデータ信号を情報処理装置が取り込むと、取り込み結果を表す信号Rが無効データを含む場合がある。

[0100] LSIのように、半導体製造技術で製造される半導体回路装置では、微細化による回路規模の増大により、消費電力が増大する傾向がある。一方、LSIの消費電力は、LSIの冷却面、環境面、又はバッテリーの持続時間の間

題面等から低減することが求められている。

[0101] このため、比較例の省電力機構を有する信号遅延装置のように、遅延を生成するための複数段の遅延素子のうち、信号の伝搬経路に含まれない遅延素子が停止するように選択信号を入力することにより、消費電力の低減を図った信号遅延装置は、消費電力の低減を実現することができる。

[0102] しかしながら、上述のように、比較例の省電力機構を有する信号遅延装置は、信号の折り返し地点が入力端子と出力端子から見て奥側に切り替わると、出力データに無効データが含まれ、正確な出力信号が得られないという問題が生じる。

[0103] また、出力信号に無効データが含まれると、信号遅延装置を含むサーバ等の情報処理装置に動作不良が生じるという問題が生じる。

[0104] このため、以下で説明する実施の形態 1、2 では、上述の問題点を解決した信号遅延装置、及び、信号遅延装置の制御方法を提供することを目的とする。以下、実施の形態 1、2 の信号遅延装置、及び、信号遅延装置の制御方法について説明する。

[0105] <実施の形態 1>

図 9 は、実施の形態 1 の信号遅延装置を含む情報処理装置を示す図である。

[0106] 実施の形態 1 では、一例として情報処理装置がサーバ 90 の実施形態について説明する。

[0107] 図 9 に示すように、サーバ 90 は、LSI (Large Scale Integrated circuit: 大規模集積回路) 91、主記憶装置 92、及び磁気ディスク装置 93 を含む。LSI 91 と主記憶装置 92 の間、及び主記憶装置 92 と磁気ディスク装置 93 の間は、例えば、それぞれ専用の入出力バスで接続されている。

[0108] LSI 91 は、プロセッサコア 94、L1 (Level-1: 一次) インストラクションキャッシュ 95、L1 データキャッシュ 96、L2 (Level-2: 二次) キャッシュ 97、メモリコントローラ 98、及び I/O (Input/Output: 入出力) ポート 99 を有する。

- [0109] プロセッサコア 94 は、例えば、CPU (Central Processing Unit : 中央演算処理装置) コア (Core) であり、情報処理装置としてのサーバ 90 の演算処理を行う演算処理装置である。ここで、プロセッサコア 94、L1 インストラクションキャッシュ 95、及び L1 データキャッシュ 96 は、CPU として一体化されていてもよい。プロセッサコア 94 は、複数あってもよく、その場合は、各プロセッサコア 94 が L1 インストラクションキャッシュ 95 と L1 データキャッシュ 96 が一つずつ備えていてもよい。
- [0110] L1 インストラクションキャッシュ 95 は、プロセッサコア 94 の演算処理に必要な命令を一時的に記憶する一次命令キャッシュである。L1 インストラクションキャッシュは、例えば、SRAM が用いられる。
- [0111] L1 データキャッシュ 96 は、プロセッサコア 94 が演算処理に必要なデータ、又は演算処理で生成されたデータを一時的に記憶するキャッシュメモリである。
- [0112] L2 キャッシュ 97 は、メモリ階層構造において主記憶装置 92 に近いという意味で、L1 インストラクションキャッシュ 95 及び L1 データキャッシュ 96 よりも下位のキャッシュメモリであり、典型的には、L1 インストラクションキャッシュ 95 及び L1 データキャッシュ 96 よりも処理速度は低い、容量の大きいキャッシュメモリである。L2 キャッシュ 97 は、例えば、SRAM で実現される。
- [0113] メモリコントローラ 98 は、LSI 91 が主記憶装置 92 との間でデータの読み書きを行う際の制御を行う制御装置であり、例えば、LSI で実現される。
- [0114] I/O ポート 99 は、LSI 91 が主記憶装置 92 との間でデータの読み書き制御を行う際に、メモリコントローラ 98 と主記憶装置 92 との間でデータの入出力を行う。I/O ポート 99 は、実施の形態 1 の信号遅延装置を含む。
- [0115] 主記憶装置 92 は、例えば、DRAM (Dynamic Random Access Memory : ダイナミックランダムアクセスメモリ) 又は ROM (Read Only Memory : 読

み出し専用メモリ）であり、磁気ディスク装置 93 は、例えば、ハードディスクである。

[0116] なお、サーバ 90 は、外部装置との通信を行うデータ入出力インタフェース等を含んでいてもよい。

[0117] 次に、図 10 を用いて、実施の形態 1 の信号遅延装置について説明する。

[0118] 図 10 は、実施の形態 1 の信号遅延装置を示す図である。

[0119] 実施の形態 1 の信号遅延装置 100 は、遅延調整回路 110、選択信号生成部 120、シフトレジスタ 130、遅延調整判定部 140、ディレイ設定データ生成部 150、OR 回路（論理和回路）160、変更フラグ FF（Flip Flop：フリップフロップ）170、及び AND 回路（論理積回路）180 を含む。

[0120] 実施の形態 1 の信号遅延装置 100 は、取り込み信号 C の遅延量を調整する信号遅延装置である。取り込み信号の原信号 C0 は信号遅延装置 100 に入力し、遅延量が調整される。

[0121] 遅延調整回路 110 は、微調整用の遅延調整回路 110A と粗調整用の遅延調整回路 110B を有し、入力端子 IN に入力される取り込み信号の原信号 C0 に遅延（正又は負の遅延）を与えて出力端子 OUT から取り込み信号 C を出力する。すなわち、取り込み信号の原信号 C0 は、信号遅延装置 100 の入力信号の一例であり、取り込み信号 C は、信号遅延装置 100 の遅延信号の一例である。

[0122] 微調整用の遅延調整回路 110A は、比較例の信号遅延装置の微調整用の遅延調整回路 10（図 1A 参照）と基本的に同様であり、フォワード側のインバータ、セクタ、及びリターン側のインバータを 4 段含む。フォワード側のインバータとリターン側のインバータは、直列に接続されたディレイ部の一例である。また、セクタは、いずれかのインバータの遅延信号を出力する選択部の一例である。

[0123] また、粗調整用の遅延調整回路 110B は、フォワード側のインバータ、セクタ、及びリターン側のインバータを 2 段含む。粗調整用の遅延調整回

路 110B は、遅延量の調整幅が微調整用の遅延調整回路 110A よりも大きい、フォワード側のインバータ、セクタ、及びリターン側のインバータの段数が異なるだけで、回路構成は微調整用の遅延調整回路 110A と基本的に同様である。

[0124] なお、フォワード側のインバータ、セクタ、及びリターン側のインバータの数は、図 1A に示したように同一でなくてもよく、例えば、複数のフォワード側のインバータに対して、1つのセクタが設けられていてもよい。同様に、複数のリターン側のインバータに対して、1つのセクタが設けられていてもよい。また、遅延調整回路 110A 又は 110B は、フォワード側のインバータ、又は、リターン側のインバータのいずれか一方を含む回路構成であってもよい。

[0125] 但し、フォワード側のインバータ数とリターン側のインバータ数の合計が偶数になるように構成しないと、入力端子 IN から入力した信号と出力端子 OUT から出力される信号の極性が反転してしまう点に注意が必要である。

[0126] 微調整用の遅延調整回路 110A と粗調整用の遅延調整回路 110B は直列に接続されており、遅延調整回路 110 の入力端子 IN から入力した信号は、粗調整用の遅延調整回路 110B で粗調整用の遅延が与えられ、さらに微調整用の遅延調整回路 110A で微調整用の遅延が与えられて出力端子 OUT から出力する。

[0127] なお、実施の形態 1 の遅延調整回路 110 の詳細な回路構成については、図 14A、図 14B を用いて後述する。

[0128] 選択信号生成部 120 は、シフトレジスタ 130 が保持するディレイ設定データに基づき、遅延調整回路 110 に入力するための選択信号を生成する。なお、選択信号生成部 120 の回路構成については、図 14A、図 14B を用いて後述する。

[0129] シフトレジスタ 130 は、ディレイ設定データ生成部 150 によって設定されるディレイ設定データを保持するデータ保持部の一例である。

- [0130] ここで、ディレイ設定データとは、選択信号生成部 120 が生成する選択信号の値を決定するためにシフトレジスタ 130 に設定するデータであり、遅延調整回路 110 における遅延量を調整するためにディレイ設定データ生成部 150 が設定する。ディレイ設定データは、微調整用のディレイ設定データと粗調整用のディレイ設定データとを含む。微調整用のディレイ設定データ及び粗調整用のディレイ設定データは、それぞれ、遅延調整回路 110 A、110 B に含まれるセクタの数に 1 を加えたビット幅を有する。
- [0131] このため、微調整用のディレイ設定データは 5 ビットであり、粗調整用のディレイ設定データは 3 ビットである。従って、シフトレジスタ 130 は、8 ビットのディレイ設定データを出力する。
- [0132] シフトレジスタ 130 には、AND 回路 180 の出力が入力される。シフトレジスタ 130 が保持するディレイ設定データは、AND 回路 180 の出力が“1”になると更新される。
- [0133] なお、シフトレジスタ 130 及びディレイ設定データについては、図 14 A、図 14 B、図 15 A、図 15 B を用いて後述する。
- [0134] 遅延調整判定部 140 は、データ信号 D の位相と取り込み信号 C の位相とを比較し、遅延量を増大（＋）する必要があるか、遅延量を減少（－）する必要があるか、又は、遅延量の調整が不要であることを判定し、判定結果を出力する。
- [0135] 遅延調整判定部 140 は、判定結果を表す遅延増大信号（＋）と遅延減少信号（－）を出力する。遅延増大信号（＋）が“1”（H レベル）で遅延減少信号（－）が“0”（L レベル）の判定結果は、遅延量を増大させる必要があることを表す。
- [0136] 遅延増大信号（＋）が“0”（L レベル）で遅延減少信号（－）が“1”（H レベル）の判定結果は、遅延量を減少させる必要があることを表す。
- [0137] 遅延増大信号（＋）と遅延減少信号（－）がともに“0”（L レベル）の判定結果は、遅延量の増減が必要ないことを表す。
- [0138] なお、遅延調整判定部 140 の詳細な回路構成については、図 11 を用い

て後述する。

- [0139] ディレイ設定データ生成部 150 には、遅延調整判定部 140 が出力する遅延増大信号（＋）及び遅延減少信号（－）が入力する。ディレイ設定データ生成部 150 は、遅延増大信号（＋）及び遅延減少信号（－）と、シフトレジスタ 130 に現在設定されているディレイ設定データとに基づき、遅延増大信号（＋）及び遅延減少信号（－）の内容を反映したディレイ設定データを生成する。
- [0140] なお、ディレイ設定データ生成部 150 の詳細な回路構成については、図 13 を用いて後述する。
- [0141] OR 回路 160 は、遅延調整判定部 140 が出力する遅延増大信号（＋）と遅延減少信号（－）との論理和を出力する。OR 回路 160 の出力は、遅延増大信号（＋）又は遅延減少信号（－）のどちらか一方が“1”（H レベル）であれば、“1”となる。OR 回路 160 の出力は、変更フラグ FF 170 に入力される。
- [0142] 変更フラグ FF 170 は、OR 回路 160 の出力に基づき、クロックの立ち上がりで変更フラグを設定する。変更フラグ FF 170 は、論理和演算回路の一例としての OR 回路 160 の演算結果を保持する論理和保持部の一例である。
- [0143] 変更フラグは、遅延調整回路 110 における信号の折り返し地点を変更するときに用いるフラグである。変更フラグは、信号の折り返し地点を切り替えない場合には“0”（L レベル：オフ）に設定され、信号の折り返し地点を切り替えるときには“1”（H レベル：オン）に設定される。
- [0144] 変更フラグは、遅延増大信号（＋）又は遅延減少信号（－）のどちらか一方が“1”（H レベル）であれば、“1”（H レベル：オン）になる。また、変更フラグは、遅延増大信号（＋）及び遅延減少信号（－）がともに“0”（L レベル）であれば、“0”（L レベル：オフ）になる。変更フラグは、選択信号生成部 120 及び AND 回路 180 に入力する。
- [0145] また、実施の形態 1 の信号遅延装置 100 は、変更フラグが“0”（オフ）

のときには省電力機構をオンにし、変更フラグが“1”（オン）のときには省電力機構をオフにする。

[0146] 省電力機構のオン／オフは、ディレイ設定データと変更フラグとに基づいて設定される選択信号によって切り替えられる。実施の形態1の信号遅延装置100における省電力モードのオン／オフについては図15A、図15Bを用いて後述する。

[0147] AND回路180は、クロックと変更フラグが入力され、クロックのレベルに応じた値と変更フラグの値の論理積を出力する。AND回路180の出力は、シフトレジスタ130に入力される。シフトレジスタ130が保持するディレイ設定データは、AND回路180の出力が“1”になると、ディレイ設定データ生成部150が生成する新しいディレイ設定データに更新される。

[0148] 以上のような実施の形態1の信号遅延装置100では、遅延調整判定部140が取り込み信号Cの遅延量の増大又は減少が必要と判定して遅延増大信号（+）又は遅延減少信号（-）を出力すると、ディレイ設定データ生成部150は新しいディレイ設定データを生成する。また、遅延調整判定部140が遅延増大信号（+）又は遅延減少信号（-）を出力すると、変更フラグFF170は、クロックの立ち上がりに伴って変更フラグを立ち上げる。

[0149] 変更フラグは、選択信号生成部120に入力されるとともに、AND回路180の一方の入力端子に入力される。選択信号生成部120にHレベルの変更フラグが入力されると、信号遅延装置100は、遅延調整回路110の省電力機構をオフにする。信号遅延装置100が省電力機構をオフにするのは、信号の折り返し地点を切り替えるための準備として、選択信号をリセットするためである。

[0150] 従って、変更フラグをオンにすることにより、選択信号がリセットされるため、無効データによる問題を解消することができる。そして、変更フラグをオンになった後、次のクロックが立ち上がると、AND回路180の他方の入力端子にHレベルのクロックが入力され、AND回路180の出力

が“1”になるため、シフトレジスタ130が保持するディレイ設定データは新しいディレイ設定データに更新される。

[0151] シフトレジスタ130が保持するディレイ設定データが更新されると、選択信号生成部120が出力する選択信号が更新される。これにより、遅延調整回路110における信号の折り返し地点が変更され、遅延調整回路110の出力端子OUTから遅延量が調節された取り込み信号Cが、遅延調整判定部140にデータ信号Dを取り込むための信号として、出力される。

[0152] 以上のように、信号遅延装置100は、あるクロックの立ち上がりに伴って変更フラグが立ち上がると、省電力機構をオフにする。変更フラグが立ち上がったときに省電力機構をオフにするのは、遅延調整回路110内に無効データが存在する場合に備えて、次のクロックが立ち上がるまでに遅延調整回路110内の無効データを除去するための準備期間を設けるためである。

[0153] そして、信号遅延装置100は、次のクロックの立ち上がりに伴ってAND回路180の出力が“1”に立ち上がると、信号の折り返し地点を変更し、遅延量が調節された取り込み信号Cを遅延調整回路110の出力端子OUTから出力する。

[0154] 実施の形態1の信号遅延装置100は、遅延調整判定部140によって取り込み信号Cの遅延量の増大又は減少が必要と判定されて変更フラグが立ち上がってから、遅延調整回路110における信号の折り返し地点を変更するまでに、クロック1周期分の間隔を設けている。

[0155] このクロック1周期分の間隔は、省電力機構によって遅延調整回路110内に生じ得る無効データを除去するための準備期間として設けられている。OR回路160、変更フラグFF170、及びAND回路180は、準備期間を設定する準備期間設定部の一例である。

[0156] 次に、図11を用いて、実施の形態1の信号遅延装置の遅延調整判定部140の回路構成及び動作について説明する。

[0157] 図11は、実施の形態1の信号遅延装置の遅延調整判定部140の回路構成を示す図である。

- [0158] 遅延調整判定部 140 は、入力端子 141A、入力端子 141B、遅延部 142、FF 143、FF 144、遅延部 145、EOR（排他的論理和）回路 146、遅延部 147、NOR（否定論理和）回路 148、出力端子 149A、及び出力端子 149Bを含む。
- [0159] 入力端子 141A は、遅延部 142 に接続されている。遅延部 142 には、入力端子 141A から取り込み信号 C が入力される。
- [0160] 遅延部 142 は、バッファ 142A 及びインバータ 142B を含む。遅延部 142 の出力端子は、FF 143 のクロック入力端子 CK と、143 のクロック入力端子 CK とに接続されている。遅延部 142 は、入力端子 141A から入力される取り込み信号 C を遅延させた信号 C1 を出力する。
- [0161] なお、遅延部 142 のバッファ 142A 及びインバータ 142B による遅延時間は、例えば、データ信号 D が入力端子 141B に入力されてから EOR 回路 146 から出力されるまでの時間と、FF 143 のセットアップタイムとの合計の時間と同一になるように設定される。
- [0162] ここで、セットアップタイムとは、フリップフロップにおいて保持する対象のデータ信号を、クロック信号が入力されるタイミングよりも前段の出力回路がどれだけ前もって出力し続けておかなければならないかを表す時間という。
- [0163] FF 143 は、クロック入力端子 CK、データ入力端子 D、及びデータ出力端子 Q を含む。クロック信号入力端子 CK は、遅延部 142 の出力端子に接続されており、遅延部 142 から出力される信号 C1 が入力される。データ入力端子 D は、EOR 回路 146 の出力端子に接続されており、EOR 回路 146 から出力されるデータ信号 D1 が入力される。データ出力端子 Q は、NOR 回路 148 の一方の入力端子に接続される。
- [0164] FF 143 は、クロック信号入力端子 CK に入力される信号 C1 が立ち上がると、EOR 回路 146 から出力されるデータ信号 D1 をデータ入力端子 D に取り込む。データ入力端子 D に取り込んだデータは、データ出力端子 Q に反映される。

- [0165] FF 144は、クロック入力端子CK、データ入力端子D、及びデータ出力端子Qを含む。クロック信号入力端子CKは、遅延部142の出力端子に接続されており、遅延部142から出力される信号C1が入力される。データ入力端子Dは、遅延部147の出力端子に接続されており、遅延部147から出力されるデータ信号D2が入力される。データ出力端子Qは、NOR回路148の他方の入力端子に接続されるとともに、出力端子149Bに接続される。
- [0166] FF 144は、クロック信号入力端子CKに入力される信号C1が立ち上がると、遅延部147から出力されるデータ信号D2をデータ入力端子Dに取り込む。データ入力端子Dに取り込んだデータは、データ出力端子Qに反映される。
- [0167] 入力端子141Bは、遅延部145とEOR回路146の一方の入力端子に接続されている。入力端子141Bには、データ信号Dが入力される。
- [0168] 遅延部145は、バッファ145A及び145Bを含む。遅延部145の出力端子は、EOR回路146の他方の入力端子に接続されている。
- [0169] EOR回路146の一方の入力端子には入力端子141Bが接続され、他方の入力端子には遅延部145の出力端子が接続されている。EOR回路146の出力端子は、FF 143のデータ入力端子Dと、遅延部147の入力端子とに接続されている。EOR回路146は、入力端子141Bから入力されるデータ信号と、遅延部145から入力されるデータ信号との排他的論理和を出力する。
- [0170] EOR回路146の2つの入力端子には、ともにデータ信号Dが入力されるが、一方のデータ入力信号は遅延部145の遅延時間だけ遅れて入力する。従って、データ信号の信号レベルが切り替わると、遅延部145の遅延時間の間はEOR回路146の2つの入力データの値が異なるため、EOR回路146は、Hレベル（"1"）のデータ信号D1を出力する。
- [0171] すなわち、遅延部145とEOR回路146は、データ入力信号の立ち上がりを検出する立ち上がり検出回路である。

- [0172] 遅延部 147 は、バッファ 147A 及び 147B を含む。遅延部 147 の出力端子は、FF 144 のデータ入力端子 D に接続されている。
- [0173] NOR 回路 148 は、一方の入力端子に FF 143 のデータ出力端子 Q が接続され、他方の入力端子に FF 144 のデータ出力端子 Q が接続されている。NOR 回路 148 の出力端子は、出力端子 149A に接続されている。NOR 回路 148 は、FF 143 のデータ出力端子 Q から入力されるデータ信号と、FF 144 のデータ出力端子 Q から入力されるデータ信号との否定論理和を出力する。
- [0174] 次に、図 12 を用いて、実施の形態 1 の信号遅延装置の遅延調整判定部 140 の動作について説明する。
- [0175] 図 12 は、実施の形態 1 の信号遅延装置の遅延調整判定部 140 の動作を表すタイミングチャートである。
- [0176] 実施の形態 1 では、取り込み信号 C の立ち上がりでデータ信号 D を取り込む場合について説明する。ここでは、取り込み信号 C の周期は、一例としてデータ信号 D の半分に設定されている。取り込み信号 C とデータ信号 D に位相差が生じていない状態では、図 12 に示すように、データ信号 D が H レベルである期間又は L レベルである期間の中央に、取り込み信号 C の立ち上がりが位置することとする。
- [0177] 時刻 t_1 では、取り込み信号 C の立ち下りのタイミングで、取り込み信号 C の立ち下りと、データ信号 D の立ち上がりの位相が合わせられる。
- [0178] 時刻 t_1 でデータ信号 D が H レベル（“1”）に立ち上がると、EOR 回路 146 の一方の入力端子に入力するデータ信号 D が“1”となる。また、EOR 回路 146 の他方の入力信号に入力するデータ信号は、遅延部 145 による遅延時間の後に“1”になる。このため、EOR 回路 146 は、時刻 t_2 から時刻 t_5 の間に H レベル（“1”）のデータ信号 D1 を出力する。
- [0179] データ信号 D1 が H レベル（“1”）のパルスの幅は、遅延部 145 の遅延時間に相当する。
- [0180] また、データ信号 D1 は、遅延部 147 での遅延時間だけ遅延され、デー

タ信号D 2として遅延部1 4 7から出力される。

[0181] このため、データ信号D 2は、時刻t 4で立ち上がり、時刻t 6で立ち下がる。時刻t 2と時刻t 4の時間差は、遅延部1 4 7の遅延時間に相当する。

[0182] 一方、時刻t 1で取り込み信号Cが立ち下がると、遅延部1 4 2で遅延され、信号C 1として出力される。このため、信号C 1は、時刻t 3で立ち上がる。時刻t 1から時刻t 3の時間差は、遅延部1 4 2の遅延時間に相当する。

[0183] 以上の動作は、時刻t 7でデータ信号Dが立ち下がった後においても同様であり、時刻t 6から時刻t 12では、時刻t 1から時刻t 6と同様の動作が行われる。

[0184] FF 1 4 3、1 4 4がデータ信号D 1、D 2を取り込むと、FF 1 4 4のデータ出力端子Qの出力値が出力端子1 4 9 Bに反映されるとともに、NOR回路1 4 8の出力が決まることにより、NOR回路1 4 8の出力値が出力端子1 4 9 Aに反映される。

[0185] 出力端子1 4 9 Aは、遅延量を増大（＋）する必要がある判定結果を表す遅延増大信号（＋）を出力し、出力端子1 4 9 Bは、遅延量を減少（－）する必要がある判定結果を表す遅延減少信号（－）を出力する。

[0186] 遅延増大信号（＋）と遅延減少信号（－）がともに“0”である場合は、取り込み信号Cの遅延量を調整する必要がない場合（OKの場合）である。

[0187] 遅延増大信号（＋）が“1”で、遅延減少信号（－）が“0”である場合は、取り込み信号Cの遅延量を増大（＋）する必要がある場合である。

[0188] 遅延増大信号（＋）が“0”で、遅延減少信号（－）が“1”である場合は、取り込み信号Cの遅延量を減少（－）する必要がある場合である。

[0189] 以上より、図1 2に示すように、データ信号DがHレベルである期間又はLレベルである期間の中央に、取り込み信号Cの立ち上がりが位置する場合は、信号C 1の立ち上がりがデータ信号D 1の立ち上がりとデータ信号D 2の立ち上がりとの間に位置する。

- [0190] このとき、FF 1 4 4 のデータ出力端子 Q は“0”を出力し、NOR 回路 1 4 8 は“0”を出力する。これは、時刻 t 2 から時刻 t 4 の間に、信号 C 1 の立ち上がりがある場合も同様である。
- [0191] 従って、時刻 t 2 から時刻 t 4 の間に信号 C 1 の立ち上がりがある場合は、取り込み信号 C の遅延量の調整が不要な期間である。
- [0192] また、時刻 t 4 から時刻 t 6 の間は、データ信号 D 2 が H レベル (“1”) となる。データ信号 D 2 の値は、FF 1 4 4 を経て出力端子 1 4 9 B に反映される。すなわち、出力端子 1 4 9 B の出力値は“1”となる。また、時刻 t 4 から時刻 t 6 の間は、NOR 回路 1 4 8 の出力は“0”であり、出力端子 1 4 9 A の値の出力値は“0”となる。
- [0193] このため、時刻 t 4 から時刻 t 6 の間は、取り込み信号 C の遅延量の調整を減少 (−) させる必要がある期間となる。
- [0194] また、時刻 t 6 から時刻 t 8 の間は、データ信号 D 1、D 2 がともに L レベル (“0”) となるため、NOR 回路 1 4 8 は“1”となる。すなわち、出力端子 1 4 9 A の出力値は“1”となる。また、データ信号 D 2 が“0”であるため、FF 1 4 4 のデータ出力端子 Q は L レベル (“0”) を出力する。すなわち、出力端子 1 4 9 B の出力値は“0”となる。
- [0195] このため、時刻 t 6 から時刻 t 8 の間は、取り込み信号 C の遅延量の調整を増大 (+) させる必要がある期間となる。
- [0196] 以上のようにして、遅延調整判定部 1 4 0 は、データ信号 D と取り込み信号 C との位相を比較し、遅延量を増大 (+) する必要があるか、遅延量を減少 (−) する必要があるか、又は、遅延量の調整が不要であることを判定し、判定結果を出力する。
- [0197] 次に、図 1 3 を用いて、実施の形態 1 の信号遅延装置のディレイ設定データ生成部 1 5 0 の回路構成及び動作について説明する。
- [0198] 図 1 3 は、実施の形態 1 の信号遅延装置のディレイ設定データ生成部 1 5 0 の回路構成を示す図である。
- [0199] ディレイ設定データ生成部 1 5 0 は、遅延調整判定部 1 4 0 (図 1 0 参照

）から遅延増大信号（＋）、遅延減少信号（－）がそれぞれ入力する＋端子、－端子を含む。また、ディレイ設定データ生成部１５０は、シフトレジスタ１３０（図１０参照）から５ビットのディレイ設定データの各々が入力する入力端子ＩＮ０～ＩＮ４と、シフトレジスタ１３０に５ビットのディレイ設定データの各々を出力する出力端子ＯＵＴ０～ＯＵＴ４とを含む。

[0200] 入力端子ＩＮ０～ＩＮ４から入力するディレイ設定データは、微調整用の遅延調整回路１１０Ａに入力する４つの選択信号を生成するためにシフトレジスタ１３０が保持する現在のディレイ設定データの値を表す。また、出力端子ＯＵＴ０～ＯＵＴ４から出力してシフトレジスタ１３０に設定されるディレイ設定データは、次のクロック信号の立ち上がりで更新されるディレイ設定データを表す。

[0201] ディレイ設定データ生成部１５０は、粗調整用の遅延調整回路１１０Ｂに入力する２つの選択信号を生成するための３ビットのディレイ設定データを生成するための回路を図１３に示す回路とは別に有するが、取り扱うディレイ設定データのビット数が異なるだけで回路構成は同様である。このため、図１３には、微調整用の遅延調整回路１１０Ａに入力する４つの選択信号を生成するためのディレイ設定データを生成する回路を示す。

[0202] ディレイ設定データは、入力端子ＩＮ０～ＩＮ４及び出力端子ＯＵＴ０～ＯＵＴ４の添え数字（０～４）の小さい側で“１”に設定され、添え数字の大きい側で“０”に設定される。ディレイ設定データの値が“１”から“０”に切り替わる位置は、信号の折り返し地点に相当する。すなわち、遅延調整回路１１０Ａにおける信号の遅延量は、ディレイ設定データの値が“１”から“０”に切り替わる位置で決まる。

[0203] このため、１ビット目のディレイ設定データに対応する入力端子ＩＮ０と出力端子ＯＵＴ０の値は“１”に固定される。また、５ビット目のディレイ設定データに対応する入力端子ＩＮ４と出力端子ＯＵＴ４の値は“０”に固定される。なお、出力端子ＯＵＴ０はＨレベルの電源に接続され、出力端子ＯＵＴ４は接地されている。

- [0204] +端子、一端子にそれぞれ入力する遅延増大信号（+）、遅延減少信号（-）の値は、遅延増大信号（+）が“1”（Hレベル）で遅延減少信号（-）が“0”（Lレベル）の場合に遅延量を増大することを表し、遅延増大信号（+）が“0”（Lレベル）で遅延減少信号（-）が“1”（Hレベル）の場合に遅延量を減少させることを表す。
- [0205] +端子、一端子、入力端子IN0、IN1と、出力端子OUT1との間には、二入力型のNAND回路（否定論理積回路）151A、151B、151C、及び三入力型のNAND回路151Dが接続されている。
- [0206] 同様に、+端子、一端子、入力端子IN0、IN1と、出力端子OUT2との間には、二入力型のNAND回路152A、152B、152C、及び三入力型のNAND回路152Dが接続されている。
- [0207] +端子、一端子、入力端子IN0、IN1と、出力端子OUT3との間には、二入力型のNAND回路153A、153B、153C、及び三入力型のNAND回路153Dが接続されている。
- [0208] また、+端子、一端子には、ENOR（否定排他的論理和）回路150Aの一对の入力端子が接続されている。ENOR回路150Aの出力端子は、NAND回路151B、152B、153Bの各々の一方の入力端子に接続している。
- [0209] NAND回路151Aは、一方の入力端子が+端子に接続し、他方の入力端子が入力端子IN0に接続している。NAND回路151Aの出力端子は、NAND回路151Dの1つの入力端子に接続している。
- [0210] NAND回路151B、一方の入力端子がENOR回路150Aの出力端子に接続し、他方の入力端子が入力端子IN1に接続している。NAND回路151Bの出力端子は、NAND回路151Bの1つの入力端子に接続している。
- [0211] NAND回路151Cは、一方の入力端子が一端子に接続し、他方の入力端子が入力端子IN2に接続している。NAND回路151Cの出力端子は、NAND回路151Dの1つの入力端子に接続している。

- [0212] NAND回路151Dは、3つの入力端子にNAND回路151A、151B、151Cの出力端子が接続し、出力端子は出力端子OUT1に接続している。
- [0213] 出力端子OUT2、OUT3については、出力端子OUT1に接続されるNAND回路151A～151Dと同様の接続関係で、NAND回路152A～152D、153A～153Dがそれぞれ接続されている。このため、NAND回路152A～152D、153A～153Dの接続関係についての説明は省略する。
- [0214] 次に、NAND回路151A～151Dの動作について説明する。
- [0215] 遅延量を増大するために、+端子に入力する遅延増大信号（+）の値が“1”で、-端子に入力する遅延減少信号（-）の値が“0”のとき、ENOR回路150Aの出力は“0”になる。
- [0216] NAND回路151Aは、遅延増大信号（+）の値“1”と、入力端子IN0の値“1”とが入力するため、“0”を出力する。
- [0217] NAND回路151Bは、ENOR回路150Aの出力“0”と、入力端子IN1の値とが入力するため、入力端子IN1の値によらずに“1”を出力する。
- [0218] NAND回路151Cは、遅延減少信号（-）の値“0”と、入力端子IN2の値とが入力するため、入力端子IN2の値によらずに“1”を出力する。
- [0219] 以上より、NAND回路151Dの3つの入力端子には“0”、“1”、“1”が入力するので、NAND回路151Dの出力は、“1”となる。すなわち、出力端子OUT1の値は“1”となる。
- [0220] ここで、入力端子IN0の値は“1”で固定されているため、例えば、入力端子IN1の値が“0”であった場合は、2ビット目のディレイ設定データは、次のクロック信号の立ち上がりで、出力端子OUT1の値“1”に設定される。
- [0221] これにより、遅延量が増大することになる。
- [0222] また、遅延量を減少させるために、+端子に入力する遅延増大信号（+）

の値が“0”で、一端子に入力する遅延減少信号（－）の値が“1”のとき、ENOR回路150Aの出力は“0”になる。

[0223] NAND回路151Aは、遅延増大信号（＋）の値“0”と、入力端子IN0の値“1”とが入力するため、“1”を出力する。

[0224] NAND回路151Bは、ENOR回路150Aの出力“0”と、入力端子IN1の値とが入力するため、入力端子IN1の値によらずに“1”を出力する。

[0225] NAND回路151Cは、遅延減少信号（－）の値“1”と、入力端子IN2の値とが入力するため、入力端子IN2の値が“1”であれば“0”を出力し、入力端子IN2の値が“0”であれば“1”を出力する。

[0226] 以上より、入力端子IN2の値が“1”であれば、NAND回路151Dの3つの入力端子には“1”、“1”、“0”が入力するので、NAND回路151Dの出力は、“1”となる。すなわち、出力端子OUT1の値は“1”となる。

[0227] また、入力端子IN2の値が“0”であれば、NAND回路151Dの3つの入力端子には“1”、“1”、“1”が入力するので、NAND回路151Dの出力は、“0”となる。すなわち、出力端子OUT1の値は“0”となる。

[0228] ここで、例えば、入力端子IN1の値が“1”であり、かつ、入力端子IN2の値が“0”であった場合は、2ビット目のディレイ設定データは、次のクロック信号の立ち上がりで、出力端子OUT1の値“0”に設定される。

[0229] これにより、遅延量が減少することになる。

[0230] また、遅延量を維持させるために、＋端子に入力する遅延増大信号（＋）の値と、一端子に入力する遅延減少信号（－）の値とがともに“0”のとき、ENOR回路150Aの出力は“1”になる。

[0231] NAND回路151Aは、遅延増大信号（＋）の値“0”と、入力端子IN0の値“1”とが入力するため、“1”を出力する。

[0232] NAND回路151Bは、ENOR回路150Aの出力“1”と、入力端子IN1の値とが入力するため、入力端子IN1の値が“1”であれば“0”を出力し、入力端子IN1の値が“0”であれば“1”を出力する。

- [0233] NAND回路151Cは、遅延減少信号（－）の値“0”と、入力端子IN2の値とが入力するため、入力端子IN2の値によらずに“1”を出力する。
- [0234] 以上より、入力端子IN1の値が“1”であれば、NAND回路151Dの3つの入力端子には“1”、“0”、“1”が入力するので、NAND回路151Dの出力は、“1”となる。すなわち、出力端子OUT1の値は“1”となり、入力端子IN1の値が変更されずに出力端子OUT1から出力される。
- [0235] また、入力端子IN1の値が“0”であれば、NAND回路151Dの3つの入力端子には“1”、“1”、“1”が入力するので、NAND回路151Dの出力は、“0”となる。すなわち、出力端子OUT1の値は“0”となり、入力端子IN1の値が変更されずに出力端子OUT1から出力される。
- [0236] 以上のように、＋端子、－端子にそれぞれ入力する遅延増大信号（＋）、遅延減少信号（－）の値に応じて、出力端子OUT1の値が設定される。
- [0237] 出力端子OUT1の値は、遅延量を増大する際には、隣の入力端子IN0の値“1”と同一値“1”に設定される。また、遅延量を減少する際に、隣の入力端子IN2の値が“0”である場合は、隣の入力端子IN2の値“0”と同一値“0”に設定される。また、遅延量を維持する際には、入力端子IN1の値をそのまま出力端子OUT1から出力する。
- [0238] 以上の動作は、NAND回路152A～152D、153A～153Dについても同様であるため、説明は省略する。
- [0239] 実施の形態1の信号遅延装置のディレイ設定データ生成部150では、上述のような動作により、シフトレジスタに設定する5ビットのディレイ設定データを設定し、遅延調整回路110Aにおける遅延量を調整する。
- [0240] 次に、図14A、図14Bを用いて、実施の形態1の信号遅延装置100の微調整用の遅延調整回路110A及び選択信号生成部120の詳細な回路構成と、遅延調整回路110、選択信号生成部120、シフトレジスタ130、及び変更フラグFF170の動作について説明する。
- [0241] 図14Aは、実施の形態1の信号遅延装置100の微調整用の遅延調整回路110A、選択信号生成部120、シフトレジスタ130、及び変更フラ

グ F F 1 7 0 を示す図である。

[0242] 図 1 4 B は、選択信号生成部 1 2 0 の一部の詳細な回路構成を示す図である。

[0243] 図 1 0 を用いて既に説明したように、実施の形態 1 の信号遅延装置 1 0 0 は、微調整用の遅延調整回路 1 1 0 A と粗調整用の遅延調整回路 1 1 0 B とを有する。遅延調整回路 1 1 0 A 及び遅延調整回路 1 1 0 B の回路構成は、インバータとセレクタの段数が異なるだけで基本的に同様である。

[0244] このため、ここでは、図 1 4 A 及び図 1 4 B を用いて、微調整用の遅延調整回路 1 1 0 A 及び選択信号生成部 1 2 0 の詳細な回路構成と、遅延調整回路 1 1 0 A、選択信号生成部 1 2 0、シフトレジスタ 1 3 0、及び変更フラグ F F 1 7 0 の動作について説明する。

[0245] 図 1 4 A に示すように、遅延調整回路 1 1 0 A は、比較例の信号遅延装置の遅延調整回路 1 0（図 1 A 参照）と基本的に同様であるが、実施の形態 1 の遅延調整回路 1 1 0 A は、フォワード側のインバータ、セレクタ、リターン側のインバータをそれぞれ 4 段ずつ含む。

[0246] なお、図 1 4 A に示すフォワード側のインバータ、セレクタ、リターン側のインバータの段数は一例にすぎず、任意の段数であってよい。これは、図 1 4 A に図示しない粗調整用の遅延調整回路 1 1 0 B についても同様である。

[0247] 遅延調整回路 1 1 0 A は、インバータ 1 1、1 2、1 3、1 4、セレクタ 2 1、2 2、2 3、2 4、及びインバータ 3 1、3 2、3 3、3 4 を含む。

[0248] インバータ 1 1～1 4、セレクタ 2 1～2 4、及びインバータ 3 1～3 4 は、入力信号に遅延を与える。

[0249] インバータ 1 1～1 4、セレクタ 2 1～2 4、及びインバータ 3 1～3 4 の接続関係は、図 1 に示す比較例の遅延調整回路 1 0 に含まれるインバータ 1 1～1 4、セレクタ 2 1～2 4、及びインバータ 3 1～3 4 と同様であるため、図 1 の説明を援用し、重複説明を省略する。なお、セレクタ 2 4 には、固定データが入力される。ここでは、一例として、固定データが“0”であ

るものとする。

- [0250] また、セクタ 21～24 に入力する選択信号は、選択信号生成部 120 によって生成される。
- [0251] 選択信号生成部 120 は、シフトレジスタ 130 が保持するディレイ設定データに基づき、遅延調整回路 110A のセクタ 21～24 に入力する選択信号を生成する論理回路である。
- [0252] 選択信号生成部 120 は、遅延量の微調整用に選択信号生成論理回路 121、122、123、124 を含む。選択信号生成論理回路 121、122、123、124 は、選択信号生成論理回路 121、122、123、124 の数に 1 を加えたビット幅のディレイ設定データを保持するシフトレジスタ 130 に接続されている。
- [0253] なお、選択信号生成部 120 は、図 14A に示すほかに、遅延量の粗調整用に、2 つの選択信号生成論理回路を含む。
- [0254] 選択信号生成論理回路 121、122、123、124 は、それぞれ同様の回路構成を有しており、NAND 回路 201 及びセクタ 202 を有する。選択信号生成論理回路 121、122、123、124 の回路構成については後述する。
- [0255] シフトレジスタ 130 は、遅延量の微調整用に 5 つのディレイ設定 FF1、ディレイ設定 FF2、ディレイ設定 FF3、ディレイ設定 FF4、及びディレイ設定 FF5 を含む。
- [0256] シフトレジスタ 130 は、ディレイ設定 FF1、ディレイ設定 FF2、ディレイ設定 FF3、ディレイ設定 FF4、及びディレイ設定 FF5 の各々に、1 ビットのディレイ設定データを保持する。すなわち、シフトレジスタ 130 は、遅延調整回路 110A のセクタ 21～24 の数に 1 を加えたビット幅のディレイ設定データを保持する。
- [0257] なお、シフトレジスタ 130 は、図 14A に示すほかに、遅延量の粗調整用に、3 つのディレイ設定 FF を含む。
- [0258] 変更フラグ FF170 は、選択信号生成論理回路 121～124 の各々の

セクタ 202 の選択信号入力端子に入力する変更フラグを出力する。変更フラグ FF 170 は、遅延増大信号又は遅延減少信号に基づき、クロックの立ち上がりで変更フラグを設定する。

[0259] 次に、選択信号生成論理回路 121、122、123、124 の回路構成について説明する。

[0260] 選択信号生成論理回路 121 の NAND 回路 201 の一方の入力端子には、ディレイ設定 FF 1 の出力が入力され、他方の入力端子には、ディレイ設定 FF 2 の出力が反転して入力される。

[0261] 選択信号生成論理回路 121 のセクタ 202 の一方の入力端子には、NAND 回路 201 の出力（否定論理積）が入力され、他方の入力端子には、ディレイ設定 FF 2 の出力が入力される。

[0262] また、選択信号生成論理回路 121 のセクタ 202 の選択信号入力端子には、変更フラグ FF 170 から変更フラグが入力される。セクタ 202 は、変更フラグ FF 170 から入力される変更フラグの値が“0”の場合は、NAND 回路 201 の出力を選択して出力し、変更フラグの値が“1”の場合は、ディレイ設定 FF 2 のディレイ設定データを選択して出力する。

[0263] 選択信号生成論理回路 121 のセクタ 202 の出力は、遅延調整回路 110A のセクタ 21 に選択信号 1 として入力される。

[0264] 選択信号生成論理回路 122 の NAND 回路 201 の一方の入力端子には、ディレイ設定 FF 2 の出力が入力され、他方の入力端子には、ディレイ設定 FF 3 の出力が反転して入力される。

[0265] 選択信号生成論理回路 122 のセクタ 202 の一方の入力端子には、NAND 回路 201 の出力（否定論理積）が入力され、他方の入力端子には、ディレイ設定 FF 3 の出力が入力される。

[0266] また、選択信号生成論理回路 122 のセクタ 202 の選択信号入力端子には、変更フラグ FF 170 から変更フラグが入力される。セクタ 202 は、変更フラグ FF 170 から入力される変更フラグの値が“0”の場合は、NAND 回路 201 の出力を選択して出力し、変更フラグの値が“1”の場合

は、ディレイ設定 F F 3 のディレイ設定データを選択して出力する。

[0267] 選択信号生成論理回路 1 2 2 のセクタ 2 0 2 の出力は、遅延調整回路 1 1 0 A のセクタ 2 2 に選択信号 2 として入力される。

[0268] 選択信号生成論理回路 1 2 3 の N A N D 回路 2 0 1 の一方の入力端子には、ディレイ設定 F F 3 の出力が入力され、他方の入力端子には、ディレイ設定 F F 4 の出力が反転して入力される。

[0269] 選択信号生成論理回路 1 2 3 のセクタ 2 0 2 の一方の入力端子には、N A N D 回路 2 0 1 の出力（否定論理積）が入力され、他方の入力端子には、ディレイ設定 F F 4 の出力が入力される。

[0270] また、選択信号生成論理回路 1 2 3 のセクタ 2 0 2 の選択信号入力端子には、変更フラグ F F 1 7 0 から変更フラグが入力される。セクタ 2 0 2 は、変更フラグ F F 1 7 0 から入力される変更フラグの値が“ 0 ”の場合は、N A N D 回路 2 0 1 の出力を選択して出力し、変更フラグの値が“ 1 ”の場合は、ディレイ設定 F F 4 のディレイ設定データを選択して出力する。

[0271] 選択信号生成論理回路 1 2 3 のセクタ 2 0 2 の出力は、遅延調整回路 1 1 0 A のセクタ 2 3 に選択信号 3 として入力される。

[0272] 選択信号生成論理回路 1 2 4 の N A N D 回路 2 0 1 の一方の入力端子には、ディレイ設定 F F 4 の出力が入力され、他方の入力端子には、ディレイ設定 F F 5 の出力が反転して入力される。

[0273] 選択信号生成論理回路 1 2 4 のセクタ 2 0 2 の一方の入力端子には、N A N D 回路 2 0 1 の出力（否定論理積）が入力され、他方の入力端子には、ディレイ設定 F F 5 の出力が入力される。

[0274] また、選択信号生成論理回路 1 2 4 のセクタ 2 0 2 の選択信号入力端子には、変更フラグ F F 1 7 0 から変更フラグが入力される。セクタ 2 0 2 は、変更フラグ F F 1 7 0 から入力される変更フラグの値が“ 0 ”の場合は、N A N D 回路 2 0 1 の出力を選択して出力し、変更フラグの値が“ 1 ”の場合は、ディレイ設定 F F 5 のディレイ設定データを選択して出力する。

[0275] 選択信号生成論理回路 1 2 4 のセクタ 2 0 2 の出力は、遅延調整回路 1

１０Ａのセクタ２４に選択信号４として入力される。

[0276] なお、選択信号生成論理回路１２１～１２４は、それぞれ、図１４Ｂに示す論理回路でも実現することができる。ここでは、選択信号生成論理回路１２１を代表例として説明する。

[0277] 選択信号生成論理回路１２１は、ＡＮＤ回路２１１、２１２、及びＮＯＲ回路２１３を有する。

[0278] ＡＮＤ回路２１１の一方の入力端子には、ディレイ設定ＦＦ１の出力が入力され、他方の入力端子には、ディレイ設定ＦＦ２の出力が反転して入力される。

[0279] ＡＮＤ回路２１２の一方の入力端子には、ディレイ設定ＦＦ２の出力が反転して入力され、他方の入力端子には、変更フラグＦＦ１７０から変更フラグが入力される。

[0280] ＮＯＲ回路２１３の２つの入力端子には、それぞれ、ＡＮＤ回路２１１、２１２の出力（論理積）が入力される。ＮＯＲ回路２１３は、ＡＮＤ回路２１１、２１２の出力の否定論理和を出力する。選択信号生成論理回路１２１のＮＯＲ回路２１３の出力は、図１４Ａに示す選択信号生成論理回路１２１のセクタ２０２の出力と等価であり、セクタ２１に選択信号１として入力される。

[0281] なお、選択信号生成論理回路１２２～１２４のセクタ２０２からも同様に、セクタ２２～２４に選択信号２～４がそれぞれ入力される。

[0282] 次に、図１５Ａ、図１５Ｂを用いて、シフトレジスタ１３０が保持するディレイ設定データについて説明する。

[0283] 図１５Ａは、実施の形態１の信号遅延装置１００のシフトレジスタ１３０が保持するディレイ設定データとディレイ番号（ディレイNo.）の対応関係の一例を示す図である。ディレイ番号は、信号遅延装置１００の遅延時間に対応する。図１５Ｂは、実施の形態１の信号遅延装置１００のシフトレジスタ１３０が保持するディレイ設定データを変更フラグ及び選択信号とともに示す図である。

- [0284] 図 1 5 A に示すように、ディレイ設定データは、微調整用のディレイ設定 F F 1 ~ ディレイ設定 F F 5 に設定される 5 ビットのデータと、粗調整用の 3 つのディレイ設定 F F に設定される 3 ビットのデータとを含む。
- [0285] 微調整用のディレイ設定 F F 1 ~ ディレイ設定 F F 5 に設定される 5 ビットのディレイ設定データは、選択信号生成部 1 2 0 内の微調整用の選択信号生成論理回路 1 2 1 ~ 1 2 4 (図 1 4 A 参照) の各々に入力される。同様に、粗調整用の 3 つのディレイ設定 F F に設定される 3 ビットのディレイ設定データは、選択信号生成部 1 2 0 内の粗調整用の 2 つの選択信号生成論理回路に入力される。
- [0286] 図 1 5 A に示すように、粗調整用のディレイ設定データと微調整用のディレイ設定データは、それぞれ、左側のデータが " 1 " になり、右側のデータが " 0 " になるように構築されている。また、粗調整用のディレイ設定データと微調整用のディレイ設定データは、それぞれ、同一の粗調整用のディレイ設定データに対しては、ディレイ番号 (ディレイ N o .) が増加するに連れ、 " 1 " と " 0 " の境界が右にシフトするようになっている。
- [0287] 図 1 5 A に示すように、ディレイ番号が 0 から 3 までの間は、粗調整用の 3 ビットのディレイ設定データは " 1 " 、 " 0 " 、 " 0 " で固定される。また、ディレイ設定 F F 1 ~ ディレイ設定 F F 5 に設定される微調整用の 5 ビットのディレイ設定データは、 " 1 " 、 " 0 " 、 " 0 " 、 " 0 " 、 " 0 " から始まり、ディレイ設定 F F 1 からディレイ設定 F F 4 に設定されるディレイ設定データが順次 " 1 " に設定されて行く。ディレイ番号 (ディレイ N o .) が 3 になると、微調整用の 5 ビットのディレイ設定データは、 " 1 " 、 " 1 " 、 " 1 " 、 " 1 " 、 " 0 " となる。
- [0288] ディレイ番号が 4 になると、粗調整用の 3 ビットのディレイ設定データは " 1 " 、 " 1 " 、 " 0 " になり、微調整用の 5 ビットのディレイ設定データは、 " 1 " 、 " 0 " 、 " 0 " 、 " 0 " 、 " 0 " に戻る。
- [0289] ディレイ番号 (ディレイ N o .) が 4 から 7 までの間は、粗調整用の 3 ビットのディレイ設定データは " 1 " 、 " 1 " 、 " 0 " で固定され、微調整用の 5 ビ

ットのディレイ設定データは、ディレイ設定 F F 1 からディレイ設定 F F 4 に設定されるディレイ設定データが順次“1”に設定されて行く。ディレイ番号（ディレイ N o . ）が 7 になると、微調整用の 5 ビットのディレイ設定データは、“1”、“1”、“1”、“1”、“0”となる。

[0290] ここで、図 1 4 A に示す微調整用の選択信号生成論理回路 1 2 1 ~ 1 2 4 には、それぞれ、2 つのディレイ設定 F F からディレイ設定データが入力されるため、説明の便宜上、左側の入力端子への入力を左入力、右側の入力端子への入力を右入力と称す。

[0291] 変更フラグがオフ（“0”）の場合は、セクタ 2 1 ~ 2 4 に選択信号生成論理回路 1 2 1 ~ 1 2 4 内の N A N D 回路 2 0 1 の出力が、それぞれ選択信号 1 ~ 4 として入力される。

[0292] 上述のように、ディレイ設定データは、左側のデータが“1”になり、右側のデータが“0”になるように構築されている。

[0293] ここで、左入力、右入力が“1”、“1”となる選択信号生成論理回路（1 2 1 ~ 1 2 4 のいずれか）の出力（選択信号）は“1”となり、上述のように、ディレイ設定データは左側のデータが“1”である。

[0294] このため、左入力、右入力が“1”、“1”となるディレイ設定データの組合せは、前段（図中右側）のインバータ（3 2 ~ 3 4 のいずれか）から入力される信号を次段（図中左側）のインバータ（3 1 ~ 3 3 のいずれか）に伝送するセクタに入力される選択信号を生成するためのディレイ設定データの組合せである。

[0295] また、左入力、右入力が“1”、“0”となるディレイ設定データの組合せは、ディレイ設定データの 1 データと 0 データの境界となる組合せである。

[0296] 左入力、右入力が“1”、“0”である場合は、選択信号生成論理回路（1 2 1 ~ 1 2 4 のいずれか）の出力（選択信号）は“0”となるため、左入力、右入力が“1”、“0”となる選択信号生成論理回路に対応するセクタが信号の折り返し地点になる。

[0297] また、左入力、右入力が“0”、“0”である場合は、選択信号生成論理回路

(121～124のいずれか)の出力(選択信号)は“1”となり、上述のようにディレイ設定データは右側のデータが“0”である。

[0298] このため、左入力、右入力が“0”、“0”となるディレイ設定データの組合せは、信号の折り返し地点となるセクタよりも入出力端子IN、OUT側から見て奥側に位置し、省電力モードに設定されるセクタに入力される選択信号を生成するためのディレイ設定データの組合せである。

[0299] 以上より、図14Aに示す選択信号生成部120は、変更フラグが“0”である場合は、ディレイ設定データに含まれる連続する0又は1データの境界を検出し、境界位置を定める0及び1データに基づいて生成した選択信号を、遅延信号の遅延量に対応するセクタ(21～24のいずれか)に出力する。連続する0又は1データの境界は、ディレイ設定データの組合せにおいて、左入力、右入力が“1”、“0”となる部分である。

[0300] 左入力、右入力が“1”、“0”となるディレイデータの組合せは、信号の折り返し地点になるセクタ(21～24のいずれか)を生成するための選択信号を生成するためのディレイ設定データの組合せである。

[0301] また、図14Aに示す選択信号生成部120は、変更フラグが“0”である場合は、境界位置を特定する0データと1データとの論理積に基づいて生成する選択信号を、遅延信号の遅延量以上の遅延量に対応するインバータ(12～14のいずれか)からの出力信号を選択するセクタ(22～24のいずれか)に出力する。

[0302] すなわち、信号の折り返し地点となるセクタよりも入出力端子IN、OUT側から見て奥側に位置するセクタ(22～24のいずれか)には、左入力、右入力が“0”、“0”となるディレイ設定データの組合せに基づいて生成する選択信号が入力される。

[0303] 以上のように、実施の形態1の信号遅延装置100では、図15Aに示すディレイ設定データをシフトレジスタ130で順次シフトさせることにより、遅延調整回路110における遅延量を制御することができる。

[0304] なお、これは、選択信号生成部120に含まれる粗調整用の選択信号生成

論理回路についても同様である。

- [0305] このため、ディレイ番号（ディレイNo.）が0の場合は、微調整用の遅延調整回路110A内では、セクタ21が信号の折り返し地点になり、同様に、粗調整用の遅延調整回路110B内では、2段含まれるセクタのうち、入出力端子から見て手前側のセクタが信号の折り返し地点になる。このため、ディレイ番号（ディレイNo.）が0の場合の遅延時間は、微調整用の20psに粗調整用の80psを加算して100psである。
- [0306] ディレイ番号（ディレイNo.）が7の場合は、微調整用の遅延調整回路110A内では、セクタ24が信号の折り返し地点になり、同様に、粗調整用の遅延調整回路110B内では、2段含まれるセクタのうち、入出力端子から見て奥側のセクタが信号の折り返し地点になる。このため、ディレイ番号（ディレイNo.）が7の場合の遅延時間は、微調整用の80psに粗調整用の160psを加算して240psである。
- [0307] このように、微調整用と粗調整用のディレイ設定データをシフトすれば、100ps～240psまで遅延量を調整することができる。
- [0308] なお、ディレイ設定データは、上述のように“0”又は“1”の値を有するデータであるが、例えば、選択信号生成部120又はシフトレジスタ130に否定演算を行う否定演算器を追加し、上述のディレイ設定データとは“0”と“1”を反転させたディレイ設定データを用いてもよい。
- [0309] 次に、図15Bを用いて、ディレイ設定データ、変更フラグ、及び選択信号の組合せと動作との関係について説明する。
- [0310] 実施の形態1では、ディレイ設定データは、ディレイ設定FF1～ディレイ設定FF5に設定される5ビットのデータであり、選択信号生成論理回路121～124の各々に入力される。
- [0311] 選択信号生成論理回路121には、左側に位置するディレイ設定FF1と、右側に位置するディレイ設定FF2からそれぞれディレイ設定データが入力される。図15Bには、ディレイ設定FF1、ディレイ設定FF2が保持するディレイ設定データを左入力、右入力として表す。

- [0312] 同様に、選択信号生成論理回路 1 2 2 については、ディレイ設定 F F 2、ディレイ設定 F F 3 が保持するディレイ設定データを左入力、右入力として表す。また、選択信号生成論理回路 1 2 3 については、ディレイ設定 F F 3、ディレイ設定 F F 4 が保持するディレイ設定データを左入力、右入力として表し、選択信号生成論理回路 1 2 4 については、ディレイ設定 F F 4、ディレイ設定 F F 5 が保持するディレイ設定データを左入力、右入力として表す。
- [0313] また、選択信号生成論理回路 1 2 1 ~ 1 2 4 は、変更フラグ、左入力、及び右入力に対して同一の動作を行う。このため、図 1 5 B の説明では、選択信号生成論理回路 1 2 1 ~ 1 2 4 内に含まれる N A N D 回路 2 0 1 とセクタ 2 0 2 を区別せずに説明を行うこととし、選択信号 1 ~ 4 を区別せずに選択信号と称す。
- [0314] まず、変更フラグが“0”、左入力、右入力が“0”、“0”である場合について説明する。
- [0315] 左入力、右入力が“0”、“0”だと、N A N D 回路 2 0 1 の出力は“1”になる。また、変更フラグが“0”の場合は、セクタ 2 0 2 は N A N D 回路 2 0 1 の出力を選択するため、セクタ 2 0 2 から出力される選択信号は“1”になる。
- [0316] ここで、上述のように、左入力、右入力が“1”、“0”となる選択信号生成論理回路に対応するセクタは信号の折り返し地点になるセクタである。
- [0317] このため、変更フラグが“0”の場合に、左入力、右入力が“0”、“0”となるのは、遅延調整回路 1 1 0 の入出力端子 I N、O U T から見て信号の折り返し地点よりも奥側にあるセクタ（2 2 ~ 2 4 のいずれか）に選択信号を入力する選択信号生成論理回路（1 2 2 ~ 1 2 4 のいずれか）に対するディレイ設定データの組合せである。
- [0318] なお、選択信号が“1”に設定されるため、微調整用の遅延調整回路 1 1 0 A 内のセクタ（2 2 ~ 2 4 のいずれか）は省電力モードに設定されることになる。

- [0319] 次に、変更フラグが“0”、左入力、右入力が“1”、“0”の場合について説明する。
- [0320] 左入力、右入力が“1”、“0”だと、NAND回路201の出力は“0”になる。変更フラグが“0”の場合は、セクタ202はNAND回路201の出力を選択するため、セクタ202から出力される選択信号は“0”になる。また、選択信号が“0”になるのは、信号の折り返し地点になるセクタ（21～24のいずれか）に入力される選択信号である。
- [0321] このため、変更フラグが“0”の場合に、左入力、右入力が“1”、“0”となるのは、遅延調整回路110における信号の折り返し地点となるセクタ（21～24のいずれか）に選択信号を入力する選択信号生成論理回路（121～124のいずれか）に対するディレイ設定データの組合せである。
- [0322] 次に、変更フラグが“0”、左入力、右入力が“1”、“1”の場合について説明する。
- [0323] 左入力、右入力が“1”、“1”だと、NAND回路201の出力は“1”になる。変更フラグが“0”の場合は、セクタ202はNAND回路201の出力を選択するため、セクタ202から出力される選択信号は“1”になる。
- [0324] このため、変更フラグが“0”の場合に、左入力、右入力が“1”、“1”となるのは、遅延調整回路110の入出力端子IN、OUTから見て信号の折り返し地点よりも手前側にあるセクタ（21～23のいずれか）に選択信号を入力する選択信号生成論理回路（121～123のいずれか）に対するディレイ設定データの組合せである。
- [0325] 次に、変更フラグが“1”の場合について説明する。変更フラグが“1”の場合は、選択信号生成論理回路121～124内のセクタ202は、右入力をそのまま選択信号として出力するため、左入力は関係なくなる。このため、図15Bには変更フラグが“1”の場合における左入力をXで示す。
- [0326] まず、変更フラグが“1”で、右入力が“0”の場合について説明する。
- [0327] 変更フラグが“1”で、右入力が“0”の場合は、セクタ202から出力される選択信号は“0”になる。

- [0328] ここで、右入力が“0”になる場合があるのは、図15Aに示すように、信号の折り返し地点になるセクタ（21～24のいずれか）、又は、入出力端子IN、OUTから見て信号の折り返し地点よりも奥側にあるセクタ（21～24のいずれか）に選択信号を入力する選択信号生成論理回路（122～124のいずれか）である。
- [0329] また、変更フラグが“1”になるのは、信号の折り返し地点になるセクタを変更する場合である。
- [0330] このため、変更フラグが“1”の場合に、右入力が“0”になるのは、新たに信号の折り返し地点になるセクタ（21～24のいずれか）、又は、入出力端子IN、OUTから見て新たに信号の折り返し地点よりも奥側にあるセクタ（21～24のいずれか）に選択信号を入力する選択信号生成論理回路（122～124のいずれか）である。
- [0331] なお、入出力端子IN、OUTから見て新たに信号の折り返し地点となるセクタ（21～24のいずれか）よりも奥側にあるすべてのセクタ（22～24、23～24、又は24）には、選択信号が“0”の場合、フォワード側のインバータ（11～14のいずれか）から信号が入力される。すなわち、省電力モードはオフである。
- [0332] このため、信号の折り返し地点を切り替える際に、入出力端子IN、OUTから見て新たに信号の折り返し地点となるセクタ（21～24のいずれか）よりも奥側にあるすべてのセクタ（22～24、23～24、又は24）は、省電力モードがオフにされる。
- [0333] 信号の折り返し地点を入出力端子IN、OUTから見て奥側にあるセクタに切り替える際に、上述のように省電力モードをオフにすることは、各セクタに入力される選択信号を“0”にリセットすることによって行われる。
- [0334] 次に、変更フラグが“1”で、右入力が“1”の場合について説明する。
- [0335] 変更フラグが“1”で、右入力が“1”の場合は、選択信号は“1”になる。また、変更フラグが“1”であるときは、信号の折り返し地点を変更するときである。

- [0336] このため、変更フラグが“1”の場合に、右入力が“1”になるのは、信号の折り返し地点を変更するとき、新たな信号の折り返し地点よりも手前側にあるセレクト（21～23のいずれか）に選択信号を入力する選択信号生成論理回路（121～123のいずれか）である。
- [0337] 以上、実施の形態1の信号遅延装置100では、図15Bに示すディレイ設定データと変更フラグを用いて選択信号1～4を設定するとともに、省電力モードの切り替えを行う。
- [0338] 次に、図16を用いて、実施の形態1の信号遅延装置100における遅延処理について説明する。図16に示す処理は、図10に示す信号遅延装置100によって実現される処理であり、信号遅延装置100の制御方法を表す処理である。
- [0339] 図16は、実施の形態1の信号遅延装置100における処理を示すフローチャートである。
- [0340] 信号遅延装置100は、変更フラグがオフになっている場合（省電力機構はオンのとき）に、データ信号Dと取り込み信号Cの位相差が適切であるか否かを判定する（ステップS101）。
- [0341] 位相差が適切であるか否かの判定は、遅延調整判定部140（図11参照）が、取り込み信号Cの立ち上がりデータ信号Dの半周期の中央の前後の所定の範囲内にあるか否かを判定することによって行われる。
- [0342] ステップS101において遅延調整判定部140によって位相差が適切であると判定された場合（S101 YES）は、信号遅延装置100は、変更フラグがオンであるか否かを判定する（ステップS102）。変更フラグがオンであるか否かは、変更フラグFF170から出力される変更フラグ、又は選択信号生成部120に入力される変更フラグの値に基づいて行う。
- [0343] ステップS102において変更フラグがオンではないと判定した場合（S102 NO）は、信号遅延装置100は、フローをステップS103に進行し、クロック信号の立ち上がりで変更フラグをオンにする（ステップS103）。ここでは、ステップS101で位相差が適切ではないと判定し、ス

テップS 1 0 2で変更フラグがオフであると判定しているので、信号の折り返し地点の変更の準備をするために変更フラグをオンにする。

[0344] 次いで、信号遅延装置 1 0 0は、省電力機構をオフにする（ステップS 1 0 4）。信号遅延装置 1 0 0は、変更フラグがオンになると、省電力機構をオフにする。

[0345] 信号遅延装置 1 0 0は、ステップS 1 0 4の処理が終了すると、すべての処理が終了か否かを判定する（ステップS 1 0 6）。処理を終了するのは、信号遅延装置 1 0 0の動作を終了するときである。

[0346] 信号遅延装置 1 0 0は、処理を終了しないと判定すると（S 1 0 6 NO）、フローをステップS 1 0 1にリターンする。

[0347] 信号遅延装置 1 0 0は、ステップS 1 0 1で再び位相差が適切であるか否かを判定するが、1サイクル前のステップS 1 0 1において位相差が適切ではないと判定した後に、信号の折り返し地点は未だ変更されていないため、2サイクル目のステップS 1 0 1においても、位相差は適切ではないと判定する（ステップS 1 0 1）。これにより、フローはステップS 1 0 2に進行する。

[0348] 信号遅延装置 1 0 0は、2サイクル目のステップS 1 0 2において、再び変更フラグがオンであるか否かを判定する（ステップS 1 0 2）。信号遅延装置 1 0 0は、1サイクル目のステップS 1 0 3で変更フラグをオンにしているため、2サイクル目のステップS 1 0 2では、変更フラグはオンである（S 1 0 2 YES）と判定する。この結果、フローはステップS 1 0 5に進行する。

[0349] 信号遅延装置 1 0 0は、信号の折り返し地点の変更を実行する（ステップS 1 0 5）。これにより、例えば、選択信号 1～4が“0”、“1”、“1”、“1”から“1”、“0”、“1”、“1”に切り替えられ、信号の折り返し地点がセレクタ 2 1からセレクタ 2 2に変更される。

[0350] なお、上述のように、信号遅延装置 1 0 0は、1サイクル目のステップS 1 0 3で変更フラグをオンにしてから、2サイクル目のステップS 1 0 5に

において信号の折り返し地点を変更するまでに、クロック 1 周期分の間隔を設けている。

[0351] このクロック 1 周期分の間に、省電力機構によって遅延調整回路 110 内に生じ得る無効データは除去されているので、信号の折り返し地点の変更を行った後の取り込み信号 C を用いてデータ信号を取り込めば、データ信号を正確に取り込むことができる。

[0352] 信号遅延装置 100 は、ステップ S105 の処理が終了すると、すべての処理が終了か否かを判定する（ステップ S106）。処理を終了するのは、信号遅延装置 100 の動作を終了するときである。

[0353] 信号遅延装置 100 は、処理を終了しないと判定すると（S106 NO）、フローをステップ S101 にリターンする。

[0354] 信号遅延装置 100 は、3 サイクル目のステップ S101 において、位相差が適切であるか否かを判定する（ステップ S101）。

[0355] ここで、位相差が適切であれば（S101 YES）、信号遅延装置 100 は、フローをステップ S107 に進行する。一方、位相差が適切でなければ（S101 NO）、信号遅延装置 100 は、フローをステップ S102、S105 に進行し、ステップ S101 において位相差が適切であると判定するまで、ステップ S101、S102、S105、S106 の処理を繰り返し実行する。

[0356] ステップ S101 で位相差が適切である（S101 YES）と判定すると、信号遅延装置 100 は、変更フラグをオフにする（ステップ S107）。取り込み信号 C の遅延量は適切な値になり、信号の折り返し地点の変更が不要になったため、信号遅延装置 100 は、変更フラグをオフにする。

[0357] 次に、信号遅延装置 100 は、省電力機構をオンにする（ステップ S108）。信号の折り返し地点の変更が終了した後は、電力消費を抑えるために再び省電力機構をオンにする。

[0358] 以上により、図 16 に示す実施の形態 1 の信号遅延装置 100 における遅延処理が終了する。

- [0359] 次に、図 17 のタイミングチャートを用いて、実施の形態 1 の信号遅延装置 100 の動作について説明する。
- [0360] 図 17 は、実施の形態 1 の信号遅延装置 100 の微調整用の遅延調整回路 110A におけるディレイ設定データ、選択信号の関係を示すタイミングチャートである。
- [0361] ここでは、ディレイ設定データを図 15A に示したディレイ番号 0 からディレイ番号 1 にシフトする場合について説明する。すなわち、信号遅延装置 100 内の粗調整用の遅延調整回路 110B 内での信号の折り返し地点は固定して、微調整用の遅延調整回路 110A 内の信号の折り返し地点をセクタ 21 からセクタ 22 に変更する場合について説明する。
- [0362] 図 17 に示すように、時刻 t_0 では、信号遅延装置 100 の信号の折り返し地点がセクタ 21 であり、省電力機構がオンであるため、選択信号 1 が“0”、選択信号 2～4 は“1”である。
- [0363] 時刻 t_{11} において、データ信号 D と取り込み信号 C の位相差が所定の閾値よりも大きいことが検出されると、遅延増大信号（+）が立ち上がり“1”になる。なお、遅延減少信号（-）は“0”のままである。
- [0364] ここで、所定の閾値は、例えば、取り込み信号 C の立ち上がりデータ信号 D の半周期の中央の前後の所定の範囲内に存在する場合のデータ信号 D と取り込み信号 C の位相差を表す値に設定される。
- [0365] 遅延増大信号（+）が“1”に立ち上がったことにより、時刻 t_{12} のクロックの立ち上がりで信号の折り返し地点を変更する準備を開始し、時刻 t_{13} で変更フラグがオンになる。これにより、省電力機構がオフになり、時刻 t_{14} で選択信号 2～4 が“1”から“0”になる。
- [0366] 省電力機構がオフの状態を選択信号 2～4 が“1”から“0”になると、インバータ 12、13、14 からセクタ 22、23、24 の各々を通じて、インバータ 32、33、34 に遅延調整回路 110 の入力端子 IN から入力されるデータが反映される。
- [0367] ここで、時刻 t_{14} より前は、信号の折り返し地点がセクタ 21 であり

、かつ、省電力機構がオンであるため、セクタ 24 の出力端子からインバータ 32 の出力端子の間には無効データが存在する。

[0368] しかしながら、時刻 t_{13} で変更フラグがオンになることにより、時刻 t_{14} で省電力機構がオフになり、セクタ 22、23、24 を通じてインバータ 32、33、34 に入力端子 IN から入力されるデータが反映されることにより、セクタ 24 の出力端子からインバータ 32 の出力端子の間にある無効データは、消失する。

[0369] 次に、時刻 t_{15} でクロックが立ち上がると、信号の折り返し地点を変更すべく、時刻 t_{16} でシフトレジスタ 130 のディレイ設定 FF2 が "1" になる。すなわち、ディレイ設定データが図 15A に示すディレイ番号 0 からディレイ番号 1 にシフトする。

[0370] そして、ディレイ設定 FF2 が "1" になったことにより、時刻 t_{17} で選択信号 1 が "1" になる。

[0371] このとき、ディレイ設定 FF3 は "0" のままであり、変更フラグはオンであるため、ディレイ設定 FF3 の値 "0" が選択信号 2 の値 "0" になり、セクタ 22 が信号の折り返し地点になる。

[0372] 時刻 t_{17} で信号の折り返し地点がセクタ 22 に切り替わると、セクタ 22 の出力信号は、インバータ 32 を通じてセクタ 21 に伝搬する。このため、図中に矢印 A で示すようにセクタ 22 の出力信号の立ち下がりがセクタ 21 の出力信号に立ち下がりとして伝搬する。

[0373] このため、時刻 t_{17} の後におけるセクタ 21 の出力信号の立ち下がりには遅延される。

[0374] そして、遅延されたセクタ 21 の出力信号は、矢印 B で示すように、遅延調整回路 110 の出力端子 OUT から出力される取り込み信号 C を遅延させる。

[0375] これにより、以後、取り込み信号 C の立ち上がりがデータ信号 D の半周期の中央に位置するようになる。

[0376] なお、時刻 t_{18} においてデータ信号 D と取り込み信号 C の位相差が所定

の閾値以下になることにより、遅延増大信号（+）が立ち下がる。すなわち、データ信号Dと取り込み信号Cの位相差が所定の閾値より大きいと判定されるのは、遅延増大信号（+）がHレベルである時刻 t 1 1 から t 1 8 の間である。

[0377] 時刻 t 1 9 のクロックの立ち上がりにおいて、データ信号Dと取り込み信号Cの位相差が適切であることが確認されると、時刻 t 2 0 で変更フラグがオフにされる。

[0378] 変更フラグがオフになると、省電力機構がオンになるため、遅延調整回路 1 1 0 の入出力端子 I N、O U T から見て折り返し地点であるセクタ 2 2 よりも奥側にあるセクタ 2 3、2 4 に固定データを入力すべく、時刻 t 2 1 で選択信号 3、選択信号 4 が“1”になる。

[0379] ここで、ディレイ番号 1 によるディレイ設定 F F 2 は“1”であり、ディレイ設定 F F 3 は“0”である。

[0380] 変更フラグがオンの間は、ディレイ設定 F F 3 の値“0”がそのまま選択信号 2 としてセクタ 2 2 に入力するが、変更フラグがオフになった後は、選択信号生成論理回路 1 2 2 内の N A N D 2 0 1 がディレイ設定 F F 2 の値“1”とディレイ設定 F F 3 の値“0”とに基づいて出力する“0”の値の選択信号 2 がセクタ 2 2 に入力する。

[0381] このため、変更フラグのオン／オフの切り替え前後で、信号の折り返し地点はセクタ 2 2 のままで不変である。

[0382] 以上のように、実施の形態 1 の信号遅延装置 1 0 0 は、データ信号Dと取り込み信号Cの位相差が所定の閾値以上になると、省電力機構をオフにし、クロックの 1 サイクル分の時間が経過した後に、信号の折り返し地点を変更する。

[0383] このため、クロックの 1 サイクル分の期間（準備期間）を待つ間に、無効データを除去することができ、遅延を調整した取り込み信号Cを用いてデータ信号Dを取り込むことにより、無効データを取り込むことはなく、正しいデータ信号Dを取り込むことができる。

[0384] また、以上のように実施の形態 1 の信号遅延装置 100 が正しいデータ信号 D を取り込むことができるので、実施の形態 1 の信号遅延装置 100 を I/O ポート 99 に含むサーバ 90（図 9 参照）は、無効データの取り込みによる動作不良を抑制でき、動作の安定性と信頼性を向上させることができる。

[0385] また、以上では、微調整用の遅延調整回路 110 を有する信号遅延装置 100 について説明した。しかし、粗調整用の遅延調整回路も含む場合は、遅延量を微小に調節しただけでも信号経路が大きく変わる場合があるので、微調整用の遅延調整回路 110 と同様に制御される粗調整用の遅延調整回路を含めば、遅延量の調整幅が大きできるとともに、より動作の安定性と信頼性を向上させた信号遅延装置を提供することができる。

[0386] また、以上のように実施の形態 1 の信号遅延装置 100 は、信号の折り返し地点の変更が終了すると、省電力機構を再びオンにするので、信号遅延装置 100 の省電力化を図ることができる。

[0387] このため、実施の形態 1 の信号遅延装置 100 を I/O ポート 99（図 9 参照）に用いれば、サーバ 99 の省電力化を図ることができる。

[0388] 以上より、実施の形態 1 によれば、消費電力の低減と出力信号の正確性を両立させた信号遅延装置、及び、信号遅延装置の制御方法を提供することができる。

[0389] <実施の形態 2>

図 18 は、実施の形態 2 の信号遅延装置を示す図である。

[0390] 実施の形態 2 の信号遅延装置 200 は、遅延調整回路 110A、選択信号生成部 220、シフトレジスタ 230、遅延調整判定部 140、及びディレイ設定データ生成部 150 を含む。

[0391] 実施の形態 2 の信号遅延装置 200 は、OR 回路 160、変更フラグ FF 170、及び AND 回路 180（図 10 参照）を含まない点が実施の形態 1 の信号遅延装置 100 と異なる。

[0392] 以下、実施の形態 1 の信号遅延装置 100 と同一又は同等の構成要素には

同一符号を付し、その説明を省略する。

[0393] 選択信号生成部 220 は、シフトレジスタ 230 が保持するディレイ設定データに基づき、遅延調整回路 110A に入力するための選択信号を生成する。選択信号生成部 220 は、実施の形態 1 の選択信号生成部 120 のように変更フラグの値が入力されないため、シフトレジスタ 230 から入力するディレイ設定データだけによって動作する点が実施の形態 1 の選択信号生成部 120 と異なる。

[0394] なお、選択信号生成部 220 の回路構成については、図 19 を用いて後述する。

[0395] シフトレジスタ 230 は、ディレイ設定データ生成部 150 によって設定されるディレイ設定データを保持する。シフトレジスタ 230 は、クロックが直接入力され、クロックの立ち上がりでディレイ設定データが更新される点が実施の形態 1 のシフトレジスタ 130 と異なる。

[0396] 次に、図 19 を用いて、実施の形態 2 の信号遅延装置 200 の遅延調整回路 110A、選択信号生成部 220、及びシフトレジスタ 230 の回路構成及び動作について説明する。

[0397] 図 19 は、実施の形態 2 の信号遅延装置 200 の遅延調整回路 110A、選択信号生成部 220、及びシフトレジスタ 230 の回路構成を示す図である。

[0398] 選択信号生成部 220 は、選択信号生成論理回路 221、222、223、224 を含む。選択信号生成論理回路 221、222、223、224 は、選択信号生成論理回路 221、222、223、224 の数に 1 を加えたビット幅のディレイ設定データを保持するシフトレジスタ 230 に接続されている。

[0399] 選択信号生成論理回路 221、222、223、224 は、それぞれ同様の回路構成を有しており、NAND 回路 251 及びバッファ 252 を有する。バッファ 252 は、入力信号を遅延して出力する遅延回路の一例である。バッファ 252 としては、例えば、入出力の遅延時間が実施の形態 1 の信号

遅延装置 100 におけるクロックの 1 サイクル程度に相当する素子を用いればよい。

- [0400] シフトレジスタ 230 は、5 つのディレイ設定 FF 1、ディレイ設定 FF 2、ディレイ設定 FF 3、ディレイ設定 FF 4、及びディレイ設定 FF 5 を含む。
- [0401] 選択信号生成論理回路 221 の NAND 回路 251 の一方の入力端子には、ディレイ設定 FF 1 の出力が入力され、他方の入力端子には、ディレイ設定 FF 2 の出力がバッファ 252 を介して反転して入力される。選択信号生成論理回路 221 の NAND 回路 251 の出力信号は、選択信号 1 として、遅延調整回路 110A のセクタ 21 の選択信号入力端子に入力される。
- [0402] 選択信号生成論理回路 222 の NAND 回路 251 の一方の入力端子には、ディレイ設定 FF 2 の出力が入力され、他方の入力端子には、ディレイ設定 FF 3 の出力がバッファ 252 を介して反転して入力される。選択信号生成論理回路 222 の NAND 回路 251 の出力信号は、選択信号 2 として、遅延調整回路 110A のセクタ 22 の選択信号入力端子に入力される。
- [0403] 選択信号生成論理回路 223 の NAND 回路 251 の一方の入力端子には、ディレイ設定 FF 3 の出力が入力され、他方の入力端子には、ディレイ設定 FF 4 の出力がバッファ 252 を介して反転して入力される。選択信号生成論理回路 223 の NAND 回路 251 の出力信号は、選択信号 3 として、遅延調整回路 110A のセクタ 23 の選択信号入力端子に入力される。
- [0404] 選択信号生成論理回路 224 の NAND 回路 251 の一方の入力端子には、ディレイ設定 FF 4 の出力が入力され、他方の入力端子には、ディレイ設定 FF 5 の出力がバッファ 252 を介して反転して入力される。選択信号生成論理回路 224 の NAND 回路 251 の出力信号は、選択信号 4 として、遅延調整回路 110A のセクタ 24 の選択信号入力端子に入力される。
- [0405] 実施の形態 2 の信号遅延装置 200 の選択信号生成論理回路 221 において、ディレイ設定 FF 1、ディレイ設定 FF 2 からそれぞれ "0"、"0" のディレイ設定データが入力されており、ディレイ設定 FF 2 のディレイ設定デ

ータ“0”は、バッファ252を経てNAND回路251に入力されていることとする。このときにNAND回路251が出力する選択信号1は、“1”である。

[0406] ディレイ設定FF1、ディレイ設定FF2のディレイ設定データが“0”、“0”から“1”、“1”に変化すると、NAND回路251の右側の入力は、バッファ252によって遅延されるため、一時的にNAND回路251に“1”、“0”が入力されることになる。このため、この中間的な段階では、NAND回路251が出力する選択信号1は、“0”になる。実施の形態2の信号遅延装置200は、バッファ252の遅延時間により生ずるこの中間的な段階を、無効データを消去するための準備期間として用いる。

[0407] そして、バッファ252の入出力の遅延時間が経過してNAND回路251に“1”、“1”のディレイ設定データが入力されると、NAND回路251が出力する選択信号1は、“1”になる。

[0408] 実施の形態2の信号遅延装置200は、上述のように準備期間設定部の一例としてのバッファ252を用いることにより、実施の形態1の信号遅延装置100で信号の折り返し地点を切り替える際にクロックの1サイクル分の期間に相当する準備期間を設けたことと同様の動作を実現する。

[0409] 次に、図20を用いて、実施の形態2の信号遅延装置200において選択信号1～4を得るためのディレイ設定データの組合せについて説明する。

[0410] 図20は、実施の形態2の信号遅延装置200において選択信号1～4を得るためのディレイ設定データの組合せと、選択信号1～4として出力されるNAND回路251の出力とを表形式で示す図である。

[0411] ここでは、ディレイ設定データを、選択信号生成論理回路221～224のそれぞれに入力する2ビットのデータの組として示す。選択信号生成論理回路221～224の各々の左側の入力端子への入力を左入力と称し、右側の入力端子への入力を右入力と称す。

[0412] また、変更する前のディレイ設定データを現入力と称し、変更後の新たなディレイ設定データを新入力と称し、それぞれ、左入力、右入力で示す。

- [0413] また、NAND回路251から出力される選択信号については、現入力反映された出力を現出力と称す。新入力が入力された直後でバッファ252の遅延時間により、NAND回路251の左側の入力端子にのみ新入力反映されている状態での出力を中間出力と称す。また、新入力NAND回路251の右側の入力端子にも反映された状態での出力を新出力と称す。
- [0414] 現入力の左入力、右入力が“1”、“1”の場合、現出力は、“1”である。新入力の左入力、右入力として“1”、“1”が入力されると、中間出力は“1”であり、新出力も“1”となる。このパターンの場合、出力としての選択信号は“1”で一定である。
- [0415] 現入力の左入力、右入力が“1”、“0”の場合、現出力は、“0”である。新入力の左入力、右入力として“1”、“1”が入力されると、中間出力は“0”であり、新出力は“1”となる。このパターンの場合、出力としての選択信号は、現出力、中間出力、新出力の順に“0”、“0”、“1”である。
- [0416] 現入力の左入力、右入力が“0”、“0”の場合、現出力は、“1”である。新入力の左入力、右入力として“1”、“1”が入力されると、中間出力は“0”であり、新出力は“1”となる。このパターンの場合、出力としての選択信号は、現出力、中間出力、新出力の順に“1”、“0”、“1”と変化する。
- [0417] 現入力の左入力、右入力が“0”、“0”の場合、現出力は、“1”である。新入力の左入力、右入力として“1”、“0”が入力されると、中間出力は“0”であり、新出力は“0”となる。このパターンの場合、出力としての選択信号は、現出力、中間出力、新出力の順に“1”、“0”、“0”と変化する。
- [0418] 実施の形態2では、選択信号生成論理回路221～224の各々について、図20に示す左入力、右入力の組合せによって表される5ビットのディレイ設定データを入力することにより、信号遅延装置200の駆動制御を行う。
- [0419] 次に、図21を用いて、遅延調整回路110Aにおける信号の折り返し地点の切り替えについて説明する。
- [0420] 図21は、実施の形態2の信号遅延装置200の遅延調整回路110Aに

おける信号の折り返し地点の切り替えを模式的に示す図である。

- [0421] シフトレジスタ 230 のディレイ設定 FF 1 ~ ディレイ設定 FF 5 に、現入力として "1"、"0"、"0"、"0"、"0" のディレイ設定データがそれぞれ入力されている状態から、新入力として "1"、"1"、"0"、"0"、"0" のディレイ設定データがそれぞれ入力されたとする。新入力は、ディレイ設定 FF 2 の値が "1" に変わっており、これは、ディレイ設定データが図 15 A に示したディレイ番号 0 からディレイ番号 1 にシフトする場合に相当する。
- [0422] このパターンでディレイ設定データが変化すると、選択信号 1 ~ 4 は、現出力が "0"、"1"、"1"、"1" であり、中間出力が "0"、"0"、"1"、"1" であり、新出力が "1"、"0"、"1"、"1" となる。
- [0423] これは、現出力では、選択信号 1 が "0" で選択信号 2 が "1" であるため、信号の折り返し地点がセクタ 21 であり、遅延調整回路 110 A の入出力端子 IN、OUT から見て奥側にあるセクタ 22、23、24 は省電力モードがオンになっていることを表している。このとき、セクタ 24 の出力端子からインバータ 32 の出力端子の間には無効データが存在する。
- [0424] また、中間出力では選択信号 2 だけが "0" に遷移することにより、セクタ 22 は省電力モードがオフになり、セクタ 22 の入力がインバータ 33 からインバータ 12 に変わる。このため、インバータ 12 の出力がセクタ 22 に入力するので、セクタ 22 の出力端子からインバータ 32 の出力端子の間に存在していた無効データが消去される。
- [0425] すなわち、上述のようにディレイ設定データが変化する際の中間出力による動作は、信号の折り返し地点がセクタ 21 からセクタ 22 に切り替わる際に、実施の形態 1 においてクロックの 1 サイクル分の期間の準備期間を設けて、無効データを消去した動作と同様である。
- [0426] なお、中間出力において選択信号 2 が "0" に遷移することは、選択信号がリセットされていることを表す。
- [0427] そして、新出力では、選択信号 1 だけ "1" に変わるため、セクタ 21 の入力はインバータ 11 からインバータ 32 に切り替わり、セクタ 21 は信

号の折り返し地点ではなくなり、セクタ 2 2 が信号の折り返し地点になる。

[0428] なお、信号の折り返し地点がセクタ 2 1 からセクタ 2 2 に切り替わる際に、選択信号 3、4 は“1”のままであり、セクタ 2 3、2 4、インバータ 3 3、3 4 には固定データが入力するが、セクタ 2 3、2 4 は信号の折り返し地点の切り替わりに無関係である。このため、信号の折り返し地点をセクタ 2 1 からセクタ 2 2 に切り替える際に、セクタ 2 3、2 4、インバータ 3 3、3 4 に存在する固定データが、遅延調整回路 1 1 0 A の出力信号に含まれることはない。

[0429] 次に、図 2 2 のタイミングチャートを用いて、実施の形態 2 の信号遅延装置 2 0 0 の動作について説明する。

[0430] 図 2 2 は、実施の形態 2 の信号遅延装置 2 0 0 の微調整用の遅延調整回路 1 1 0 A におけるディレイ設定データ、選択信号の関係を示すタイミングチャートである。

[0431] ここでは、ディレイ設定データを図 1 5 A に示したディレイ番号 0 からディレイ番号 1 にシフトする場合について説明する。すなわち、信号遅延装置 2 0 0 内の粗調整用の遅延調整回路 1 1 0 B 内での信号の折り返し地点は固定して、微調整用の遅延調整回路 1 1 0 A 内の信号の折り返し地点をセクタ 2 1 からセクタ 2 2 に変更する場合について説明する。

[0432] 図 2 2 に示すように、時刻 t_0 では、信号遅延装置 2 0 0 の信号の折り返し地点がセクタ 2 1 であり、選択信号 1 が“0”、選択信号 2～4 は“1”である。

[0433] 時刻 t_{11} において、データ信号 D と取り込み信号 C の位相差が所定の閾値よりも大きいことが検出されると、遅延増大信号（+）が立ち上がり“1”になる。なお、遅延減少信号（-）は“0”のままである。

[0434] ここで、所定の閾値は、例えば、取り込み信号 C の立ち上がりデータ信号 D の半周期の中央の前後の所定の範囲内に存在する場合のデータ信号 D と取り込み信号 C の位相差を表す値に設定される。

- [0435] 遅延増大信号（＋）が“1”に立ち上がったことにより、時刻 t_{12} のクロックの立ち上がりを受けて、時刻 t_{13} でディレイ設定 FF_2 が“1”になる。
- [0436] ディレイ設定 FF_2 が“1”になると、時刻 t_{14} で選択信号 2 の値が中間出力である“0”に変化する。
- [0437] 選択信号 2 が“1”から“0”になると、インバータ 12 からセクタ 22 を通じて、インバータ 32 に遅延調整回路 110 の入力端子 IN から入力されるデータが反映される。
- [0438] これにより、セクタ 22 の出力端子からインバータ 32 の出力端子までの間に存在する無効データが消失する。
- [0439] 次に、時刻 t_{15} で選択信号 1 が“1”になる。時刻 t_{13} でディレイ設定 FF_2 の値が“1”になってから時刻 t_{15} で選択信号 1 が“1”になるまでの間の時間は、バッファ 252 によってディレイ設定 FF_2 のディレイ設定データの伝達が遅延した時間に相当する。
- [0440] このとき、ディレイ設定 FF_3 は“0”のままであり、選択信号 2 の値は“0”であるため、セクタ 22 が信号の折り返し地点になる。
- [0441] 時刻 t_{15} で信号の折り返し地点がセクタ 22 に切り替わると、セクタ 22 の出力信号は、インバータ 32 を通じてセクタ 21 に伝搬する。このため、図中に矢印 A で示すようにセクタ 22 の出力信号の立ち下がりがセクタ 21 の出力信号に立ち下がりとして伝搬する。
- [0442] このため、時刻 t_{15} の後におけるセクタ 21 の出力信号の立ち下がりには遅延される。
- [0443] そして、遅延されたセクタ 21 の出力信号は、矢印 B で示すように、遅延調整回路 110 の出力端子 OUT から出力される取り込み信号 C を遅延させる。
- [0444] これにより、以後、取り込み信号 C の立ち上がりがデータ信号 D の半周期の中央に位置するようになる。
- [0445] なお、時刻 t_{16} においてデータ信号 D と取り込み信号 C の位相差が所定

の閾値以下になることにより、遅延増大信号（＋）が立ち下がる。すなわち、データ信号Dと取り込み信号Cの位相差が所定の閾値より大きいと判定されるのは、遅延増大信号（＋）がHレベルである時刻 t_{11} から t_{16} の間である。

[0446] 以上のように、実施の形態2の信号遅延装置200は、データ信号Dと取り込み信号Cの位相差が所定の閾値以上になると、まず、選択信号の中間出力を用いて無効データを消去し、クロックの1サイクル分の時間に相当する遅延時間の経過後に、信号の折り返し地点を変更する。

[0447] このため、遅延時間を待つ間に、無効データを除去することができ、遅延を調整した取り込み信号Cを用いてデータ信号Dを取り込むことにより、無効データを取り込むことはなく、正しいデータ信号Dを取り込むことができる。

[0448] また、以上のように実施の形態2の信号遅延装置200が正しいデータ信号Dを取り込むことができるので、実施の形態2の信号遅延装置200をI/Oポート99に含むサーバ90（図9参照）は、無効データの取り込みによる動作不良を抑制でき、動作の安定性と信頼性を向上させることができる。

[0449] 以上、本発明の例示的な実施の形態の信号遅延装置、及び、信号遅延装置の制御方法について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

符号の説明

- [0450]
- 90 サーバ
 - 91 LSI
 - 92 主記憶装置
 - 93 磁気ディスク装置
 - 94 プロセッサコア
 - 95 L1インストラクションキャッシュ

- 96 L1データキャッシュ
- 97 L2キャッシュ
- 98 メモリコントローラ
- 99 I/Oポート
- 100 信号遅延装置
- 110 遅延調整回路
- 120 選択信号生成部
- 130 シフトレジスタ
- 140 遅延調整判定部
- 141A、141B 入力端子
- 142、145、147 遅延部
- 143、144 FF
- 146 EOR回路
- 148 NOR回路
- 149A 出力端子
- 149B 出力端子
- 142A、145A、145B、147A、147B バッファ
- 142B インバータ
- 150 デレイ設定データ生成部
- 150A ENOR回路
- 151A、151B、151C、151D、152A、152B、152C、152D、153A、153B、153C、153D NAND回路
- 160 OR回路
- 170 変更フラグFF
- 180 AND回路
- 11、12、13、14 インバータ
- 21、22、23、24 セレクタ
- 31、32、33、34 インバータ

1 2 1、1 2 2、1 2 3、1 2 4 選択信号生成論理回路

2 0 1 N A N D回路

2 0 2 セレクタ

2 1 1、2 1 2 A N D回路

2 1 3 N O R回路

2 2 1、2 2 2、2 2 3、2 2 4 選択信号生成論理回路

2 5 1 N A N D回路

2 5 2 バッファ

請求の範囲

- [請求項1] 入力信号に遅延を与えた遅延信号を出力する信号遅延装置において、
- 、
- 互いに直列に接続された複数のディレイ部を有し、各ディレイ部が入力する信号に遅延を与えて出力するディレイ手段と、
- 互いに直列に接続され、前記複数のディレイ部のいずれかの出力が入力する複数の選択部を有し、最も先頭の実部を除く各選択部には、前段の選択部出力が入力し、入力する選択信号に応じて前記ディレイ部からの出力あるいは前段の選択部出力のいずれかを出力する、前記遅延信号を出力する選択手段と、
- 前記信号遅延装置の遅延量を設定するディレイ設定データを保持するレジスタ部と、
- 前記レジスタ部が保持するディレイ設定データに基づいて、対応するディレイ部出力を選択する選択部を示す選択信号を生成し、前記選択手段に出力する選択信号生成部とを有することを特徴とする、信号遅延装置。
- [請求項2] 前記各選択部は、入力する選択信号の論理値に応じて、前記ディレイ部からの出力あるいは前段の選択部出力を出力し、
- 前記ディレイ設定データとして複数桁のデータが前記レジスタ部に設定され、対応するディレイ部出力を選択させる選択部に対応する桁には、当該選択部に対応するディレイ部出力を出力させる論理値が設定されていることを特徴とする、請求項1記載の信号遅延装置。
- [請求項3] 前記ディレイ設定データには、前記対応するディレイ部出力を選択する選択部に対応する桁を境界として、特定論理値が連続するデータが設定されていることを特徴とする、請求項2記載の信号遅延装置。
- [請求項4] 前記信号遅延装置は更に、
- 前記選択部が出力する遅延信号と比較信号との位相を比較し、前記比較結果に応じて、前記遅延信号の遅延量を増大させる遅延増大信号ま

たは前記遅延信号の遅延量を減少させる遅延減少信号を出力する遅延調整判定部を有し、

前記レジスタ部は、

前記遅延調整判定部が出力する前記遅延増大信号又は前記遅延減少信号に基づき、前記ディレイ設定データをシフトすることを特徴とする請求項2に記載の信号遅延装置。

[請求項5]

前記信号遅延装置は更に、

前記遅延調整判定部が前記遅延増大信号あるいは前記遅延減少信号を出力したことを示す信号を出力する演算回路を有し、

前記選択信号生成部は、前記演算回路が出力した信号に基づき、前記レジスタ部が出力するディレイ設定データのうち、前記対応するディレイ部出力を選択する選択部に対応する桁のデータを反転して、選択信号として前記選択部に出力することを特徴とする、請求項4記載の信号遅延装置。

[請求項6]

前記信号遅延装置は更に、

前記遅延調整判定部が前記遅延増大信号あるいは前記遅延減少信号を出力したことを示す信号を出力する演算回路を有し、

前記選択信号生成部は、前記レジスタ部のいずれかのレジスタからの出力信号の反転信号と、当該レジスタに対して、前記遅延信号の遅延量を減少させる方向に隣接するレジスタからの出力信号との否定論理積を出力する否定論理積回路と、前記演算回路出力の値に応じて、前記否定論理積回路出力と、前記否定論理積回路にその出力信号の反転信号が入力するレジスタ出力とを選択して選択信号として出力する選択回路とを備えた、前記選択部のいずれかに対応する複数の選択信号生成回路を有することを特徴とする、請求項4記載の信号遅延装置。

[請求項7]

前記信号遅延装置において、

前記選択信号生成部は、

前記レジスタ部を構成するレジスタからの出力信号を遅延させる遅延回路と、

前記遅延回路出力を反転した信号と、前記遅延回路が出力信号を遅延させるレジスタに対して、前記遅延信号の遅延量を減少させる方向に隣接するレジスタからの出力信号との否定論理積を前記選択信号として出力する、いずれかの選択部に対応する否定論理積回路とを有することを特徴とする、請求項 4 記載の信号遅延装置。

[請求項8]

前記信号遅延装置において、

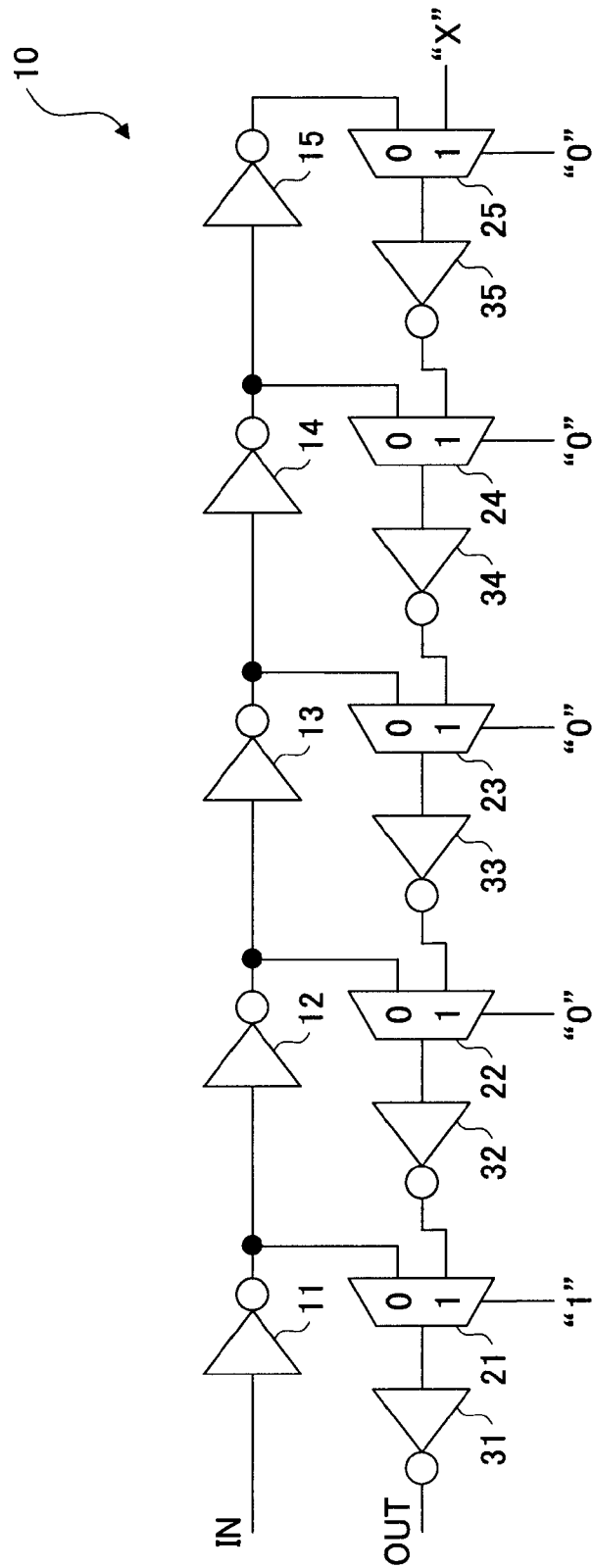
前記ディレイ部は、インバータ回路で構成され、

前記選択部は、セクタ回路とインバータ回路とを有することを特徴とする請求項 1 記載の信号遅延装置。

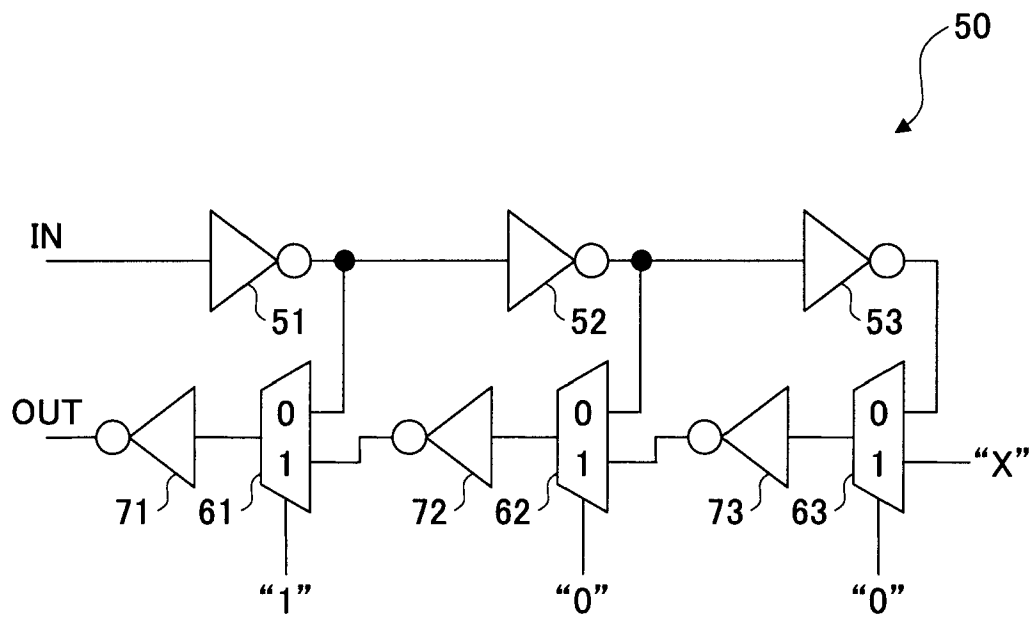
[請求項9]

入力信号を遅延させる遅延量に応じたディレイ設定データを保持するレジスタ部と、直列に接続された複数のディレイ部を有し入力信号を遅延させるディレイ手段と、前記複数のディレイ部のいずれかの出力が入力する、直列に接続された複数の選択部を有し、最も先頭を選択部を除く選択部には前段の選択部出力が入力し、前記ディレイ部からの出力あるいは前記前段の選択部出力のいずれかを出力する選択手段とを備えた信号遅延装置の制御方法において、前記レジスタ部に保持されたディレイ設定データに基づいて、対応するディレイ部出力を選択させる選択部を示す選択信号を出力するステップと、前記出力された選択信号が示す選択部により、ディレイ部からの出力信号を選択して、前記選択手段から遅延信号を出力するステップを有することを特徴とする信号遅延装置の制御方法。

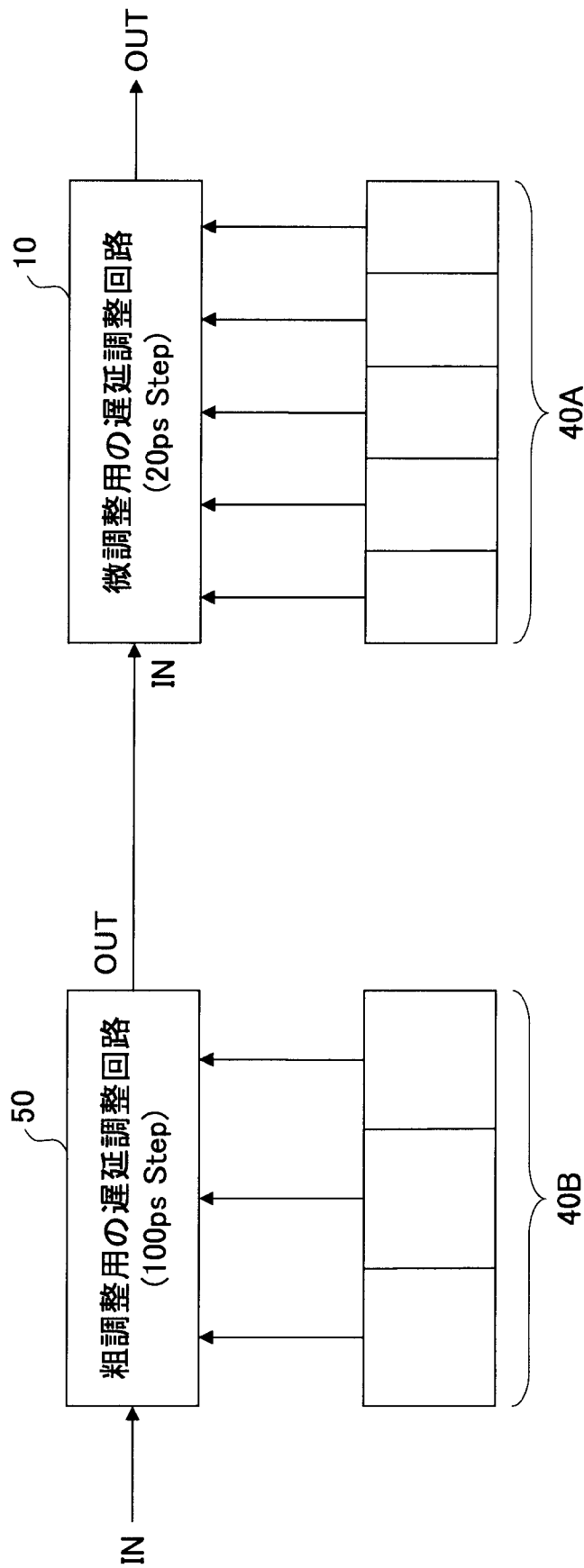
[図1A]



[図1B]



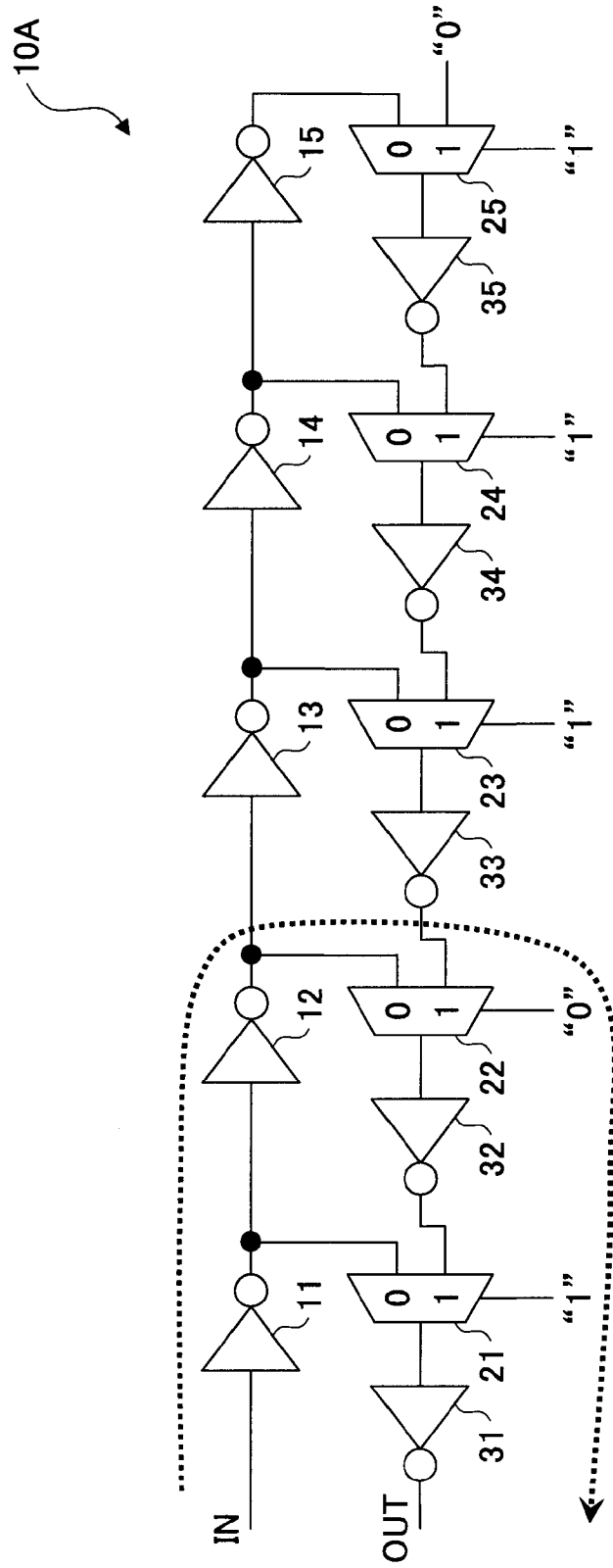
[図2]



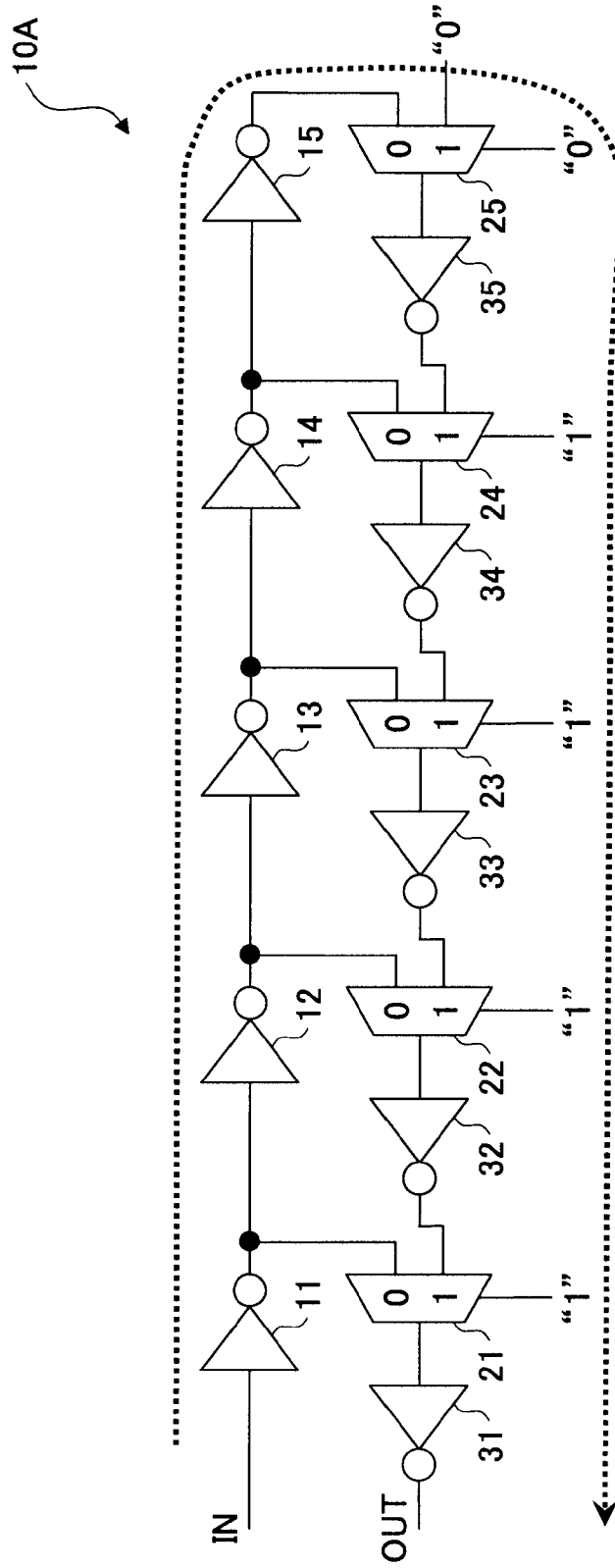
[図3]

ディレイNo.	粗調整			微調整				
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0
2	0	0	0	1	1	0	0	0
3	0	0	0	1	1	1	0	0
4	0	0	0	1	1	1	1	0
5	1	0	0	0	0	0	0	0
6	1	0	0	1	0	0	0	0
7	1	0	0	1	1	0	0	0
8	1	0	0	1	1	1	0	0
9	1	0	0	1	1	1	1	0
10	1	1	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0
12	1	1	0	1	1	0	0	0
13	1	1	0	1	1	1	0	0
14	1	1	0	1	1	1	1	0

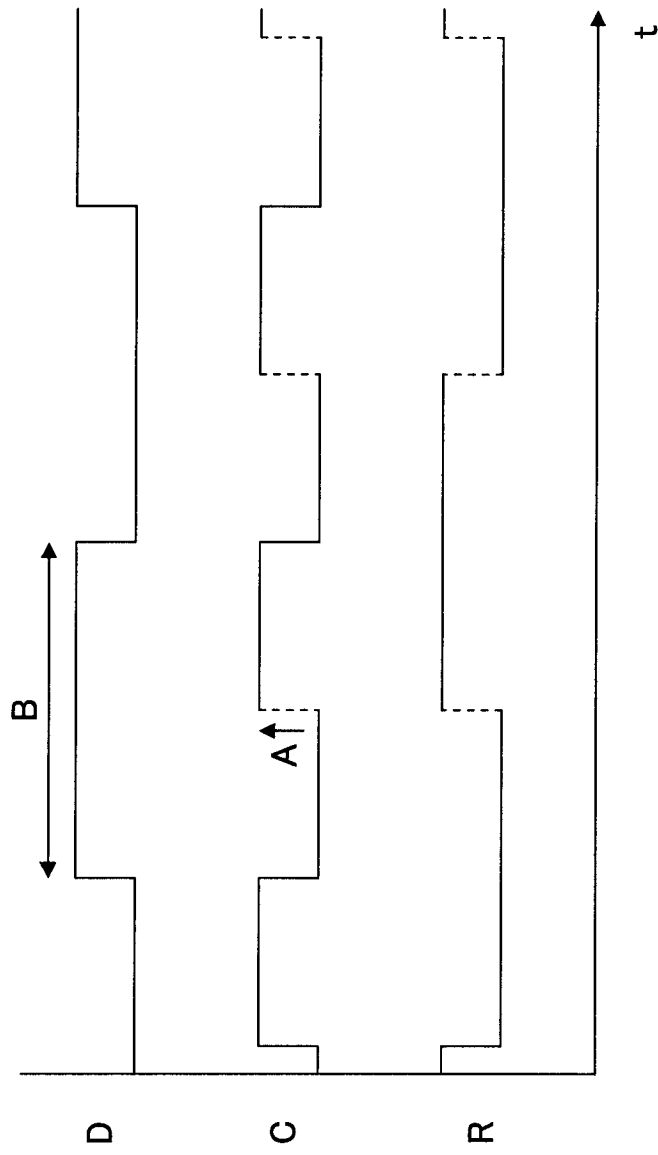
[図4A]



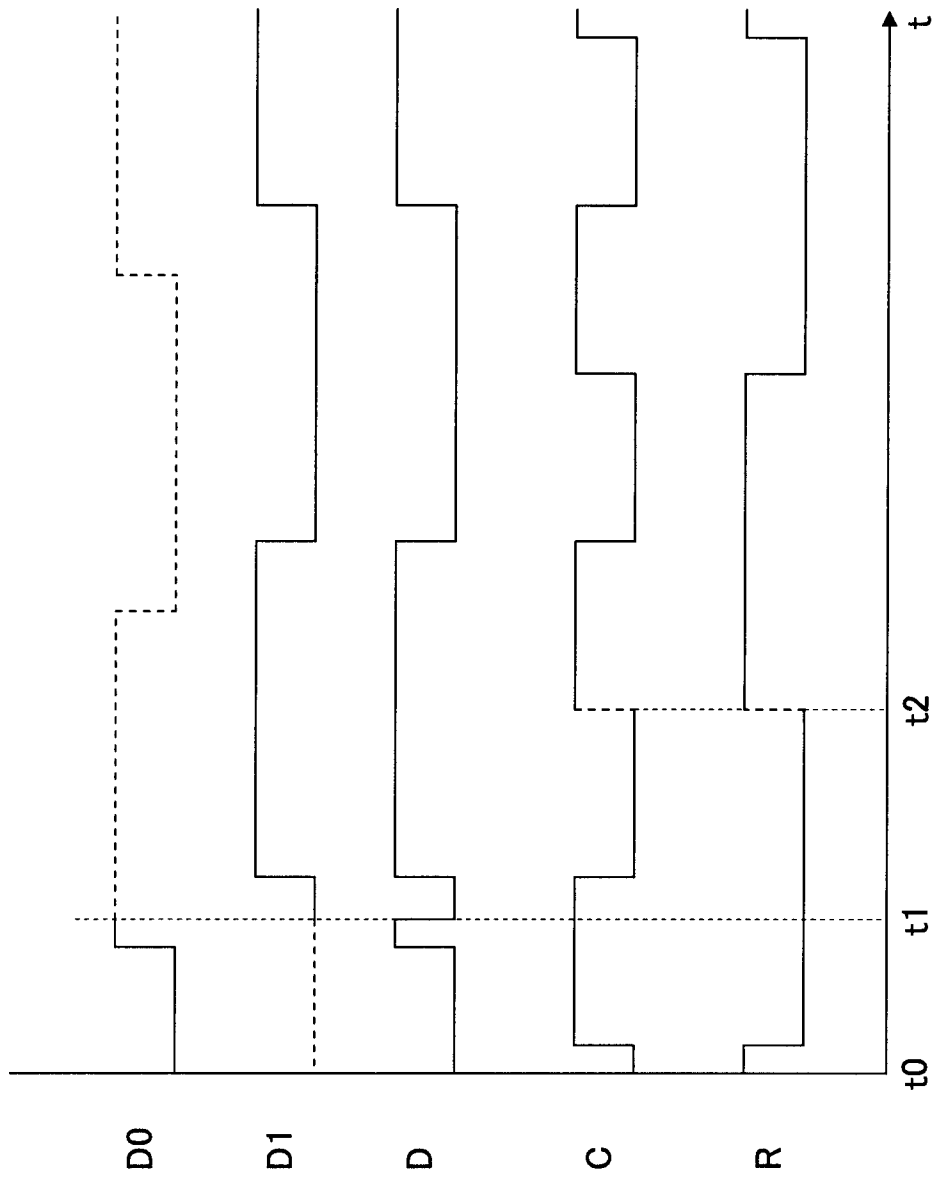
[図4B]



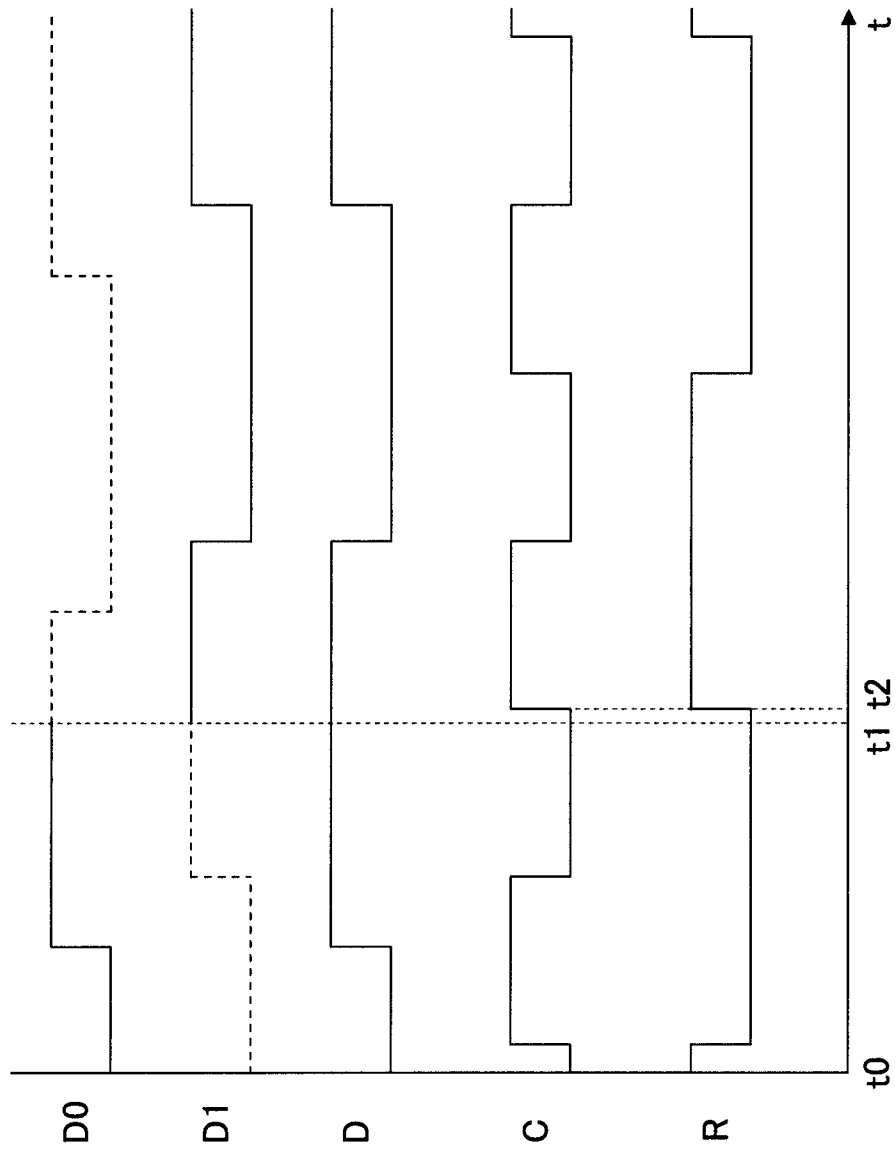
[図5]



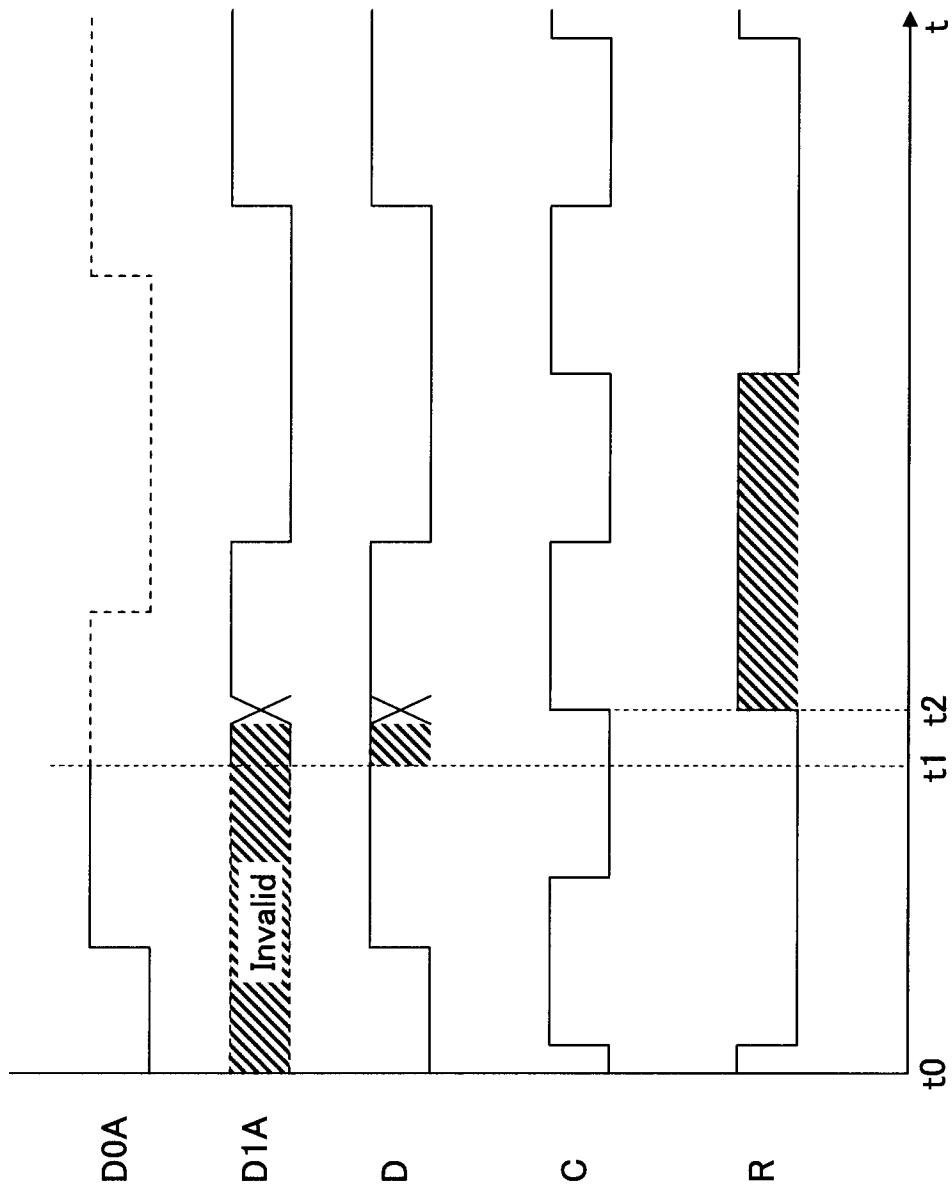
[図6]



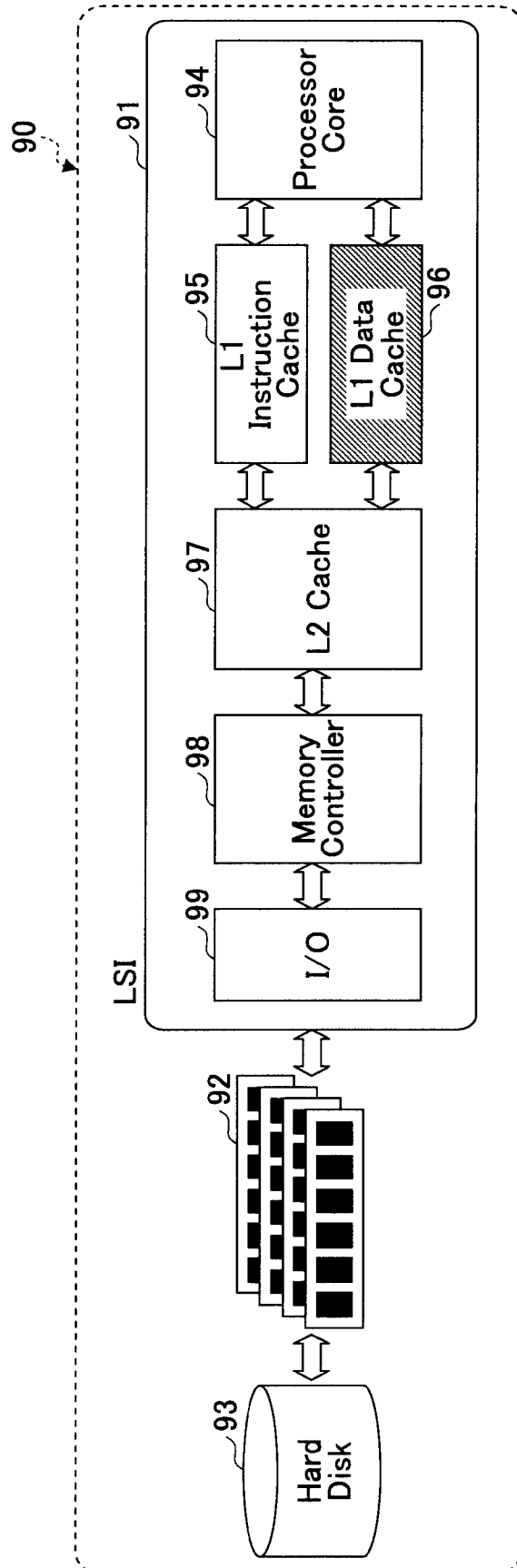
[図7]



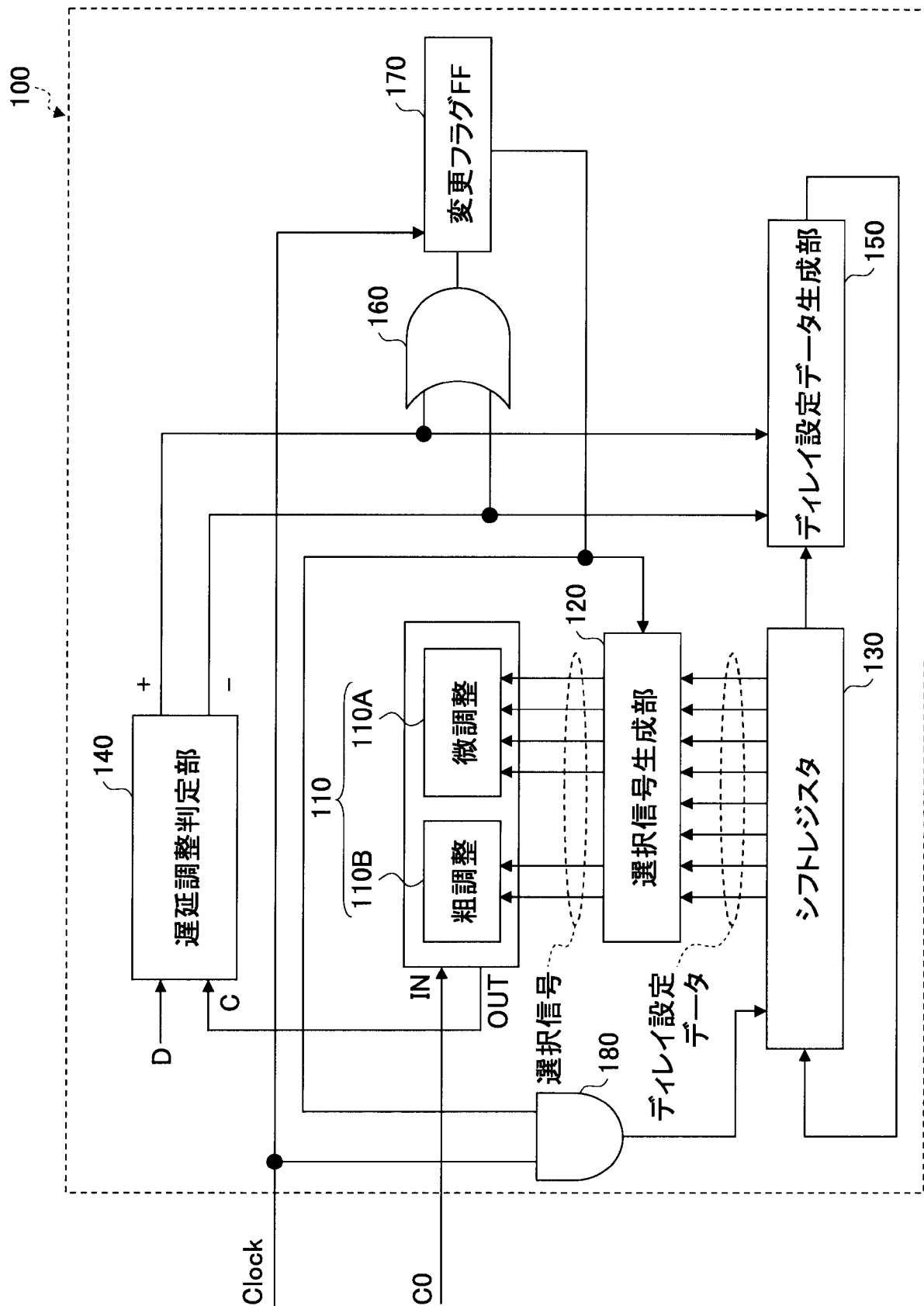
[図8]



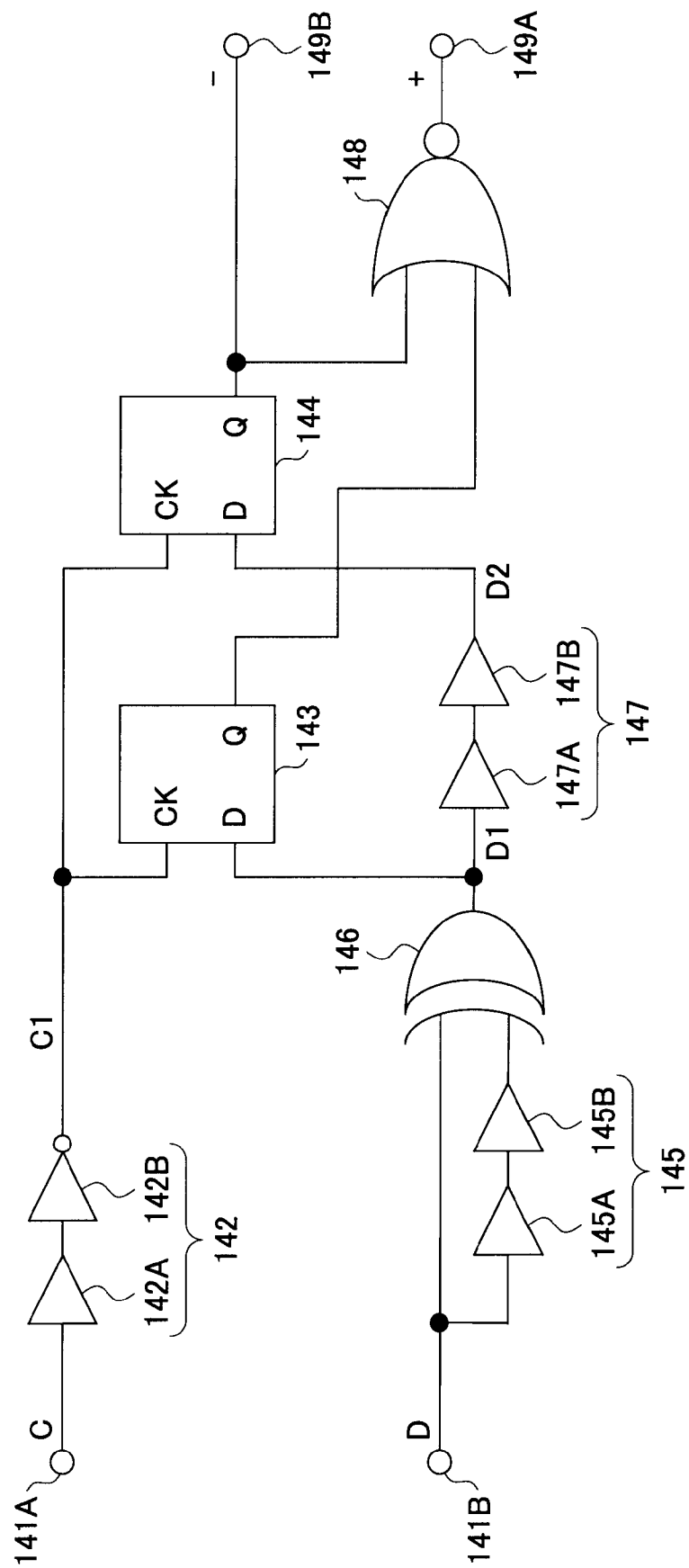
[図9]



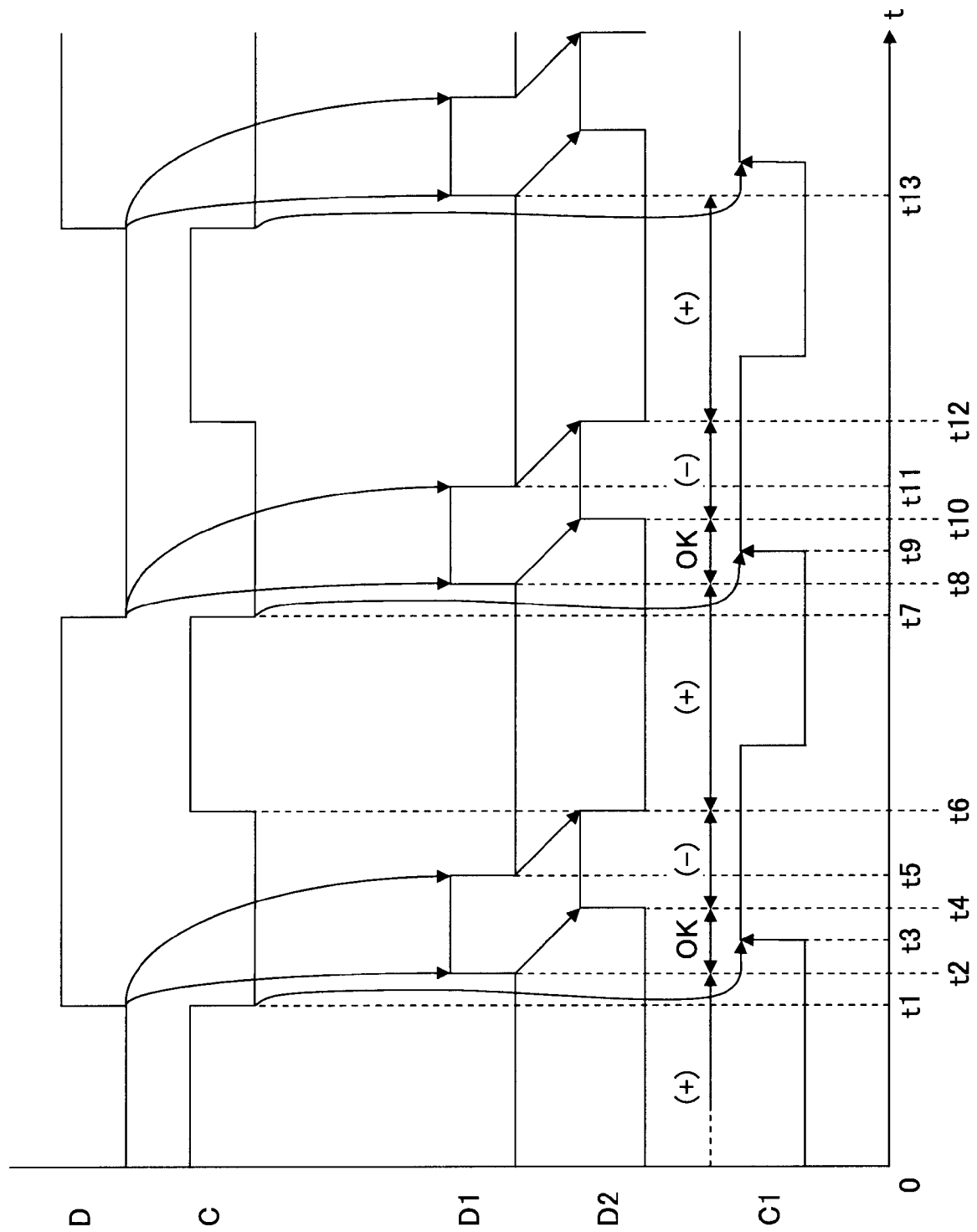
[図10]



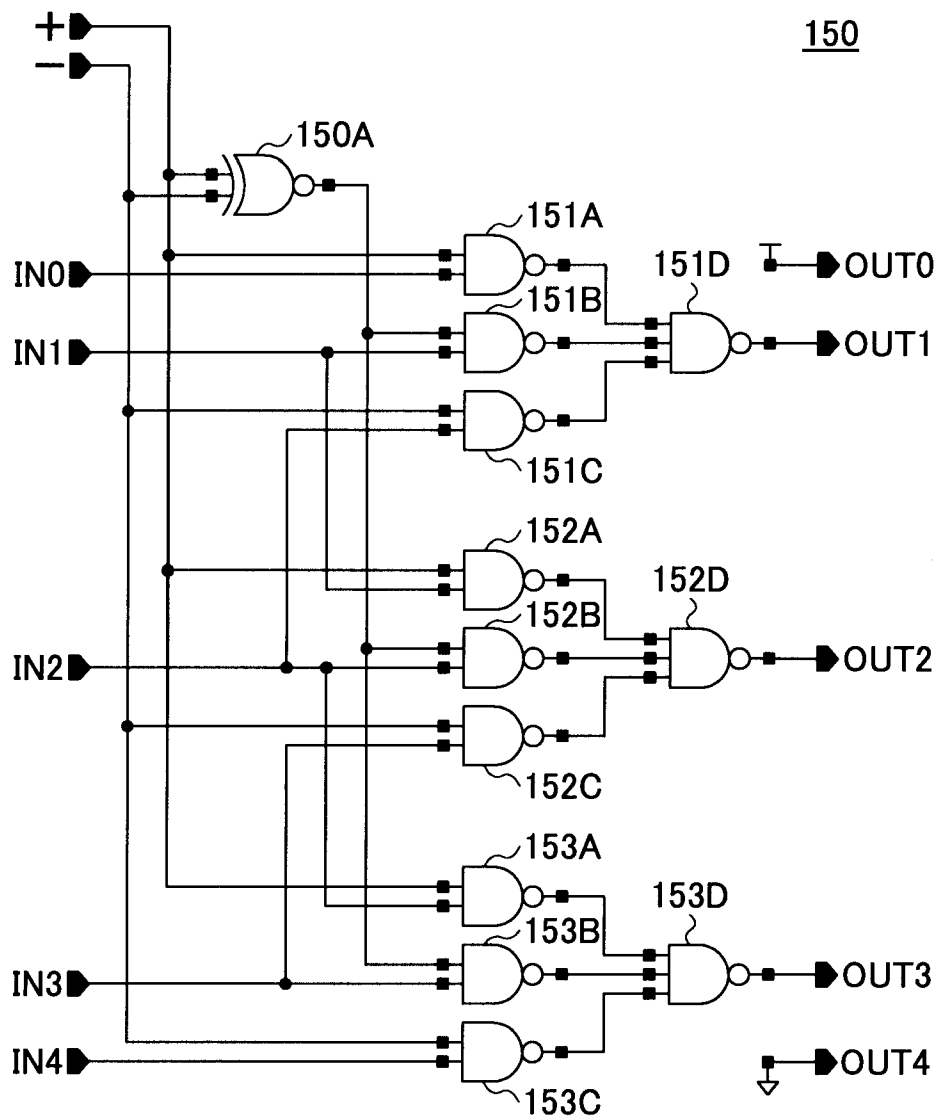
140



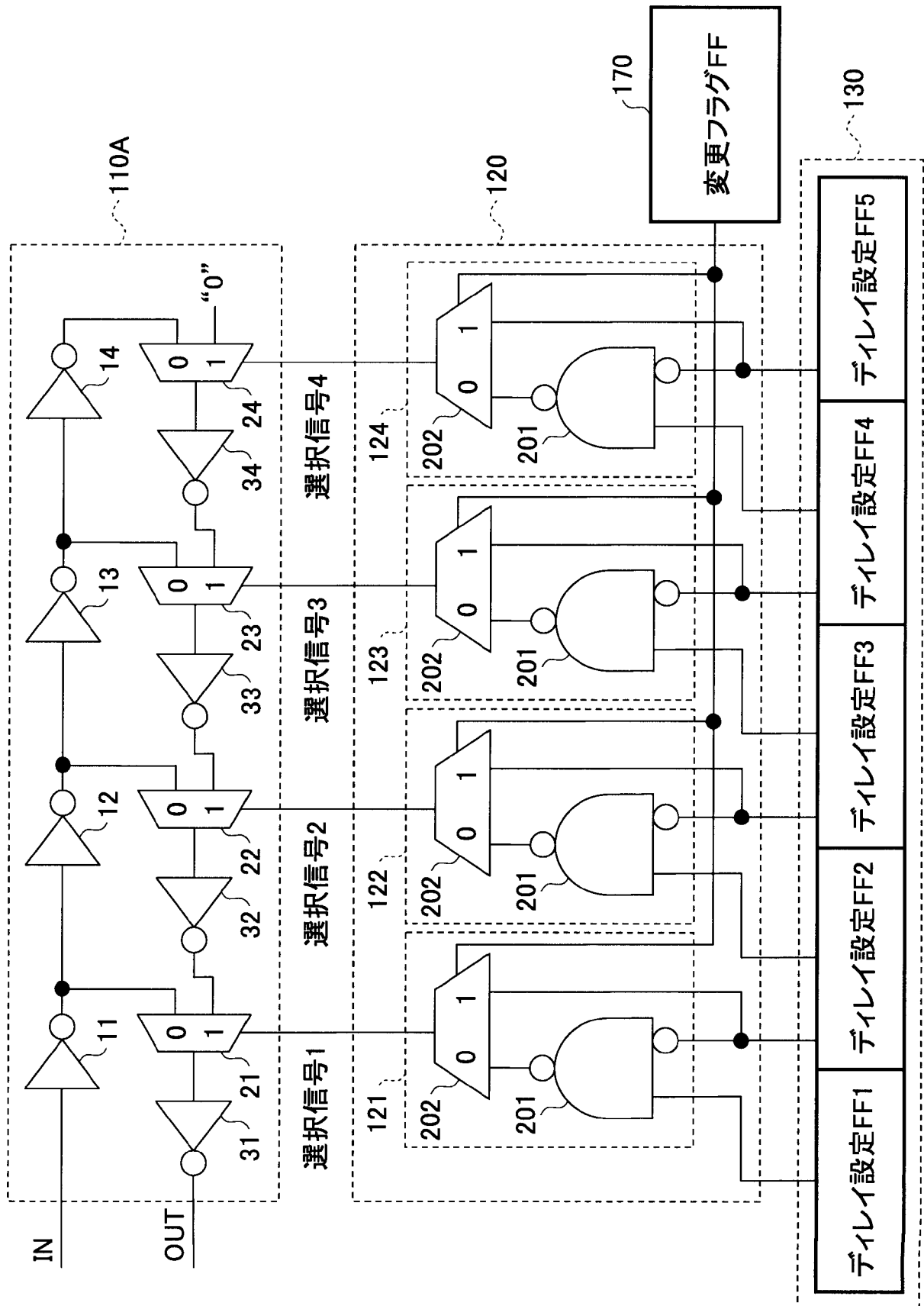
[図12]



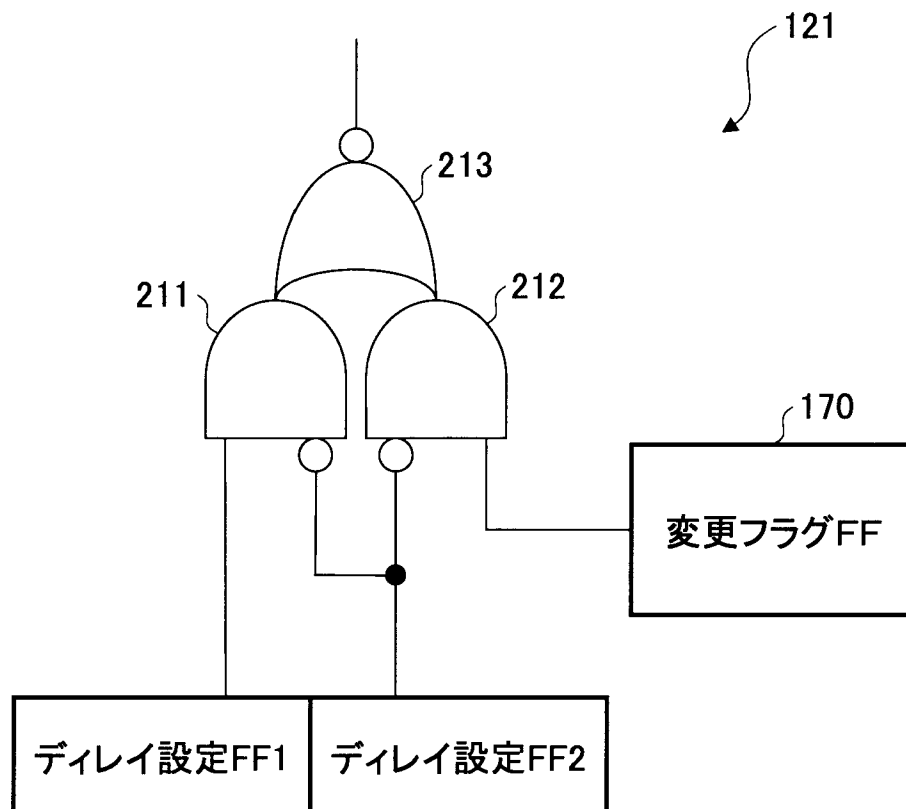
[図13]



[図14A]



[図14B]



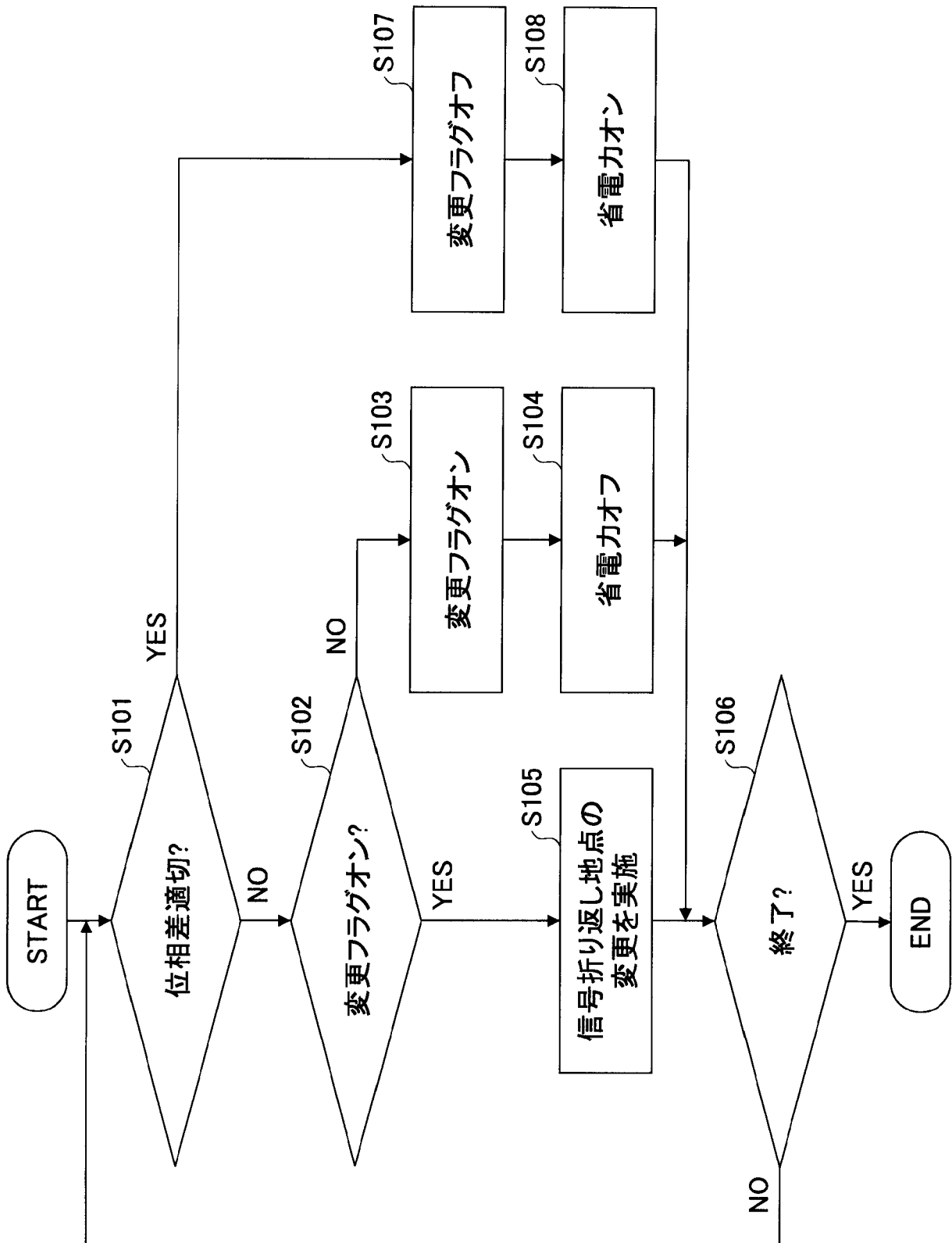
[図15A]

ディレイNo.	粗調整			微調整				
0	1	0	0	1	0	0	0	0
1	1	0	0	1	1	0	0	0
2	1	0	0	1	1	1	0	0
3	1	0	0	1	1	1	1	0
4	1	1	0	1	0	0	0	0
5	1	1	0	1	1	0	0	0
6	1	1	0	1	1	1	0	0
7	1	1	0	1	1	1	1	0

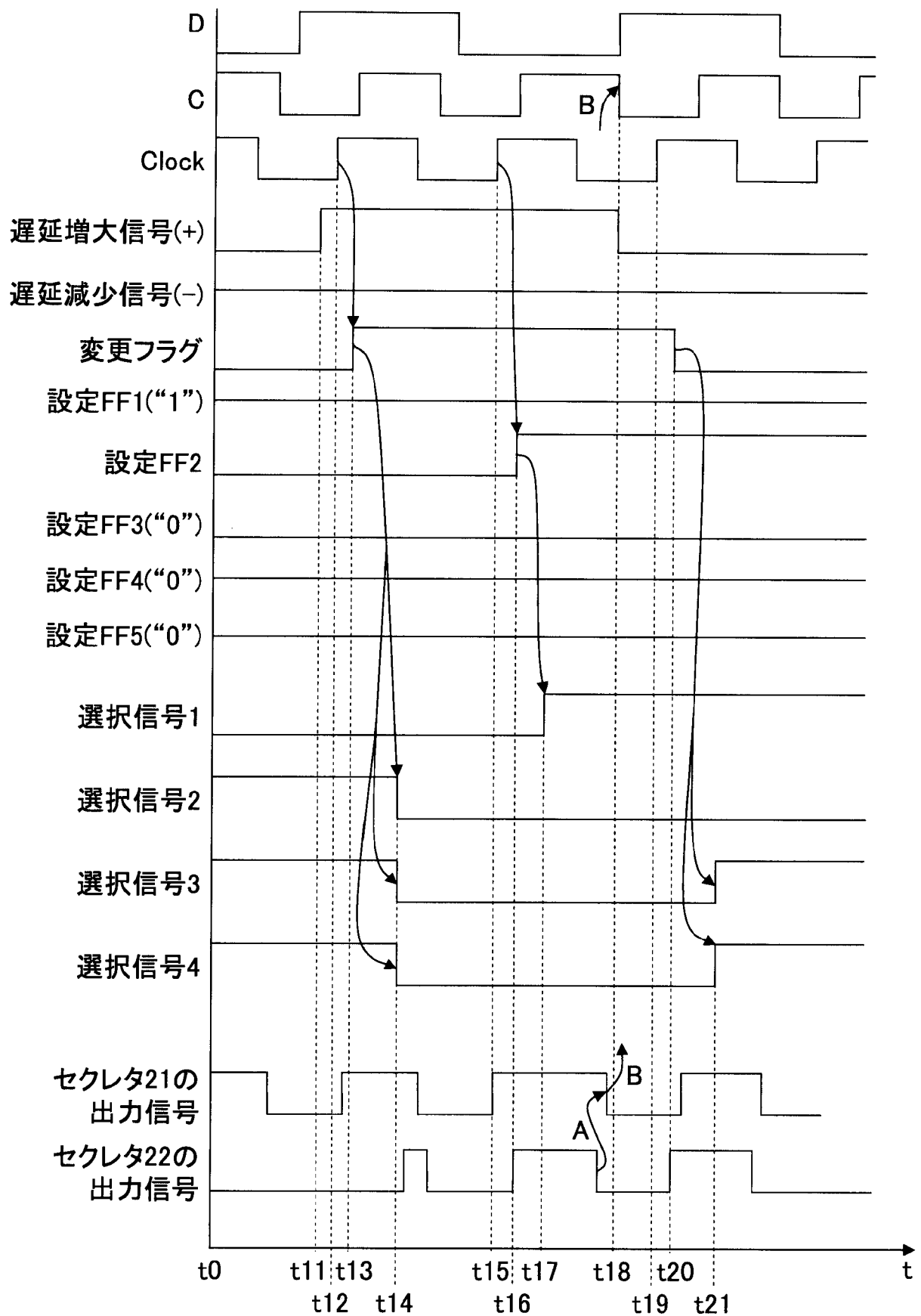
[図15B]

変更フラグ	左入力	右入力	選択信号	備考
0	0	0	1	折り返し地点より奥
0	1	0	0	折り返し地点
0	1	1	1	折り返し地点より手前
1	X	0	0	折り返し地点又は、折り返し地点より奥
1	X	1	1	折り返し地点より手前

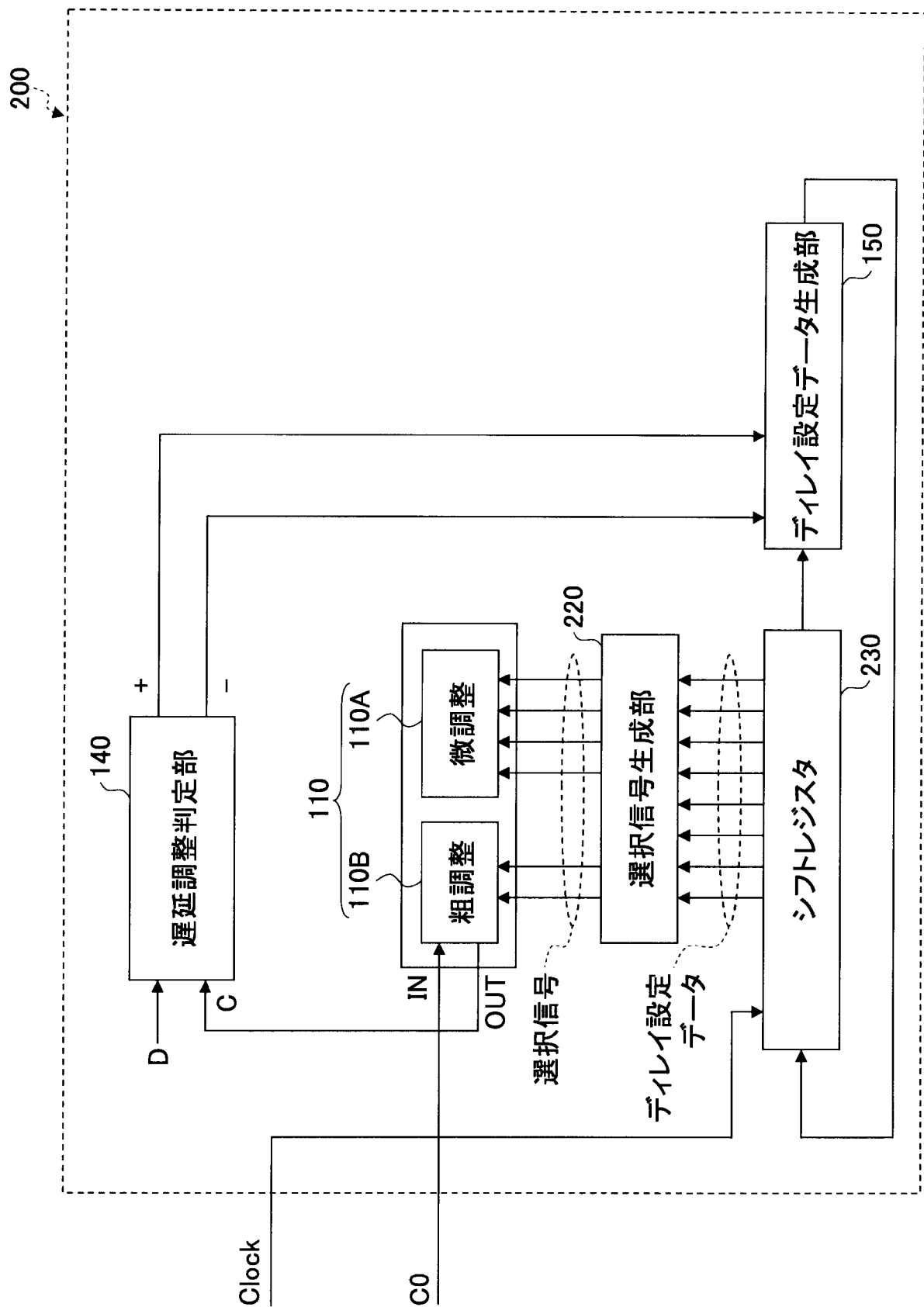
[図16]



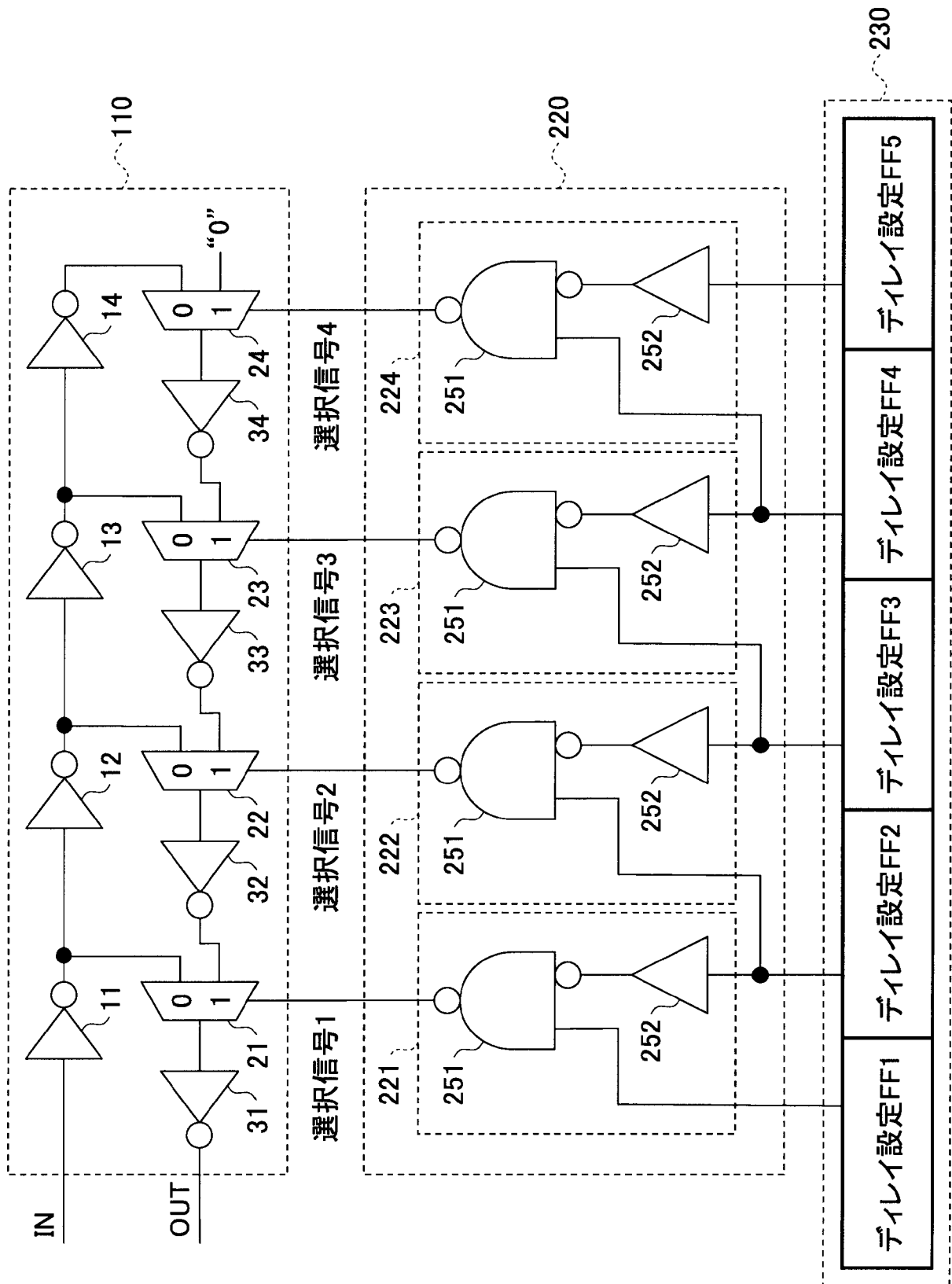
[図17]



[図18]



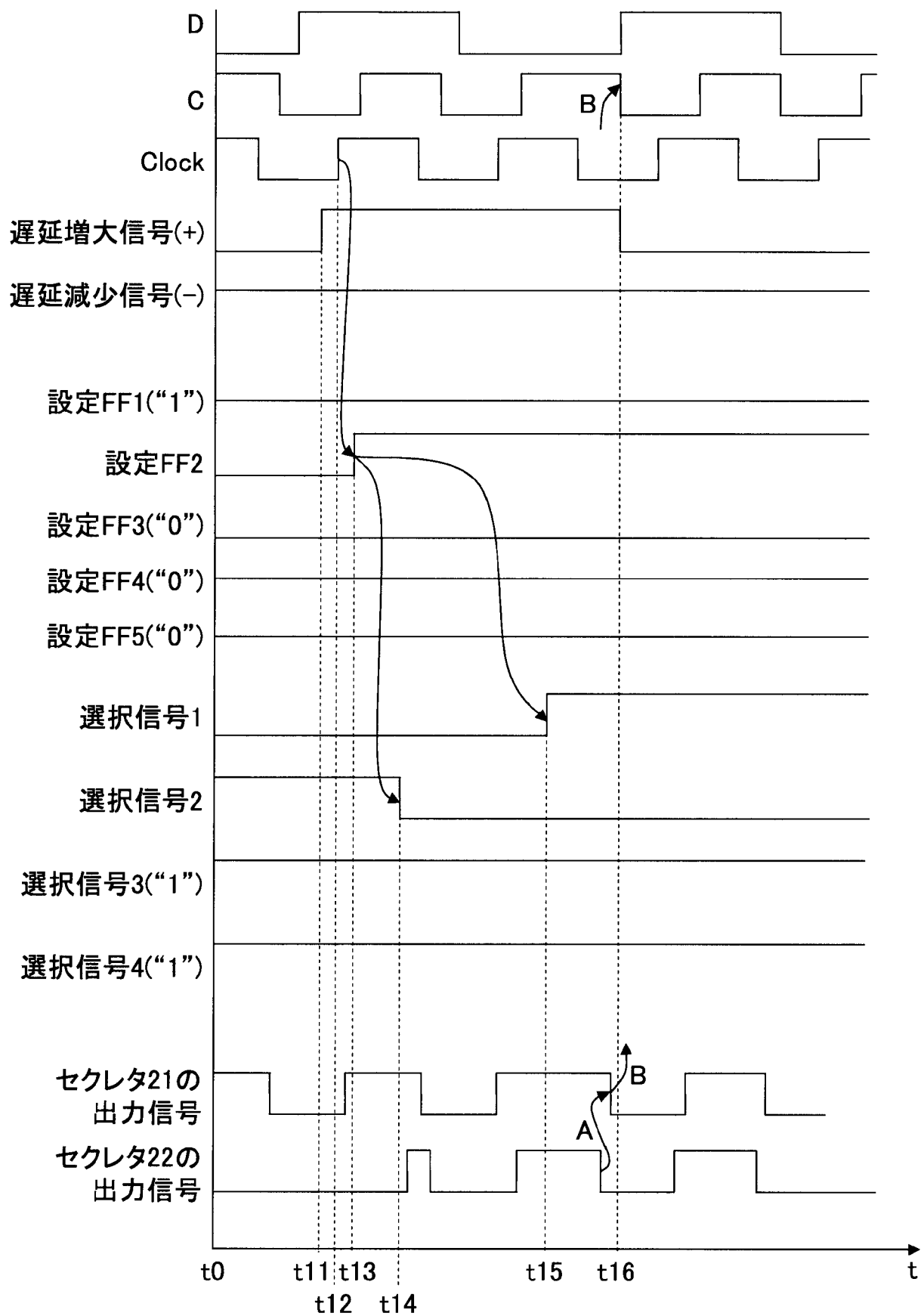
[図19]



[図20]

現入力			新入力		現出力	中間出力	新出力
左入力	右入力		左入力	右入力			
1	1		1	1	1	1	1
1	0		1	1	0	0	1
0	0		1	1	1	0	1
0	0		1	0	1	0	0

[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054655

A. CLASSIFICATION OF SUBJECT MATTER

H03K5/13(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-276074 A (Fujitsu Ltd.), 13 October 1998 (13.10.1998), entire text; fig. 5, 12 & JP 2006-092730 A & US 6049239 A & US 2002/0021157 A1	1-9
Y	JP 8-54957 A (Hitachi, Ltd.), 27 February 1996 (27.02.1996), entire text; fig. 2, 4 (Family: none)	1-9
Y	JP 3-289813 A (Nippon Telegraph And Telephone Corp.), 19 December 1991 (19.12.1991), entire text; fig. 1 (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

06 April, 2011 (06.04.11)

Date of mailing of the international search report

19 April, 2011 (19.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054655

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-106958 A (Texas Instruments Inc.), 21 April 1995 (21.04.1995), entire text; fig. 1, 3 & US 5355037 A	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K5/13(2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K5/13

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 1 0 - 2 7 6 0 7 4 A（富士通株式会社） 1 9 9 8. 1 0. 1 3 全文、図 5 及び図 1 2 & J P 2 0 0 6 - 0 9 2 7 3 0 A & U S 6 0 4 9 2 3 9 A & U S 2 0 0 2 / 0 0 2 1 1 5 7 A 1	1 - 9
Y	J P 8 - 5 4 9 5 7 A（株式会社日立製作所） 1 9 9 6. 0 2. 2 7 全文、図 2 及び図 4 （ファミリーなし）	1 - 9
Y	J P 3 - 2 8 9 8 1 3 A（日本電信電話株式会社） 1 9 9 1. 1 2. 1 9 全文、第 1 図 （ファミリーなし）	1 - 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6. 0 4. 2 0 1 1

国際調査報告の発送日

1 9. 0 4. 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

石 田 勝

5 X

3 5 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-106958 A (テキサス インスツルメンツ インコーポレイテッド) 1995. 04. 21、全文、図1及び図3 & US 5355037 A	1-9