(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 113795922 A
(43)申请公布日 2021.12.14

(21)申请号 202080034002.6

(22)申请日 2020.06.25

(30)优先权数据
2019-118489 2019.06.26 JP

(85)PCT国际申请进入国家阶段日
2021.11.05

(86)PCT国际申请的申请数据
PCT/JP2020/025037 2020.06.25

(87)PCT国际申请的公布数据
WO2020/262541 JA 2020.12.30

(71)申请人 索尼半导体解决方案公司
地址 日本神奈川县

(72)发明人 坂直树 冈本晋太郎 幸山裕亮 森茂贵

(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 梁兴龙 曹正建

(51)Int.Cl.
*H01L 27/146*(2006.01)
*H01L 25/065*(2006.01)

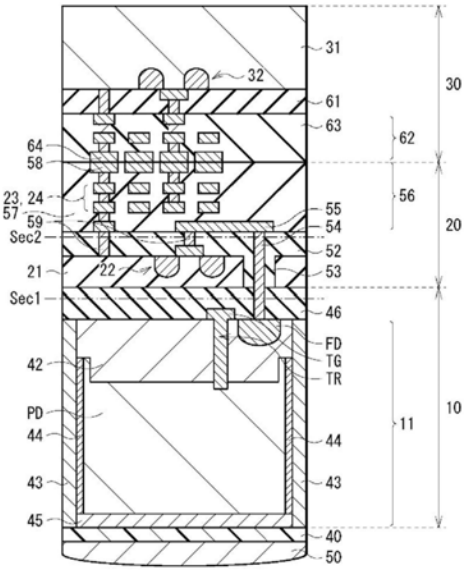
权利要求书2页 说明书66页 附图96页

(54)发明名称

成像装置

(57)摘要

根据本公开实施方案的成像装置包括:第一基板,其包括执行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;和第三基板,其包括对所述像素信号进行信号处理的处理电路,第一基板、第二基板和第三基板按该顺序层叠,并且在设有所述像素电路的场效应晶体管的至少一个或多个半导体层中,在第一基板侧的区域中的导电型杂质的浓度高于在第三基板侧的区域中的导电型杂质的浓度。




CN 113795922 A

1.一种成像装置,包括:

第一基板,其包括执行光电转换的传感器像素;

第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;和

第三基板,其包括对所述像素信号进行信号处理的处理电路,

第一基板、第二基板和第三基板按该顺序层叠,并且

在设有所述像素电路的场效应晶体管的至少一个或多个半导体层中,在第一基板侧的区域中的导电型杂质的浓度高于在第三基板侧的区域中的导电型杂质的浓度。

2.根据权利要求1所述的成像装置,其中

所述传感器像素包括光电转换元件、电气连接到所述光电转换元件的传输晶体管和临时保持经由所述传输晶体管从所述光电转换元件输出的电荷的浮动扩散部,和

所述像素电路包括将所述浮动扩散部的电位复位为预定电位的复位晶体管、生成与所述浮动扩散部中保持的电荷水平相对应的电压信号作为所述像素信号的放大晶体管以及控制来自所述放大晶体管的像素信号的输出时机的选择晶体管。

3.根据权利要求2所述的成像装置,其中

第一基板包括第一半导体基板,在第一半导体基板的前面侧包括所述光电转换元件、所述传输晶体管和所述浮动扩散部,

第二基板包括第二半导体基板,在第二半导体基板的前面侧包括所述复位晶体管、所述放大晶体管和所述选择晶体管,和

以与第二半导体基板的前面相对的背面侧对向于第一半导体基板的前面侧的方式来贴合第二基板。

4.根据权利要求3所述的成像装置,其中第二半导体基板的背面经由绝缘层贴合到第一半导体基板的前面。

5.根据权利要求4所述的成像装置,其中第二半导体基板和所述绝缘层之间的界面包括第一基板和第二基板之间的接合界面。

6.根据权利要求4所述的成像装置,其中在包括第二半导体基板和所述绝缘层之间的界面的区域中设置含有浓度高于第二半导体基板的其他区域的所述导电型杂质的第一区域。

7.根据权利要求6所述的成像装置,其中所述像素电路的场效应晶体管中的至少一个或多个包括鳍型场效应晶体管,所述鳍型场效应晶体管包括

以在一个方向延伸的方式从第二半导体基板突出设置的扩散层,

以在与该一个方向正交的方向延伸的方式跨着所述扩散层设置的栅电极,和

设置在夹持所述栅电极的两侧的所述扩散层中的源极区域和漏极区域。

8.根据权利要求7所述的成像装置,其中向第二半导体基板供给预定电位的体接触部设置在第二半导体基板的前面上。

9.根据权利要求8所述的成像装置,其中所述体接触部设置在相对于所述栅电极与所述源极区域同侧的平面区域中。

10.根据权利要求6所述的成像装置,其中第一区域设置在第二半导体基板的整个表面上。

11.根据权利要求6所述的成像装置,其中第一区域包括含有硼原子作为所述导电型杂

质的外延生长层。

12.根据权利要求6所述的成像装置,其中第一区域包括含有硼原子作为所述导电型杂质的多晶硅层。

13.根据权利要求6所述的成像装置,其中在第二半导体基板的前面侧的一部分区域中还设置有第二区域,第二区域电气连接到供给预定电位的接触插塞并且含有高浓度的所述导电型杂质。

14.根据权利要求13所述的成像装置,其中在第二半导体基板中还设置有第三区域,第三区域含有浓度低于第一区域和第二区域的所述导电型杂质并且与第一区域和第二区域相邻。

15.根据权利要求13所述的成像装置,其中所述接触插塞被设置为贯通第二半导体基板并且直接连接到第一区域。

16.根据权利要求6所述的成像装置,其中第一区域含有硼原子作为所述导电型杂质,并且还含有碳原子作为非导电型杂质。

17.根据权利要求2所述的成像装置,其中

第一基板包括针对每个传感器像素的所述光电转换元件、所述传输晶体管和所述浮动扩散部,和

第二基板包括针对每个传感器像素的所述像素电路。

18.根据权利要求2所述的成像装置,其中

第一基板包括针对每个传感器像素的所述光电转换元件、所述传输晶体管和所述浮动扩散部,和

第二基板包括针对每多个传感器像素的所述像素电路。

19.根据权利要求2所述的成像装置,其中

第一基板包括针对每个传感器像素的所述光电转换元件和所述传输晶体管,并且包括由每多个传感器像素共享的所述浮动扩散部,和

第二基板包括针对共享所述浮动扩散部的每多个传感器像素的所述像素电路。

20.根据权利要求1所述的成像装置,其中第三基板包括在前面侧设有所述处理电路的第三半导体基板。

# 成像装置

## 技术领域

[0001] 本公开涉及一种成像装置。

## 背景技术

[0002] 通过引入微细工艺和提高封装密度,已经实现了三维结构的成像装置的每像素面积的减小。近年来,三维结构的成像装置已经被开发,以实现成像装置尺寸的进一步减小和像素的更高密度。三维结构的成像装置例如通过将包括多个传感器像素的半导体基板和包括处理由各传感器像素获得的信号的信号处理电路的半导体基板彼此层叠而构成(参见专利文献1)。

[0003] 引用文献列表

[0004] 专利文献

[0005] 专利文献1:日本特开第2010-245506号公报

## 发明内容

[0006] 为了在三维结构的成像装置中实现半导体基板之间的高速电气连接、芯片尺寸的减小等,包括读出在各传感器像素中被光电转换成的电荷的像素电路的半导体基板被减薄。然而,与减薄之前的半导体基板相比,减薄的半导体基板具有极小的厚度。因此,需要在减薄的半导体基板上适宜地形成晶体管等的技术。

[0007] 即,希望在层叠的半导体基板被减薄的三维结构的成像装置中增强像素电路的电气特性。

[0008] 根据本公开实施方案的成像装置包括:第一基板,其包括执行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;和第三基板,其包括对所述像素信号进行信号处理的处理电路,第一基板、第二基板和第三基板按该顺序层叠,并且在设有所述像素电路的场效应晶体管的至少一个或多个半导体层中,在第一基板侧的区域中的导电型杂质的浓度高于在第三基板侧的区域中的导电型杂质的浓度。

[0009] 根据本公开实施方案的成像装置包括:第一基板,其包括执行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;和第三基板,其包括对所述像素信号进行信号处理的处理电路,第一基板、第二基板和第三基板按该顺序层叠,并且设置有设有所述像素电路的场效应晶体管的至少一个或多个半导体层,使得在第一基板侧的区域中的导电型杂质的浓度高于在第三基板侧的区域中的导电型杂质的浓度。这使得根据本公开实施方案的成像装置例如能够适宜地形成包括在第二基板中的第二半导体基板的阱区域。

## 附图说明

[0010] 图1是根据本公开实施方案的成像装置1的示意性构成的示例的示意图。

[0011] 图2是示出传感器像素12和像素电路22的示例的电路图。

[0012] 图3是示出传感器像素12和像素电路22的其他示例的电路图。

[0013] 图4是示出传感器像素12和像素电路22的其他示例的电路图。

[0014] 图5是示出传感器像素12和像素电路22的其他示例的电路图。

[0015] 图6是示出多个像素电路22和多个垂直信号线24之间的连接的示例的电路图。

[0016] 图7是在成像装置1的层叠方向上的断面构成的示例的纵向断面图。

[0017] 图8是成像装置1的水平方向的断面构成的示例的示意图。

[0018] 图9是成像装置1的水平方向的断面构成的示例的示意图。

[0019] 图10是成像装置1的水平面内的配线布局的示例的示意图。

[0020] 图11是成像装置1的水平面内的配线布局的示例的示意图。

[0021] 图12是成像装置1的水平面内的配线布局的示例的示意图。

[0022] 图13是成像装置1的水平面内的配线布局的示例的示意图。

[0023] 图14A是示出根据第一实施方案的设置在第二半导体基板21中的场效应晶体管1100的示例的立体图。

[0024] 图14B是图14A所示的场效应晶体管的沿着扩散层1120的延伸方向截取的断面构成的示意图。

[0025] 图15是包括第一区域1111的半导体层1110的形成方法的概要的示意图。

[0026] 图16是根据第一实施方案的场效应晶体管1100的结构的变型的示意性立体图。

[0027] 图17是将根据第一实施方案的场效应晶体管1100和通常的场效应晶体管1900安装在一起的变型的示意图。

[0028] 图18是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0029] 图19是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0030] 图20是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0031] 图21是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0032] 图22是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0033] 图23是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0034] 图24是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0035] 图25是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0036] 图26是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0037] 图27是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程

的顺序示意图。

[0038] 图28是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0039] 图29是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0040] 图30是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0041] 图31是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0042] 图32是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0043] 图33是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0044] 图34是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0045] 图35是根据第一实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序示意图。

[0046] 图36是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的模式的示意图。

[0047] 图37是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的另一种模式的示意图。

[0048] 图38是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的另一种模式的示意图。

[0049] 图39是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的另一种模式的示意图。

[0050] 图40是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的又一种模式的示意图。

[0051] 图41是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的又一种模式的示意图。

[0052] 图42是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的又一种模式的示意图。

[0053] 图43是将根据第二实施方案的第二半导体基板1210贴合到第一基板1201的又一种模式的示意图。

[0054] 图44是相对于设置在根据第二实施方案的第二半导体基板1210中的场效应晶体管的阱区域,接触插塞的结构的变型的示意性纵向断面图。

[0055] 图45是相对于设置在根据第二实施方案的第二半导体基板1210中的场效应晶体管的阱区域,接触插塞的结构的变型的示意性纵向断面图。

[0056] 图46是相对于设置在根据第二实施方案的第二半导体基板1210中的场效应晶体管的阱区域,接触插塞的结构的变型的示意性纵向断面图。

[0057] 图47是相对于设置在根据第二实施方案的第二半导体基板1210中的场效应晶体管的阱区域,接触插塞的结构的变型的示意性纵向断面图。

[0058] 图48是在根据第三实施方案的第二半导体基板1310中形成第一区域1311和形成场效应晶体管的模式的示意图。

[0059] 图49是在根据第三实施方案的第二半导体基板1310中形成第一区域1311和形成场效应晶体管的模式的示意图。

[0060] 图50是设置在根据第三实施方案的第二半导体基板1310中的场效应晶体管的结构的变型的示意性断面图。

[0061] 图51是设置在根据第三实施方案的第二半导体基板1310中的场效应晶体管的结构的变型的示意性断面图。

[0062] 图52是图7所示的断面构成的变形例的纵向断面图。

[0063] 图53是图7所示的断面构成的变形例的纵向断面图。

[0064] 图54是示出根据变形例3的成像装置的构成例的厚度方向的断面图。

[0065] 图55是示出根据变形例3的成像装置的构成例的厚度方向的断面图。

[0066] 图56是示出根据变形例3的成像装置的构成例的厚度方向的断面图。

[0067] 图57是示出根据变形例3的多个像素单元的布局例的水平方向的断面图。

[0068] 图58是示出根据变形例3的多个像素单元的布局例的水平方向的断面图。

[0069] 图59是示出根据变形例3的多个像素单元的布局例的水平方向的断面图。

[0070] 图60是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0071] 图61是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0072] 图62是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0073] 图63是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0074] 图64是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0075] 图65是示出沿着变形例7的成像装置1的剖切面Sec2的断面构成的其他示例的示意图。

[0076] 图66是示出沿着变形例7的成像装置1的剖切面Sec2的断面构成的其他示例的示意图。

[0077] 图67是安装在列并行ADC上的CMOS图像传感器的电路构成的示意图。

[0078] 图68是其中图67所示的成像装置1包括层叠的三个基板的示例的图。

[0079] 图69是根据变形例10的成像装置1的断面构成的示例的示意图。

[0080] 图70是其中将包含诸如$CoSi_2$或NiSi等硅化物的低电阻区域26适用于包括层叠的三个基板的成像装置1的示例的示意图。

[0081] 图71是示出根据本公开实施方案的成像装置的功能构成的示例的框图。

[0082] 图72是示出图71所示的成像装置的示意性构成的示意性平面图。

[0083] 图73是示出沿着图72所示的线III-III'截取的断面构成的示意图。

[0084] 图74是图71所示的像素共享单元的等效电路图。

[0085] 图75是示出多个像素共享单元和多个垂直信号线的连接模式的示例的图。

[0086] 图76是示出图73所示的成像装置的具体构成的示例的示意性断面图。

[0087] 图77A是示出图76所示的第一基板的主要部分的平面构成的示例的示意图。

[0088] 图77B是示出焊盘部连同图77A所示的第一基板的主要部分的平面构成的示意图。

[0089] 图78是示出图76所示的第二基板(半导体层)的平面构成的示例的示意图。

[0090] 图79是示出像素电路和第一基板的主要部分连同图76所示的第一配线层的平面构成的示例的示意图。

[0091] 图80是示出图76所示的第一配线层和第二配线层的平面构成的示例的示意图。

[0092] 图81是示出图76所示的第二配线层和第三配线层的平面构成的示例的示意图。

[0093] 图82是示出图76所示的第三配线层和第四配线层的平面构成的示例的示意图。

[0094] 图83是用于说明到图73所示的成像装置的输入信号的路径的示意图。

[0095] 图84是用于说明图73所示的成像装置的像素信号的信号路径的示意图。

[0096] 图85是示出图78所示的第二基板(半导体层)的平面构成的变形例的示意图。

[0097] 图86是示出第一配线层和第一基板的主要部分连同图85所示的像素电路的平面构成的示意图。

[0098] 图87是示出第二配线层连同图86所示的第一配线层的平面构成的示例的示意图。

[0099] 图88是示出第三配线层连同图87所示的第二配线层的平面构成的示例的示意图。

[0100] 图89是示出第四配线层连同图88所示的第三配线层的平面构成的示例的示意图。

[0101] 图90是示出图77A所示的第一基板的平面构成的变形例的示意图。

[0102] 图91是示出层叠在图90所示的第一基板上的第二基板(半导体层)的平面构成的示例的示意图。

[0103] 图92是示出图91所示的像素电路和第一配线层的平面构成的示例的示意图。

[0104] 图93是示出第二配线层连同图92所示的第一配线层的平面构成的示例的示意图。

[0105] 图94是示出第三配线层连同图93所示的第二配线层的平面构成的示例的示意图。

[0106] 图95是示出第四配线层连同图94所示的第三配线层的平面构成的示例的示意图。

[0107] 图96是示出图90所示的第一基板的平面构成的其他示例的示意图。

[0108] 图97是示出层叠在图96所示的第一基板上的第二基板(半导体层)的平面构成的示例的示意图。

[0109] 图98是示出第一配线层连同图97所示的像素电路的平面构成的示例的示意图。

[0110] 图99是示出第二配线层连同图98所示的第一配线层的平面构成的示例的示意图。

[0111] 图100是示出第三配线层连同图99所示的第二配线层的平面构成的示例的示意图。

[0112] 图101是示出第四配线层连同图100所示的第三配线层的平面构成的示例的示意图。

[0113] 图102是示出图73所示的成像装置的其他示例的示意性断面图。

[0114] 图103是用于说明到图102所示的成像装置的输入信号的路径的示意图。

[0115] 图104是用于说明图102所示的成像装置的像素信号的信号路径的示意图。

[0116] 图105是示出图76所示的成像装置的其他示例的示意性断面图。

[0117] 图106是示出图74所示的等效电路的其他示例的图。

[0118] 图107是示出图77A等中的像素分离部的其他示例的示意性平面图。

[0119] 图108是示出包括根据上述实施方案及其变形例的成像装置的成像系统的示意性构成的示例的图。

[0120] 图109是示出图108的成像系统中的成像过程的示例的图。

[0121] 图110是示出车辆控制系统的示意性构成的示例的框图。

[0122] 图111是示出车外信息检测单元和成像单元的安装位置的示例的说明图。

[0123] 图112是示出内窥镜手术系统的示意性构成的示例的图。

[0124] 图113是示出摄像头和相机控制单元(CCU)的功能构成的示例的框图。

## 具体实施方式

[0125] 下面结合附图详细说明本公开的一些实施方案。下面说明的实施方案仅仅是本公开的示例,根据本公开的技术不限于下面说明的模式。此外,本公开的各构成要素的特性,如本公开的附图中所示的配置、尺寸和尺寸比,不限于附图中所示的那些。注意,将按以下顺序说明。

[0126] 1.成像装置的构成

[0127] 2.第一实施方案

[0128] 3.第二实施方案

[0129] 4.第三实施方案

[0130] 5.变形例

[0131] 6.具体例

[0132] 6.1.实施方案(具有三个基板的层叠结构的成像装置)

[0133] 6.2.变形例1(平面构成的示例1)

[0134] 6.3.变形例2(平面构成的示例2)

[0135] 6.4.变形例3(平面构成的示例3)

[0136] 6.5.变形例4(在像素阵列部的中央部的基板之间包括接触部的示例)

[0137] 6.6.变形例5(包括平面型传输晶体管的示例)

[0138] 6.7.变形例6(一个像素连接到一个像素电路的示例)

[0139] 6.8.变形例7(像素分离部的构成例)

[0140] 6.9.适用例(成像系统)

[0141] 6.10.应用例

[0142] 《1.成像装置的构成》

[0143] 首先,参照图1～13说明根据本公开的技术适用的成像装置。

[0144] 图1是根据本公开实施方案的成像装置1的示意性构成的示例的示意图。如图1所示,成像装置1是包括第一基板10、第二基板20和第三基板30并且具有将这三个基板贴合在一起的构成的三维结构的成像装置。注意,第一基板10、第二基板20和第三基板30按该顺序层叠。

[0145] 第一基板10包括第一半导体基板11,第一半导体基板11包括执行光电转换的多个传感器像素12。多个传感器像素12以矩阵状设置在第一基板10的像素区域13内。

[0146] 第二基板20包括第二半导体基板21,第二半导体基板21包括基于从传感器像素12输出的电荷而输出像素信号的像素电路22。例如,每四个传感器像素12设置一个像素电路22。此外,第二基板20包括在行方向上延伸的多个像素驱动线23和在列方向上延伸的多个垂直信号线24。

[0147] 第三基板30包括第三半导体基板31，第三半导体基板31包括对像素信号进行信号处理的处理电路32。此外，处理电路32例如包括垂直驱动电路33、列信号处理电路34、水平驱动电路35和系统控制电路36。处理电路32能够将针对每个传感器像素12的输出电压Vout从水平驱动电路35输出到外部。

[0148] 垂直驱动电路33以行为单位顺次选择例如多个传感器像素12。列信号处理电路34例如对从垂直驱动电路33选择的行中的各传感器像素12输出的像素信号执行相关双采样(CDS)处理。列信号处理电路34例如通过执行CDS处理提取像素信号的信号电平，并且保持与各传感器像素12接收的光量相对应的像素数据。水平驱动电路35例如将列信号处理电路34中保持的像素数据顺次输出到外部。系统控制电路36例如控制处理电路32内的各构成的驱动。这使得处理电路32能够将基于由各个传感器像素12接收到的光量的像素数据输出到外部。

[0149] 图2是示出传感器像素12和像素电路22的示例的电路图。在图2中，四个传感器像素12共享一个像素电路22。这里使用的术语“共享”意味着从四个传感器像素12的输出被输入到共用的一个像素电路22。

[0150] 各传感器像素12具有彼此共用的构成要素。在下文中，在需要将各传感器像素12的构成要素彼此区分开的情况下，在构成要素的附图标记的末尾添加识别号(1、2、3和4)。另一方面，在不需要将各传感器像素12的构成要素彼此区分开的情况下，省略了构成要素的附图标记的末尾的识别号。

[0151] 各传感器像素12包括例如光电二极管PD、电气连接到光电二极管PD的传输晶体管TR和临时保持经由传输晶体管TR从光电二极管PD输出的电荷的浮动扩散部FD。光电二极管PD是执行光电转换以产生与接收的光量相对应的电荷的光电转换元件。传输晶体管TR例如是MOS(金属-氧化物-半导体)晶体管。

[0152] 光电二极管PD的阴极电气连接到传输晶体管TR的源极，并且光电二极管PD的阳极电气连接到基准电位线(例如，接地)。传输晶体管TR的漏极电气连接到浮动扩散部FD，并且传输晶体管TR的栅极电气连接到像素驱动线23。

[0153] 共享像素电路22的各传感器像素12的浮动扩散部FD彼此电气连接，并且电气连接到共用像素电路22的输入端。像素电路22包括例如复位晶体管RST、选择晶体管SEL和放大晶体管AMP。此外，像素电路22可选择地包括选择晶体管SEL。

[0154] 复位晶体管RST的源极(即，像素电路22的输入端)电气连接到浮动扩散部FD，并且复位晶体管RST的漏极电气连接到电源线VDD和放大晶体管AMP的漏极。复位晶体管RST的栅极电气连接到像素驱动线23。放大晶体管AMP的源极电气连接到选择晶体管SEL的漏极，并且放大晶体管AMP的栅极电气连接到复位晶体管RST的源极。选择晶体管SEL的源极(即，像素电路22的输出端)电气连接到垂直信号线24，并且选择晶体管SEL的栅极电气连接到像素驱动线23。

[0155] 当传输晶体管TR导通时，光电二极管PD的电荷被传输到浮动扩散部FD。复位晶体管RST将浮动扩散部FD的电位复位为预定电位。当复位晶体管RST导通时，浮动扩散部FD的电位被复位为电源线VDD的电位。选择晶体管SEL控制来自像素电路22的像素信号的输出时机。

[0156] 放大晶体管AMP生成具有与浮动扩散部FD中保持的电荷的水平相对应的电压的信

号作为像素信号。放大晶体管AMP形成所谓的源极跟随器型放大器，并且输出具有与光电二极管PD产生的电荷的水平相对应的电压的像素信号。当选择晶体管SEL导通时，放大晶体管AMP放大浮动扩散部FD的电位，并且经由垂直信号线24输出对应于该电位的电压到列信号处理电路34。复位晶体管RST、放大晶体管AMP和选择晶体管SEL例如是MOS晶体管。

[0157] 图3～5均是示出传感器像素12和像素电路22的其他示例的电路图。

[0158] 如图3所示，选择晶体管SEL可以设置在电源线VDD和放大晶体管AMP之间。在这种情况下，复位晶体管RST的漏极电气连接到电源线VDD和选择晶体管SEL的漏极。选择晶体管SEL的源极电气连接到放大晶体管AMP的漏极，并且选择晶体管SEL的栅极电气连接到像素驱动线23。放大晶体管AMP的源极(即，像素电路22的输出端)电气连接到垂直信号线24，并且放大晶体管AMP的栅极电气连接到复位晶体管RST的源极。

[0159] 此外，如图4或图5所示，可以在复位晶体管RST的源极和放大晶体管AMP的栅极之间设置FD转换增益切换晶体管FDG。

[0160] 电荷Q由电容C和电压V的乘积表示；因此，在浮动扩散部FD的电容C很大的情况下，在放大晶体管AMP的转换后的电压V变低。另一方面，在像素信号的电荷Q很大的情况下，浮动扩散部FD不能保持来自光电二极管PD的电荷Q，除非浮动扩散部FD的电容C足够大。此外，浮动扩散部FD的电容C要适度大以免放大晶体管AMP转换的电压V过高也很重要。因此，FD转换增益切换晶体管FDG被设置为切换像素电路22中的电荷-电压转换效率。

[0161] 当FD转换增益切换晶体管FDG导通时，与断开时相比，浮动扩散部FD的电容C增加了FD转换增益切换晶体管FDG的栅极电容的量。因此，通过切换FD转换增益切换晶体管FDG的导通和断开，可以使FD电容C可变并且可以切换像素电路22中的电荷-电压转换效率。

[0162] 图6是示出多个像素电路22和多个垂直信号线24之间的连接的示例的电路图。

[0163] 如图6所示，在多个像素电路22在垂直信号线24的延伸方向(例如，列方向)上并排配置的情况下，每个像素电路22可以分配给多个垂直信号线24中的一个。注意，在图6中，为了区别各垂直信号线24，将识别号(1、2、3和4)添加到各垂直信号线24的附图标记的末尾。

[0164] 图7是在成像装置1的层叠方向上的断面构成的示例的纵向断面图。

[0165] 如图7所示，成像装置1具有依次层叠第一基板10、第二基板20和第三基板30的构成。例如，在第一基板10的光入射面侧(也称为背面侧)上针对各传感器像素12设置滤色器40和光接收透镜50。即，成像装置1是所谓的背面照射型成像装置。

[0166] 第一基板10具有在第一半导体基板11上层叠有第一绝缘层46的构成。第一半导体基板11是硅基板，并且包括例如在前面的一部分中及其附近的p阱层42和在另一个区域(即，比p阱层深的区域)中的光电二极管PD。p阱层42由p型半导体区域构成，光电二极管PD由与p阱层42不同导电型(具体地，n型)的半导体区域构成。第一半导体基板11在p阱层42内包括浮动扩散部FD，作为与p阱层42不同导电型(具体地，n型)的半导体区域。

[0167] 第一基板10包括针对每个传感器像素12的光电二极管PD、传输晶体管TR和浮动扩散部FD。第一基板10在与第一半导体基板11的光入射面侧相对的侧(即，前面侧或第二基板20侧)的部分中包括传输晶体管TR和浮动扩散部FD。

[0168] 第一基板10包括将各传感器像素12分离的元件分离部43。元件分离部43形成为在第一半导体基板11的主表面的法线方向(垂直于第一半导体基板11的前面的方向)上延伸，并且将相邻的传感器像素12彼此电气分离。元件分离部43包含例如贯通第一半导体基板11

的氧化硅。

[0169] 第一基板10还包括例如与元件分离部43的光电二极管PD侧的侧面接触的p阱层44。p阱层44由与光电二极管PD不同导电型(具体地,p型)的半导体区域构成。第一基板10还包括例如与第一半导体基板11的背面接触的固定电荷膜45。固定电荷膜45包括具有负的固定电荷的绝缘膜,以抑制由第一半导体基板11的光接收面侧的界面状态引起的暗电流的产生。固定电荷膜45的材料的示例包括氧化铪、氧化锆、氧化铝、氧化钛或氧化钽。通过由固定电荷膜45诱导的电场在第一半导体基板11的光接收面侧的界面处形成抑制从界面产生电子的空穴累积层。

[0170] 滤色器40设置在第一半导体基板11的背面侧。具体地,滤色器40例如与固定电荷膜45接触,并且相对于固定电荷膜45设置在与传感器像素12相对的位置。光接收透镜50例如设置成与滤色器40接触,并且相对于滤色器40和固定电荷膜45设置在与传感器像素12相对的位置。

[0171] 第二基板20包括层叠在第二半导体基板21上的第二绝缘层。第二半导体基板21是硅基板,并且包括针对每四个传感器像素12的一个像素电路22。第二基板20在第二半导体基板21的第三基板30侧(即,前面侧)的一部分中包括像素电路22。第二基板20以第二半导体基板21的背面与第一半导体基板11的前面侧相对的方式贴合到第一基板10。即,第二基板20以面对背的方式贴合到第一基板10。

[0172] 第二半导体基板21包括分离绝缘层53,并且在分离绝缘层53内设置有贯通配线54。贯通配线54通过使其侧面被分离绝缘层53覆盖而与第二半导体基板21电气绝缘。贯通配线54在第二半导体基板21的主表面的法线方向上延伸,并且将第一基板10的各元件和第二基板20的各元件彼此电气连接。具体地,贯通配线54将浮动扩散部FD和连接配线55彼此电气连接。例如,针对每个传感器像素12设置一个贯通配线54。

[0173] 第二基板20包括在第二绝缘层52内的例如电气连接到像素电路22或第二半导体基板21的多个连接部59。配线层56包括例如层间绝缘层57以及设置在层间绝缘层57内的多个像素驱动线23和多个垂直信号线24。配线层56包括例如在层间绝缘层57内的针对每四个传感器像素12设置的一个连接配线55。连接配线55将共享像素电路22的四个传感器像素12的贯通配线54电气连接在一起。

[0174] 配线层56还包括例如在层间绝缘层57内的多个焊盘电极58。各焊盘电极58例如由诸如Cu(铜)等金属形成。各焊盘电极58暴露于配线层56的前面,并且用于将第二基板20和第三基板30贴合在一起以及用于将第二基板20和第三基板30电气连接在一起。针对每个像素驱动线23和每个垂直信号线24设置多个焊盘电极58中的一个。

[0175] 这里,第二基板20可以设置为多个半导体基板和多个绝缘层的层叠结构。

[0176] 具体地,第二基板20可以包括在厚度方向上层叠的两个半导体基板。例如,可以设置第二基板20以允许在层叠在第二半导体基板21上的第二绝缘层52上层叠另外的半导体基板。例如,晶体管设置在设于第二绝缘层52上的半导体基板中,并且经由连接部59电气连接到设置在第二半导体基板21中的晶体管。

[0177] 即,设置在第二基板20中的像素电路22可以分开地设置在第二半导体基板21中以及进一步层叠在第二绝缘层52上的半导体基板中。具体地,包括在像素电路22中的放大晶体管AMP、复位晶体管RST和选择晶体管SEL中的至少一个或多个晶体管可以设置在第二半

导体基板21中，并且其剩余的晶体管可以设置在进一步层叠在第二绝缘层52上的半导体基板中。作为一个例子，放大晶体管AMP可以设置在第二半导体基板21中，并且复位晶体管RST和选择晶体管SEL可以设置在进一步层叠在第二绝缘层52上的半导体基板中。

[0178] 可选择地，第二基板20可以包括在厚度方向上层叠的三个半导体基板。例如，可以设置第二基板20以允许在层叠在第二半导体基板21上的第二绝缘层52上进一步层叠上部第一半导体基板并且允许经由绝缘层在上部第一半导体基板上进一步层叠上部第二半导体基板。例如，晶体管设置在层叠的上部第一半导体基板和上部第二半导体基板中，并且经由连接部59等电气连接到设置在第二半导体基板21中的晶体管。

[0179] 即，设置在第二基板20中的像素电路22可以分开地设置在第二半导体基板21中以及层叠的上部第一半导体基板和上部第二半导体基板中。具体地，包括在像素电路22中的放大晶体管AMP、复位晶体管RST和选择晶体管SEL中的至少一个或多个晶体管可以设置在第二半导体基板21、上部第一半导体基板和上部第二半导体基板中的每一个中。作为一个例子，放大晶体管AMP可以设置在第二半导体基板21中；复位晶体管RST可以设置在进一步设置在第二半导体基板21上的上部第一半导体基板中；并且选择晶体管SEL可以设置在进一步设置在上部第一半导体基板上的上部第二半导体基板中。

[0180] 在包括沿着厚度方向层叠的多个半导体基板的第二基板20中，分开地层叠半导体基板使得可以进一步减小由一个像素电路22占据的半导体基板的面积。这种第二基板20的使用使得成像装置1能够具有比成像装置1更小的芯片面积。

[0181] 此外，这种第二基板20的使用使得成像装置1能够选择性地扩大包括在像素电路22中的放大晶体管AMP、复位晶体管RST和选择晶体管SEL中的任意晶体管的面积。这使得成像装置1能够通过放大晶体管AMP的面积的扩大来进一步降低噪声。

[0182] 第三基板30例如包括层叠在第三半导体基板31上的第三绝缘膜61。第三半导体基板31是硅基板，并且包括处理电路32。注意，第三基板30和第二基板20的前面侧的面彼此贴合，因此，在第三基板30的构成的说明中，将要说明的上下关系与图中的上下方向相反。第三基板30以第三半导体基板31的前面与第二半导体基板21的前面侧相对的方式贴合到第二基板20。即，第三基板30以面对面的方式贴合到第二基板20。

[0183] 第三基板30包括例如在第三绝缘膜61上的配线层62。配线层62包括例如层间绝缘层63和设置在层间绝缘层63内的与处理电路32电气连接的多个焊盘电极64。各焊盘电极64由诸如铜(Cu)等金属形成。焊盘电极64暴露于配线层62的前面，并且用于将第二基板20和第三基板30贴合在一起以及用于将第二基板20和第三基板30电气连接在一起。第二基板20和第三基板30通过焊盘电极58和64之间的接合而彼此电气连接。即，传输晶体管TR的栅极(传输栅TG)经由贯通配线54以及焊盘电极58和64电气连接到处理电路32。

[0184] 图8和图9各自是在成像装置1的水平方向的断面构成的示例的示意图。图8和图9的上侧图各自是沿着图7中的剖切面Sec1的断面构成的示例的示意图，图8和图9的下侧图各自是沿着图7中的剖切面Sec2的断面构成的示例的示意图。

[0185] 图8例示了其中2×2排列的四个传感器像素12的两组在第一方向V1上并排配置的构成，图9例示了其中2×2排列的四个传感器像素12的四组在第一方向V1和第二方向V2上并排配置的构成。

[0186] 第一方向V1平行于以矩阵状配置的多个传感器像素12的两个排列方向(例如，行

方向和列方向)中的一个排列方向(例如,行方向)。另外,第二方向V2平行于与第一方向正交的排列方向(例如,列方向)。

[0187] 例如,针对每个传感器像素12设置贯通配线54,并且将浮动扩散部FD和后述的连接配线55电气连接在一起。例如,针对每个传感器像素12设置贯通配线47和48。贯通配线47将第一半导体基板11的p阱层42和第二基板20内的配线电气连接在一起。贯通配线48将传输栅TG和像素驱动线23电气连接在一起。

[0188] 如图8所示,多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的面内的第二方向V2(图8中的上下方向)以带状方式并排配置。图8例示了多个贯通配线54、多个贯通配线48和多个贯通配线47在第二方向V2上并排配置成两行的情况。

[0189] 如图9所示,多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的面内的第一方向V1(图9中的左右方向)以带状方式并排配置。图9例示了多个贯通配线54、多个贯通配线48和多个贯通配线47在第一方向V1上并排配置成两列的情况。

[0190] 在共享像素电路22的四个传感器像素12中,例如,四个浮动扩散部FD经由元件分离部43彼此邻近地配置。在共享像素电路22的四个传感器像素12中,四个传输栅TG被配置为围绕四个浮动扩散部FD,并且四个传输栅TG例如形成环形形状。

[0191] 如图8所示,分离绝缘层53包括在第二方向V2上延伸的多个块。第二半导体基板21包括在第二方向V2上延伸并且在第二方向V2上并排配置的多个岛状的块21A。各块21A包括例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL的多个组。由四个传感器像素12共享的一个像素电路22包括例如在与四个传感器像素12相对应的区域内的复位晶体管RST、放大晶体管AMP和选择晶体管SEL。像素电路22包括例如在分离绝缘层53的左邻的块21A内的放大晶体管AMP和在分离绝缘层53的右邻的块21A内的复位晶体管RST和选择晶体管SEL。

[0192] 如图9所示,分离绝缘层53包括在第一方向V1上延伸的多个块。第二半导体基板21包括在第一方向V1上延伸并且在第一方向V1上并排配置的多个岛状的块21A。各块21A包括例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL的多个组。由四个传感器像素12共享的一个像素电路22包括例如在与四个传感器像素12相对应的区域内的复位晶体管RST、放大晶体管AMP和选择晶体管SEL。像素电路22包括例如在分离绝缘层53的左邻的块21A内的放大晶体管AMP和在分离绝缘层53的右邻的块21A内的复位晶体管RST和选择晶体管SEL。

[0193] 图10～13各自是成像装置1的水平面内的配线布局的示例的示意图。类似于图8,图10～13分别示出了由四个传感器像素12共享的一个像素电路22设置在与四个传感器像素12相对应的区域内的情况下的配线布局的示例。例如,图10～13分别示出了在配线层56中设置在彼此不同的层内的配线布局。

[0194] 例如,如图10所示,彼此相邻的四个贯通配线54电气连接到连接配线55。贯通配线54经由连接配线55和连接部59电气连接到分离绝缘层53的左邻的块21A内包含的放大晶体管AMP的栅极和分离绝缘层53的右邻的块21A内包含的复位晶体管RST的栅极。

[0195] 例如,如图11所示,电源线VDD配置在与在第一方向V1上并排配置的各像素电路22相对应的位置。电源线VDD经由连接部59电气连接到在第一方向V1上并排配置的各像素电路22中的放大晶体管AMP的漏极和复位晶体管RST的漏极。例如,两个像素驱动线23配置在与在第一方向V1上并排配置的各像素电路22相对应的位置。例如,一个像素驱动线23用作电气连接到在第一方向V1上并排配置的各像素电路22的复位晶体管RST的栅极的配线

RSTG。另一个像素驱动线23用作电气连接到在第一方向V1上并排配置的各像素电路22的选择晶体管SEL的栅极的配线SELG。例如，放大晶体管AMP的源极和选择晶体管SEL的漏极经由配线25彼此电气连接。

[0196] 例如，如图12所示，两个电源线VSS配置在与在第一方向V1上并排配置的各像素电路22相对应的位置。例如，各电源线VSS在与在第一方向V1上并排配置的各传感器像素12相对应的位置处电气连接到多个贯通配线47。例如，四个像素驱动线23配置在与在第一方向V1上并排配置的各像素电路22相对应的位置。例如，四个像素驱动线23中的每个用作电气连接到与在第一方向V1上并排配置的各像素电路22相对应的一个传感器像素12的贯通配线48的配线TRG。四个像素驱动线23电气连接到在第一方向V1上并排配置的各传感器像素12的传输晶体管TR的栅极。在图12中，将识别符(1、2、3和4)添加到各配线TRG的末尾，以区分各配线TRG。

[0197] 例如，如图13所示，垂直信号线24配置在与在第二方向V2上并排配置的各像素电路22相对应的位置。例如，垂直信号线24电气连接到在第二方向V2上并排配置的各像素电路22的放大晶体管AMP的源极。

[0198] 根据本公开的技术适用于上述层叠的成像装置1。在下文中，在第一至第三实施方案中分别说明根据本公开的技术。

[0199] 《2.第一实施方案》

[0200] 首先，参照图14A～35说明根据本公开第一实施方案的技术。根据本实施方案的技术涉及设置在第二基板20的第二半导体基板21中的场效应晶体管。

[0201] 在通过层叠三个基板构成的成像装置1中，包括在第二基板20中的第二半导体基板21在贴合到第一基板10之后被减薄。另外，第二基板20以面对背的方式贴合到第一基板10，因此第一绝缘层46设置在第二半导体基板21的背面侧(即，与设置有像素电路22的前面侧相对的侧)。

[0202] 在这种情况下，为了避免第二半导体基板21的电位进入浮动状态，除了栅极、源极和漏极之外，设置在第二半导体基板21中的场效应晶体管还包括向第二半导体基板21供给预定电位的体端子。

[0203] 然而，在减薄的第二半导体基板21中，从漏极区域延伸的耗尽层可能会到达第一绝缘层46，导致第二半导体基板21的部分区域的电气隔离。因此，取决于体端子的配置，从体端子到第二半导体基板21的电位供给被电气地切断，从而使第二半导体基板21进入电气浮动状态，这可能降低场效应晶体管的特性。

[0204] 鉴于这种情况，已经构思了根据本实施方案的技术。根据本实施方案的技术涉及在其上设有像素电路22的第二半导体基板21的背面侧设置导电型杂质的浓度高于第二半导体基板21的其他区域的区域，从而更容易地向作为场效应晶体管的体区域的第二半导体基板21供给电位。

[0205] 注意，在第二基板20包括在厚度方向上层叠的多个半导体基板的情况下，导电型杂质的浓度高于半导体基板的其他区域的区域可以设置在层叠的多个半导体基板(即，第二半导体基板21和设置在第二半导体基板21上的至少一个或多个半导体基板)中的每一个的背面侧。

[0206] 图14A是设置在第二半导体基板21中的场效应晶体管1100的示例的立体图。

[0207] 如图14A所示，场效应晶体管1100包括半导体层1110、设置在半导体层1110和第一绝缘层1140之间的界面附近的第一区域1111、在半导体层1110的上部突出设置的扩散层1120、设置在扩散层1120中的源极区域1120S和漏极区域1120D、经由未示出的栅极绝缘膜设置在扩散层1120上的栅电极1131和电气连接到半导体层1110的体端子1132。即，场效应晶体管1100例如是设置在层叠在第一绝缘层1140上的半导体层1110中的鳍型场效应晶体管。

[0208] 第一绝缘层1140对应于第一绝缘层46。第一绝缘层1140包含例如氧化硅($SiO_2$)。

[0209] 半导体层1110对应于减薄的第二半导体基板21。半导体层1110是在其中导入第一导电型杂质(例如，诸如硼(B)或铝(Al)等p型杂质)的硅层。

[0210] 第一区域1111设置在包括半导体层1110和第一绝缘层1140之间的界面的区域中，并且是第一导电型杂质(例如，诸如硼(B)或铝(Al)等p型杂质)的浓度高于半导体层1110的其他区域的区域。具体地，第一区域1111设置在包括半导体层1110和第一绝缘层1140之间的界面并且不包括半导体层1110和扩散层1120之间的界面的区域中。在第一区域1111延伸到半导体层1110和扩散层1120之间的界面附近的情况下，场效应晶体管1100的特性可能会受到影响。因此，第一区域1111优选设置为远离半导体层1110和扩散层1120之间的界面。

[0211] 第一区域1111被设置为例如含有$10^{18}/cm^3$以上的作为第一导电型杂质的硼(B)的区域。此外，半导体层1110的第一区域1111以外的区域被设置为含有$10^{16}/cm^3$以下的作为第一导电型杂质的硼(B)的区域。

[0212] 第一区域1111至少设置在漏极区域1120D的下方，以将设置在场效应晶体管1100的沟道区域下方的体区域和体端子1132彼此电气连接。这使得第一区域1111能够防止由于从漏极区域1120D延伸的耗尽层Dep导致半导体层1110的部分区域的电气隔离而切断从体端子1132到半导体层1110的电位供给。

[0213] 为了更可靠地执行从体端子1132到半导体层1110的电位供给，优选地跨着设有场效应晶体管1100的整个区域来设置第一区域1111。此外，为了更容易地形成第一区域1111，更优选地，第一区域1111设置在半导体层1110的整个表面上。

[0214] 体端子1132设置在半导体层1110的前面侧，并且经由第一区域1111向场效应晶体管1100的体区域供给预定电位。例如，体端子1132电气连接到接地，以向场效应晶体管1100的体区域供给接地电位。

[0215] 体端子1132可以设置在半导体层1110的前面侧的任何地方，只要与第一区域1111的电气连接是可能的。然而，在形成有耗尽层Dep的漏极区域1120D侧的半导体层1110比在源极区域1120S侧的半导体层1110具有更高的电阻。因此，相对于栅电极1131在源极区域1120S侧设置体端子1132使得可以减小从体端子1132到体区域的电阻值。

[0216] 扩散层1120被设置为以在一个方向上延伸的方式从半导体层1110的一个主表面突出。扩散层1120与半导体层1110类似地包含硅等。扩散层1120可以例如通过用抗蚀剂等保护对应于扩散层1120的区域、然后蚀刻半导体层1110并去除对应于扩散层1120的区域以外的区域的半导体层1110来形成。

[0217] 源极区域1120S和漏极区域1120D设置在夹持栅电极1131的两侧的扩散层1120中。具体地，源极区域1120S和漏极区域1120D通过将第二导电型杂质(例如，诸如磷(P)或砷(As)等n型杂质)导入扩散层1120的未被栅电极1131覆盖的区域中来形成。此时，夹持栅电

极1131的一侧上的扩散层1120用作源极区域1120S，并且其另一侧上的扩散层1120用作漏极区域1120D。因此，源极区域1120S和漏极区域1120D可以彼此替换，而与图14A所示的示例不同。

[0218] 栅电极1131在与扩散层1120的延伸方向正交的方向上延伸，并且被设置为跨着扩散层1120的上方。栅电极1131经由未示出的栅极绝缘膜设置在扩散层1120的上方，从而在扩散层1120的上面和侧面的三个面上形成栅极结构。栅电极1131例如包含诸如多晶硅等导电材料，并且栅极绝缘膜例如包含氧化硅等。

[0219] 这里，图14B示出了沿着扩散层1120的延伸方向截取的场效应晶体管1100的断面构成，用于具体说明场效应晶体管1100的栅极结构。图14B是图14A所示的场效应晶体管的沿着扩散层1120的延伸方向截取的断面构成的示意图。

[0220] 如图14B所示，栅电极1131经由栅极绝缘膜1130设置在扩散层1120的上方。此外，源极区域1120S和漏极区域1120D各自形成在夹持栅电极1131的两侧的扩散层1120中。这允许扩散层1120的在源极区域1120S和漏极区域1120D之间的区域成为沟道区域1120C。沟道区域1120C的电阻由将要施加到设置在沟道区域1120C上方的栅电极1131的电压控制。

[0221] 随后，参照图15说明形成包括第一区域1111的半导体层1110的方法。图15是包括第一区域1111的半导体层1110的形成方法的概要的示意图。

[0222] 如图15所示，在将第一基板10和第二基板20贴合在一起之前，在第二基板20的半导体层1110(第二半导体基板21)中预先形成第一区域1111。具体地，在将包括半导体层1110的第二基板20贴合到其中形成有光电二极管PD等的第一半导体基板11和第一绝缘层46被层叠的第一基板10的情况下，第一区域1111预先形成在半导体层1110的贴合面侧。

[0223] 第一区域1111可以通过将第一导电型杂质导入到半导体层1110的贴合面侧的区域中来形成。作为将第一导电型杂质导入到第一区域1111中的方法，可以使用已知的掺杂方法，如离子注入、固相扩散或等离子体掺杂。当在贴合到第一基板10之前形成第一区域1111的情况下，可以从与第一基板10的贴合面侧将第一导电型杂质导入到半导体层1110中。在这种情况下，第一导电型杂质的掺杂能够从更靠近形成第一区域1111的区域的表面进行，从而可以更精确地控制形成第一区域1111的深度。

[0224] 随后，参照图16和图17说明根据本实施方案的技术的变型。图16是根据本实施方案的场效应晶体管1100的结构的变型的示意性立体图。

[0225] 如图16所示，第一区域1111A可以设置成从包括半导体层1110和第一绝缘层1140之间的界面的区域延伸到设置有在半导体层1110的前面侧的体端子1132的区域。在这种情况下，可以进一步降低从体端子1132到场效应晶体管1100的体区域的导通电阻。

[0226] 然而，在这种情况下，设置在半导体层1110的前面侧的第一区域1111A和设置在扩散层1120中的源极区域1120S或漏极区域1120D彼此靠近。因此，场效应晶体管1100的体端子与源极或漏极端子可能导致非意图地导通。为此，在设置在半导体层1110的前面侧的第一区域1111A与设置在扩散层1120中的源极区域1120S或漏极区域1120D之间设置包含诸如$SiO_2$等绝缘材料的元件分离层1115。因此，在场效应晶体管1100中，在适宜区域中设置元件分离层1115可以防止延伸的第一区域1111A导通到非意图的元件或导致泄漏。

[0227] 图17是将根据第一实施方案的场效应晶体管1100和通常的场效应晶体管1900安装在一起的变型的示意图。

[0228] 如图17所示，半导体层1110可以与根据本实施方案的场效应晶体管1100和平坦型场效应晶体管1900一起安装。

[0229] 具体地，如上所述，场效应晶体管1100是其中栅电极1131经由栅极绝缘膜1130跨着以在一个方向上延伸的方式从半导体层1110突出设置的扩散层1120的鳍型场效应晶体管。源极区域1120S和漏极区域1120D设置在夹持栅电极1131的两侧的扩散层1120中。

[0230] 另一方面，场效应晶体管1900是平坦型场效应晶体管，其中栅电极1931经由栅极绝缘膜1930设置在半导体层1110上。源极区域1920S和漏极区域1920D设置在夹持栅电极1931的两侧的半导体层1110中。

[0231] 设置有鳍型场效应晶体管1100、平坦型场效应晶体管1900和体端子1132的区域通过包含不会造成非意图导通等的绝缘材料的元件分离层1115而彼此电气隔离。

[0232] 这里，形成在包括半导体层1110和第一绝缘层1140之间的界面的区域中的第一区域1111A不仅可以设置在鳍型场效应晶体管1100的下方，还可以设置在平坦型场效应晶体管1100的下方。因此，第一区域1111A延伸到设有体端子1132的半导体层1110的前面侧的区域，使得可以向鳍型场效应晶体管1100和平坦型场效应晶体管1900二者的体区域供给均匀电位。

[0233] 接下来，参照图18～35说明根据本实施方案的技术适用的场效应晶体管1100的更具体结构及其制造方法。图18～35分别是根据本实施方案的技术适用的场效应晶体管1100的制造方法的各过程的顺序的示意图。

[0234] 首先，如图18所示，第一绝缘层1140形成在其中形成有传感器像素的第一半导体基板11(未示出)上。接下来，将半导体层(第二半导体基板)1110用第一导电型杂质(例如，p型杂质)掺杂，从而形成第一区域1111。将半导体层1110贴合到第一半导体基板11，以使形成有第一区域1111的侧的面面对着第一绝缘层1140。随后，将半导体层1110减薄到具有预定厚度，然后将半导体层1110的前面氧化(未示出)，并且进一步地在半导体层1110的氧化前面上沉积SiN膜1160。

[0235] 接下来，如图19所示，蚀刻SiN膜1160和半导体层1110以形成开口1160A。如图19下侧的平面图所示，这允许形成在一个方向上延伸并在延伸方向的一侧开口的矩形形状的主图案1121以及位于主图案1121的两侧并在平行于主图案1121的延伸方向上延伸的虚设图案1122。主图案1121最终用作场效应晶体管1100的沟道、源极和漏极。

[0236] 随后，如图20所示，将开口1160A填充$SiO_2$膜1171。

[0237] 接下来，如图21所示，通过蚀刻使$SiO_2$膜1171凹陷(后退)，从而形成其中$SiO_2$膜1171残留在底部的开口1160B。此时，虚设图案1122使蚀刻图案的密度均匀化，从而能够防止由于蚀刻的微负载效应导致的主图案1121的开口1116B的深度的分散。因此，这种构成使得场效应晶体管1100具有更有利的特性。

[0238] 随后，如图22所示，沉积作为具有高蚀刻速率的材料的BSG(掺硼硅酸盐玻璃)膜1172以填充开口1160B。

[0239] 接下来，如图23所示，在BSG膜1172上形成蚀刻掩模1173，然后蚀刻对应于虚设图案1122的区域中的BSG膜1172、SiN膜1160和半导体层1110以形成开口1160C。如图23的下侧的平面图所示，这允许去除虚设图案1122。

[0240] 随后，如图24所示，沉积SiN膜1161，然后各向同性地进行蚀刻，从而仅在开口

1160C的底部沉积SiN膜1161。

[0241] 接下来，如图25所示，使用蒸气(vapor)状的氟化氢(HF)溶液等选择性地去除BSG膜1172。如图25的下侧的平面图所示，仅在半导体层1110中形成主图案1121。

[0242] 随后，如图26所示，以预定膜厚沉积BSG(掺硼硅酸盐玻璃)膜1174。

[0243] 其后，如图27所示，以预定膜厚蚀刻BSG膜1174，从而在主图案1121的侧面上形成作为侧壁的BSG膜1174。如图27的下侧的平面图所示，这允许形成沿着主图案1121的外周图案化的BSG膜1174。

[0244] 接下来，如图28所示，在半导体层1110的整个表面上沉积$SiO_2$膜1180。

[0245] 随后，如图29所示，使用CMP(化学机械抛光)等平坦化沉积的$SiO_2$膜1180，从而露出SiN膜1160。

[0246] 其后，如图30所示，在后续阶段中将要成为沟道的区域中的SiN膜1160被选择性地蚀刻，以形成开口1160D。如图30的下侧的平面图所示。在后续阶段中将要成为沟道的区域是在与主图案1121的延伸方向正交的方向上与主图案1121的中央交叉的区域。

[0247] 接下来，如图31所示，使用蒸气(vapor)状的氟化氢(HF)溶液等去除BSG膜1174。因此，如图31的下侧的平面图所示，在主图案1121的部分区域中通过开口1160D露出半导体层1110。

[0248] 随后，如图32所示，通过开口1160D露出的半导体层1110的前面被氧化，从而形成栅极绝缘膜(未示出)。其后，沉积多晶硅，然后通过CMP等平坦化，从而形成栅电极1131。此时，如图32的下侧的平面图所示，栅电极1131形成在对应于主图案1121的周围和开口1160D的平面区域中。

[0249] 接下来，如图33所示，形成硬掩模1175，并在硬掩模1175的侧面进一步形成间隔件1176。进一步地，以硬掩模1175和间隔件1176为掩模，执行将第二导电型杂质(例如，n型杂质)离子注入到半导体层1110中，从而形成作为源极或漏极的扩散层1120。

[0250] 注意，如图33的下侧的平面图所示，场效应晶体管1100的沟道宽度由硬掩模1175的尺寸确定。另外，间隔件1176被设置成将沟道区域与源极区域和漏极区域彼此隔离。根据场效应晶体管1100的特性适宜地调整间隔件1176的尺寸。

[0251] 随后，如图34所示，去除间隔件1176，然后使用硬掩模1175作为掩模以去除露出的多晶硅(在形成栅电极1131期间沉积的)。

[0252] 接下来，如图35所示，通过去除多晶硅形成的开口用$SiO_2$等填充以去除硬掩模1175。其后，如图35的下侧的平面图所示，在部分地包含栅电极1131的平面区域中形成接触孔，并且形成的接触孔用钨填充，从而形成从上面朝向侧面与栅电极1131接触的接触插塞1190。接触插塞1190电气连接到形成在未示出的第一基板10中的传感器像素12的浮动扩散部FD。

[0253] 通过这样的过程，可以制造根据本实施方案的技术适用的场效应晶体管1100。

[0254] 上面已经详细说明了根据本公开第一实施方案的技术。根据本实施方案的技术，在包括像素电路22的第二半导体基板21中，可以容易地向场效应晶体管的体区域供给预定电位。因此，根据本实施方案的技术，可以提高设置在第二半导体基板21中的场效应晶体管的电气特性的可靠性。

[0255] 《3.第二实施方案》

[0256] 接下来，参照图36～43说明根据本公开第二实施方案的技术。根据本实施方案的技术涉及第二基板20的第二半导体基板21。

[0257] 在通过层叠三个基板构成的成像装置1中，在第二半导体基板21的背面侧设置导入了导电型杂质的阱区域，以将包括在第二基板20中的第二半导体基板21的电位固定到预定电位。阱区域电气连接到外部电源或接地，从而向设置在第二半导体基板21中的场效应晶体管供给反向偏置电位或接地电位。

[0258] 例如，这种阱区域可以通过将第一基板10和第二基板20贴合在一起，然后将导电型杂质离子注入到包括在第二基板20中的第二半导体基板21的预定区域中来形成。

[0259] 具体地，在第一基板10和第二基板20之间的贴合之后，在包括在第二基板20中的减薄的第二半导体基板21中形成栅极结构之后，执行导电型杂质的离子注入。

[0260] 这里，第二半导体基板21的减薄以约几百nm的精度执行，因此减薄的第二半导体基板21的厚度变化约几百nm。为此，在一定条件下执行导电型杂质的离子注入的情况下，难以在与第一基板10的界面附近的第二半导体基板21中稳定地形成阱区域。另外，在第二半导体基板21的厚度比假设更薄的情况下，可能会在第一基板10上执行离子注入，从而难以在第二半导体基板21的背面侧的深区域中形成阱区域。因此，难以使设置在第二半导体基板21中的场效应晶体管的特性均匀化。

[0261] 另外，鳍型场效应晶体管由于其栅极宽度能够大于相同平面面积的平坦型场效应晶体管的栅极宽度，因此有望成为一种能够更容易地增加跨导的晶体管。另外，在鳍型场效应晶体管中，电荷通过远离半导体与绝缘体之间的界面的区域，并且受到半导体与绝缘体之间的界面处存在的陷阱的影响较小；因此，鳍型场效应晶体管有望成为具有良好随机噪声特性的晶体管。为此，已经考虑将鳍型场效应晶体管适用于设置在第二半导体基板21中的放大晶体管AMP等。

[0262] 然而，在形成于浅区域的阱区域中的导电型杂质扩散到鳍型场效应晶体管的鳍结构中的情况下，导致场效应晶体管的电流-电压特性降低。为此，在鳍型场效应晶体管形成在第二半导体基板21中的情况下，重要的是在第二半导体基板21的远离鳍结构的适宜区域中形成阱区域。

[0263] 鉴于这种情况，已经构思了根据本实施方案的技术。根据本实施方案的技术涉及通过在贴合到第一基板10之前从第二半导体基板21的贴合面侧预先导入导电型杂质而在第二半导体基板21的适宜区域中形成阱区域。

[0264] 特别地，根据本实施方案的技术涉及通过在贴合到第一基板10之前在第二半导体基板21的贴合面侧上执行包含导电型杂质的沉积来形成阱区域。这使得可以在第二半导体基板21中形成具有比诸如离子注入等掺杂方法更陡峭的浓度分布的阱区域。因此，根据本实施方案的技术可以在第二半导体基板21的贴合面侧的期望区域中选择性地导入导电型杂质。

[0265] 注意，在第二基板20包括在厚度方向上层叠的多个半导体基板的情况下，根据本实施方案的技术也适用于层叠的多个半导体基板(即，第二半导体基板21和设置在第二半导体基板21上的至少一个或多个半导体基板)中的每一个。具体地，可以将导电型杂质导入层叠的多个半导体基板(即，第二半导体基板21和设置在第二半导体基板21上的至少一个或多个半导体基板)中的每一个的贴合面侧的期望区域中，然后贴合到另一个基板等。

[0266] 图36是将第二半导体基板1210(21)贴合到第一基板1201(10)的模式的示意图。

[0267] 如图所示,在贴合到第一基板1201(10)之前的阶段,用作场效应晶体管的阱区域的第一区域1211设置在第二半导体基板1210(21)中。

[0268] 通过在第一半导体基板1230(11)上层叠第一绝缘层1240(46)来构成第一基板1201。

[0269] 第一半导体基板1230(11)是硅基板,并且包括例如在前面的一部分中或其附近的p阱层1231(42)以及在其他区域(即,比p阱层1231更深的区域)中的光电二极管PD。p阱层1231由p型半导体区域构成,光电二极管PD由与p阱层1231不同导电型(例如,n型)的半导体区域构成。第一半导体基板1230在p阱层1231的内部包括作为与p阱层1231不同导电型(例如,n型)的半导体区域的浮动扩散部FD以及从光电二极管PD提取电荷的传输晶体管TR的传输栅TG。

[0270] 此外,第一半导体基板1230包括将光电二极管PD彼此分离的元件分离部1241(43)以及与元件分离部1241的光电二极管PD侧的侧面接触的p阱层1242(44)。元件分离部1241形成为在第一半导体基板1230的主表面的法线方向(与第一半导体基板1230的前面垂直的方向)上延伸,并且将相邻的各光电二极管PD彼此电气分离。元件分离部1241包括例如贯通第一半导体基板1230的氧化硅。p阱层1242由与光电二极管PD不同导电型(具体地,p型)的半导体区域构成。

[0271] 此外,多个绝缘膜1251、1252和1253以及支撑基板1250设置在第一基板1201的与第二半导体基板1210的贴合面相对侧的表面上。绝缘膜1251例如是TEOS(原硅酸四乙酯)膜;绝缘膜1252例如是SiN膜;绝缘膜1253例如是$SiO_2$膜。支撑基板1250例如是硅基板,并且被设置为在成像装置1的制造过程中保持第一基板1201并确保刚性。

[0272] 第二半导体基板1210例如是硅基板。第二半导体基板1210包括第一区域1211,在与第一基板1201的贴合面侧第一导电型杂质(例如,诸如硼(B)等p型杂质)被导入其中。在形成第一区域1211之后,将半导体基板1210贴合到第一基板1201。

[0273] 第一区域1211是通过将第一导电型杂质导入到第二半导体基板1210的贴合面侧的区域而形成的区域。作为将第一导电型杂质导入到第一区域1211中的方法,可以使用已知的掺杂方法,如离子注入、固相扩散或等离子体掺杂。

[0274] 当在贴合到第一基板1201之前在第二半导体基板1210中形成第一区域1211的情况下,使用上述已知的掺杂方法将第一导电型杂质掺杂到第二半导体基板1210中能够从与第一基板1201的贴合面侧进行。在这种情况下,可以从靠近第一区域1211的表面侧进行第一导电型杂质的掺杂,因此可以更精确地控制形成第一区域1211的深度。此外,可以在减薄之前将第一导电型杂质掺杂到第二半导体基板1210中,从而可以在适宜区域形中成第一区域1211,而不受由于减薄引起的第二半导体基板1210的厚度偏差的影响。

[0275] 此外,第一区域1211优选地通过含有第一导电型杂质(例如,诸如硼(B)等p型杂质)的沉积形成。具体地,在第二半导体基板1210是硅基板的情况下,第一区域1211优选地形成为含有第一导电型杂质(例如,硼)的外延生长层。可选择地,在第二半导体基板1210是硅基板的情况下,第一区域1211优选地形成为含有第一导电型杂质(例如,硼)的多晶硅层。

[0276] 这使得通过选择性导入第一导电型杂质而沉积的层成为第一区域1211,从而可以将杂质导入到晶体中的单一原子层中(即,进行所谓的δ掺杂)。因此,可以允许第一区域

1211中的第一导电型杂质的厚度方向的浓度分布更陡峭。

[0277] 特别地，在第一区域1211形成为含有第一导电型杂质的外延生长层的情况下，可以更精确地控制第一区域1211中的第一导电型杂质的浓度分布。另一方面，在第一区域1211形成为含有第一导电型杂质的多晶硅层的情况下，可以通过更简单的制造工艺形成第一区域1211。

[0278] 图37～39分别是将第二半导体基板1210(21)贴合到第一基板1201(10)的另一种模式的示意图。

[0279] 如图37～39所示，本模式是其中第一区域1211通过从含有第一导电型杂质(例如，硼(B))的杂质导入膜1212扩散第一导电型杂质而形成的模式。

[0280] 具体地，如图37所示，杂质导入膜1212可以沉积在第二半导体基板1210的贴合面侧。另外，可以在杂质导入膜1212的前面上进一步沉积盖层1213

[0281] 杂质导入膜1212是含有硼硅酸盐玻璃(BSG)并且通过热扩散将作为第一导电型杂质的硼(B)扩散到第二半导体基板1210中的膜。盖层1213是包含通过ALD等沉积的SiO或SiN并且抑制杂质导入膜1212的膜质变化或抑制第一导电型杂质扩散到第一绝缘层1240中的层。

[0282] 在这种情况下，杂质导入膜1212能够通过使用在第二半导体基板1210贴合到第一基板1201之后的工艺中产生的热量而将第一导电型杂质(例如，硼(B))扩散到第二半导体基板1210中。这使得杂质导入膜1212能够在第二半导体基板1210中形成含有第一导电型杂质的第一区域1211。

[0283] 注意，第二半导体基板1210可以在贴合到第一基板10之后通过抛光等减薄到约500nm的厚度。第一导电型杂质(例如，硼(B))从杂质导入膜1212的扩散可以在减薄第二半导体基板1210之后进行。

[0284] 此外，如图38所示，杂质导入膜1212可以沉积在第二半导体基板1210的贴合面侧。

[0285] 同样，杂质导入膜1212是含有硼硅酸盐玻璃(BSG)并且通过热扩散将作为第一导电型杂质的硼(B)扩散到第二半导体基板1210中的膜。在这种情况下，杂质导入膜1212能够通过使用在第二半导体基板1210贴合到第一基板1201之后的工艺中产生的热量而将第一导电型杂质(例如，硼(B))扩散到第二半导体基板1210中。这使得杂质导入膜1212能够在第二半导体基板1210中形成含有第一导电型杂质的第一区域1211。

[0286] 此外，如图39所示，杂质导入膜1212可以沉积在第一基板1201的贴合面侧。

[0287] 杂质导入膜1212是含有硼硅酸盐玻璃(BSG)并且通过热扩散将作为第一导电型杂质的硼(B)扩散到贴合的第二半导体基板1210中的膜。在这种情况下，杂质导入膜1212能够通过使用在第二半导体基板1210贴合到第一基板1201之后的工艺中产生的热量而将第一导电型杂质(例如，硼(B))扩散到第二半导体基板1210中。这使得杂质导入膜1212能够在第二半导体基板1210中形成含有第一导电型杂质的第一区域1211。

[0288] 图40～43分别是将第二半导体基板1210(21)贴合到第一基板1201(10)的又一种模式的示意图。

[0289] 如图40～43所示，本模式是其中导电型不同的第一区域1211P和1211N均形成在第二半导体基板1210中的模式。

[0290] 具体地，首先，如图40所示，通过使用设置为覆盖第二半导体基板1210的预定区域

的抗蚀剂1299作为掩模，将第一导电型杂质注入到第二半导体基板121中，从而形成第一区域1211P。例如，可以通过将作为第一导电型杂质的硼(B)注入到第二半导体基板121中来形成第一区域1211P。

[0291] 随后，如图41所示，通过使用设置为覆盖第二半导体基板1210的不同于第一区域1211P的区域的抗蚀剂1299作为掩模，将第二导电型杂质注入到第二半导体基板121中，从而形成第一区域1211N。例如，可以通过将作为第二导电型杂质的磷(P)或砷(As)注入到第二半导体基板121中来形成第一区域1211N。注意，第一区域1211N和1211P的形成顺序可以颠倒。

[0292] 接下来，如图42所示，将第二半导体基板1210贴合到第一基板1201，其中形成第一区域1211P和1211N的侧的表面作为贴合面。

[0293] 通过在第一半导体基板1230上层叠第一绝缘层1240来构成第一基板1201。第一半导体基板1230是硅基板，并且包括例如在前面的一部分中或其附近的p阱层1231以及在其他区域(即，比p阱层1231更深的区域)中的光电二极管PD。p阱层1231由p型半导体区域构成，光电二极管PD由与p阱层1231不同导电型(例如，n型)的半导体区域构成。

[0294] 在p阱层1231的内部设有作为与p阱层1231不同导电型(例如，n型)的半导体区域的浮动扩散部FD以及作为与p阱层1231相同的导电型(例如，p型)的半导体区域的阱接触部“阱”。在p阱层1231上设有从光电二极管PD提取电荷到浮动扩散部FD的传输栅TG、电气连接到浮动扩散部FD的电极1243以及电气连接到阱接触部“阱”的电极1245。

[0295] 此外，第一半导体基板1230包括将光电二极管PD彼此分离的元件分离部1241以及与元件分离部1241的光电二极管PD侧的侧面接触的p阱层1242。元件分离部1241形成为在第一半导体基板1230的主表面的法线方向(与第一半导体基板1230的前面垂直的方向)上延伸，并且将相邻的各光电二极管PD彼此电气分离。元件分离部1241包括例如贯通第一半导体基板1230的氧化硅。p阱层1242由与光电二极管PD不同导电型(具体地，p型)的半导体区域构成。

[0296] 其后，如图43所示，p型晶体管TrP、n型晶体管TrN和Fin(鳍)型晶体管TrF设置在第二半导体基板1210中。第二绝缘层1220层叠在第二半导体基板1210上以埋上p-型晶体管TrP、n型晶体管TrN和Fin型晶体管TrF。注意，电气连接到浮动扩散部FD的电极1243经由贯通第一绝缘层1240和第二半导体基板1210的未示出的接触部电气连接到设置在第二半导体基板1210中的放大晶体管的栅电极。电气连接到阱接触部“阱”的电极1245可以经由贯通第一绝缘层1240的未示出的接触部电气连接到例如第二半导体基板1210的p阱(例如，后述的第一区域1211P或p阱区域1210P)。

[0297] 具体地，与第一区域1211P相同的第一导电型(即，p型)的p阱区域1210P进一步设置在第一区域1211P的一部分区域上，从而能够在p阱区域1210P中形成n型晶体管TrN。此外，与第一区域1211N相同的第二导电型(即，n型)的n阱区域1210N进一步设置在第一区域1211N的一部分区域上，从而能够在n阱区域1210N中形成p型晶体管TrP。此外，鳍型晶体管TrF经由第二半导体基板1210的未掺杂区域设置在第一区域1211P和1211N中的每一个的其他区域之上。

[0298] 这使得设置在第二半导体基板1210的深区域中的第一区域1211P和1211N能够降低Fin型晶体管TrF中的耗尽层下方的电阻。因此，可以进一步稳定对Fin型晶体管TrF的体

区域的电位供给。此外，在第二半导体基板1210中形成不同导电型的第一区域1211P和1211N使得能够在第二半导体基板1210中分别形成具有不同极性的n型晶体管TrN和p型晶体管TrP。

[0299] 随后，参照图44～47说明根据本实施方案的技术的变型。图44～47分别是相对于设置在第二半导体基板1210中的场效应晶体管的阱区域，接触插塞的结构的变型的示意性纵向断面图。注意，在第二基板20包括在厚度方向上层叠的多个半导体基板的情况下，在下面阐述的结构中，接触插塞可以设置在层叠的多个半导体基板(即，第二半导体基板1210和设置在第二半导体基板1210上的至少一个或多个半导体基板)中的每一个中。

[0300] 图44～47分别示出其中通过在第一半导体基板1230(11)上层叠第一绝缘层1240(46)而构成的第一基板1201(10)和通过在第二半导体基板1210(21)上层叠第二绝缘层1220(52)而构成的第二基板1202(20)贴合在一起的层叠体。因此，图44～47省略了设置在第一基板1201的背面侧的滤色器40和光接收透镜50以及设置在第二基板1202的前面侧的第三基板30的图示。

[0301] 如图44～47所示，第一基板1201包括光电二极管PD和晶体管Tr1，第二基板1202包括晶体管Tr2和用作晶体管Tr2的阱区域的第一区域1211。设置在第二基板1202中的第一区域1211经由与其电气连接的接触插塞(Contact Plug)CP固定到预定电位。

[0302] 这里，如图44所示，接触插塞CP可以经由设置在第二半导体基板1210的前面的一部分区域中的第二区域1260向作为阱区域的第一区域1211供给电位。

[0303] 第二区域1260例如是含有与第一区域1211相同程度的高浓度的第一导电型杂质的区域，并且设置在第二半导体基板1210的前面的一部分区域中。第二区域1260未设置为与第一区域1211相邻，而是降低了接触插塞CP和第二半导体基板1210之间的接触电阻，从而可以增强接触插塞CP和第一区域1211之间的导通性。

[0304] 如图45所示，接触插塞CP可以经由设置在第二半导体基板1210的前面的一部分区域中的第二区域1260和设置在与第二区域1260和第一区域1211相邻的区域中的第三区域1261向作为阱区域的第一区域1211供给电位。

[0305] 第二区域1260例如是含有与第一区域1211相同程度的高浓度的第一导电型杂质的区域，并且设置在第二半导体基板1210的前面的一部分区域中。第三区域1261是含有低于第一区域1211和第二区域1260的浓度的第一导电型杂质的区域，并且设置在与第一区域1211和第二区域1260相邻的区域中。具体地，第三区域1261可以在第二半导体基板1210的厚度方向上设置在第一区域1211和第二区域1260之间的区域中。这使得第二区域1260和第三区域1261能够进一步增强接触插塞CP和第一区域1211之间的导通性。

[0306] 此外，如图46所示，可以设置接触插塞CP1以贯通第二半导体基板1210并且可以与第一区域1211直接接触。这使得接触插塞CP1能够向作为阱区域的第一区域1211直接供给电位，因此使得可以以较低电阻向第一区域1211供给电位。

[0307] 注意，含有与第一区域1211相同程度的高浓度的第一导电型杂质的第二区域1260可以任选地设置在第二半导体基板1210的前面的一部分区域中。第二区域1260能够进一步增强接触插塞CP1和第一区域1211之间的导通性。

[0308] 此外，如图47所示，可以设置接触插塞CP2以贯通第二半导体基板1210和第一绝缘层1240并且与第一区域1211和设置在第一半导体基板1230中的第四区域1280直接接触。第

四区域1280是含有与第一区域1211相同程度的高浓度的第一导电型杂质的区域，并且设置在第一半导体基板1230的前面的一部分区域中。第四区域1280被设置成向第一半导体基板1230的阱区域供给电位。

[0309] 这使得接触插塞CP2能够向第二半导体基板1210的第一区域1211和第一半导体基板1230的第四区域1280直接供给电位。因此，一个接触插塞CP2能够向层叠在一起的第一半导体基板1230和第二半导体基板1210中的每一个供给电位，从而可以提高成像装置1的面积效率。

[0310] 注意，含有与第一区域1211相同程度的高浓度的第一导电型杂质的第二区域1260可以任选地设置在第二半导体基板1210的前面的一部分区域中。第二区域1260能够进一步增强接触插塞CP2和第一区域1211之间的导通性。

[0311] 上面已经详细说明了根据本公开第二实施方案的技术。根据本实施方案的技术，在包括像素电路22的第二半导体基板21中，可以形成其中第一导电型杂质被导入第二半导体基板21的适宜区域中的阱区域。因此，根据本实施方案的技术，可以提高设置在第二半导体基板21中的场效应晶体管的电气特性的可靠性。

[0312] 《4.第三实施方案》

[0313] 随后，参照图48～55说明根据本公开第三实施方案的技术。根据本实施方案的技术涉及第二基板20的第二半导体基板21。

[0314] 在通过层叠三个基板构成的成像装置1中，在第二半导体基板21的背面侧设置导入了导电型杂质的阱区域，以将包括在第二基板20中的第二半导体基板21的电位固定到预定电位。阱区域电气连接到外部电源或接地，从而向设置在第二半导体基板21中的场效应晶体管供给反向偏置电位或接地电位。

[0315] 例如，这种阱区域可以通过将第一基板10和第二基板20贴合在一起，然后将导电型杂质离子注入到包括在第二基板20中的第二半导体基板21的预定区域中来形成。

[0316] 具体地，在第一基板10和第二基板20之间的贴合之后，在包括在第二基板20中的减薄的第二半导体基板21中形成栅极结构之前，执行导电型杂质的离子注入。

[0317] 这里，减薄的第二半导体基板21具有约几百nm的厚度。因此，离子注入的第一导电型杂质广泛扩散到第二半导体基板21中，从而导致场效应晶体管的电气特性可能受到影响。

[0318] 例如，在阱区域中的导电型杂质扩散到鳍型场效应晶体管的鳍结构中的情况下，鳍型场效应晶体管的电流-电压特性可能会降低。因此，为了良好地保持设置在第二半导体基板21中的场效应晶体管的电气特性，重要的是适宜地控制导电型杂质的扩散，以不让阱区域的导电型杂质扩散到第二半导体基板21的前面。

[0319] 鉴于这种情况，已经构思了根据本实施方案的技术。根据本实施方案的技术涉及通过进一步导入非导电型杂质以抑制导电型杂质扩散到第二半导体基板21的阱区域中来适宜地控制导电型杂质的扩散。

[0320] 注意，在第二基板20包括在厚度方向上层叠的多个半导体基板的情况下，根据本实施方案的技术也适用于层叠的多个半导体基板(即，第二半导体基板1310和设置在第二半导体基板1310上的至少一个或多个半导体基板)中的每一个。具体地，除了第一导电型杂质之外，可以将抑制导电型杂质扩散的非导电型杂质导入到层叠的多个半导体基板(即，第

二半导体基板1310和设置在第二半导体基板1310上的至少一个或多个半导体基板)的第一区域1311中。

[0321] 图48和图49分别是形成第二半导体基板1310中的第一区域1311和形成场效应晶体管的模式的示意图。

[0322] 如图48和图49所示,通过在第一半导体基板1330(11)上层叠第一绝缘层1340(46)来构成第一基板1301(10)。第二半导体基板1310(21)贴合到第一基板1301以允许形成第一区域1311那侧的表面面对第一绝缘层1340。另外,在与形成第二半导体基板1310的第一区域1311那侧相对侧的表面上,设置包括栅电极1320、栅极绝缘膜1321、源极区域1310S、漏极区域1310D和侧壁绝缘膜1322的场效应晶体管1300。

[0323] 第一区域1311通过将第一导电型杂质和非导电型杂质导入第二半导体基板1310的贴合面侧的区域中而形成。作为将第一导电型杂质和非导电型杂质导入第一区域1311中的方法,可以使用离子注入。此外,可以使用其他已知的掺杂方法,例如固相扩散或等离子体掺杂。

[0324] 第一导电型杂质和非导电型杂质被导入第一区域1311中的时机可以在第一基板1301和第二半导体基板1310之间的贴合之后,如图48所示,或者可以在第一基板1301和第二半导体基板1310之间的贴合之前,如图49所示。

[0325] 例如,在第二半导体基板1310的整个表面之中,第一区域1311至少设置在设有场效应晶体管的平面区域中。然而,为了进一步简化制造工艺,第一区域1311可以设置在第二半导体基板1310的整个表面上。

[0326] 非导电型杂质是通过与第一导电型杂质结合来抑制第一导电型杂质的扩散的物质。具体地,在第一导电型杂质对应于硼(B)的情况下,碳(C)可以用作非导电型杂质以与第一导电型杂质结合。为了形成第一区域1311而通过向第一区域1311中导入与被导入到第二半导体基板1310中的硼浓度相同或更高浓度的碳,可以抑制硼在第二半导体基板1310中的扩散。

[0327] 在第一导电型杂质对应于硼(B)的情况下,氟(F)可以用作非导电型杂质以与第一导电型杂质结合。为了形成第一区域1311而通过向第一区域1311中导入高于被导入到第二半导体基板1310中的硼浓度的氟,可以抑制硼在第二半导体基板1310中的扩散。

[0328] 因此,根据本实施方案的技术,可以抑制导入到形成在第二半导体基板1310的背面侧上的第一区域1311中的第一导电型杂质扩散到第二半导体基板1310的前面侧。这使得根据本实施方案的技术能够抑制设置在第二半导体基板1310中的场效应晶体管1300的电气特性的降低。

[0329] 随后,参照图50和图51说明根据本实施方案的技术的变型。图50和图51各自是设置在第二半导体基板1310中的场效应晶体管的结构的变型的示意性断面图。图50和图51是在第二半导体基板1310的面内正交的两个方向上观察的场效应晶体管的侧视图。

[0330] 如图50和图51所示,场效应晶体管1300A设置在贴合到第一基板1301的第二半导体基板1310上,第一基板1301包括其上层叠有第一绝缘层1340的第一半导体基板1330。场效应晶体管1300A是鳍型场效应晶体管,其中栅电极1320被设置为经由栅极绝缘膜1321跨着在第二半导体基板1310的前面上突出设置的扩散层1312。

[0331] 在场效应晶体管1300A中,第二导电型杂质被导入到设置在夹持栅电极1320的两

侧的扩散层1312中，从而形成源极区域和漏极区域。此外，在场效应晶体管1300A中，源极区域和漏极区域之间的扩散层1312经由栅极绝缘膜1321被栅电极1320覆盖以用作沟道区域。在场效应晶体管1300A中，在覆盖有栅电极1320的扩散层1312的上面和两侧面的三个面上形成栅极结构，因此与形成在同一平面面积中的场效应晶体管1300相比，可以增大栅极宽度。

[0332] 根据本实施方案的技术，可以抑制包含在第一区域1311中的第一导电型杂质的扩散，从而可以降低第一导电型杂质可能会进入形成有沟道的扩散层1312中的可能性。这使得可以抑制由进入扩散层1312的第一导电型杂质引起的有效栅极宽度的减小，从而可以有利地保持场效应晶体管1300A的电气特性。

[0333] 上面已经详细说明了根据本公开第三实施方案的技术。根据本实施方案的技术，在包括像素电路22的第二半导体基板21中，通过将与第一导电型杂质结合的非导电型杂质进一步导入阱区域中，可以抑制第一导电型杂质的扩散。因此，根据本实施方案的技术，可以抑制由第一导电型杂质的扩散引起的设置在第二半导体基板21中的场效应晶体管的电气特性的下降。

[0334] 《5.变形例》

[0335] 在下文中，说明根据本公开的技术适用的成像装置1的变形例。注意，在以下的变形例中，与上述成像装置1的部件共同的部件用相同的附图标记表示。

[0336] (变形例1)

[0337] 首先，参照图52说明作为成像装置1的层叠方向上的断面构成的变形例的变形例1。图52是图7所示的断面构成的变形例的纵向断面图。

[0338] 如图52所示，在根据变形例1的成像装置1中，传输晶体管TR包括平面型的传输栅TG。因此，传输栅TG不贯通p阱层42，而是形成在第一半导体基板11的前面上。即使在将平面型的传输栅TG用于传输晶体管TR的情况下，成像装置1也可以实现与上述类似的效果。

[0339] (变形例2)

[0340] 接下来参照图53，说明作为成像装置1的层叠方向上的断面构成的变形例的变形例2。图53是图7所示的断面构成的变形例的纵向断面图。

[0341] 如图53所示，在根据变形例2的成像装置1中，第二基板20和第三基板30之间的电气连接形成在与第一基板10的周边区域14相对应的区域中。周边区域14是对应于在第一基板10的像素区域13的周围设置的框架区域的区域。在根据变形例2的成像装置1中，第二基板20在与周边区域14相对应的区域中包括多个焊盘电极58，并且第三基板30在与周边区域14相对应的区域中包括多个焊盘电极64。这允许第二基板20和第三基板30通过设置在与周边区域14相对应的区域中的焊盘电极58和64之间的接合而彼此电气连接。因此，与焊盘电极58和64在与像素区域13相对应的区域中彼此接合的情况相比，根据变形例2的成像装置1可以降低由焊盘电极58和64之间的接合可能会对像素区域13产生影响的可能性。

[0342] (变形例3)

[0343] 此外，将参照图54～59说明根据变形例3的成像装置1B的构成例。图54～56是示出根据变形例3的成像装置1B的构成例的厚度方向的断面图。图57～59是示出根据变形例3的成像装置1B的多个像素单元PU的布局例的水平方向的断面图。注意，图57～59所示的断面图仅是示意图，并非旨在严格且正确地说明实际结构的视图。在图57～59所示的断面图中，

晶体管和杂质扩散层在水平方向上的位置被有意地从位置sec1改变到位置sec3,以便容易地在纸面上说明成像装置1B的构成。

[0344] 具体地,在图54所示的成像装置1B的像素单元PU中,位置sec1处的断面是沿着图57的线A1-A1'截取的断面,位置sec2处的断面是沿着图58的线B1-B1'截取的断面,位置sec3处的断面是沿着图59的线C1-C1'截取的断面。同样地,在图55所示的成像装置1B中,位置sec1处的断面是沿着图57的线A2-A2'截取的断面,位置sec2处的断面是沿着图58的线B2-B2'截取的断面,位置sec3处的断面是沿着图59的线C2-C2'截取的断面。在图56所示的成像装置1B中,位置sec1处的断面是沿着图57的线A3-A3'截取的断面,位置sec2处的断面是沿着图58的线B3-B3'截取的断面,位置sec3处的断面是沿着图59的线C3-C3'截取的断面。

[0345] 如图54～59所示,第二基板20层叠在第一基板(底部基板)10的前面10a(一个面)侧。光电二极管PD、传输晶体管TR和浮动扩散部FD设置在第一基板10的前面10a侧上。针对每个传感器像素12设置光电二极管PD、传输晶体管TR和浮动扩散部FD。

[0346] 第一基板10的另一侧(例如,背面)是光入射面。成像装置1B是背面照射型成像装置,并且在背面包括滤色器和光接收透镜。针对每个传感器像素12设置滤色器和光接收透镜。

[0347] 第一基板10的第一半导体基板11包括例如硅基板。第一半导体基板11在前面的一部分中及其附近包括第一导电型(例如,p型)的阱层WE,并且在比阱层WE更深的区域中包括第二导电型(例如,n型)的光电二极管PD。此外,阱层WE在其内包括具有比阱层WE更高的p型浓度的阱接触层和n型的浮动扩散部FD。阱接触层被设置为降低阱层WE和配线之间的接触电阻。

[0348] 第一半导体基板11包括将相邻的传感器像素12彼此电气分离的元件分离层16。元件分离层16包括例如STI(浅沟槽隔离)结构,并且在第一半导体基板11的深度方向上延伸。元件分离层16包含例如氧化硅。此外,第一半导体基板11在元件分离层16和光电二极管PD之间包括杂质扩散层17。例如,杂质扩散层17包括在第一半导体基板11的厚度方向上延伸设置的p型层和n型层。p型层位于元件分离层16侧,n型层位于光电二极管PD侧。

[0349] 绝缘膜2015设置在第一半导体基板11的前面11a侧。绝缘膜2015例如是其中氧化硅膜(SiO)、氮化硅膜(SiN)、氧氮化硅膜(SiON)和碳氮化硅膜(SiCN)中的一种或两种以上层叠在一起的膜。

[0350] 第二基板20包括下侧基板2210和上侧基板2220。下侧基板2210包括半导体基板2211。半导体基板2211是硅基板,包括例如单晶硅。放大晶体管AMP和围绕放大晶体管AMP的周围的元件分离层2213设置在半导体基板2211的一个面(例如,前面2211a)侧。元件分离层2213将相邻像素单元PU的一个放大晶体管AMP与其他放大晶体管AMP彼此电气分离。

[0351] 下侧基板2210包括覆盖半导体基板2211的前面2211a的绝缘膜2215。绝缘膜2215覆盖放大晶体管AMP和元件分离层2213。此外,下侧基板2210包括覆盖半导体基板2211的另一面(例如,背面2211b)的绝缘膜2217。绝缘膜2215和2217各自例如是其中SiO、SiN、SiON和SiCN中的一种或两种以上层叠在一起的膜。第一基板10的绝缘膜2015和下侧基板2210的绝缘膜2217彼此接合以构成层间绝缘膜2051。

[0352] 上侧基板2220包括半导体基板2221。半导体基板2221是硅基板,包括例如单晶硅。

复位晶体管RST、选择晶体管SEL和元件分离层2223设置在半导体基板2221的一个面(例如，前面2221a)侧。例如，元件分离层2223设置在复位晶体管RST和选择晶体管SEL之间以及在选择晶体管SEL和半导体基板2221的阱层之间。

[0353] 上侧基板2220包括覆盖半导体基板2221的前面2221a、背面2221b和侧面的绝缘膜2225。绝缘膜2225例如是其中SiO、SiN、SiON和SiCN中的一种或两种以上层叠在一起的膜。下侧基板2210的绝缘膜2215和上侧基板2220的绝缘膜2225彼此接合以构成层间绝缘膜2053。

[0354] 成像装置1B包括设置在层间绝缘膜2051和2053中并且电气连接到第一基板10或第二基板20中的至少一个的多个配线L1～L10。配线L1将放大晶体管AMP的漏极和电源线VDD电气连接在一起。配线L2将包括在一个像素单元PU中的四个浮动扩散部FD和放大晶体管AMP的栅电极AG电气连接在一起。配线L3将放大晶体管AMP的源极和选择晶体管SEL的漏极电气连接在一起。配线L4将选择晶体管SEL的栅电极SG和像素驱动线电气连接在一起。

[0355] 配线L5将选择晶体管SEL的源极和垂直信号线电气连接在一起。配线L6将复位晶体管RST的漏极和电源线VDD电气连接在一起。配线L7将复位晶体管RST的栅电极RG和像素驱动线电气连接在一起。配线L8将复位晶体管RST的源极和配线L2电气连接在一起。配线L9将传输晶体管TR的栅电极TG和像素驱动线电气连接在一起。配线L10将阱接触层和供给基准电位(例如，接地电位:0V)的基准电位线电气连接在一起。

[0356] 在配线L1～L10中，在层叠体的厚度方向上延伸设置的部分包含钨(W)，并且在与层叠体的厚度方向正交的方向(例如，水平方向)上延伸设置的部分包含铜(Cu)或主要含有Cu的Cu合金。然而，在配线L1～L10中包含的材料不限于此;可以包含其他材料。

[0357] 第二基板20包括连接到上述配线L1～L10中的任何配线(例如，配线L1、L4～L7、L9和L10)的多个焊盘电极2227。多个焊盘电极2227均包含例如Cu或Cu合金。

[0358] 第三基板30设置在第二基板20的与面向第一基板10的面相对的侧(例如，前面侧)。第三基板30包括半导体基板2301、覆盖半导体基板2301的前面2301a侧的绝缘膜2304、设置在半导体基板2301的前面2301a侧的多个配线L30和连接到相应配线L30的焊盘电极2305。注意，第二基板20的前面和第三基板30的前面如后所述地贴合在一起。为此，半导体基板2301的前面2301a面朝下侧。

[0359] 半导体基板2301是硅基板，包括例如单晶硅。半导体基板2301在前面2301a侧包括杂质扩散层和包括在逻辑电路中的多个晶体管。绝缘膜2304覆盖杂质扩散层和包括在逻辑电路中的多个晶体管。绝缘膜2304包括连接到晶体管和杂质扩散层的接触孔。

[0360] 配线L30设置在接触孔内。在配线L30中，在第三基板30的厚度方向上延伸设置的部分包含钛(Ti)或钴(Co)，并且在与第三基板30的厚度方向正交的方向(例如，水平方向)上延伸设置的部分包含Cu或主要含有Cu的Cu合金。然而，在配线L30中包含的材料不限于此;可以包含其他材料。

[0361] 硅化物2303(例如，硅化钛(TiSi)或硅化钴($CoSi_2$))形成在配线L30和半导体基板2301之间的连接部处。硅化物2303允许配线L30和半导体基板2301之间的连接接近欧姆接触，从而降低接触电阻。这实现了逻辑电路的更高运算速度。

[0362] 注意，在第一基板10和第二基板20中没有形成硅化物。这使得在形成第一基板10和第二基板20时能够在超过硅化物的耐热温度的温度下进行热处理等。然而，可以在第一

基板10和第二基板20中的至少一个中形成硅化物。

[0363] 多个焊盘电极2305均包含例如Cu或Cu合金。在成像装置1B的厚度方向上，第三基板30的焊盘电极2305面对第二基板20的焊盘电极2227以允许电气连接。例如，焊盘电极2305和2227以彼此面对的状态通过Cu-Cu接合一体化。这允许第二基板20和第三基板30之间的电气连接，并且允许增强第二基板20和第三基板30之间的贴合强度。

[0364] 在根据变形例3的成像装置1B中，可以针对多个传感器像素12的每一个设置一个浮动扩散部用接触部。例如，彼此相邻的四个传感器像素12可以共享一个浮动扩散部用接触部。同样，可以针对多个传感器像素12中的每一个设置一个阱用接触部。例如，彼此相邻的四个传感器像素12可以共享一个阱用接触部。

[0365] 具体地，如图54和图59所示，成像装置1B共享跨着多个传感器像素12配置的共用焊盘电极2102和设置在共用焊盘电极2102上的一个配线L2。例如，在成像装置1B中，存在如下区域：在平面图中，四个传感器像素12的各个浮动扩散部FD1～FD4经由元件分离层16彼此相邻。共用焊盘电极2102设置在该区域中。共用焊盘电极2102跨着四个浮动扩散部FD1～FD4配置，并且电气连接到四个浮动扩散部FD1～FD4中的每一个。共用焊盘电极2102例如由掺杂有n型杂质或p型杂质的多晶硅膜制成。

[0366] 在共用焊盘电极2102的中心部上设置有一个配线L2(即，浮动扩散部用接触部)。如图55和图57～59所示，设置在共用焊盘电极2102的中心部上的配线L2从第一基板10贯通第二基板20的下侧基板2210延伸到第二基板20的上侧基板2220，并且经由设置在上侧基板2220中的配线等连接到放大晶体管AMP的栅电极AG。

[0367] 此外，如图54和图59所示，成像装置1B共享跨着多个传感器像素12配置的共用焊盘电极2110和设置在共用焊盘电极2110上的一个配线L10。例如，在成像装置1B中，存在如下区域：在平面图中，四个传感器像素12的各个阱层WE经由元件分离层16彼此相邻。共用焊盘电极2110设置在该区域中。共用焊盘电极2110跨着四个传感器像素12的各个阱层WE配置，并且电气连接到四个传感器像素12的各个阱层WE。作为示例，共用焊盘电极2110配置在于Y轴方向上配置的一个共用焊盘电极2102和另一个共用焊盘电极2102之间。在Y轴方向上，共用焊盘电极2102和2110交替配置。共用焊盘电极2110例如由掺杂有n型杂质或p型杂质的多晶硅膜制成。

[0368] 此外，在共用焊盘电极2110的中心部上设置有一个配线L10(即，阱用接触部)。如图54和图57～59所示，设置在共用焊盘电极2110的中心部上的配线L10从第一基板10贯通第二基板20的下侧基板2210延伸到第二基板20的上侧基板2220，并且经由设置在上侧基板2220中的配线等连接到供给基准电位(例如，接地电位：0V)的基准电位线。

[0369] 设置在共用焊盘电极2110的中心部上的配线L10电气连接到共用焊盘电极2110的上面、设置在下侧基板2210中的通孔的内侧面以及设置在上侧基板2220中的通孔的内侧面。因此，第一基板10的第一半导体基板11的阱层WE、第二基板20的下侧基板2210的阱层和上侧基板2220的阱层连接到基准电位(例如，接地电位：0V)。

[0370] 根据变形例3的成像装置1B还包括设置在构成第一基板10的第一半导体基板11的前面11a侧并且跨着多个(例如，四个)传感器像素12彼此相邻地配置的共用焊盘电极2102和2110。共用焊盘电极2102电气连接到四个传感器像素12的浮动扩散部FD，因此针对每四个传感器像素12，可以使连接到浮动扩散部FD的配线L2共用。此外，共用焊盘电极2110电气

连接到四个传感器像素12的阱层WE，因此针对每四个传感器像素12，可以使连接到阱层WE的配线L10共用。因此，由于可以减少配线L2和L10的数量，所以可以减小传感器像素12的面积，并且可以减小成像装置1B的尺寸。

[0371] (变形例4)

[0372] 随后，参照图60和图61说明作为成像装置1的水平方向的断面构成的变形例4。图60和图61的每个的上部图示出了沿着图7的剖切面Sec1处的断面构成的变形例，图60和图61的每个的下部图示出了沿着图7的剖切面Sec2处的断面构成的变形例。

[0373] 如图60和图61所示，多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的面内在第一方向V1(图60和图61的左右方向)上以带状方式并排配置。图60和图61例示了多个贯通配线54、多个贯通配线48和多个贯通配线47在第一方向V1上并排配置成两列的情况。

[0374] 在共享像素电路22的四个传感器像素12中，例如，四个浮动扩散部FD经由元件隔离部43彼此接近地配置。在共享像素电路22的四个传感器像素12中，四个传输栅(TG1、TG2、TG3和TG4)被配置为围绕四个浮动扩散部FD，并且四个传输栅TG例如形成环形形状。

[0375] 分离绝缘层53包括在第二方向V2上延伸的多个块。第二半导体基板21包括在第一方向V1上延伸并且在第一方向V1上并排配置的多个岛状的块21A。各块21A设置有例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL。例如，由四个传感器像素12共享的一个像素电路22未与四个传感器像素12对应地配置，而是在第二方向V2上偏移地配置。

[0376] 在图60中，由四个传感器像素12共享的一个像素电路22在第二基板20中的对应于四个传感器像素12的区域在第二方向V2上偏移的区域内包括复位晶体管RST、放大晶体管AMP和选择晶体管SEL。由四个传感器像素12共享的一个像素电路22包括例如在一个块21A内的放大晶体管AMP、复位晶体管RST和选择晶体管SEL。

[0377] 在图61中，由四个传感器像素12共享的一个像素电路22在第二基板20中的对应于四个传感器像素12的区域在第二方向V2上偏移的区域内包括复位晶体管RST、放大晶体管AMP、选择晶体管SEL和FD转换增益切换晶体管FDG。由四个传感器像素12共享的一个像素电路22包括例如在一个块21A内的放大晶体管AMP、复位晶体管RST、选择晶体管SEL和FD转换增益切换晶体管FDG。

[0378] 在根据变形例4的成像装置1中，由四个传感器像素12共享的一个像素电路22未与四个传感器像素12正对地配置，而是从与四个传感器像素12正对的位置在第二方向V2上偏移。根据这种构成，根据变形例4的成像装置1可以缩短配线25，或者可以省略配线25并且在共用的杂质区域中形成放大晶体管AMP的源极和选择晶体管SEL的漏极。结果，根据变形例4的成像装置1可以减小像素电路22的尺寸。

[0379] (变形例5)

[0380] 接下来，参照图62说明作为成像装置1的水平方向的断面构成的变形例的变形例5。图62是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0381] 如图62所示，第二半导体基板21包括经由分离绝缘层53在第一方向V1和第二方向V2上并排配置的多个岛状的块21A。各块21A包括例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL的一组。在这种情况下，根据变形例5的成像装置1可以通过分离绝缘层53抑制彼此相邻的像素电路22之间的串扰，并且可以抑制图像的分辨率的降低和由混色引起的画

质的劣化。

[0382] (变形例6)

[0383] 随后,参照图63说明作为成像装置1的水平方向的断面构成的变形例的变形例6。图63是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0384] 在图63中,在第二半导体基板21中,由四个传感器像素12共享的一个像素电路22例如未与四个传感器像素12对应地配置,而是在第一方向V1上偏移。另外,在变形例6的成像装置1中,第二半导体基板21包括经由分离绝缘层53在第一方向V1和第二方向V2上并排配置的多个岛状的块21A。各块21A设置有例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL的一组。此外,在根据变形例6的成像装置1中,多个贯通配线47和多个贯通配线54配置在第二方向V2上。

[0385] 这允许多个贯通配线47被配置在共享一个像素电路22的四个贯通配线54和共享与这个像素电路22在第二方向V2上相邻的其他像素电路22的四个贯通配线54之间。这使得根据变形例6的成像装置1可以通过分离绝缘层53贯通配线47抑制彼此相邻的像素电路22之间的串扰,并且可以抑制图像的分辨率的降低和由混色引起的图像质量的劣化。

[0386] (变形例7)

[0387] 接下来,参照图64～66说明作为成像装置1的水平方向的断面构成的变形例的变形例7。图64是沿着图7中的剖切面Sec1和剖切面Sec2的断面构成的变形例的示意图。

[0388] 如图64所示,在根据变形例7的成像装置1中,第一基板10具有针对每个传感器像素12的光电二极管PD和传输晶体管TR(即,传输栅TG),并且浮动扩散部FD由每四个传感器像素12共享。因此,根据变形例7的成像装置1针对每四个传感器像素12设置一个贯通配线54。

[0389] 另外,在根据变形例7的成像装置1中,针对通过将对应于共享一个浮动扩散部FD的四个传感器像素12的单位区域在第二方向V2上偏移一个传感器像素12而获得的区域,设置一个贯通配线47。即,在根据变形例7的成像装置1中,在对应于共享一个浮动扩散部FD的四个传感器像素12的单位区域和在第二方向V2上与该单位区域相邻的相邻单位区域之间设置贯通配线47。此外,贯通配线47由贯通配线47周围的单位区域的两个传感器像素12和贯通配线47周围的相邻单位区域的两个传感器像素12共享。

[0390] 此外,在根据变形例7的成像装置1中,第一基板10具有分离针对每个传感器像素12的光电二极管PD和传输晶体管TR的元件分离部43。当从第一半导体基板11的主表面的法线方向观察时,元件分离部43没有完全包围传感器像素12的周围,因此在浮动扩散部FD(即,贯通配线54)的附近和在贯通配线47的附近存在气隙(未形成区域)。该气隙使得四个传感器像素12能够共享贯通配线54,并且使四个传感器像素12能够共享在单位区域和相邻单位区域之间的贯通配线47。注意,在根据变形例7的成像装置1中,第二基板20包括针对共享浮动扩散部FD的每四个传感器像素12的像素电路22。

[0391] 图65和图66各自是沿着根据变形例7的成像装置1的剖切面Sec2的断面构成的其他示例的示意图。如图65所示,第一基板10可以具有针对每个传感器像素12的光电二极管PD和传输晶体管TR,并且浮动扩散部FD可以由每四个传感器像素12共享。此外,第一基板10可以具有分离针对每个传感器像素12的光电二极管PD和传输晶体管TR的元件分离部43。此外,如图66所示,可以具有针对每个传感器像素12的光电二极管PD和传输晶体管TR,并且浮

动扩散部FD可以由每四个传感器像素12共享。此外，第一基板10可以具有分离针对每个传感器像素12的光电二极管PD和传输晶体管TR的元件分离部43。

[0392] (变形例8)

[0393] 随后，参照图67说明作为成像装置1的电路构成的变形例的变形例8。图67是安装有列并行ADC(模数转换器)的CMOS图像传感器的电路构成的示意图。

[0394] 如图67所示，根据变形例8的成像装置1包括像素区域13、垂直驱动电路33、列信号处理电路34、基准电压供给部38、水平驱动电路35、水平输出线37和系统控制电路36，其中各像素区域13包括通过以行列状(矩阵状)二维地配置的包括光电转换元件的多个传感器像素12。

[0395] 系统控制电路36基于主时钟MCK生成时钟信号、控制信号等，作为垂直驱动电路33、列信号处理电路34、基准电压供给部38、水平驱动电路35等的操作的基准。系统控制电路36进一步将产生的时钟信号、控制信号等供给到垂直驱动电路33、列信号处理电路34、基准电压供给部38、水平驱动电路35等。

[0396] 垂直驱动电路33形成在其中形成有像素区域13的各传感器像素12的第一基板10和其中形成有像素电路22的第二基板20中的每一个中。列信号处理电路34、基准电压供给部38、水平驱动电路35、水平输出线37和系统控制电路36形成在第三基板30中。

[0397] 尽管这里未示出，但是传感器像素12包括例如光电二极管PD和将在光电二极管PD中光电转换的电荷传输到浮动扩散部FD的传输晶体管TR。像素电路22例如包括控制浮动扩散部FD的电位的复位晶体管RST、输出与浮动扩散部FD的电位相对应的信号的放大晶体管AMP以及用于选择像素的选择晶体管SEL。

[0398] 传感器像素12二维地配置在像素区域13中。例如，在各传感器像素12以矩阵状配置成n行和m列的像素区域13中，像素驱动线23针对各行进行配线，垂直信号线24针对各列进行配线。多个像素驱动线23的各一端连接到垂直驱动电路33的各行对应的输出端子。垂直驱动电路33包括移位寄存器等，并且经由多个像素驱动线23执行像素区域13的行寻址或行扫描的控制。

[0399] 列信号处理电路34包括例如ADC(模拟-数字转换电路)34-1～34-m，每一个针对像素区域13的每个像素列设置，即，针对每个垂直信号线24。列信号处理电路34将从像素区域13中的各传感器像素12的每列输出的模拟信号转换为数字信号，并且输出数字信号。

[0400] 基准电压供给部38包括例如DAC(数字-模拟转换电路)38A，并且生成电平随着时间倾斜变化的所谓的斜坡(RAMP)波形的基准电压Vref。注意，基准电压供给部38可以使用DAC 38A以外的手段来生成斜坡波形的基准电压Vref。

[0401] DAC 38A基于从系统控制电路36供给的控制信号CS1和时钟CK来生成斜坡波形的基准电压Vref，并且将生成的基准电压Vref供给到列处理部15的ADC 34-1～34-m。

[0402] 注意，ADC 34-1～34-m中的每个被构造为选择性地执行与各操作模式相对应的AD转换操作，包括以读出所有传感器像素12的信息的逐渐扫描方式的正常帧速率模式以及将传感器像素12的曝光时间设定为正常帧速率模式的1/N以将帧速率提高N倍(例如，两倍)的高速帧速率模式。通过从系统控制电路36供给的控制信号CS2和CS3的控制来执行操作模式之间的切换。另外，基于来自外部系统控制器(未示出)的指令信息，系统控制电路36产生控制信号CS2和CS3，用于在正常帧率模式和高速帧率模式的操作模式之间切换。

[0403] ADC 34-1～34-m均具有相同的构成，并且这里以ADC 34-m为例进行说明。

[0404] ADC34-m包括比较器34A、向上/向下计数器(U/D CNT)34B、传输开关34C和存储装置34D。

[0405] 比较器34A将对应于从像素区域13的第m列的各传感器像素12输出的信号的垂直信号线24的信号电压Vx与从基准电压供给部38供给的斜坡波形的基准电压Vref进行比较。例如，在基准电压Vref大于信号电压Vx的情况下，比较器34A将输出Vco设定为“H”电平，而在基准电压Vref等于或小于信号电压Vx的情况下，将输出Vco设定为“L”电平。

[0406] 向上/向下计数器34B是异步计数器。根据系统控制电路36供给的控制信号CS2，向上/向下计数器34B被供给来自系统控制电路36的时钟CK。向上/向下计数器34B与时钟CK同步地执行向下(DOWN)计数或向上(UP)计数，从而测量比较器34A中的从比较操作的开始到结束的比较期间。

[0407] 具体地，在正常帧速率模式下，向上/向下计数器34B在从一个传感器像素12的第一次读出操作时执行向下计数，从而测量第一次读出时的比较时间。此外，向上/向下计数器34B在第二次读出操作时执行向上计数，从而测量第二次读出时的比较时间。

[0408] 另一方面，在高速帧速率模式下，向上/向下计数器34B按原样保持某行的传感器像素12的计数结果。其后，向上/向下计数器34B对于下一行的传感器像素12通过接续先前的计数结果在第一次读出操作时执行向下计数，从而测量第一次读出时的比较时间。此外，向上/向下计数器34B在第二次读出操作时执行向上计数，从而测量第二次读出时的比较时间。

[0409] 传输开关34C基于从系统控制电路36供给的控制信号CS3进行操作。在正常帧速率模式下，当对于某行的传感器像素12由向上/向下计数器34B进行的计数操作完成时，传输开关34C变为ON(闭)状态，从而将向上/向下计数器34B的计数结果传输到存储装置34D。

[0410] 另一方面，例如，在N＝2的高速帧速率时，当对于某行的传感器像素12由向上/向下计数器34B进行的计数操作完成时，传输开关34C保持在OFF(开)状态。其后，当对于下一行的传感器像素12由向上/向下计数器34B进行的计数操作完成时，传输开关34C变为ON状态，从而将向上/向下计数器34B的两个垂直像素的计数结果传输到存储装置34D。

[0411] 如上所述，通过ADC 34-1～34-m中的比较器34A和向上/向下计数器34B的各操作，从像素区域13中的传感器像素12经由垂直信号线24逐列地供给的模拟信号被转换为N位数字信号，并且数字信号被存储在存储装置34D中。

[0412] 水平驱动电路35包括移位寄存器等，并且对列信号处理电路34中的ADC 34-1～34-m执行列寻址和列扫描的控制。在水平驱动电路35的控制下，通过各ADC 34-1～34-m中的A/D转换获得的N位数字信号被顺次地读出到水平输出线37。读出的N位数字信号经由水平输出线37作为成像数据输出。

[0413] 注意，尽管没有给出具体图示，但是除了上述构成要素之外，还可以设置对经由水平输出线37输出的成像数据执行各种信号处理的电路等。

[0414] 在根据变形例8的成像装置1中，能够经由传输开关34C将向上/向下计数器34B的计数结果选择性地传输到存储装置34D。这使得根据变形例8的成像装置1可以独立地控制向上/向下计数器34B的计数操作以及将向上/向下计数器34B的计数结果读出到水平输出线37的操作。

[0415] (变型例9)

[0416] 接下来，参照图68说明作为成像装置1的层叠结构的变形例的变形例9。图68是其中图67所示的成像装置1包括层叠的三个基板的构成例的示意图。

[0417] 如图68所示，根据变形例9的成像装置1具有其中层叠第一基板10、第二基板20和第三基板的构成。包括多个传感器像素12的像素区域13形成在第一基板10的中央部分，并且垂直驱动电路33形成在像素区域13的周围。此外，包括多个像素电路22的像素电路区域15形成在第二基板20的中央部分，并且垂直驱动电路33形成在像素电路区域15的周围。此外，列信号处理电路34、水平驱动电路35、系统控制电路36、水平输出线37和基准电压供给部38形成在第三基板30中。注意，垂直驱动电路33可以如上所述地形成在第一基板10和第二基板20二者中，可以仅形成在第一基板10中，或者可以仅形成在第二基板20中。根据变形例9的成像装置1能够抑制由于基板彼此电气连接的结构而导致的芯片尺寸的增大或像素面积的增大。这使得根据变形例9的成像装置1可以更小型化每像素的面积。

[0418] (变形例10)

[0419] 随后，参照图69和图70说明作为成像装置1的断面构成的变形例的变形例10。图69是根据变形例10的成像装置1的断面构成的示例的示意图。

[0420] 上述实施方案和变形例例示了成像装置1包括层叠的第一基板10、第二基板20和第三基板30这三个基板的构成。然而，根据本公开的技术不限于以上示例。例如，可以通过层叠第一基板10和第二基板20这两个基板来构成成像装置1。

[0421] 如图69所示，在这种情况下，例如在第一基板10和第二基板20中分别形成处理电路32。

[0422] 处理电路32中的设置在第一基板10侧的电路32A包括具有栅极构造的晶体管，其中包含耐高温工艺的材料(例如，高k材料)的高介电常数膜和金属栅电极被层叠。

[0423] 另一方面，在处理电路32中的设置在第二基板20侧的电路32B中，包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26设置在与源电极和漏电极接触的杂质扩散区域的前面上。包含硅化物的低电阻区域由半导体基板的材料和金属的化合物形成，并且具有高耐热性。因此，可以使用诸如热氧化等高温工艺来形成传感器像素12。此外，包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26能够降低接触电阻，从而使其可以在处理电路32中实现更高的运算速度。

[0424] 注意，可以在根据上述实施方案和变形例中的任一个的成像装置1中设置包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26。具体地，通过层叠第一基板10、第二基板20和第三基板30这三个基板而构成的成像装置1还包括包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26。图70是其中将包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26适用于包括层叠的三个基板的成像装置1的示例的示意图。

[0425] 如图70所示，可以在与源电极和漏电极接触的杂质扩散区域的前面上设置包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26。这使得可以使用诸如热氧化等高温工艺来形成传感器像素12。此外，包含诸如$CoSi_2$和NiSi等硅化物的低电阻区域26能够降低接触电阻，从而使其可以在处理电路32中实现更高的运算速度。

[0426] 《6.具体例》

[0427] 上述根据本公开的技术适用于各种成像装置等。在下文中，参照具体例说明根据

本公开的技术适用的成像装置和包括该成像装置的设备。

[0428] <6.1.第一实施方案>

[0429] (成像装置1的功能构成)

[0430] 图71是示出根据本公开实施方案的成像装置(成像装置1)的功能构成的示例的框图。

[0431] 图71的成像装置1包括例如输入单元510A、行驱动单元520、时序控制单元530、像素阵列单元540、列信号处理单元550、图像信号处理单元560和输出单元510B。

[0432] 在像素阵列单元540中,像素541以阵列状重复地配置。更具体地,包括多个像素的像素共享单元539形成重复单位,并且在行方向和列方向上以阵列状重复地配置。注意,在本说明书中,为了方便起见,行方向可以被称为H方向,并且与行方向正交的列方向可以被称为V方向。在图71的示例中,一个像素共享单元539包括四个像素(像素541A、541B、541C和541D)。像素541A、541B、541C和541D均具有光电二极管PD(在后述的图76等中示出)。像素共享单元539是共享一个像素电路(后述的图73中的像素电路210)的单位。换句话说,针对每四个像素(像素541A、541B、541C和541D)设置一个像素电路(后述的像素电路210)。通过以时分方式操作该像素电路,顺次读出像素541A、541B、541C和541D的各自的像素信号。像素541A、541B、541C和541D例如配置成两行×两列。在像素阵列单元540中,连同像素541A、541B、541C和541D一起设置有多个行驱动信号线542和多个垂直信号线(列读出线)543。行驱动信号线542驱动在像素阵列单元540中在行方向上并排配置的多个像素共享单元539中的每一个所包括的像素541。在像素共享单元539中,在行方向上并排配置的各像素被驱动。如后面将参照图74详细说明的,像素共享单元539设置有多个晶体管。为了驱动多个晶体管中的每一个,多个行驱动信号线542连接到一个像素共享单元539。像素共享单元539连接到垂直信号线(列读出线)543。经由垂直信号线(列读出线)543从包括在像素共享单元539中的各个像素541A、541B、541C和541D读出像素信号。

[0433] 行驱动单元520包括例如确定用于像素驱动的行位置的行地址控制部(换句话说,行解码器单元)以及产生用于驱动像素541A、541B、541C和541D的信号的行驱动电路单元。

[0434] 列信号处理单元550包括例如负载电路单元,该负载电路单元连接到垂直信号线543并与像素541A、541B、541C和541D(像素共享单元539)形成源极跟随器电路。列信号处理单元550可以具有放大器电路单元,该放大器电路单元放大经由垂直信号线543从像素共享单元539读出的信号。列信号处理单元550可以具有噪声处理单元。在噪声处理单元中,例如,作为光电转换的结果,从从像素共享单元539读出的信号中去除系统的噪声水平。

[0435] 列信号处理单元550具有例如模数转换器(ADC)。在模数转换器中,将从像素共享单元539读出的信号或上述的经过噪声处理的模拟信号转换为数字信号。ADC包括例如比较器单元和计数器单元。在比较器单元中,将要转换的模拟信号和作为该信号的比较对象的参照信号被比较。在计数器单元中,测量直到比较器单元中的比较结果被反转的时间。列信号处理单元550可以包括水平扫描电路单元,其执行控制以扫描读出列。

[0436] 时序控制单元530基于输入到装置的基准时钟信号和时序控制信号,将用于控制时序的信号供给到行驱动单元520和列信号处理单元550。

[0437] 图像信号处理单元560是对作为光电转换的结果而获得的数据(换句话说,作为在成像装置1中的成像操作而获得的数据)进行各种信号处理的电路。图像信号处理单元560

包括例如图像信号处理电路单元和数据保持单元。图像信号处理单元560可以包括处理器单元。

[0438] 由图像信号处理单元560执行的信号处理的示例是色调曲线校正处理，该色调曲线校正处理在AD转换的成像数据是通过对暗被摄体成像而获得的数据的情况下增加灰度，而在其是通过对亮被摄体成像而获得的数据的情况下减小灰度。在这种情况下，关于基于成像数据的灰度将被校正的色调曲线，期望预先在图像信号处理单元560的数据保持单元中存储色调曲线的特性数据。

[0439] 输入单元510A用于从装置外部向成像装置1输入例如上述基准时钟信号、时序控制信号、特性数据等。时序控制信号例如是垂直同步信号和水平同步信号等。特性数据例如被存储在图像信号处理单元560的数据保持单元中。输入单元510A包括例如输入端子511、输入电路单元512、输入幅度改变单元513、输入数据转换电路单元514和电源单元(未示出)。

[0440] 输入端子511是用于输入数据的外部端子。输入电路单元512用于将输入到输入端子511的信号获取到成像装置1的内部。在输入幅度改变单元513中，由输入电路单元512获取的信号的幅度被改变为可以容易地在成像装置1的内部使用的幅度。在输入数据转换电路单元514中，输入数据的数据列的布置改变。输入数据转换电路单元514包括例如串并转换电路。在串并转换电路中，作为输入数据接收的串行信号被转换为并行信号。注意，在输入单元510A中，可以省略输入幅度改变单元513和输入数据转换电路单元514。电源单元基于从外部供给到成像装置1的电源来供给被设定为成像装置1内部所需的各种电压的电源。

[0441] 当成像装置1连接到外部存储设备时，输入单元510A可以设置有从外部存储设备接收数据的存储接口电路。外部存储设备的例子包括闪存、SRAM和DRAM等。

[0442] 输出单元510B将图像数据输出到装置的外部。图像数据例如包括由成像装置1捕获的图像数据和由图像信号处理单元560信号处理的图像数据等。输出单元510B包括例如输出数据转换电路单元515、输出幅度改变单元516、输出电路单元517和输出端子518。

[0443] 输出数据转换电路单元515由例如并串转换电路构成，并且在输出数据转换电路单元515中，将在成像装置1内部使用的并行信号转换为串行信号。输出振幅改变单元516改变成像装置1内部使用的信号的振幅。具有改变的振幅的信号容易用在连接到成像装置1外部的外部装置中。输出电路单元517是将数据从成像装置1的内部输出到装置外部的电路，并且输出电路单元517驱动连接到输出端子518的成像装置1外部的配线。在输出端子518处，数据从成像装置1输出到装置的外部。在输出单元510B中，可以省略输出数据转换电路单元515和输出幅度改变单元516。

[0444] 当成像装置1连接到外部存储设备时，输出单元510B可以设置有将数据输出到外部存储设备的存储接口电路。外部存储设备的例子包括闪存、SRAM和DRAM等。

[0445] [成像装置1的示意性构成]

[0446] 图72和图73示出成像装置1的示意性构成的示例。成像装置1包括三个基板(第一基板100、第二基板200和第三基板300)。图72示意性地表示第一基板100、第二基板200和第三基板300中的每个的平面构成，并且图73示意性地表示彼此层叠的第一基板100、第二基板200和第二基板300的断面构成。图73对应于沿着图72所示的线III-III'截取的断面构成。成像装置1是具有通过将三个基板(第一基板100、第二基板200和第三基板300)贴合在

一起而形成的三维结构的成像装置。第一基板100包括半导体层100S和配线层100T。第二基板200包括半导体层200S和配线层200T。第三基板300包括半导体层300S和配线层300T。这里，为了方便起见，将第一基板100、第二基板200和第三基板300的每一个中包括的配线与围绕该配线的层间绝缘膜的组合称为设置在每个基板(第一基板100、第二基板200和第三基板300)中的配线层(100T、200T和300T)。第一基板100、第二基板200和第三基板300以该顺序层叠，并且沿着层叠方向，半导体层100S、配线层100T、半导体层200S、配线层200T、配线层300T和半导体层300S顺次配置。稍后将说明第一基板100、第二基板200和第三基板300的具体构成。图73中所示的箭头指示入射在成像装置1上的光L的方向。在本说明书中，为了方便起见，在以下断面图中，成像装置1中的光入射侧可以称为“下部”、“下侧”和“下方”并且与光入射侧相对的一侧称为“上部”、“上侧”和“上方”。此外，在本说明书中，为了方便起见，关于包括半导体层和配线层的基板，可以将配线层侧的表面称为前面并且将半导体层侧的表面称为背面。注意，本说明书的记载不限于上述术语。成像装置1例如是背面照射型成像装置，其中光从具有光电二极管的第一基板100的背面侧入射。

[0447] 像素阵列单元540和包括在像素阵列单元540中的像素共享单元539通过使用第一基板100和第二基板200两者来构成。第一基板100设置有包括在像素共享单元539中的多个像素541A、541B、541C和像素541D。这些像素541中的每一个具有光电二极管(后述的光电二极管PD)和传输晶体管(后述的传输晶体管TR)。第二基板200设置有包括在像素共享单元539中的像素电路(后述的像素电路210)。像素电路读出从各个像素541A、541B、541C和541D的光电二极管经由传输晶体管传输的像素信号，或者使光电二极管复位。除了这种像素电路之外，第二基板200还具有在行方向上延伸的多个行驱动信号线542和在列方向上延伸的多个垂直信号线543。第二基板200还具有沿着行方向延伸的电源线544(后述的电源线VDD等)。第三基板300具有例如输入单元510A、行驱动单元520、时序控制单元530、列信号处理单元550、图像信号处理单元560和输出单元510B。例如，在第一基板100、第二基板200和第三基板300的层叠方向(下面，简称为层叠方向)上，行驱动单元520设置在与像素阵列单元540部分重叠的区域中。更具体地，在层叠方向上，行驱动单元520设置在与像素阵列单元540的H方向上的端部的附近重叠的区域中(图72)。在层叠方向上，列信号处理单元550例如设置在与像素阵列单元540部分重叠的区域中。更具体地，在层叠方向上，列信号处理单元550设置在与像素阵列单元540的V方向上的端部的附近重叠的区域中(图72)。尽管未示出，但是输入单元510A和输出单元510B可以配置在除了第三基板300之外的部分中，并且可以配置在例如第二基板200中。可选择地，输入单元510A和输出单元510B可以设置在第一基板100的背面(光入射面)侧。注意，上述设置在第二基板200上的像素电路作为别称也可以称为像素晶体管电路、像素晶体管组、像素晶体管、像素读出电路或读出电路。在本说明书中，使用术语“像素电路”。

[0448] 第一基板100和第二基板200通过例如贯通电极(后述的图76的贯通电极120E、121E)电气连接。第二基板200和第三基板300经由例如接触部201、202、301和302彼此电气连接。第二基板200设置有接触部201和202，第三基板300设置有接触部301和302。第二基板200的接触部201与第三基板300的接触部301接触，第二基板200的接触部202与第三基板300的接触部302接触。第二基板200具有设置有多个接触部201的接触区域201R和设置有多个接触部202的接触区域202R。第三基板300具有设置有多个接触部301的接触区域301R和

设置有多个接触部302的接触区域302R。接触区域201R和301R在层叠方向上设置在像素阵列单元540和行驱动单元520之间(图73)。换句话说,接触区域201R和301R设置在例如行驱动单元520(第三基板300)和像素阵列单元540(第二基板200)在层叠方向上重叠的区域中,或者设置在该区域附近。接触区域201R和301R例如配置在该区域中的H方向的端部(图72)。在第三基板300中,例如,接触区域301R设置在与行驱动单元520的一部分(具体地,行驱动单元520的H方向的端部)重叠的位置(图72和图73)。接触部201和301连接例如设置在第三基板300中的行驱动单元520和设置在第二基板200中的行驱动线542。接触部201和301例如可以连接设置在第三基板300中的输入单元510A与电源线544和基准电位线(后述的基准电位线VSS)。接触区域202R和302R在层叠方向上设置在像素阵列单元540和列信号处理单元550之间(图73)。换句话说,接触区域202R和302R设置在例如列信号处理单元550(第三基板300)和像素阵列单元540(第二基板200)在层叠方向上重叠的区域中,或者设置在该区域附近。接触区域202R和302R例如配置在该区域中的V方向的端部(图72)。在第三基板300中,例如,接触区域301R设置在与列信号处理单元550的一部分(具体地,列信号处理单元550的V方向的端部)重叠的位置(图72和图73)。例如,接触部202和302用于将从包括在像素阵列单元540中的多个像素共享单元539的每个输出的像素信号(与作为光电二极管的光电转换而产生的电荷量相对应的信号)连接到设置在第三基板300中的列信号处理单元550。像素信号从第二基板200被发送到第三基板300。

[0449] 图73是如上所述的成像装置1的断面图的示例。第一基板100、第二基板200和第三基板300经由配线层100T、200T和300T电气连接。例如,成像装置1具有将第二基板200和第三基板300电气连接的电气连接部。具体地,接触部201、202、301和302由从导电材料形成的电极形成。导电材料例如由诸如铜(Cu)、铝(Al)或金(Au)等金属材料形成。接触区域201R、202R、301R和302R例如通过将形成为电极的配线彼此直接接合而使第二基板200和第三基板300电气连接,从而能够在第二基板200和第三基板300之间输入和/或输出信号。

[0450] 电气连接第二基板200和第三基板300的电气连接部可以设置在期望的位置。例如,类似于图73中说明的接触区域201R、202R、301R和302R,电气连接部可以设置在与像素阵列单元540在层叠方向上重叠的区域中。此外,电气连接部可以设置在不与像素阵列单元540在层叠方向上重叠的区域中。具体地,电气连接部可以设置在与像素阵列单元540的外侧配置的周边部在层叠方向上重叠的区域中。

[0451] 第一基板100和第二基板200例如设置有连接孔H1和H2。连接孔H1和H2贯通第一基板100和第二基板200(图73)。连接孔H1和H2设置在像素阵列单元540(或与像素阵列单元540重叠的部分)的外侧(图72)。例如,连接孔H1在H方向上配置在像素阵列单元540的外侧,并且连接孔H2在V方向上配置在像素阵列单元540的外侧。例如,连接孔H1到达设置在第三基板300中的输入单元510A,并且连接孔H2到达设置在第三基板300中的输出单元510B。连接孔H1和H2可以是中空的或其至少一部分可以包含导电材料。例如,存在其中接合线连接到形成为输入单元510A和/或输出单元510B的电极的构成。可选择地,存在其中形成为输入单元510A和/或输出单元510B的电极连接到设置在连接孔H1和H2中的导电材料的构成。设置在连接孔H1和H2中的导电材料可以埋入在连接孔H1和H2的一部分或全部中,或者导电材料可以在连接孔H1和H2的侧壁上形成。

[0452] 注意,在图73中,第三基板300设置有输入单元510A和输出单元510B,但是本公开

不限于此。例如，通过经由配线层200T和300T将第三基板300的信号发送到第二基板200，可以将输入单元510A和/或输出单元510B设置在第二基板200中。类似地，通过经由配线层100T和200T将第二基板200的信号发送到第一基板100，可以将输入单元510A和/或输出单元510B设置在第一基板100中。

[0453] 图74是示出像素共享单元539的构成例的等效电路图。像素共享单元539包括多个像素541(图74中示出了像素541A、541B、541C和541D的四个像素541)、连接到多个像素541的一个像素电路210和连接到像素电路210的垂直信号线543。像素电路210包括例如四个晶体管，具体地，放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG。如上所述，通过以时分方式操作一个像素电路210，像素共享单元539将像素共享单元539中包括的四个像素541(像素541A、541B、541C和541D)的各自像素信号顺次输出到垂直信号线543。将一个像素电路210连接到多个像素541并且通过一个像素电路210以时分方式输出多个像素541的像素信号的模式称为“多个像素541共享一个像素电路210”。

[0454] 像素541A、541B、541C和541D具有彼此共用的构成要素。在下文中，为了将像素541A、541B、541C和541D的构成要素彼此区分开，将识别号1添加到像素541A的构成要素的附图标记的末尾，将识别号2添加到像素541B的构成要素的附图标记的末尾，将识别号3添加到像素541C的构成要素的附图标记的末尾，将识别号4添加到像素541D的构成要素的附图标记的末尾。在不需要将像素541A、541B、541C和541D的构成要素彼此区分开的情况下，省略了像素541A、541B、541C和541D的构成要素的附图标记的末尾的识别号。

[0455] 像素541A、541B、541C和541D各自具有例如光电二极管PD、电气连接到光电二极管PD的传输晶体管TR和电气连接到传输晶体管TR的浮动扩散部FD。在光电二极管PD(PD1、PD2、PD3或PD4)中，阴极电气连接到传输晶体管TR的源极，并且阳极电气连接到基准电位线(例如，接地)。光电二极管PD对入射光执行光电转换并产生与接收的光量相对应的电荷。传输晶体管TR(传输晶体管TR1、TR2、TR3或TR4)例如是n型互补金属氧化物半导体(CMOS)晶体管。在传输晶体管TR中，漏极电气连接到浮动扩散部FD，并且栅极电气连接到驱动信号线。驱动信号线是连接到一个像素共享单元539的多个行驱动信号线542(参照图71)的一部分。传输晶体管TR将由光电二极管PD产生的电荷传输到浮动扩散部FD。浮动扩散部FD(浮动扩散部FD1、FD2、FD3或FD4)是形成在p型半导体层中的n型扩散层区域。浮动扩散部FD是临时保持从光电二极管PD传输的电荷的电荷保持手段，并且是产生与电荷量相对应的电压的电荷-电压转换手段。

[0456] 包括在一个像素共享单元539中的四个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此电气连接，并且电气连接到放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。FD转换增益切换晶体管FDG的漏极连接到复位晶体管RST的源极，并且FD转换增益切换晶体管FDG的栅极连接到驱动信号线。驱动信号线是连接到一个像素共享单元539的多个行驱动信号线542的一部分。复位晶体管RST的漏极连接到电源线VDD，并且复位晶体管RST的栅极连接到驱动信号线。驱动信号线是连接到一个像素共享单元539的多个行驱动信号线542的一部分。放大晶体管AMP的栅极连接到浮动扩散部FD，放大晶体管AMP的漏极连接到电源线VDD，并且放大晶体管AMP的源极连接到选择晶体管SEL的漏极。选择晶体管SEL的源极连接到垂直信号线543，并且选择晶体管SEL的栅极连接到驱动信号线。驱动信号线是连接到一个像素共享单元539的多个行驱动信号线542的一部分。

[0457] 当传输晶体管TR导通时，传输晶体管TR将光电二极管PD的电荷传输到浮动扩散部FD。传输晶体管TR的栅极(传输栅TG)包括例如所谓的纵型电极，并且如后述的图76所示，被设置成从半导体层(图76中的半导体层100S)的表面延伸到到达PD的深度。复位晶体管RST将浮动扩散部FD的电位复位为预定电位。当复位晶体管RST导通时，浮动扩散部FD的电位被复位为电源线VDD的电位。选择晶体管SEL控制来自像素电路210的像素信号的输出时机。放大晶体管AMP生成具有与浮动扩散部FD中保持的电荷的水平相对应的电压的信号作为像素信号。放大晶体管AMP经由选择晶体管SEL连接到垂直信号线543。在列信号处理单元550中，放大晶体管AMP与连接到垂直信号线543的负载电路单元(参照图71)一起构成源极跟随器。当选择晶体管SEL导通时，放大晶体管AMP将浮动扩散部FD的电压经由垂直信号线543输出到列信号处理单元550。复位晶体管RST、放大晶体管AMP和选择晶体管SEL例如是N型CMOS晶体管。

[0458] FD转换增益切换晶体管FDG在改变浮动扩散部FD中的电荷-电压转换的增益时使用。通常，当在黑暗的地方拍摄图像时，像素信号较小。在基于Q＝CV进行电荷-电压转换的情况下，当浮动扩散部FD的电容(FD电容C)很大时，在由放大晶体管AMP转换为电压时的V变小。另一方面，在明亮的地方，由于像素信号变大，因此，除非FD电容C很大，否则浮动扩散部FD不能接收光电二极管PD的电荷。此外，FD电容C需要很大，以使得在由放大晶体管AMP转换为电压时的V不会变得太大(换句话说，使得其变小)。由此，当FD转换增益切换晶体管FDG导通时，FD转换增益切换晶体管FDG的栅极电容增加。因此，整个FD电容C增加。另一方面，当FD转换增益切换晶体管FDG断开时，整个FD电容C减小。以这种方式，通过切换FD转换增益切换晶体管FDG的导通和断开，可以使FD电容C可变并且可以切换转换效率。FD转换增益切换晶体管FDG例如是N型CMOS晶体管。

[0459] 注意，未设置FD转换增益切换晶体管FDG的构成也是可能的。此时，例如，像素电路210包括三个晶体管，例如，放大晶体管AMP、选择晶体管SEL和复位晶体管RST。像素电路210具有诸如放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG等像素晶体管中的至少一个。

[0460] 选择晶体管SEL可以设置在电源线VDD和放大晶体管AMP之间。在这种情况下，复位晶体管RST的漏极电气连接到电源线VDD和选择晶体管SEL的漏极。选择晶体管SEL的源极电气连接到放大晶体管AMP的漏极，并且选择晶体管SEL的栅极电气连接到行驱动信号线542(参照图71)。放大晶体管AMP的源极(像素电路210的输出端)电气连接到垂直信号线543，并且放大晶体管AMP的栅极电气连接到复位晶体管RST的源极。注意，尽管未示出，但是共享一个像素电路210的像素541的数量可以是四个以外的。例如，二个或八个像素541可以共享一个像素电路210。

[0461] 图75示出了多个像素共享单元539和垂直信号线543的连接模式的示例。例如，在列方向排列的四个像素共享单元539被分成四组，并且垂直信号线543连接到四个组中的每个组。为了简化说明，图75示出了其中四个组中的每个组具有一个像素共享单元539的示例，但是四个组中的每个组可以包括多个像素共享单元539。如上所述，在成像装置1中，在列方向上排列的多个像素共享单元539可以被分为包括一个或多个像素共享单元539的组。例如，垂直信号线543和列信号处理单元550连接到这些组中的每一个，并且像素信号可以同时从各个组中读出。可选择地，在成像装置1中，一个垂直信号线543可以连接到在列方向

上并置的多个像素共享单元539。此时，以时分方式从连接到一个垂直信号线543的多个像素共享单元539顺次读出像素信号。

[0462] [成像装置1的具体构成]

[0463] 图76示出了在垂直于成像装置1的第一基板100、第二基板200和第三基板300的主面的方向上的断面构成的示例。为了容易理解，图76示意性地示出了构成要素的位置关系，并且可能与实际断面有所不同。在成像装置1中，第一基板100、第二基板200和第三基板300以该顺序层叠。成像装置1还具有在第一基板100的背面侧(光入射面侧)的光接收透镜401。可以在光接收透镜401与第一基板100之间设置滤色层(未示出)。例如，在像素541A、541B、541C和541D的每一个中设置光接收透镜401。成像装置1例如是背面照射型成像装置。成像装置1具有配置在中央部的像素阵列单元540和配置在像素阵列单元540的外侧的周边部540B。

[0464] 第一基板100从光接收透镜401侧顺次具有绝缘膜111、固定电荷膜112、半导体层100S和配线层100T。半导体层100S由例如硅基板构成。半导体层100S在表面(配线层100T侧的表面)的一部分及其附近具有例如p阱层115，并且在其他区域(比p阱层115更深的区域)具有n型半导体区域114。例如，n型半导体区域114和p阱层115构成pn结型光电二极管PD。p阱层115是p型半导体区域。

[0465] 图77A示出了第一基板100的平面构成的示例。图77A主要示出了像素分离部117、光电二极管PD、浮动扩散部FD、VSS接触区域118和传输晶体管TR的平面构成。将使用图77A连同图76一起来说明第一基板100的构成。

[0466] 浮动扩散部FD和VSS接触区域118设置在半导体层100S的表面附近。浮动扩散部FD包括设置在p阱层115内的n型半导体区域。像素541A、541B、541C和541D的各个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)设置为例如在像素共享单元539的中央部彼此接近(图77A)。后面将说明细节，并且包括在像素共享单元539中的四个浮动扩散部(浮动扩散部FD1、FD2、FD3和FD4)经由第一基板100内(更具体地，配线层100T内)的电气连接手段(后述的焊盘部120)彼此电气连接。另外，浮动扩散部FD经由电气手段(后述的贯通电极120E)从第一基板100连接到第二基板200(更具体地，从配线层100T连接到配线层200T)。在第二基板200中(更具体地，在配线层200T的内部)，通过电气手段，将浮动扩散部FD电气连接到放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。

[0467] VSS接触区域118是电气连接到基准电位线VSS的区域，并且配置成与浮动扩散部FD分开。例如，在像素541A、541B、541C和541D中，浮动扩散部FD配置在各像素的V方向上的一端，而VSS接触区域118配置在各像素的另一端(图77A)。VSS接触区域118由例如p型半导体区域构成。VSS接触区域118连接到例如接地电位或固定电位。因此，基准电位被供给到半导体层100S。

[0468] 除了光电二极管PD、浮动扩散部FD和VSS接触区域118之外，传输晶体管TR也设置在第一基板100中。光电二极管PD、浮动扩散部FD、VSS接触区域118和传输晶体管TR设置在像素541A、541B、541C和541D的每个中。传输晶体管TR设置在半导体层100S的前面侧(与光入射面侧相对的一侧，即，第二基板200侧)。传输晶体管TR具有传输栅TG。传输栅TG包括例如面对半导体层100S的前面的水平部分TGb和设置在半导体层100S内的垂直部分TGa。垂直部分TGa在半导体层100S的厚度方向上延伸。垂直部分TGa的一端与水平部分TGb接触，另一

端设置在n型半导体区域114内。由于通过这种纵型晶体管构成传输晶体管TR，因此像素信号的传输不良几乎不会发生，并且提高了像素信号的读出效率。

[0469] 传输栅TG的水平部分TGb从面对垂直部分TGa的位置例如在H方向上朝向像素共享单元539的中央部延伸(图77A)。因此，可以使到达传输栅TG的贯通电极(后述的贯通电极TGV)的H方向的位置接近连接到浮动扩散部FD和VSS接触区域118的贯通电极(后述的贯通电极120E和121E)的H方向的位置。例如，设置在第一基板100上的多个像素共享单元539具有彼此相同的构成(图77A)。

[0470] 半导体层100S设置有将像素541A、541B、541C和541D彼此分离的像素分离部117。像素分离部117形成为在半导体层100S的法线方向(垂直于半导体层100S的表面的方向)上延伸。像素分离部117被设置为将像素541A、541B、541C和541D彼此隔开，并且具有例如格子状的平面形状(图77A和图77B)。像素分离部117例如将像素541A、541B、541C和541D彼此电气地和光学地分离。像素分离部117包括例如遮光膜117A和绝缘膜117B。对于遮光膜117A，例如，使用钨(W)等。绝缘膜117B设置在遮光膜117A与p阱层115或n型半导体区域114之间。绝缘膜117B由例如硅的氧化物(SiO)形成。像素分离部117具有例如全沟槽隔离(FTI)结构并且贯通半导体层100S。尽管未示出，但是像素分离部117不限于贯通半导体层100S的FTI结构。例如，可以使用不贯通半导体层100S的深沟槽隔离(DTI)结构。像素分离部117在半导体层100S的法线方向上延伸并且形成在半导体层100S的部分区域中。

[0471] 半导体层100S设置有例如第一钉扎区域113和第二钉扎区域116。第一钉扎区域113设置在半导体层100S的背面附近，并且配置在n型半导体区域114和固定电荷膜112之间。第二钉扎区域116设置在像素分离部117的侧面，具体地，在像素分离部117与p阱层115或n型半导体区域114之间。第一钉扎区域113和第二钉扎区域116由例如p型半导体区域构成。

[0472] 具有负的固定电荷的固定电荷膜112设置在半导体层100S和绝缘膜111之间。通过由固定电荷膜112诱导的电场，在半导体层100S的光接收面(背面)侧的界面上形成空穴累积层的第一钉扎区域113。因此，抑制了由于在半导体层100S的光接收面侧的界面状态起因的暗电流的产生。固定电荷膜112例如由具有负的固定电荷的绝缘膜形成。具有负的固定电荷的绝缘膜的材料的示例包括氧化铪、氧化锆、氧化铝、氧化钛和氧化钽。

[0473] 遮光膜117A设置在固定电荷膜112和绝缘膜111之间。遮光膜117A可以与构成像素分离部117的遮光膜117A连续地设置。固定电荷膜112和绝缘膜111之间的遮光膜117A例如在面对半导体层100S内的像素分离部117的位置处选择性地设置。绝缘膜111被设置为覆盖遮光膜117A。绝缘膜111由例如氧化硅形成。

[0474] 设置在半导体层100S和第二基板200之间的配线层100T从半导体层100S侧顺次具有层间绝缘膜119、焊盘部120和121、钝化膜122、层间绝缘膜123和接合膜124。传输栅TG的水平部分TGb例如设置在配线层100T中。层间绝缘膜119设置在半导体层100S的整个表面上并且与半导体层100S接触。层间绝缘膜119由例如氧化硅膜构成。注意，配线层100T的构成不限于上述的，并且可以是具有配线和绝缘膜的构成。

[0475] 图77B示出了焊盘部120和121的构成以及图77A所示的平面构成。焊盘部120和121设置在层间绝缘膜119上的选择区域中。焊盘部120用于将像素541A、541B、541C和541D的浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此连接。例如，针对每个像素共享单元539，

焊盘部120在平面图中配置在像素共享单元539的中央部(图77B)。焊盘部120被设置为跨着像素分离部117,并且被配置为与浮动扩散部FD1、FD2、FD3和FD4中的每一个的至少一部分重叠(图76和图77B)。具体地,焊盘部120形成在与共享像素电路210的多个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)中的每一个的至少一部分以及形成在共享像素电路210的多个光电二极管PD(光电二极管PD1、PD2、PD3和PD4)之间的像素分离部117的至少一部分在垂直于半导体层100S的表面的方向上重叠的区域中。层间绝缘膜119设置有用于将焊盘部120与浮动扩散部FD1、FD2、FD3和FD4电气连接的连接过孔120C。连接过孔120C针对像素541A、541B、541C和541D中的每一个设置。例如,由于将焊盘部120的一部分埋入在连接过孔120C中,因此焊盘部120与浮动扩散部FD1、FD2、FD3和FD4电气连接。

[0476] 焊盘部121用于将多个VSS接触区域118彼此连接。例如,在V方向相邻的一个像素共享单元539的像素541C和541D中设置的VSS接触区域118和在其他像素共享单元539的像素541A和541B中设置的VSS接触区域118通过焊盘部121电气连接。焊盘部121被设置为例如跨着像素分离部117,并且被配置为与这四个VSS接触区域118中的每一个的至少一部分重叠。具体地,焊盘部121形成在与多个VSS接触区域118中的每一个的至少一部分以及形成在多个VSS接触区域118之间的像素分离部117的至少一部分在垂直于半导体层100S的表面的方向上重叠的区域中。层间绝缘膜119设置有用于电气连接焊盘部121和VSS接触区域118的连接过孔121C。连接过孔121C针对像素541A、541B、541C和541D中的每一个设置。例如,由于将焊盘部121的一部分埋入在连接过孔121C中,因此焊盘部121与VSS接触区域118电气连接。例如,在V方向上并置的多个像素共享单元539中的每一个的焊盘部120和焊盘部121在H方向上被配置在基本相同的位置处(图77B)。

[0477] 通过设置焊盘部120,可以减少在整个芯片中用于将各浮动扩散部FD连接到像素电路210(例如,放大晶体管AMP的栅电极)的配线。类似地,通过设置焊盘部121,可以减少在整个芯片中将电位供给到各VSS接触区域118的配线。因此,可以减小整个芯片的面积,抑制小型化像素中的配线之间的电气干扰,和/或通过减少部件数量来降低成本等。

[0478] 焊盘部120和121可以设置在第一基板100和第二基板200上的期望位置处。具体地,焊盘部120和121可以设置在配线层100T或半导体层200S的绝缘区域212中。在设置于配线层100T中的情况下,可以使焊盘部120和121与半导体层100S直接接触。具体地,焊盘部120和121可以直接连接到各浮动扩散部FD和/或VSS接触区域118中的每一个的至少一部分。此外,可以采用以下的构成:从连接到焊盘部120和121的浮动扩散部FD和/或VSS接触区域118中的每一个可以设置连接过孔120C和121C,并且焊盘部120和121可以设置在配线层100T和半导体层200S的绝缘区域212中的期望位置处。

[0479] 特别地,在焊盘部120和121设置在配线层100T中的情况下,可以减少在半导体层200S的绝缘区域212中连接到浮动扩散部FD和/或VSS接触区域118的配线。因此,在用于形成像素电路210的第二基板200中,可以减小用于形成用于将浮动扩散部FD连接到像素电路210的贯通配线的绝缘区域212的面积。因此,可以确保用于形成像素电路210的第二基板200的大面积。通过确保用于像素电路210的面积,可以形成大的像素晶体管,并且可以通过减少噪声等而有助于提高图像质量。

[0480] 特别地,在将FTI结构用于像素分离部117的情况下,优选的是,在每个像素541中设置浮动扩散部FD和/或VSS接触区域118。因此,通过使用焊盘部120和121的构成,可以大

幅减少连接第一基板100和第二基板200的配线的数量。

[0481] 此外，如图77B所示，例如，连接有多个浮动扩散部FD的焊盘部120和连接有多个VSS接触区域118的焊盘部121在V方向上直线状地交替配置。此外，焊盘部120和121形成在由多个光电二极管PD、多个传输栅TG和多个浮动扩散部FD围绕的位置处。因此，在用于形成多个元件的第一基板100中，可以自由地配置除了浮动扩散部FD和VSS接触区域118以外的元件，并且可以提高整个芯片的布局效率。此外，确保了在各像素共享单元539中形成的元件的布局的对称性，并且可以抑制各像素541的特性的变化。

[0482] 焊盘部120和121由例如多晶硅(Poly Si)形成，更具体地，其中添加有杂质的掺杂多晶硅。优选的是，焊盘部120和121由具有高耐热性的导电材料形成，如多晶硅、钨(W)、钛(Ti)和氮化钛(TiN)。因此，可以在第二基板200的半导体层200S贴合到第一基板100之后形成像素电路210。其原因将在下面说明。注意，在下面的说明中，在将第一基板100和第二基板200的半导体层200S贴合在一起之后形成像素电路210的方法称为第一制造方法。

[0483] 这里，也可以考虑在第二基板200上形成像素电路210，然后将像素电路210贴合到第一基板100(以下称为第二制造方法)。在第二制造方法中，用于电气连接的电极预先形成在第一基板100的表面(配线层100T的表面)和第二基板200的表面(配线层200T的表面)上。当第一基板100和第二基板200贴合在一起时，同时，在第一基板100的表面和第二基板200的表面的每一个上形成的用于电气连接的电极彼此接触。因此，包括在第一基板100中的配线和包括在第二基板200中的配线之间形成电气连接。因此，通过采用使用第二制造方法的成像装置1的构成，可以通过根据第一基板100和第二基板200的各自构成使用适宜工艺来制造，并且可以制造高质量、高性能的成像装置。

[0484] 在第二制造方法中，当将第一基板100和第二基板200贴合在一起时，由于用于贴合的制造设备的起因而可能发生对准误差。此外，第一基板100和第二基板200具有例如直径约几十厘米的尺寸，并且当第一基板100和第二基板200贴合在一起时，在第一基板100和第二基板200的各部分的微观区域中，可能发生基板的膨胀和收缩。基板的膨胀和收缩是由基板之间的接触时机的轻微偏移引起的。由于第一基板100和第二基板200的这种膨胀和收缩，可能在形成于第一基板100的表面和第二基板的表面的每一个上的用于电气连接的电极的位置中发生误差。在第二制造方法中，优选的是采取措施，使得即使发生这种误差，第一基板100和第二基板200的各自电极也彼此接触。具体地，考虑到上述误差，增加第一基板100和第二基板200的电极中的至少一者，或者优选地，两者均被增加。因此，当使用第二制造方法时，例如，形成在第一基板100或第二基板200的表面上的电极的尺寸(在基板的平面方向的尺寸)变得大于从第一基板100或第二基板200的内部在厚度方向上延伸到表面的内部电极的尺寸。

[0485] 另一方面，由于用耐热性的导电材料形成焊盘部120和121，因此可以使用上述的第一制造方法。在第一制造方法中，在形成包括光电二极管PD和传输晶体管TR等的第一基板100之后，将第一基板100和第二基板200(半导体层200S)贴合在一起。此时，第二基板200处于构成像素电路210的有源元件和配线层等的图案未形成的状态。由于第二基板200处于形成图案之前的状态，所以即使当第一基板100和第二基板200被贴合时在贴合位置发生误差，贴合误差也不会导致第一基板100的图案和第二基板200的图案之间的对准误差。这是因为在将第一基板100和第二基板200贴合在一起之后形成第二基板200的图案。注意，当在

第二基板上形成图案时，例如，在用于图案形成的曝光设备中，在以在第一基板上形成的图案作为对准对象的同时形成图案。出于上述原因，在通过第一制造方法制造成像装置1中，第一基板100和第二基板200之间的贴合位置的误差不构成问题。出于同样的理由，由第二制造方法引起的基板的膨胀和收缩起因的误差在通过第一制造方法制造成像装置1中不构成问题。

[0486] 在第一制造方法中，以这种方式将第一基板100和第二基板200(半导体层200S)贴合在一起之后，在第二基板200上形成有源元件。其后，形成贯通电极120E和121E以及贯通电极TGV(图76)。在形成贯通电极120E、121E和TGV时，例如，通过使用曝光设备减少的投影曝光，从第二基板200的上方形成贯通电极的图案。因为使用了减小的曝光投影，所以即使在第二基板200和曝光设备之间的对准中发生误差，误差的大小也仅是在第二基板200中的上述第二制造方法的误差的误差分数(减小的曝光投影倍率的倒数)。因此，通过使用第一制造方法形成成像装置1，容易对准形成在第一基板100和第二基板200上的各个元件，并且可以制造高质量和高性能的成像装置。

[0487] 通过使用第一制造方法制造的成像装置1具有与通过第二制造方法制造的成像装置不同的特征。具体地，在通过第一制造方法制造的成像装置1中，例如，贯通电极120E、121E和TGV从第二基板200到第一基板100具有基本恒定的厚度(在基板平面方向上的尺寸)。可选择地，当贯通电极120E、121E和TGV具有锥形形状时，它们具有恒定倾角的锥形形状。在具有这种贯通电极120E、121E和TGV的成像装置1中，可以容易地使像素541小型化。

[0488] 这里，当通过第一制造方法制造成像装置1时，由于在将第一基板100和第二基板200(半导体层200S)贴合在一起之后在第二基板200上形成有源元件，所以第一基板100还受到形成活性元件所需的热处理的影响。因此，如上所述，优选的是，将具有高耐热性的导电材料用于设置在第一基板100上的焊盘部120和121。例如，焊盘部120和121优选的是由具有比第二基板200的配线层200T中包含的配线材料的至少一部分更高的熔点(即，更高的耐热性)的材料形成。例如，诸如掺杂的多晶硅、钨、钛或氮化钛等具有高耐热性的导电材料用于焊盘部120和121。因此，可以通过使用上述第一制造方法来制造成像装置1。

[0489] 例如，钝化膜122设置在半导体层100S的整个表面上，以覆盖焊盘部120和121(图76)。钝化膜122例如由氮化硅(SiN)膜形成。层间绝缘膜123隔着钝化膜122覆盖焊盘部120和121。层间绝缘膜123例如设置在半导体层100S的整个表面上。层间绝缘膜123例如由硅的氧化物(SiO)膜形成。接合膜124设置在第一基板100(具体地，配线层100T)和第二基板200的贴合面上。即，接合膜124与第二基板200接触。接合膜124设置在第一基板100的整个主面上。接合膜124例如由氮化硅膜形成。

[0490] 光接收透镜401例如隔着固定电荷膜112和绝缘膜111面对半导体层100S(图76)。光接收透镜401例如设置在面对像素541A、541B、541C和541D的各自光电二极管PD的位置。

[0491] 第二基板200从第一基板100侧顺次具有半导体层200S和配线层200T。半导体层200S由硅基板形成。在半导体层200S中，在厚度方向上设置有阱区域211。阱区域211例如是p型半导体区域。第二基板200设置有针对每个像素共享单元539配置的像素电路210。像素电路210例如设置在半导体层200S的前面侧(配线层200T侧)。在成像装置1中，第二基板200以第二基板200的背面侧(半导体层200S侧)面对第一基板100的前面侧(配线层100T侧)的方式贴合到第一基板100。即，第二基板200前对背地贴合到第一基板100。

[0492] 图78～82示意性地示出了第二基板200的平面构成的示例。图78示出了设置在半导体层200S的表面附近的像素电路210的构成。图79示意性地示出了配线层200T(具体地，后述的第一配线层W1)、连接到配线层200T的半导体层200S以及第一基板100的各部分的构成。图80～82示出了配线层200T的平面构成的示例。在下文中，将参照图78～82连同图76一起说明第二基板200的构成。在图78和图79中，光电二极管PD的外形(像素分离部117和光电二极管PD之间的边界)由虚线表示，并且在与构成像素电路210的各晶体管的栅电极重叠的部分处的半导体层200S与元件隔离区域213或绝缘区域212之间的边界由点线表示。在与放大晶体管AMP的栅电极重叠的部分中，半导体层200S与元件隔离区域213之间的边界以及元件隔离区域213与绝缘区域212之间的边界设置在沟道宽度方向的一侧。

[0493] 第二基板200设置有用于划分半导体层200S的绝缘区域212和设于半导体层200S的厚度方向的一部分中的元件隔离区域213(图76)。例如，在设置在H方向上彼此相邻的两个像素电路210之间的绝缘区域212中，配置有连接到这两个像素电路210的两个像素共享单元539的贯通电极120E和121E以及贯通电极TGV(贯通电极TGV1、TGV2、TGV3和TGV4)(图79)。

[0494] 绝缘区域212具有与半导体层200S的厚度基本相同的厚度(图76)。半导体层200S被绝缘区域212划分。在绝缘区域212中配置有贯通电极120E和121E以及贯通电极TGV。绝缘区域212由例如氧化硅形成。

[0495] 贯通电极120E和121E以在厚度方向上贯通绝缘区域212的方式设置。贯通电极120E和121E的上端连接到配线层200T的配线(后述的第一配线层W1、第二配线层W2、第三配线层W3和第四配线层W4)。贯通电极120E和121E以贯通绝缘区域212、接合膜124、层间绝缘膜123和钝化膜122的方式设置，其下端连接到焊盘部120、121(图76)。贯通电极120E用于电气连接焊盘部120和像素电路210。即，贯通电极120E将第一基板100的浮动扩散部FD电气连接到第二基板200的像素电路210。贯通电极121E用于电气连接焊盘部121和配线层200T的基准电位线VSS。即，贯通电极121E将第一基板100的VSS接触区域118电气连接到第二基板200的基准电位线VSS。

[0496] 贯通电极TGV以在厚度方向上贯通绝缘区域212的方式设置。贯通电极TGV的上端连接到配线层200T的配线。贯通电极TGV以贯通绝缘区域212、接合膜124、层间绝缘膜123、钝化膜122和层间绝缘膜119的方式设置，其下端连接到传输栅TG(图76)。贯通电极TGV用于将像素541A、541B、541C和541D中的每一个的传输栅TG(传输栅TG1、TG2、TG3或TG4)电气连接到配线层200T的配线(行驱动信号线542的一部分，具体地，后述的图81的配线TRG1、TRG2、TRG3和TRG4)。即，第一基板100的传输栅TG通过贯通电极TGV电气连接到第二基板200的配线TRG，并且驱动信号被发送到每个传输晶体管TR(传输晶体管TR1、TR2、TR3和TR4)。

[0497] 绝缘区域212是用于将为了把第一基板100和第二基板200电气连接的贯通电极120E和121E以及贯通电极TGV与半导体层200S绝缘的区域。例如，在设置在H方向彼此相邻的两个像素电路210(像素共享单元539)之间的绝缘区域212中，配置有连接到两个像素电路210的贯通电极120E、121E和贯通电极TGV(贯通电极TGV1、TGV2、TGV3和TGV4)。绝缘区域212被设置为例如在V方向上延伸(图78和图79)。这里，通过设计传输栅TG的水平部分TGb的配置，与垂直部分TGa的位置相比，贯通电极TGV在H方向上的位置被配置为更接近贯通电极120E和121E在H方向上的位置(图77A和图79)。例如，贯通电极TGV在H方向上配置在与贯通

电极120E和120E基本相同的位置处。因此，贯通电极120E和121E以及贯通电极TGV可以在沿着V方向延伸的绝缘区域212中一起设置。作为另一个配置例，可以想到的是，仅仅在与垂直部分TGa重叠的区域中设置水平部分TGb。在这种情况下，贯通电极TGV形成在垂直部分TGa的大致正上方，并且例如，贯通电极TGV配置在各像素541的H方向和V方向的大致中央部。此时，贯通电极TGV的H方向的位置与贯通电极120E和121E的H方向的位置大大地偏离。例如，绝缘区域212被设置在贯通电极TGV以及贯通电极120E和121E的周围，以使它们与相邻的半导体层200S电气绝缘。在贯通电极TGV的H方向的位置与贯通电极120E和121E的H方向的位置大大地分开的情况下，需要在各贯通电极120E、121E和TGV的周围独立地设置绝缘区域212。因此，半导体层200S被微细地划分。与此相比，在贯通电极120E和121E以及贯通电极TGV在沿着V方向延伸的绝缘区域212中一起配置的布局中，可以增加半导体层200S在H方向上的尺寸。因此，可以确保半导体层200S中的半导体元件形成区域的大面积。因此，例如，可以增大放大晶体管AMP的尺寸并抑制噪声。

[0498] 如参照图74所说明的，像素共享单元539具有以下结构，其中电气连接设置在多个像素541中的各个浮动扩散部FD，并且多个像素541共享一个像素电路210。浮动扩散部FD之间的电气连接由设置在第一基板100上的焊盘部120进行(图76和图77B)。设置在第一基板100上的电气连接部(焊盘部120)和设置在第二基板200上的像素电路210经由一个贯通电极120E电气连接。作为另一个结构例，可以想到的是，在第二基板200上设置浮动扩散部FD之间的电气连接部。在这种情况下，像素共享单元539设置有连接到浮动扩散部FD1、FD2、FD3和FD4的四个贯通电极。因此，在第二基板200中，贯通半导体层200S的贯通电极的数量增加，并且使这些贯通电极的周围绝缘的绝缘区域212变大。与此相比，在将焊盘部120设置在第一基板100上的结构中(图76和图77B)，可以减少贯通电极的数量并且可以减小绝缘区域212。因此，可以确保半导体层200S中的半导体元件形成区域的大面积。因此，例如可以增大放大晶体管AMP的尺寸并抑制噪声。

[0499] 元件隔离区域213设置在半导体层200S的表面侧。元件隔离区域213具有STI(浅沟槽隔离)结构。在元件隔离区域213中，在厚度方向(垂直于第二基板200的主面的方向)上挖掘半导体层200S，并且绝缘膜被埋入在挖掘部中。绝缘膜由例如氧化硅形成。元件隔离区域213根据像素电路210的布局将构成像素电路210的多个晶体管彼此隔离。半导体层200S(具体地，阱区域211)在元件隔离区域213的下方(半导体层200S的深部)延伸。

[0500] 这里，参照图77A、图77B和图78，将说明第一基板100中的像素共享单元539的外形形状(在基板的平面方向上的外形形状)和第二基板200中的像素共享单元539的外形形状之间的差异。

[0501] 在成像装置1中，像素共享单元539设置在第一基板100和第二基板200两者上。例如，设置在第一基板100上的像素共享单元539的外形形状和设置在第二基板200上的像素共享单元539的外形形状彼此不同。

[0502] 在图77A和图77B中，像素541A、541B、541C和541D的轮廓由交替的点划线表示，像素共享单元539的外形形状由粗线表示。例如，第一基板100的像素共享单元539包括在H方向上彼此相邻配置的两个像素541(像素541A和541B)和在V方向上与其相邻配置的两个像素541(像素541C和541D)。即，第一基板100的像素共享单元539包括相邻两行×两列的四个像素541，并且第一基板100的像素共享单元539具有大致正方形的外形形状。在像素阵列单

元540中，这样的像素共享单元539以H方向上的两个像素间距(间距对应于两个像素541)和V方向上的两个像素间距(间距对应于两个像素541)彼此相邻地配置。

[0503] 在图78和图79中，像素541A、541B、541C和541D的轮廓由交替的长短虚线表示，并且像素共享单元539的外形形状由粗线表示。例如，第二基板200的像素共享单元539的外形形状小于在H方向上的第一基板100的像素共享单元539并且大于在V方向上的第一基板100的像素共享单元539。例如，第二基板200的像素共享单元539以与H方向上的一个像素对应的尺寸(区域)和与V方向上的四个像素对应的尺寸形成。即，第二基板200的像素共享单元539以与相邻的一行×四列中排列的像素相对应的尺寸形成，并且第二基板200的像素共享单元539具有大致矩形的外形形状。

[0504] 例如，在各像素电路210中，选择晶体管SEL、放大晶体管AMP，复位晶体管RST和FD转换增益切换晶体管FDG在V方向上顺次并排配置(图78)。如上所述，通过将各像素电路210的外形形状设置为大致矩形形状，可以将四个晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG)在一个方向(图78中的V方向)并排配置。因此，放大晶体管AMP的漏极和复位晶体管RST的漏极可以由一个扩散区域(连接到电源线VDD的扩散区域)共享。例如，各像素电路210的形成区域也可以设置成大致正方形形状(参照后述的图91)。在这种情况下，沿着一个方向配置两个晶体管，并且难以在一个扩散区域中共享放大晶体管AMP的漏极和复位晶体管RST的漏极。因此，通过将像素电路210的形成区域设置为大致矩形形状，容易将四个晶体管彼此紧密地配置，并且可以减小像素电路210的形成区域。即，可以使像素小型化。此外，当不需要减小像素电路210的形成区域时，可以增大放大晶体管AMP的形成区域并抑制噪声。

[0505] 例如，在半导体层200S的表面附近，除了选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG之外，还设置有连接到基准电位线VSS的VSS接触区域218。VSS接触区域218例如由p型半导体区域形成。VSS接触区域218经由配线层200T的配线和贯通电极121E电气连接到第一基板100(半导体层100S)的VSS接触区域118。VSS接触区域218例如经由元件隔离区域213设置在与FD转换增益切换晶体管FDG的源极相邻的位置(图78)。

[0506] 接下来，将参照图77B和图78说明设置在第一基板100中的像素共享单元539和设置在第二基板200中的像素共享单元539之间的位置关系。例如，在第一基板100的V方向上排列的两个像素共享单元539中的一个像素共享单元539(例如，图77B中的纸面的上侧)连接到在第二基板200的H方向上排列的两个像素共享单元539中的一个像素共享单元539(例如，图78中的纸面的左侧)。例如，在第一基板100的V方向上排列的两个像素共享单元539中的另一个像素共享单元539(例如，图77B中的纸面的下侧)连接到在第二基板200的H方向上排列的两个像素共享单元539中的另一个像素共享单元539(例如，图78中的纸面的右侧)。

[0507] 例如，在第二基板200的H方向上排列的两个像素共享单元539中，一个像素共享单元539的内部布局(晶体管的配置等)大致等于其中另一个像素共享单元539的内部布局在V方向和H方向上反转的布局。下面将说明通过这种布局获得的效果。

[0508] 在第一基板100的V方向上排列的两个像素共享单元539中，各个焊盘部120配置在像素共享单元539的外形形状的中央部，即，在像素共享单元539的V方向和H方向的中央部(图77B)。另一方面，如上所述，由于第二基板200的像素共享单元539具有在V方向上较长的

大致矩形外形形状，因此，例如，连接到焊盘部120的放大晶体管AMP配置在从像素共享单元539的V方向的中央在纸面向上移位的位置。例如，当在第二基板200的H方向上排列的两个像素共享单元539的内部布局相同时，一个像素共享单元539的放大晶体管AMP与焊盘部120(例如，图7中的纸面上侧的像素共享单元539的焊盘部120)之间的距离相对较短。然而，另一个像素共享单元539的放大晶体管AMP与焊盘部120(例如，图7中的纸面下侧的像素共享单元539的焊盘部120)之间的距离较长。为此，连接放大晶体管AMP和焊盘部120所需的配线的面积增大，并且像素共享单元539的配线布局可能复杂。这可能会影响成像装置1的小型化。

[0509] 相比而言，在第二基板200的H方向排列的两个像素共享单元539中，通过至少在V方向上反转彼此的内部布局，这两个像素共享单元539二者的放大晶体管AMP和焊盘部120之间的距离可以缩短。因此，与在第二基板200的H方向上排列的两个像素共享单元539的内部布局相同的构成相比，成像装置1可以容易地小型化。注意，尽管第二基板200的多个像素共享单元539中的每一个的平面布局在图78所示的范围内是左右对称的，但是当包括后述的图79所示的第一配线层W1的布局时，平面布局是左右不对称的。

[0510] 此外，优选的是，在第二基板200的H方向上排列的两个像素共享单元539的内部布局在H方向上彼此反转。其原因将在下面说明。如图79所示，在第二基板200的H方向上排列的两个像素共享单元539分别连接到第一基板100的焊盘部120和121。例如，焊盘部120和121配置在第二基板200的H方向上排列的两个像素共享单元539的H方向的中央部(在H方向上排列的两个像素共享单元539之间)。因此，通过使在第二基板200的H方向上排列的两个像素共享单元539的内部布局也在H方向上彼此反转，第二基板200的多个像素共享单元539中的每一个与焊盘部120和121之间的距离可以减小。即，可以更容易地使成像装置1小型化。

[0511] 此外，第二基板200的像素共享单元539的轮廓的位置可以不与第一基板100的像素共享单元539的任何轮廓的位置对准。例如，在第二基板200的H方向上排列的两个像素共享单元539中的一个像素共享单元539(例如，图79中的纸面的左侧)中，V方向的一侧(例如，图79中的纸面的上侧)的轮廓配置在第一基板100的对应像素共享单元539(例如，图77B中的纸面的上侧)的V方向的一侧的轮廓的外侧。此外，在第二基板200的H方向上排列的两个像素共享单元539的另一个像素共享单元539(例如，图79中的纸面的右侧)中，V方向的另一侧(例如，图79中的纸面的下侧)的轮廓配置在第一基板100的对应像素共享单元539(例如，图77B中的纸面的下侧)的V方向的另一侧的轮廓的外侧。如上所述，通过将第二基板200的像素共享单元539和第一基板100的像素共享单元539彼此并排配置，可以缩短放大晶体管AMP与焊盘部120之间的距离。因此，成像装置1可以容易地小型化。

[0512] 此外，第二基板200的多个像素共享单元539的轮廓的位置可以不彼此对准。例如，在第二基板200的H方向上排列的两个像素共享单元539被配置为使得其V方向的轮廓的位置移位。因此，可以缩短放大晶体管AMP和焊盘部120之间的距离。因此，成像装置1可以容易地小型化。

[0513] 参照图77B和图79说明像素阵列单元540中的像素共享单元539的重复配置。第一基板100的像素共享单元539具有H方向的两个像素541的尺寸和V方向的两个像素541的尺寸(图77B)。例如，在第一基板100的像素阵列单元540中，具有与四个像素541相对应的尺寸

的像素共享单元539以H方向的两个像素间距(间距对应于两个像素541)和V方向的两个像素间距(间距对应于两个像素541)相邻且重复地配置。可选择地,第一基板100的像素阵列单元540可以设置有成对的像素共享单元539,其中每两个像素共享单元539在V方向上彼此相邻地配置。在第一基板100的像素阵列单元540中,例如,成对的像素共享单元539以H方向的两个像素间距(间距对应于两个像素541)和V方向的四个像素间距(间距对应于四个像素541)相邻且重复地配置。第二基板200的像素共享单元539具有H方向的一个像素541的尺寸和V方向的四个像素541的尺寸(图79)。例如,第二基板200的像素阵列单元540设置有一对像素共享单元539,其包括具有与四个像素541相对应的尺寸的两个像素共享单元539。像素共享单元539在H方向上彼此相邻地配置并且在V方向上移位地配置。在第二基板200的像素阵列单元540中,例如,这样的成对的像素共享单元539以H方向的两个像素间距(间距对应于两个像素541)和V方向的四个像素间距(间距对应于四个像素541)相邻地且无间隙地重复配置。因此,通过像素共享单元539的这种重复配置,可以无间隙地配置像素共享单元539。因此,成像装置1可以容易地小型化。

[0514] 放大晶体管AMP优选具有例如Fin型的三维结构(图76)。因此,有效栅极宽度的尺寸变大,并且可以抑制噪声。选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG具有例如平面结构。放大晶体管AMP可以具有平面结构。可选择地,选择晶体管SEL、复位晶体管RST或FD转换增益切换晶体管FDG可以具有三维结构。

[0515] 配线层200T包括例如钝化膜221、层间绝缘膜222和多个配线(第一配线层W1、第二配线层W2、第三配线层W3和第四配线层W4)。钝化膜221例如与半导体层200S的表面接触,并且覆盖半导体层200S的整个表面。钝化膜221覆盖选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG的各自栅电极。层间绝缘膜222设置在钝化膜221和第三基板300之间。多个配线(第一配线层W1、第二配线层W2、第三配线层W3和第四配线层W4)通过层间绝缘膜222分开。层间绝缘膜222由例如氧化硅形成。

[0516] 配线层200T从半导体层200S侧顺次设有例如第一配线层W1、第二配线层W2、第三配线层W3、第四配线层W4以及接触部201和202。层间绝缘膜222设置有用于连接第一配线层W1、第二配线层W2、第三配线层W3或第四配线层W4与其下层的多个连接部。连接部是其中导电材料埋入在设于层间绝缘膜222中的连接孔内的部分。例如,层间绝缘膜222设置有连接第一配线层W1和半导体层200S的VSS接触区域218的连接部218V。例如,将第二基板200的元件彼此连接的连接部的孔径不同于贯通电极120E和121E以及贯通电极TGV的孔径。具体地,优选的是,将第二基板200的元件彼此连接的连接孔的孔径小于贯通电极120E和121E以及贯通电极TGV的孔径。其原因将在下面说明。设置在配线层200T内的连接部(连接部218V等)的深度小于贯通电极120E和121E以及贯通电极TGV的深度。因此,与贯通电极120E和121E以及贯通电极TGV相比,连接部允许容易地用导电材料填充连接孔。通过使连接部的孔径小于贯通电极120E和121E以及贯通电极TGV的孔径,成像装置1可以容易地小型化。

[0517] 例如,第一配线层W1连接贯通电极120E、放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极(具体地,连接孔到达FD转换增益切换晶体管FDG的源极)。第一配线层W1连接例如贯通电极121E和连接部218V,从而电气连接半导体层200S的VSS接触区域218和半导体层100S的VSS接触区域118。

[0518] 接下来,将参照图80～82说明配线层200T的平面构成。图80示出了第一配线层W1

和第二配线层W2的平面构成的示例。图81示出了第二配线层W2和第三配线层W3的平面构成的示例。图82示出了第三配线层W3和第四配线层W4的平面构成的示例。

[0519] 例如，第三配线层W3包括在H方向(行方向)上延伸的配线TRG1、TRG2、TRG3、TRG4、SELL、RSTL和FDGL(图81)。这些配线对应于参照图74说明的多个行驱动信号线542。配线TRG1、TRG2、TRG3和TRG4分别用于将驱动信号发送到传输栅TG1、TG2、TG3和TG4。配线TRG1、TRG2、TRG3和TRG4分别经由第二配线层W2、第一配线层W1和贯通电极120E连接到传输栅TG1、TG2、TG3和TG4。配线SELL用于将驱动信号发送到选择晶体管SEL的栅极，配线RSTL用于将驱动信号发送到复位晶体管RST的栅极，并且配线FDGL用于将驱动信号发送到FD转换增益切换晶体管FDG的栅极。配线SELL、RSTL和FDGL分别经由第二配线层W2、第一配线层W1和连接部连接到选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG的栅极。

[0520] 例如，第四配线层W4包括在V方向(列方向)上延伸的电源线VDD、基准电位线VSS和垂直信号线543(图82)。电源线VDD经由第三配线层W3、第二配线层W2、第一配线层W1和连接部连接到放大晶体管AMP的漏极和复位晶体管RST的漏极。基准电位线VSS经由第三配线层W3、第二配线层W2、第一配线层W1和连接部218V连接到VSS接触区域218。此外，基准电位线VSS经由第三配线层W3、第二配线层W2、第一配线层W1、贯通电极121E和焊盘部121连接到第一基板100的VSS接触区域118。垂直信号线543经由第三配线层W3、第二配线层W2、第一配线层W1和连接部连接到选择晶体管SEL的源极(Vout)。

[0521] 接触部201和202可以设置在平面图中与像素阵列单元540重叠的位置处(例如，图73)，或者可以设置在像素阵列单元540的外侧的周边部540B上(例如，图76)。接触部201和202设置在第二基板200的表面(配线层200T侧的表面)上。接触部201和202例如由诸如Cu(铜)和Al(铝)等金属形成。接触部201和202在配线层200T的表面(第三基板300侧的表面)上露出。接触部201和202用于第二基板200和第三基板300之间的电气连接以及用于将第二基板200和第三基板300彼此贴合。

[0522] 图76示出了其中在第二基板200的周边部540B设置周边电路的示例。该周边电路可以包括行驱动单元520的一部分或者列信号处理单元550的一部分等。此外，如图73所示，周边回路可以未配置在第二基板200的周边部540B中，并且连接孔H1和H2可以配置在像素阵列单元540附近。

[0523] 第三基板300从第二基板200侧顺次具有例如配线层300T和半导体层300S。例如，半导体层300S的表面设置在第二基板200侧。半导体层300S由硅基板形成。在半导体层300S的前面侧的一部分上设置电路。具体地，在半导体层300S的前面侧的一部分上，例如，设置有输入单元510A、行驱动单元520、时序控制单元530、列信号处理单元550、图像信号处理单元560或输出单元510B中的至少一部分。设置在半导体层300S和第二基板200之间的配线层300T包括例如层间绝缘膜、被层间绝缘膜隔开的多个配线层以及接触部301和302。接触部301和302在配线层300T的表面(第二基板200侧的表面)上露出，接触部301与第二基板200的接触部201接触，接触部302与第二基板200的接触部202接触。接触部301和302电气连接到形成在半导体层300S中的电路(例如，输入单元510A、行驱动单元520、时序控制单元530、列信号处理单元550、图像信号处理单元560和输出单元510B中的至少一个)。接触部301和302例如由诸如Cu(铜)和Al(铝)等金属形成。例如，外部端子TA经由连接孔H1连接到输入单元510A，外部端子TB经由连接孔H2连接到输出单元510B。

[0524] 这里,将说明成像装置1的特征。

[0525] 通常,成像装置包括光电二极管和像素电路作为主要构成。这里,如果增加光电二极管的面积,则作为光电转换的结果而产生的电荷增加,因此,像素信号的信噪比(S/N比)改善,并且成像装置可以输出更好的图像数据(图像信息)。另一方面,如果增大像素电路中包含的晶体管的尺寸(特别是放大晶体管的尺寸),则像素电路中产生的噪声减小,因此,成像信号的S/N比改善,并且成像装置可以输出更好的图像数据(图像信息)。

[0526] 然而,在其中光电二极管和像素电路设置在同一半导体基板上的成像装置中,如果在半导体基板的有限面积内增加光电二极管的面积,则可以想到的是,设置在像素电路中的晶体管的尺寸可以变小。此外,如果增大设置在像素电路中的晶体管的尺寸,则可以想到的是,光电二极管的面积可以变小。

[0527] 为了解决这些问题,例如,本实施方案的成像装置1使用如下的结构,其中多个像素541共享一个像素电路210并且通过与光电二极管PD重叠来配置共享的像素电路210。因此,可以实现使光电二极管PD的面积尽可能大,并且在半导体基板的有限面积内使设置在像素电路210中的晶体管的尺寸尽可能大。因此,可以改善像素信号的S/N比,并且成像装置1可以输出更好的图像数据(图像信息)。

[0528] 当实现其中多个像素541共享一个像素电路210并且通过与光电二极管PD重叠来配置像素电路210的结构时,连接到一个像素电路210的多个配线从多个像素541的各自浮动扩散部FD延伸。为了确保用于形成像素电路210的半导体基板200的较大面积,例如,可以形成将多个延伸配线互连并集成为一个的连接配线。类似地,对于从VSS接触区域118延伸的多个配线,可以形成将多个延伸配线互连并集成为一个的连接配线。

[0529] 例如,如果将从多个像素541的各自浮动扩散部FD延伸的多个配线互连的连接配线形成在形成有像素电路210的半导体基板200上,则可以想到的是,形成包括在像素电路210中的晶体管的面积变小。类似地,如果将从多个像素541的各自VSS接触区域118延伸的多个配线互连并集成为一个的连接配线形成在形成有像素电路210的半导体基板200上,则可以想到的是,形成包括在像素电路210中的晶体管的面积变小。

[0530] 为了解决这些问题,例如,在本实施方案的成像装置1中,可以设置如下的结构,其中多个像素541共享一个像素电路210并且通过与光电二极管PD重叠来配置共享的像素电路210,其中将多个像素541的各自浮动扩散部FD互连并集成为一个的连接配线以及将设置在多个像素541中的各自VSS接触区域118互连并集成为一个的连接配线设置在第一基板100上。

[0531] 这里,如果上述第二制造方法用作用于在第一基板100中设置将多个像素541的各自浮动扩散部FD互连并集成为一个的连接配线以及将多个像素541的各自VSS接触区域118互连并集成为一个的连接配线的制造方法,例如,可以根据第一基板100和第二基板200中的每一个的构成使用适宜的工艺来执行制造,并且可以制造高质量、高性能的成像装置。此外,第一基板100和第二基板200的连接配线可以通过简单的工艺来形成。具体地,在使用上述第二制造方法的情况下,在成为第一基板100和第二基板200之间的贴合边界面的第一基板100的表面和第二基板200的表面上分别设置与浮动扩散部FD连接的电极和与VSS接触区域118连接的电极。此外,优选的是,扩大形成在第一基板100和第二基板200的表面上的电极,使得当这两个基板贴合在一起时,即使设置在两个基板的表面上的电极移位,在这两个

基板的表面上形成的电极也彼此接触。在这种情况下，可以想到的是，可能难以在设于成像装置1中的各像素的有限面积中配置上述电极。

[0532] 为了解决在第一基板100和第二基板200之间的贴合边界面上需要大电极的问题，例如，作为本实施方案的成像装置1的制造方法(其中多个像素541共享一个像素电路210并且通过与光电二极管PD重叠来配置共享的像素电路210)，可以使用上述第一制造方法。因此，形成在第一基板100和第二基板200上的各元件可以容易地彼此对准，并且可以制造具有高质量和高性能的成像装置。此外，可以设置通过使用该制造方法产生的固有结构。即，设置如下的结构，其中第一基板100的半导体层100S和配线层100T以及第二基板200的半导体层200S和配线层200T顺次层叠，换句话说，第一基板100和第二基板200面对背地层叠，并且设置有从第二基板200的半导体层200S的前面侧贯通半导体层200S和第一基板100的配线层100T以到达第一基板100的半导体层100S的前面的贯通电极120E和121E。

[0533] 在其中将多个像素541的各自浮动扩散部FD互连并集成为一个的连接配线以及将多个像素541的各自VSS接触区域118互连并集成为一个的连接配线设置在第一基板100上的结构中，如果使用第一制造方法将这种结构和第二基板200层叠并且在第二基板200上形成像素电路210，则存在如下的可能性，形成设置在像素电路210上的有源元件所需的热处理影响形成在第一基板100上的上述连接配线。

[0534] 因此，为了解决当形成有源元件时的热处理影响连接配线的上述问题，在本实施方案的成像装置1中，期望的是，使用对于将多个像素541的各自浮动扩散部FD互连并集成为一个的连接配线以及将多个像素541的各自VSS接触区域118互连并集成为一个的连接配线具有高耐热性的导电材料。具体地，作为具有高耐热性的导电材料，可以使用具有比第二基板200的配线层200T中包含的至少一部分配线材料更高的熔点的材料。

[0535] 如上所述，例如，本实施方案的成像装置1具有(1)其中第一基板100和第二基板200面对背地层叠的结构(具体地，其中第一基板100的半导体层100S和配线层100T以及第二基板200的半导体层200S和配线层200T顺次层叠的结构)，(2)其中设置有从第二基板200的半导体层200S的前面侧贯通半导体层200S和第一基板100的配线层100T并到达第一基板100的半导体层100S的前面的贯通电极120E和121E的结构，和(3)其中将设置在多个像素541中的各自浮动扩散部FD互连并集成为一个的连接配线以及将设置在多个像素541中的各自VSS接触区域118互连并集成为一个的连接配线由高耐热性的导电材料形成的结构，因此，在第一基板100和第二基板200之间的界面处未设置大的电极的情况下，可以使第一基板100设置有将设置在多个像素541中的各自浮动扩散部FD互连并集成为一个的连接配线以及将设置在多个像素541中的各自VSS接触区域118互连并集成为一个的连接配线。

[0536] [成像装置1的操作]

[0537] 接下来，将参照图83和图84说明成像装置1的操作。图83和图84是通过将表示各信号的路径的箭头添加到图73中而成的图。在图83中，从外部输入到成像装置1的输入信号以及电源电位和基准电位的路径由箭头表示。在图84中，从成像装置1输出到外部的像素信号的信号路径由箭头表示。例如，经由输入单元510A输入到成像装置1的输入信号(例如，像素时钟和同步信号)被传送到第三基板300的行驱动单元520，并且在行驱动单元520中创建行驱动信号。行驱动信号经由接触部301和201被发送到第二基板200。此外，行驱动信号经由配线层200T内的行驱动信号线542到达像素阵列单元540的各个像素共享单元539。在已经

到达第二基板200的像素共享单元539的行驱动信号中，传输栅TG以外的驱动信号被输入到像素电路210，并且包括在像素电路210中的各晶体管被驱动。用于传输栅TG的驱动信号经由贯通电极TGV输入到第一基板100的传输栅TG1、TG2、TG3和TG4，并且驱动像素541A、541B、541C和541D(图83)。此外，从成像装置1的外部供给到第三基板300的输入单元510A(输入端子511)的电源电位和基准电位经由接触部301和201被发送到第二基板200，并且经由配线层200T内的配线供给到像素共享单元539的各个像素电路210。基准电位还经由贯通电极121E供给到第一基板100的像素541A、541B、541C和541D。另一方面，由第一基板100的像素541A、541B、541C和541D光电转换的像素信号经由贯通电极120E被发送到每个像素共享单元539中的第二基板200的像素电路210。基于该像素信号的像素信号经由垂直信号线543以及接触部202和302从像素电路210发送到第三基板300。该像素信号由第三基板300的列信号处理单元550和图像信号处理单元560处理，然后经由输出单元510B输出到外部。

[0538] [效果]

[0539] 在本实施方案中，像素541A、541B、541C和541D(像素共享单元539)以及像素电路210分别设置在不同的基板(第一基板100和第二基板200)上。因此，与像素541A、541B、541C，541C和541D以及像素电路210形成在同一基板上的情况相比，可以扩大像素541A、541B、541C和541D以及像素电路210的面积。因此，可以增大通过光电转换获得的像素信号的量并减少像素电路210的晶体管的噪声。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。此外，可以使成像装置1小型化(换句话说，可以减小像素尺寸并且可以减小成像装置1的尺寸)。成像装置1可以通过减小像素尺寸来增加每单位面积的像素数量，并且可以输出高质量图像。

[0540] 此外，在成像装置1中，第一基板100和第二基板200通过设置在绝缘区域212中的贯通电极120E和121E彼此电气连接。例如，也可以考虑通过使焊盘电极彼此接合而连接第一基板100和第二基板200的方法，或者通过贯通半导体层的配线(例如，硅通孔(TSV))进行连接的方法。与这种方法相比，通过在绝缘区域212中设置贯通电极120E和121E，用于连接第一基板100和第二基板200的面积可以减小。因此，可以减小像素尺寸，并且可以进一步减小成像装置1的尺寸。此外，可以通过使每个像素的面积进一步最小化来进一步提高分辨率。当不需要减小芯片尺寸时，可以扩大像素541A、541B、541C和541D以及像素电路210的形成区域。因此，可以增大通过光电转换获得的像素信号的量并减少设置在像素电路210中的晶体管的噪声。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。

[0541] 此外，在成像装置1中，像素电路210、列信号处理单元550和图像信号处理单元560分别设置在彼此不同的基板(第二基板200和第三基板300)上。因此，与像素电路210以及列信号处理单元550和图像信号处理单元560形成在同一基板上的情况相比，可以扩大像素电路210的面积以及列信号处理单元550和图像信号处理单元560的面积。因此，可以减少在列信号处理单元550中产生的噪声，并且可以在图像信号处理单元560中搭载先进的图像处理电路。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。

[0542] 此外，在成像装置1中，像素阵列单元540设置在第一基板100和第二基板200上，并且列信号处理单元550和图像信号处理单元560设置在第三基板300上。此外，连接第二基板200和第三基板300的接触部201、202、301和302形成在像素阵列单元540的上方。因此，接触

部201、202、301和302可以自由地布局，而没有设置在像素阵列中的各种配线对布局的干涉。因此，可以将接触部201、202、301和302用于第二基板200和第三基板300之间的电气连接。通过使用接触部201、202、301和302，例如，列信号处理单元550和图像信号处理单元560在布局上具有高度自由度。因此，可以减少在列信号处理单元550中产生的噪声，并且可以在图像信号处理单元560中搭载先进的图像处理电路。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。

[0543] 此外，在成像装置1中，像素分离部117贯通半导体层100S。因此，即使在相邻像素(像素541A、541B、541C和541D)之间的距离由于每个像素的面积的小型化而缩短的情况下，也可以抑制像素541A、541B、541C和541D之间的混色。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。

[0544] 此外，在成像装置1中，针对每个像素共享单元539设置像素电路210。因此，与针对像素541A、541B、541C和541D中的每一个设置像素电路210的情况相比，构成像素电路210的晶体管(放大晶体管AMP、复位晶体管RST、选择晶体管SEL、FD转换增益切换晶体管FDG)的形成区域可以增大。例如，可以通过增大放大晶体管AMP的形成区域来抑制噪声。因此，像素信号的信噪比改善，并且成像装置1可以输出更好的像素数据(图像信息)。

[0545] 此外，在成像装置1中，在第一基板100中设置用于电气连接四个像素(像素541A、541B、541C和541D)的浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)的焊盘部120。因此，与在第二基板200上设置这种焊盘部120的情况相比，可以减少连接第一基板100和第二基板200的贯通电极(贯通电极120E)的数量。因此，可以使绝缘区域212变小，并且可以确保构成像素电路210的晶体管的形成区域(半导体层200S)有足够的尺寸。因此，可以减少设置在像素电路210中的晶体管的噪声并改善像素信号的信噪比，并且成像装置1可以输出更好的像素数据(图像信息)。

[0546] 在下文中，将说明根据上述实施方案的成像装置1的变形例。在下面的变形例中，将用相同的附图标记说明与上述实施方案相同的构成。

[0547] <6.2.变形例1>

[0548] 图85～89示出了根据上述实施方案的成像装置1的平面构成的变形例。图85示意性地示出了第二基板200的半导体层200S的前面附近的平面构成，并且对应于上述实施方案中说明的图78。图86示意性地示出了第一配线层W1以及连接到第一配线层W1的半导体层200S和第一基板100的各个部分的构成，并且对应于上述实施方案中说明的图79。图87示出了第一配线层W1和第二配线层W2的平面构成的示例，并且对应于上述实施方案中说明的图80。图88示出了第二配线层W2和第三配线层W3的平面构成的示例，并且对应于上述实施方案中说明的图81。图89示出了第三配线层W3和第四配线层W4的平面构成的示例，并且对应于上述实施方案中说明的图82。

[0549] 在本变形例中，如图86所示，在第二基板200的H方向上排列的两个像素共享单元539中，一个像素共享单元539(例如，纸面的右侧)的内部布局具有其中仅在H方向上反转另一个像素共享单元539(例如，纸面的左侧)的内部布局的构成。此外，一个像素共享单元539的轮廓与另一个像素共享单元539的轮廓之间的V方向的位移大于上述实施方案中所说明的位移(图79)。按这种方式，通过增加V方向的移位，另一个像素共享单元539的放大晶体管AMP和与其连接焊盘部120(在图7所示的V方向上并置的两个像素共享单元539中的另一个

(纸面的下侧)的焊盘部120)之间的距离可以减小。通过这样的布局,在图85～89所示的成像装置1的变形例1中,在不使沿H方向并置的两个像素共享单元539的平面布局在V方向上彼此反转的情况下,可以使其面积与上述实施方案中说明的第二基板200的像素共享单元539的面积相同。注意,第一基板100的像素共享单元539的平面布局与上述实施方案中说明的平面布局(图77A和图77B)相同。因此,本变形例的成像装置1可以获得类似于上述实施方案所说明的效果。第二基板200的像素共享单元539的配置不限于上述实施方案和本变形例中说明的配置。

[0550] [6.3.变形例2]

[0551] 图90～95表示根据上述实施方案的成像装置1的平面构成的变形例。图90示意性地示出了第一基板100的平面构成,并且对应于上述实施方案中说明的图77A。图91示意性地示出了第二基板200的半导体层200S的前面附近的平面构成,并且对应于上述实施方案中说明的图78。图92示意性地示出了第一配线层W1以及连接到第一配线层W1的半导体层200S和第一基板100的各个部分的构成,并且对应于上述实施方案中说明的图79。图93示出了第一配线层W1和第二配线层W2的平面构成的示例,并且对应于上述实施方案中说明的图80。图94示出了第二配线层W2和第三配线层W3的平面构成的示例,并且对应于上述实施方案中说明的图81。图95示出了第三配线层W3和第四配线层W4的平面构成的示例,并且对应于上述实施方案中说明的图82。

[0552] 在本变形例中,各像素电路210的外形具有大致正方形的平面形状(图91等)。在这一点上,本变形例的成像装置1的平面构成与上述实施方案中说明的成像装置1的平面构成不同。

[0553] 例如,如在上述实施方案中所说明的,第一基板100的像素共享单元539形成在两行×两列的像素区域上并且具有大致正方形的平面形状(图90)。例如,在各个像素共享单元539中,一个像素列的像素541A和像素541C的传输栅TG1和TG3的水平部分TGb从其与垂直部分TGa重叠的位置开始在H方向上朝向像素共享单元539的中央部的方向(更具体地,朝向像素541A和541C的外边缘的方向并且朝向像素共享单元539的中央部的方向)延伸,并且另一个像素列的像素541B和像素541D的传输栅TG2和TG4的水平部分TGb从其与垂直部分TGa重叠的位置开始在H方向上朝向像素共享单元539的外侧的方向(更具体地,朝向像素541B和541D的外边缘的方向并且朝向像素共享单元539的外侧的方向)延伸。连接到浮动扩散部FD的焊盘部120设置在像素共享单元539的中央部(像素共享单元539的H方向和V方向的中央部),并且连接到VSS接触区域118的焊盘部121至少在H方向上(在图90中在H方向和V方向上)设置在像素共享单元539的端部。

[0554] 作为另一个配置例,可以想到的是,仅在面对垂直部分TGa的区域中设置传输栅TG1、TG2、TG3和TG4的水平部分TGb。此时,如在上述实施方案中所说明的,容易将半导体层200S微细地划分。因此,难以形成像素电路210的大晶体管。另一方面,类似于上述变形例,如果传输栅TG1、TG2、TG3和TG4的水平部分TGb从其与垂直部分TGa重叠的位置开始在H方向上延伸,则类似于上述实施方案所说明的,半导体层200S的宽度可以增大。具体地,连接到传输栅TG1和TG3的贯通电极TGV1和TGV3的H方向的位置可以配置成接近贯通电极120E的H方向的位置,并且连接到传输栅TG2和TG4的贯通电极TGV2和TGV4的H方向的位置可以配置成接近贯通电极121E(图92)。因此,如在上述实施方案中所说明的,在V方向上延伸的半导

体层200S的宽度(在H方向上的尺寸)可以增大。因此,可以增大像素电路210的晶体管的尺寸,特别是放大晶体管AMP的尺寸。因此,像素信号的信噪比改善,并且成像装置1可以输出更好的像素数据(图像信息)。

[0555] 第二基板200的像素共享单元539具有例如与第一基板100的像素共享单元539的H方向和V方向的尺寸基本相同的尺寸,并且设置在与例如大约两行×两列的像素区域对应的区域上。例如,在各像素电路210中,选择晶体管SEL和放大晶体管AMP在V方向上延伸的一个半导体层200S上在V方向上并排配置,并且FD转换增益切换晶体管FDG和复位晶体管RST在V方向上延伸的一个半导体层200S上在V方向上并排配置。设置有选择晶体管SEL和放大晶体管AMP的一个半导体层200S和设置有FD转换增益切换晶体管FDG和复位晶体管RST的一个半导体层200S经由绝缘区域212在H方向上并置。绝缘区域212在V方向上延伸(图91)。

[0556] 这里,将参照图91和图92说明第二基板200的像素共享单元539的外形。例如,图90所示的第一基板100的像素共享单元539连接到设置在焊盘部120的H方向的一侧(图92中的纸面的左侧)的放大晶体管AMP和选择晶体管SEL以及设置在焊盘部120的H方向的另一侧(图92中的纸面的右侧)的FD转换增益切换晶体管FDG和复位晶体管RST。包括放大晶体管AMP、选择晶体管SEL、FD转换增益切换晶体管FDG和复位晶体管RST的第二基板200的像素共享单元539的外形由如下的四个外边缘来确定。

[0557] 第一外边缘是在包括选择晶体管SEL和放大晶体管AMP的半导体层200S的V方向的一端(图92中的纸面的上侧的端部)处的外边缘。第一外边缘设置在包括在该像素共享单元539中的放大晶体管AMP和包括在与该像素共享单元539的V方向的一侧(图92中的纸面的上侧)相邻的像素共享单元539中的选择晶体管SEL之间。更具体地,第一外边缘设置在放大晶体管AMP和选择晶体管SEL之间的元件隔离区域213的V方向的中央部。第二外边缘是在包括选择晶体管SEL和放大晶体管AMP的半导体层200S的V方向的另一端(图92中的纸面的下侧的端部)处的外边缘。第二外缘设置在包括在该像素共享单元539中的选择晶体管SEL和包括在与该像素共享单元539的V方向的另一侧(图92中的纸面的下侧)相邻的像素共享单元539中的放大晶体管AMP之间。更具体地,第二外边缘设置在选择晶体管SEL和放大晶体管AMP之间的元件隔离区域213的V方向的中央部。第三外边缘是在包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S的V方向的另一端(图92中的纸面的下侧的端部)处的外边缘。第三外缘设置在包括在该像素共享单元539中的FD转换增益切换晶体管FDG和包括在与该像素共享单元539的V方向的另一侧(图92中的纸面的下侧)相邻的像素共享单元539中的复位晶体管RST之间。更具体地,第三外边缘设置在FD转换增益切换晶体管FDG和复位晶体管RST之间的元件隔离区域213的V方向的中央部。第四外边缘是在包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S的V方向的一端(图92中的纸面的上侧的端部)处的外边缘。第四外边缘设置在包括在该像素共享单元539中的复位晶体管RST和包括在与该像素共享单元539的V方向的一侧(图92中的纸面的上侧)相邻的像素共享单元539中的FD转换增益切换晶体管FDG(未示出)之间。更具体地,第四外边缘设置在复位晶体管RST和FD转换增益切换晶体管FDG之间的元件隔离区域213(未示出)的V方向的中央部。

[0558] 在包括第一外边缘、第二外边缘、第三外边缘和第四外边缘的第二基板200的像素共享单元539的外形中,相对于第一外边缘和第二外边缘,第三外边缘和第四外边缘配置为移位到V方向的一侧(换句话说,在V方向上偏移到一侧)。通过使用这样的布局,可以将放大

晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极二者配置成尽可能接近焊盘部120。因此，减小了连接放大晶体管AMP和FD转换增益切换晶体管FDG的配线的面积，并且成像装置1可以容易地小型化。注意，VSS接触区域218设置在包括选择晶体管SEL和放大晶体管AMP的半导体层200S与包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S之间。例如，多个像素电路210具有彼此相同的配置。

[0559] 具有这样的第二基板200的成像装置1也可以获得类似于上述实施方案所说明的效果。第二基板200的像素共享单元539的配置不限于上述实施方案和本变形例中说明的配置。

[0560] [6.4.变形例3]

[0561] 图96～101表示根据上述实施方案的成像装置1的平面构成的变形例。图96示意性地示出了第一基板100的平面构成，并且对应于上述实施方案中说明的图77B。图97示意性地示出了第二基板200的半导体层200S的前面附近的平面构成，并且对应于上述实施方案中说明的图78。图98示意性地示出了第一配线层W1以及连接到第一配线层W1的半导体层200S和第一基板100的各个部分的构成，并且对应于上述实施方案中说明的图79。图99示出了第一配线层W1和第二配线层W2的平面构成的示例，并且对应于上述实施方案中说明的图80。图100示出了第二配线层W2和第三配线层W3的平面构成的示例，并且对应于上述实施方案中说明的图81。图101示出了第三配线层W3和第四配线层W4的平面构成的示例，并且对应于上述实施方案中说明的图82。

[0562] 在本变形例中，第二基板200的半导体层200S在H方向上延伸(图98)。即，其基本上对应于其中上述图91等所示的成像装置1的平面构成旋转90度的构成。

[0563] 例如，如在上述实施方案中所说明的，第一基板100的像素共享单元539形成在两行×两列的像素区域上并且具有大致正方形的平面形状(图96)。例如，在各个像素共享单元539中，一个像素行的像素541A和像素541B的传输栅TG1和TG2在V方向上朝向像素共享单元539的中央部延伸，并且另一个像素行的像素541C和像素541D的传输栅TG3和TG4在V方向上朝向像素共享单元539的外侧的方向延伸。连接到浮动扩散部FD的焊盘部120设置在像素共享单元539的中央部，并且连接到VSS接触区域118的焊盘部121至少在V方向上(在图96中在V方向和H方向上)设置在像素共享单元539的端部。此时，传输栅TG1和TG2的贯通电极TGV1和TGV2的V方向的位置接近贯通电极120E的V方向的位置，并且传输栅TG3和TG4的贯通电极TGV3和TGV4的V方向的位置接近贯通电极121E的V方向的位置(图98)。因此，出于与上述实施方案中所说明的类似原因，在H方向上延伸的半导体层200S的宽度(在V方向上的尺寸)可以增大。因此，可以增大放大晶体管AMP的尺寸并抑制噪声。

[0564] 在各个像素电路210中，选择晶体管SEL和放大晶体管AMP在H方向上并排配置，并且复位晶体管RST隔着选择晶体管SEL和绝缘区域212配置在V方向上相邻的位置(图97)。FD转换增益切换晶体管FDG与复位晶体管RST在H方向上并排配置。VSS接触区域218在绝缘区域212中以岛状设置。例如，第三配线层W3在H方向上延伸(图100)，第四配线层W4在V方向上延伸(图101)。

[0565] 具有这样的第二基板200的成像装置1也可以获得类似于上述实施方案所说明的效果。第二基板200的像素共享单元539的配置不限于上述实施方案和本变形例中说明的配置。例如，在上述实施方案和变形例1中说明的半导体层200S可以在H方向上延伸。

[0566] [6.5.变形例4]

[0567] 图102示意性地示出了根据上述实施方案的成像装置1的断面构成的变形例。图102对应于上述实施方案中说明的图73。在本变形例中，除了接触部201、202、301和302之外，成像装置1在面对像素阵列单元540的中央部的位置处还具有接触部203、204、303和304。在这一点上，本变形例的成像装置1与上述实施方案中说明的成像装置1不同。

[0568] 接触部203和204设置在第二基板200上，并且在与第三基板300的接合面上露出。接触部303和304设置在第三基板300上，并且在与第二基板的接合面上露出。接触部203与接触部303接触，接触部204与接触部304接触。即，在成像装置1中，除了接触部201、202、301和302之外，第二基板200和第三基板300还通过接触部203、204、303和304连接。

[0569] 接下来，将使用图103和图104说明成像装置1的操作。在图103中，从外部输入到成像装置1的输入信号以及电源电位和基准电位的路径由箭头表示。在图104中，从成像装置1输出到外部的像素信号的信号路径由箭头表示。例如，经由输入单元510A输入到成像装置1的输入信号被传送到第三基板300的行驱动单元520，并且在行驱动单元520中创建行驱动信号。行驱动信号经由接触部303和203被发送到第二基板200。此外，行驱动信号经由配线层200T内的行驱动信号线542到达像素阵列单元540的各个像素共享单元539。在已经到达第二基板200的像素共享单元539的行驱动信号中，传输栅TG以外的驱动信号被输入到像素电路210，并且包括在像素电路210中的各晶体管被驱动。用于传输栅TG的驱动信号经由贯通电极TGV输入到第一基板100的传输栅TG1、TG2、TG3和TG4，并且驱动像素541A、541B、541C和541D。此外，从成像装置1的外部供给到第三基板300的输入单元510A(输入端子511)的电源电位和基准电位经由接触部303和203被发送到第二基板200，并且经由配线层200T内的配线供给到像素共享单元539的各个像素电路210。基准电位还经由贯通电极121E供给到第一基板100的像素541A、541B、541C和541D。另一方面，由第一基板100的像素541A、541B、541C和541D光电转换的像素信号被发送到每个像素共享单元539中的第二基板200的像素电路210。基于该像素信号的像素信号经由垂直信号线543以及接触部204和304从像素电路210发送到第三基板300。该像素信号由第三基板300的列信号处理单元550和图像信号处理单元560处理，然后经由输出单元510B输出到外部。

[0570] 具有这样的接触部203、204、303和304的成像装置1也可以获得类似于上述实施方案所说明的效果。可以根据第三基板300的电路等的设计来改变接触部的位置和数量等(配线经由接触部303和304连接到其上)。

[0571] [6.6.变形例5]

[0572] 图105示出了根据上述实施方案的成像装置1的断面构成的变形例。图105对应于上述实施方案中说明的图76。在本变形例中，具有平面结构的传输晶体管TR设置在第一基板100上。在这一点上，本变形例的成像装置1与上述实施方案中说明的成像装置1不同。

[0573] 在传输晶体管TR中，传输栅TG仅包括水平部分TGb。换句话说，传输栅TG不具有垂直部分TGa，并且被设置为面对半导体层100S。

[0574] 具有包括这样的平面结构的传输晶体管TR的成像装置1也可以获得类似于上述实施方案所说明的效果。此外，通过在第一基板100上设置平面型传输栅TG，与在第一基板100上设置纵型传输栅TG的情况相比，可以想到的是，形成更接近半导体层100S的前面的光电二极管PD，从而增加饱和信号量(Qs)。此外，与在第一基板100上形成纵型传输栅TG的方法

相比，在第一基板100上形成平面型传输栅TG的方法具有较少的制造步骤，并且还可以想到的是，由制造步骤引起的对光电二极管PD的不利影响不太可能发生。

[0575] [6.7.变形例6]

[0576] 图106示出了根据上述实施方案的成像装置1的像素电路的变形例。图106对应于上述实施方案中说明的图74。在本变形例中，针对每个像素(像素541A)设置像素电路210。即，像素电路210不被多个像素共享。在这一点上，本变形例的成像装置1不同于上述实施方案中说明的成像装置1。

[0577] 本变形例的成像装置1与上述实施方案说明的成像装置1相同之处在于，像素部541A和像素电路210设置在不同的基板(第一基板100和第二基板200)上。因此，根据本变形例的成像装置1也可以获得类似于上述实施方案所说明的效果。

[0578] [6.8.变形例7]

[0579] 图107示出了在上述实施方案中说明的像素分离部117的平面构成的变形例。可以在围绕像素541A、541B、541C和541D中的每一个的像素分离部117中设置间隙。即，像素541A、541B、541C和541D的整个外周可以不由像素分离部117围绕。例如，像素分离部117的间隙设置在焊盘部120和121附近(参照图77B)。

[0580] 在上述实施方案中，已经说明了像素分离部117具有贯通半导体层100S的FTI结构的示例(参照图76)，但是像素分离部117可以具有除了FTI结构之外的构成。例如，像素分离部117可以不被设置为完全贯通半导体层100S，并且可以具有所谓的深沟槽隔离(DTI)结构。

[0581] <6.9.适用例>

[0582] 图108示出了包括根据上述实施方案及其变形例的成像装置1的成像系统7的示意性构成的示例。

[0583] 成像系统7例如是电子设备，该电子设备是诸如数码相机或摄像机等成像装置或诸如智能手机或平板电脑终端等便携式终端设备。成像系统7包括例如根据上述实施方案及其变形例的成像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248。在成像系统7中，根据上述实施方案及其变形例的成像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248经由总线249彼此连接。

[0584] 根据上述实施方案及其变形例的成像装置1输出对应于入射光的图像数据。DSP电路243是处理从根据上述实施方案及其变形例的成像装置1输出的信号(图像数据)的信号处理电路。帧存储器244以帧为单位临时保持由DSP电路243处理的图像数据。显示单元245例如包括诸如液晶面板或有机电致发光(EL)面板等面板型显示装置，并且显示由根据上述实施方案及其变形例的成像装置1捕获的运动图像或静止图像。存储单元246将由根据上述实施方案及其变形例的成像装置1捕获的运动图像或静止图像的图像数据记录在诸如半导体存储器或硬盘等记录介质中。操作单元247根据用户的操作发出用于成像系统7的各种功能的操作指令。电源单元248向这些供应目标适宜地供给用作根据上述实施方案及其变形例的成像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246和操作单元247的操作电源的各种电源。

[0585] 接下来，将说明成像系统7中的成像步骤。

[0586] 图109示出了成像系统7中成像操作的流程的示例。用户通过操作操作单元247给出关于成像开始的指令(步骤S101)。然后,操作单元247向成像装置1发送成像指令(步骤S102)。当接收到成像指令时,成像装置1(具体地,系统控制电路36)通过预定的成像方式执行成像(步骤S103)。

[0587] 成像装置1将通过成像获得的图像数据输出到DSP电路243。这里,图像数据是基于临时保持在浮动扩散部FD中的电荷生成的像素信号的所有像素的数据。DSP电路243基于从成像装置1输入的图像数据执行预定的信号处理(例如,降噪处理等)(步骤S104)。DSP电路243使帧存储器244保持经过预定的信号处理的图像数据,并且帧存储器244使存储单元246存储图像数据(步骤S105)。以这种方式,执行成像系统7中的成像。

[0588] 在适用例中,根据上述实施方案及其变形例的成像装置1适用于成像系统7。因此,由于成像装置1可以被小型化或具有高清晰度,因此可以设置小型或高清成像系统7。

[0589] [6.10.应用例]

[0590] [应用例1]

[0591] 根据本公开的技术(本技术)可以适用于各种产品。例如,根据本公开的技术可以被实现为安装在诸如汽车、电动汽车、混合电动汽车、摩托车、自行车、个人移动装置、飞机、无人飞行器、船舶、机器人等任何类型的移动体上的装置。

[0592] 图110是作为根据本公开实施方案的技术可以适用的移动体控制系统的示例的车辆控制系统的示意性构成例的框图。

[0593] 车辆控制系统12000包括经由通信网络12001彼此连接的多个电子控制单元。在图110所示的示例中,车辆控制系统12000包括驱动系统控制单元12010、主体系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040和综合控制单元12050。此外,作为综合控制单元12050的功能构成,示出了微型计算机12051、音频/图像输出单元12052和车载网络接口(I/F)12053。

[0594] 驱动系统控制单元12010根据各种程序来控制与车辆的驱动系统有关的装置的操作。例如,驱动系统控制单元12010用作诸如内燃机或驱动电机等用于产生车辆的驱动力的驱动力产生装置、用于向车轮传递驱动力的驱动力传递机构、用于调整车辆的转向角的转向机构、用于产生车辆的制动力的制动装置的控制装置。

[0595] 主体系统控制单元12020根据各种程序来控制安装到车体的各种装置的操作。例如,主体系统控制单元12020用作无钥匙进入系统、智能钥匙系统、电动窗装置或诸如头灯、尾灯、刹车灯、转向信号灯或雾灯等各种灯的控制装置。在这种情况下,用于代替按键的从便携式装置传递的无线电波或各种开关的信号可以输入到主体系统控制单元12020。主体系统控制单元12020接收无线电波或信号的输入并控制车辆的门锁装置、电动窗装置、灯等。

[0596] 车外信息检测单元12030检测安装车辆控制系统12000的车辆的外部的信息。例如,成像单元12031连接到车外信息检测单元12030。车外信息检测单元12030使成像单元12031捕获车辆外部的图像并接收所捕获的图像。车外信息检测单元12030可以基于接收到的图像进行诸如人、汽车、障碍物、标志、道路上的文字等物体检测处理或距离检测处理。

[0597] 成像单元12031是接收光并输出对应于受光量的电气信号的光学传感器。成像单元12031可以输出电气信号作为图像,或者可以输出电气信号作为测距信息。此外,由成像

单元12031接收的光可以是可见光或诸如红外线等不可见光。

[0598] 车内信息检测单元12040检测车内的信息。例如，检测驾驶员的状态的驾驶员状态检测单元12041连接到车内信息检测单元12040。例如，驾驶员状态检测单元12041包括对驾驶员成像的相机，并且基于从驾驶员状态检测单元12041输入的检测信息，车内信息检测单元12040可以计算驾驶员的疲劳度或集中度，或者可以判断驾驶员是否瞌睡。

[0599] 例如，微型计算机12051可以基于由车外信息检测单元12030或车内信息检测单元12040获得的车辆内部和外部的信息来计算驱动力产生装置、转向机构或制动装置的控制目标值，并且可以向驱动系统控制单元12010输出控制指令。例如，微型计算机12051可以进行协调控制，以实现包括车辆的碰撞避免或碰撞缓和、基于车辆之间的距离的追踪行驶、车辆速度保持行驶、车辆碰撞警告和车辆的车道偏离警告等的高级驾驶员辅助系统(ADAS)的功能。

[0600] 此外，微型计算机12051可以通过基于由车外信息检测单元12030或车内信息检测单元12040获得的关于车辆周围的信息来控制驱动力产生装置、转向机构、制动装置等来进行协调控制，以实现其中车辆自主行驶而不依赖于驾驶员的操作的自动驾驶等。

[0601] 此外，微型计算机12051可以基于由车外信息检测单元12030获得的车辆外部的信息将控制指令输出到主体系统控制单元12020。例如，微型计算机12051可以通过根据由车外信息检测单元12030检测到的前方车辆或对向车辆的位置控制头灯来进行协调控制，以实现诸如将远光灯切换为近光灯等防止眩光。

[0602] 音频/图像输出单元12052将音频和图像至少一者的输出信号传递到能够在视觉上或听觉上通知车辆乘员或车辆外部的信息的输出装置。在图110的示例中，作为输出装置，音频扬声器12061、显示单元12062和仪表板12063被示出。例如，显示单元12062可以包括车载显示器和平视显示器中的至少一种。

[0603] 图111是示出成像单元12031的安装位置的示例的图。

[0604] 在图111中，车辆12100包括作为成像单元12031的成像单元12101、12102、12103、12104和12105。

[0605] 成像单元12101、12102、12103、12104和12105设置在例如车辆12100的车头、侧视镜、后保险杠、后门和车内的挡风玻璃的上部等位置。设置在车头的成像单元12101和设置在车内的挡风玻璃上部的成像单元12105主要获得车辆12100的前方的图像。设置在侧视镜的成像单元12102和12103主要获得车辆12100的侧方的图像。设置在后保险杠或后门的成像单元12104主要获得车辆12100的后方的图像。由成像单元12101和12105获取的前方图像主要用于检测前方车辆、行人、障碍物、交通信号、交通标志、车道等。

[0606] 此外，图111示出了成像单元12101～12104的成像范围的示例。成像范围12111表示设置在车头的成像单元12101的成像范围，成像范围12112和12113分别表示设置在侧视镜的成像单元12102和12103的成像范围，并且成像范围12114表示设置在后保险杠或后门的成像单元12104的成像范围。例如，通过叠加由成像单元12101～12104捕获的图像数据，获得车辆12100的从上方看到的鸟瞰图像。

[0607] 成像单元12101～12104中的至少一个可以具有获取距离信息的功能。例如，成像单元12101～12104中的至少一个可以是包括多个成像元件的立体相机，或者可以是具有相位差检测用的像素的成像元件。

[0608] 例如,基于从成像单元12101～12104获得的距离信息,通过获得距成像范围12111～12114内的各立体物的距离和距离的时间变化(相对于车辆12100的相对速度),微型计算机12051提取在车辆12100的行驶路线上的特别是最靠近的立体物且在与车辆12100的大致相同的方向上以预定速度(例如,0km/h以上)行驶的立体物作为前方车辆。此外,微型计算机12051可以设定针对前方车辆的预先确保的车辆间的距离,并且可以进行自动制动控制(包括追踪行驶停止控制)、自动加速控制(包括追踪行驶开始控制)等。如上所述,可以进行其中车辆自主行驶而不依赖于驾驶员的操作的用于自动驾驶等的协调控制。

[0609] 例如,基于从成像单元12101～12104获得的距离信息,微型计算机12051可以将关于立体物的立体物数据分类为两轮车辆、普通车辆、大型车辆、行人和诸如电线杆等其他立体物,提取立体物数据,并且使用立体物数据自动避开障碍物。例如,微型计算机12051将车辆12100周围的障碍物识别为可以由车辆12100的驾驶员视觉识别的障碍物和难以视觉识别的障碍物。然后,微型计算机12051判断指示与每个障碍物碰撞的危险度的碰撞风险,并且当碰撞风险等于或高于设定值并且存在碰撞的可能性时,可以通过经由音频扬声器12061和显示单元12062向驾驶者输出警告或者经由驱动系统控制单元12010进行强制减速或回避转向来进行用于碰撞避免的驾驶辅助。

[0610] 成像单元12101～12104中的至少一个可以是检测红外线的红外相机。例如,微型计算机12051可以通过判断行人是否存在于由成像单元12101～12104捕获的图像中来识别行人。例如,通过提取由作为红外相机的成像单元12101～12104捕获的图像中的特征点的步骤以及对指示物体的轮廓的一系列特征点进行图案匹配处理以判断该物体是否为行人的步骤来进行行人的识别。当微型计算机12051判断行人存在于由成像单元12101～12104捕获的图像中并且识别出行人时,音频/图像输出部12052使显示单元12062在所识别的行人上叠加并显示用于强调的四边形轮廓线。此外,音频/图像输出部12052可以使显示单元12062在期望的位置显示指示行人的图标等。

[0611] 上面已经说明了根据本公开的技术可以适用的移动体控制系统的一个示例。根据本公开的技术可以适用于上述构成中的成像单元12031。具体地,根据上述实施方案及其变形例的成像装置1可以适用于成像单元12031。由于可以通过将根据本公开的技术适用于成像单元12031获得具有很少噪声的高清捕获图像,因此可以在移动体控制系统中使用捕获的图像进行高精度控制。

[0612] [应用例2]

[0613] 图112是示出根据本公开实施方案的技术(本技术)可以适用的内窥镜手术系统的示意性构成的示例的图。

[0614] 图112示出了其中手术者(医生)11131正在使用内窥镜手术系统11000对病床11133上的患者11132进行手术的状态。如图112所示,内窥镜手术系统11000包括内窥镜11100、诸如气腹管11111和能量处置器械11112等其他手术器械11110、支撑内窥镜11100的支撑臂装置11120和其上安装有用于内窥镜手术的各种装置的推车11200。

[0615] 内窥镜11100包括其中距远端预定长度的区域被插入患者11132的体腔内的透镜筒11101和连接到透镜筒11101的近端的摄像头11102。在所示的示例中,示出了被构造为具有硬性透镜筒11101的所谓硬镜的内窥镜11100,但是内窥镜11100可以被构造为具有软性透镜筒的所谓的软镜。

[0616] 物镜装配到其中的开口部设置在透镜筒11101在远端。光源装置11203连接到内窥镜11100，由光源装置11203生成的光通过延伸到透镜筒11101内部的光导被引导到透镜筒的远端，并且经由物镜朝向在患者11132的体腔内的观察对象发射。注意，内窥镜11100可以是直视内窥镜、斜视内窥镜或侧视内窥镜。

[0617] 光学系统和成像元件设置在摄像头11102内部，并且来自观察对象的反射光(观察光)通过光学系统会聚在成像元件上。观察光由成像元件执行光电转换，并且生成与观察光相对应的电气信号，即，与观察图像相对应的图像信号。图像信号作为RAW数据被传输到相机控制单元(CCU)11201。

[0618] CCU 11201包括中央处理单元(CPU)、图形处理单元(GPU)等，并且综合控制内窥镜11100和显示装置11202的操作。此外，CCU 11201接收来自摄像头11102的图像信号，并且例如对图像信号执行诸如显像处理(去马赛克处理)等用于显示基于该图像信号的图像的各种图像处理。

[0619] 显示装置11202在CCU 11201的控制下显示基于由CCU 11201经过图像处理的图像信号的图像。

[0620] 例如，光源装置11203包括诸如发光二极管(LED)等光源，并且将用于对手术部位等成像的照射光供给到内窥镜11100。

[0621] 输入装置11204是用于内窥镜手术系统11000的输入接口。使用者可以经由输入装置11204向内窥镜手术系统11000输入各种信息和指令。例如，使用者通过使用内窥镜11100输入指令等，以改变成像条件(照射光的类型、放大率、焦距等)。

[0622] 处置器械控制装置11205控制能量处置器械11112的驱动，用于组织的烧灼和切开、血管的密封等。气腹装置11206经由气腹管11111向患者11132的体腔内注入气体以使患者11132的体腔膨胀，用于确保内窥镜11100的视野并确保手术者的工作空间。记录器11207是能够记录与手术有关的各种信息的装置。打印机11208是能够以诸如文本、图像、图形等各种形式打印与手术有关的各种信息的装置。

[0623] 注意，将手术部位成像时的照射光供给到内窥镜11100的光源装置11203可以包括例如LED、激光光源或包括它们的组合的白色光源。在白色光源通过RGB激光光源的组合构造的情况下，由于可以高精度地控制各种颜色(各波长)的输出强度和输出定时，因此可以在光源装置11203中进行所捕获的图像的白平衡的调整。此外，在这种情况下，通过将来自每个RGB激光光源的激光按时间分割地照射到观察对象上并且与照射定时同步地控制摄像头11102的成像元件的驱动，也可以按时间分割地捕获对应于RGB的每个的图像。根据该方法，可以在成像元件中未设置滤色器的情况下获得彩色图像。

[0624] 此外，可以控制光源装置11203的驱动，从而在每预定的时间改变要输出的光的强度。通过与光强度的改变的定时同步地控制摄像头11102的成像元件的驱动以按时间分割地获取图像并合成图像，可以生成不具有所谓的曝光不足的阴影和曝光过度的高亮的高动态范围的图像。

[0625] 此外，光源装置11203可以被构造为供给与特殊光观察相对应的预定波长带的光。在特殊光观察中，例如，进行所谓的窄带域光观察(窄带域成像)，其中通过使用身体组织中的光吸收的波长依赖性，通过照射与普通观察时的照射光(即，白光)相比更窄带域的光以高对比度对诸如粘膜表层的血管等预定组织进行成像。可选择地，在特殊光观察中，可以进

行用于通过照射激发光产生的荧光获得图像的荧光观察。在荧光观察中，例如，可以用激发光照射身体组织，以观察来自身体组织的荧光(自体荧光观察)，或者以将诸如吲哚菁绿(ICG)等试剂局部地注射到身体组织中并用与试剂的荧光波长相对应的激发光照射身体组织来获得荧光图像。光源装置11203可以被构造为供给与这种特殊光观察相对应的窄带域光和/或激发光。

[0626] 图113是示出图112所示的摄像头11102和CCU 11201的功能构成的示例的框图。

[0627] 摄像头11102包括透镜单元11401、成像单元11402、驱动单元11403、通信单元11404和摄像头控制单元11405。CCU 11201包括通信单元11411、图像处理单元11412和控制单元11413。摄像头11102和CCU 11201通过传输线缆11400彼此可通信地连接。

[0628] 透镜单元11401是设置在与透镜筒11101的连接部分处的光学系统。从透镜筒11101的远端接收的观察光被引导到摄像头11102，并且入射到透镜单元11401。透镜单元11401通过组合包括变焦透镜和焦点透镜的多个透镜来构造。

[0629] 成像单元11402包括成像元件。构成成像单元11402的成像元件的数量可以是一个元件(所谓的单板型)或多个(所谓的多板型)。当成像单元11402被构造为多板型时，例如，可以通过每个成像元件生成与RGB的每个相对应的图像信号，并且可以通过组合图像信号来获得彩色图像。可选择地，成像单元11402可以包括一对成像元件，用于获取与三维(3D)显示相对应的右眼和左眼用图像信号。通过进行3D显示，手术者11131可以更加准确地把握手术部位中的身体组织的深度。注意，当成像单元11402被构造为多板型时，可以设置与每个成像元件相对应的多个透镜单元11401。

[0630] 此外，成像单元11402不必须设置在摄像头11102中。例如，成像单元11402可以设置在透镜筒11101内部的物镜的正后方。

[0631] 驱动单元11403包括致动器，并且在摄像头控制单元11405的控制下使透镜单元11401的变焦透镜和焦点透镜沿光轴移动预定距离。因此，可以适宜地调整由成像单元11402捕获的图像的放大率和焦点。

[0632] 通信单元11404包括用于向/从CCU 11201传输和接收各种信息的通信装置。通信单元11404将从成像单元11402获取的图像信号作为RAW数据经由传输线缆11400传输到CCU 11201。

[0633] 此外，通信单元11404从CCU 11201接收用于控制摄像头11102的驱动的控制信号，并且将控制信号供给到摄像头控制单元11405。控制信号例如包括与成像条件有关的信息，诸如用于指定所捕获的图像的帧速率的信息、用于指定在成像时的曝光值的信息和/或用于指定所捕获的图像的放大率和焦点的信息等。

[0634] 注意，诸如帧速率、曝光值、放大率和焦点等成像条件可以由使用者适宜地指定，或者可以由CCU 11201的控制单元11413基于捕获的图像信号来自动设定。在后一种情况下，所谓的自动曝光(AE)功能、自动对焦(AF)功能和自动白平衡(AWB)功能安装在内窥镜11100中。

[0635] 摄像头控制单元11405基于经由通信单元11404从CCU 11201接收的控制信号来控制摄像头11102的驱动。

[0636] 通信单元11411包括用于向和从摄像头11102传输和接收各种信息的通信装置。通信单元11411经由传输线缆11400接收从摄像头11102传输的图像信号。

[0637] 此外，通信单元11411将用于控制摄像头11102的驱动的控制信号传输到摄像头11102。图像信号和控制信号可以通过电气通信、光通信等来传输。

[0638] 图像处理单元11412对作为从摄像头11102传输的RAW数据的图像信号进行各种图像处理。

[0639] 控制单元11413进行与通过使用内窥镜11100进行的手术部位等的成像以及通过对手术部位等成像获得的所捕获的图像的显示有关的各种控制。例如，控制单元11413生成用于控制摄像头11102的驱动的控制信号。

[0640] 此外，控制单元11413基于由图像处理单元11412经过图像处理的图像信号使显示装置11202显示手术部位等的所捕获的图像。此时，控制单元11413可以通过使用各种图像识别技术来识别所捕获的图像内的各种物体。例如，控制单元11413可以通过检测包括在所捕获的图像中的物体的边缘形状和/或颜色等识别诸如钳子等手术器械、特定活体部位、出血、使用能量处置器械11112时的雾等。当在显示装置11202中显示所捕获的图像时，通过使用识别结果，控制单元11413可以叠加并显示与手术部位的图像有关的各种手术支持信息。由于手术支持信息被叠加并显示，并且呈现给手术者11131，因此可以减轻手术者11131的负担，并且手术者11131可以可靠地进行手术。

[0641] 将摄像头11102和CCU 11201连接的传输线缆11400是与电气信号的通信相对应的电气信号线缆、与光通信相对应的光纤或其复合线缆。

[0642] 这里，在所示的示例中，通过使用传输电缆11400有线地进行通信，但是可以无线地进行摄像头11102和CCU 11201之间的通信。

[0643] 上面已经说明了根据本公开的技术可以适用的内窥镜手术系统的示例。根据本公开的技术可以适宜地应用于上述构成中的在内窥镜11100的摄像头11102处设置的成像单元11402。由于通过将根据本公开的技术应用于成像单元11402可以使成像单元11402小型化或具有高清晰度，因此可以设置具有小尺寸或高清晰度的内窥镜11100。

[0644] 上面已经参考第一至第三实施方案、变形例和具体例说明了根据本公开的技术。然而，根据本公开的技术不限于上述实施方案等，并且可以以多种方式变形。

[0645] 例如，在上述实施方案、变形例和具体例中，导电型可以颠倒。例如，在上述实施方案和变形例的说明中，可以将p型读作n型，将n型读作p型。即使在这种情况下，也可以在上述实施方案和变形例中实现类似的效果。

[0646] 此外，并非实施方案中说明的所有构成要素和操作都是作为本公开的构成要素和操作必不可少的。例如，在实施方案的构成要素中，代表本公开的最广泛概念的未在任何独立权利要求中记载的那些被认为是任选的构成要素。

[0647] 贯通本说明书和所附权利要求书使用的术语应被解释为“开放式”术语。例如，术语“包括”及其语法变体旨在是非限制性的，使得列表中的项目不排除可以替换或添加到所列项目的其他类似项目。术语“具有”及其语法变体旨在是非限制性的，使得列表中的项目不排除可以替换或添加到所列项目的其他类似项目。对于本领域技术人员显而易见的是，在不脱离所附权利要求的范围的情况下，可以对本公开的实施方案进行变更。

[0648] 注意，这里使用的术语包括仅为了说明方便而使用的术语，并不限制构成和操作。例如，术语“右”、“左”、“上”和“下”仅指示所参照的图中的方向。此外，术语“内侧”和“外侧”分别表示朝向关注要素的中心的方向和远离关注要素的中心的方向。这同样适用于与其相

似的术语和具有类似含义的术语。

[0649] 注意，根据本公开的技术还可以具有以下构成。根据包括以下构成的本公开的技术，可以增强设置在第二半导体基板中的场效应晶体管的电气特性，从而可以增强像素电路的电气特性。根据本公开的技术所实现的效果不必须限于这里记载的效果，并且可以是本公开中记载的任何效果。

[0650] (1)一种成像装置，包括：

[0651] 第一基板，其包括执行光电转换的传感器像素；

[0652] 第二基板，其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路；和

[0653] 第三基板，其包括对所述像素信号进行信号处理的处理电路，

[0654] 第一基板、第二基板和第三基板按该顺序层叠，并且

[0655] 在设有所述像素电路的场效应晶体管的至少一个或多个半导体层中，在第一基板侧的区域中的导电型杂质的浓度高于在第三基板侧的区域中的导电型杂质的浓度。

[0656] (2)根据(1)所述的成像装置，其中

[0657] 所述传感器像素包括光电转换元件、电气连接到所述光电转换元件的传输晶体管和临时保持经由所述传输晶体管从所述光电转换元件输出的电荷的浮动扩散部，和

[0658] 所述像素电路包括将所述浮动扩散部的电位复位为预定电位的复位晶体管、生成与所述浮动扩散部中保持的电荷水平相对应的电压信号作为所述像素信号的放大晶体管以及控制来自所述放大晶体管的像素信号的输出时机的选择晶体管。

[0659] (3)根据(2)所述的成像装置，其中

[0660] 第一基板包括第一半导体基板，在第一半导体基板的前面侧包括所述光电转换元件、所述传输晶体管和所述浮动扩散部，

[0661] 第二基板包括第二半导体基板，在第二半导体基板的前面侧包括所述复位晶体管、所述放大晶体管和所述选择晶体管，和

[0662] 以与第二半导体基板的前面相对的背面侧对向于第一半导体基板的前面侧的方式来贴合第二基板。

[0663] (4)根据(3)所述的成像装置，其中第二半导体基板的背面经由绝缘层贴合到第一半导体基板的前面。

[0664] (5)根据(4)所述的成像装置，其中第二半导体基板和所述绝缘层之间的界面包括第一基板和第二基板之间的接合界面。

[0665] (6)根据(4)或(5)所述的成像装置，其中在包括第二半导体基板和所述绝缘层之间的界面的区域中设置含有浓度高于第二半导体基板的其他区域的所述导电型杂质的第一区域。

[0666] (7)根据(6)所述的成像装置，其中所述像素电路的场效应晶体管中的至少一个或多个包括鳍型场效应晶体管，所述鳍型场效应晶体管包括

[0667] 以在一个方向延伸的方式从第二半导体基板突出设置的扩散层，

[0668] 以在与该一个方向正交的方向延伸的方式跨着所述扩散层设置的栅电极，和

[0669] 设置在夹持所述栅电极的两侧的所述扩散层中的源极区域和漏极区域。

[0670] (8)根据(7)所述的成像装置，其中向第二半导体基板供给预定电位的体接触部设

置在第二半导体基板的前面上。

[0671] (9)根据(8)所述的成像装置,其中所述体接触部设置在相对于所述栅电极与所述源极区域同侧的平面区域中。

[0672] (10)根据(6)～(9)中任一项所述的成像装置,其中第一区域设置在第二半导体基板的整个表面上。

[0673] (11)根据(6)～(10)中任一项所述的成像装置,其中第一区域包括含有硼原子作为所述导电型杂质的外延生长层。

[0674] (12)根据(6)～(11)中任一项所述的成像装置,其中第一区域包括含有硼原子作为所述导电型杂质的多晶硅层。

[0675] (13)根据(6)～(12)中任一项所述的成像装置,其中在第二半导体基板的前面侧的一部分区域中还设置有第二区域,第二区域电气连接到供给预定电位的接触插塞并且含有高浓度的所述导电型杂质。

[0676] (14)根据(13)所述的成像装置,其中在第二半导体基板中还设置有第三区域,第三区域含有浓度低于第一区域和第二区域的所述导电型杂质并且与第一区域和第二区域相邻。

[0677] (15)根据(13)所述的成像装置,其中所述接触插塞被设置为贯通第二半导体基板并且直接连接到第一区域。

[0678] (16)根据(6)～(15)中任一项所述的成像装置,其中第一区域含有硼原子作为所述导电型杂质,并且还含有碳原子作为非导电型杂质。

[0679] (17)根据(2)～(16)中任一项所述的成像装置,其中

[0680] 第一基板包括针对每个传感器像素的所述光电转换元件、所述传输晶体管和所述浮动扩散部,和

[0681] 第二基板包括针对每个传感器像素的所述像素电路。

[0682] (18)根据(2)～(16)中任一项所述的成像装置,其中

[0683] 第一基板包括针对每个传感器像素的所述光电转换元件、所述传输晶体管和所述浮动扩散部,和

[0684] 第二基板包括针对每多个传感器像素的所述像素电路。

[0685] (19)根据(2)～(16)中任一项所述的成像装置,其中

[0686] 第一基板包括针对每个传感器像素的所述光电转换元件和所述传输晶体管,并且包括由每多个传感器像素共享的所述浮动扩散部,和

[0687] 第二基板包括针对共享所述浮动扩散部的每多个传感器像素的所述像素电路。

[0688] (20)根据(1)～(19)中任一项所述的成像装置,其中第三基板包括在前面侧设有所述处理电路的第三半导体基板。

[0689] 本申请要求于2019年6月26日向日本专利局提交的日本在先专利申请JP2019-118489的权益,其全部内容通过引用并入本文。

[0690] 本领域技术人员应当理解,可以根据设计要求和其他因素进行各种修改、组合、子组合和变更,只要它们在所附权利要求或其等同物的范围内。

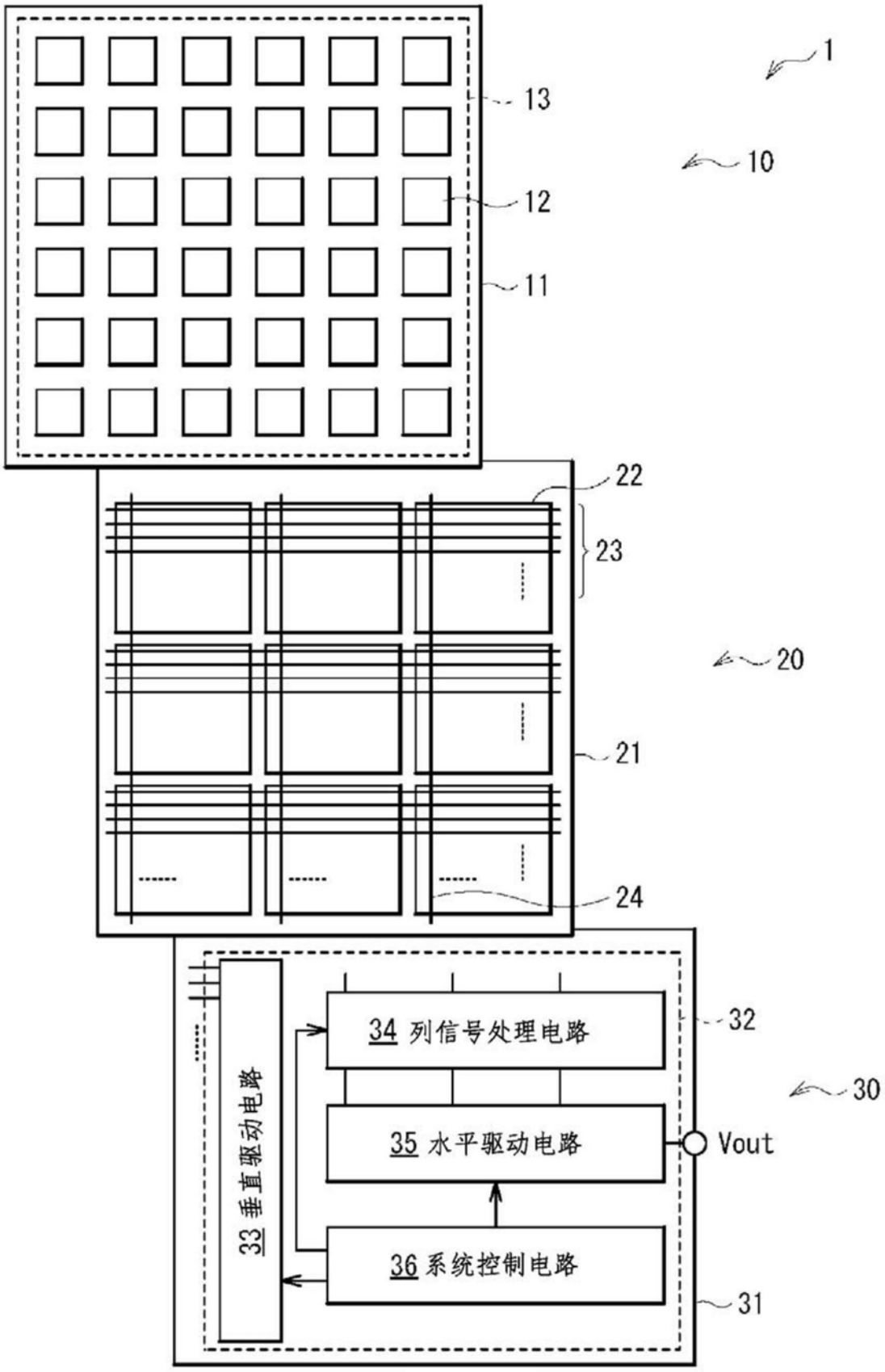

1
13
10
12
11
22
23
20
21
24
34 列信号处理电路
32
30
35 水平驱动电路
Vout
33 垂直驱动电路
36 系统控制电路
31

图1

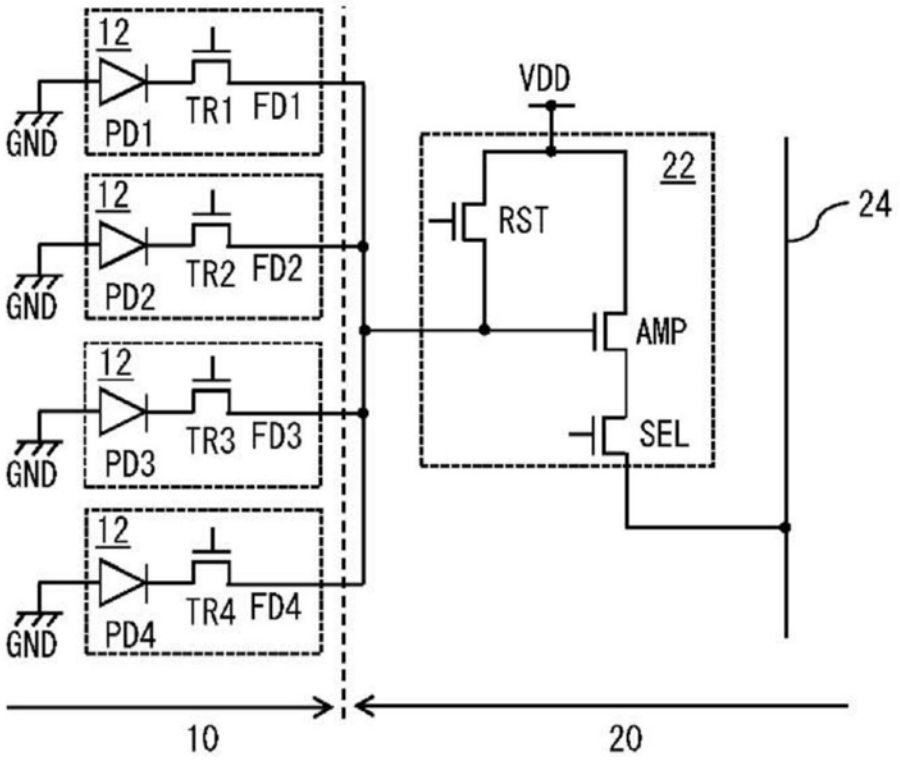

12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
AMP
SEL
24
10
20

图2

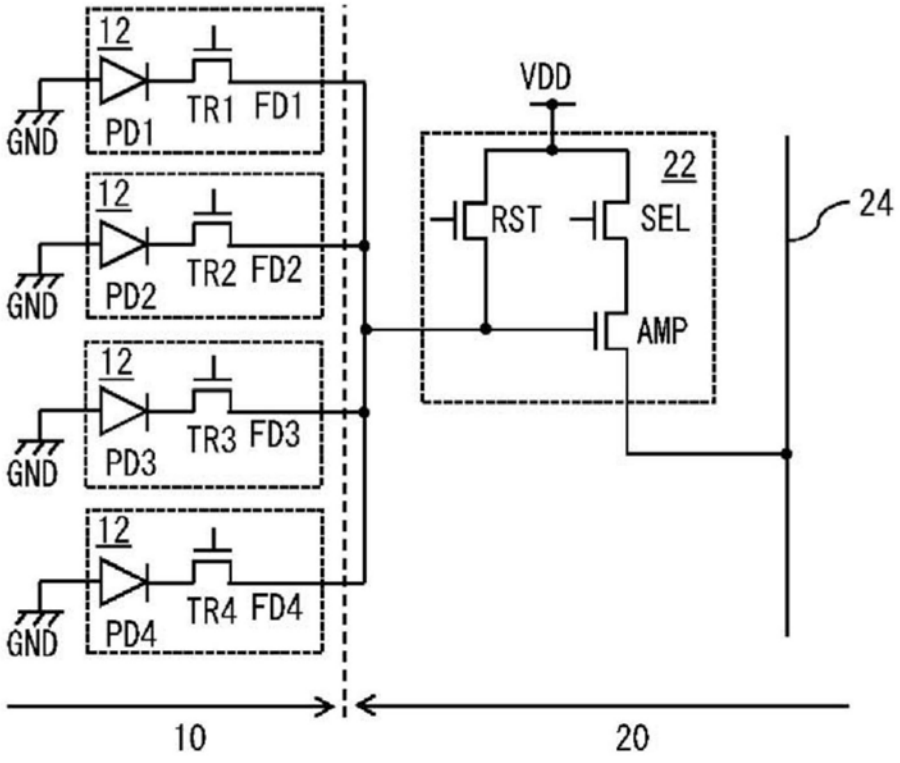

12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
AMP
24
10
20

图3

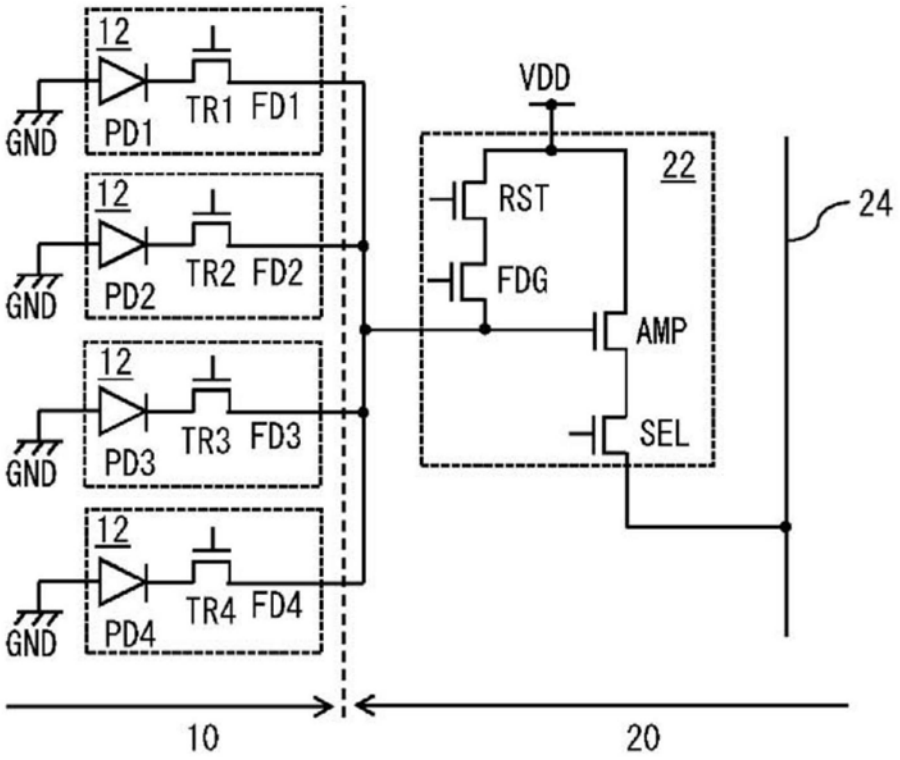

12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
FDG
AMP
SEL
24
10
20

图4

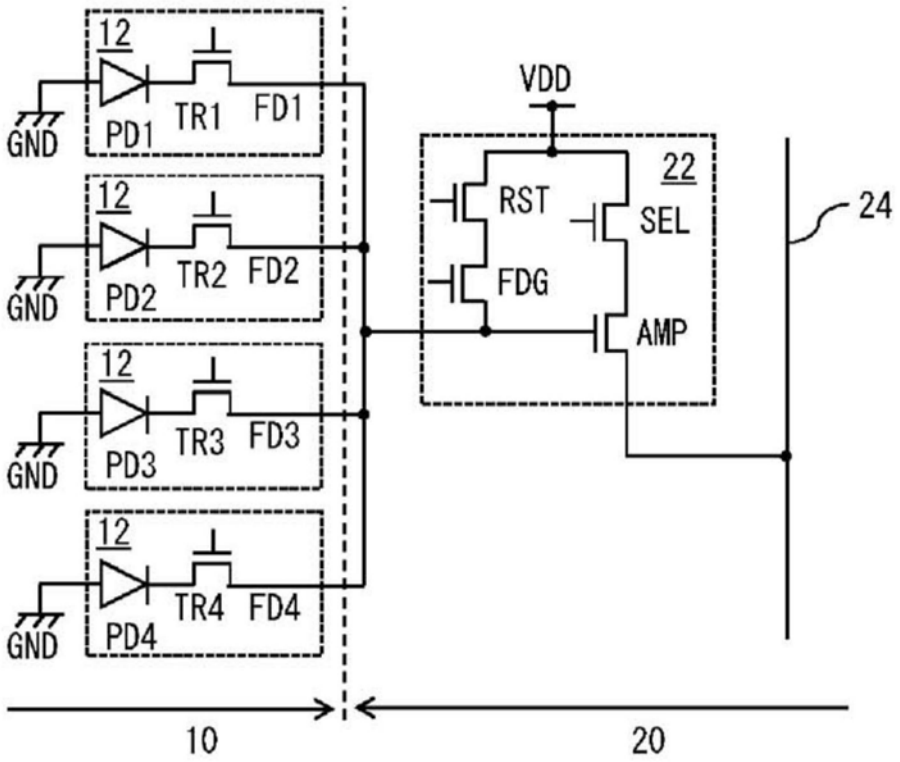

12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
FDG
AMP
24
10
20

图5

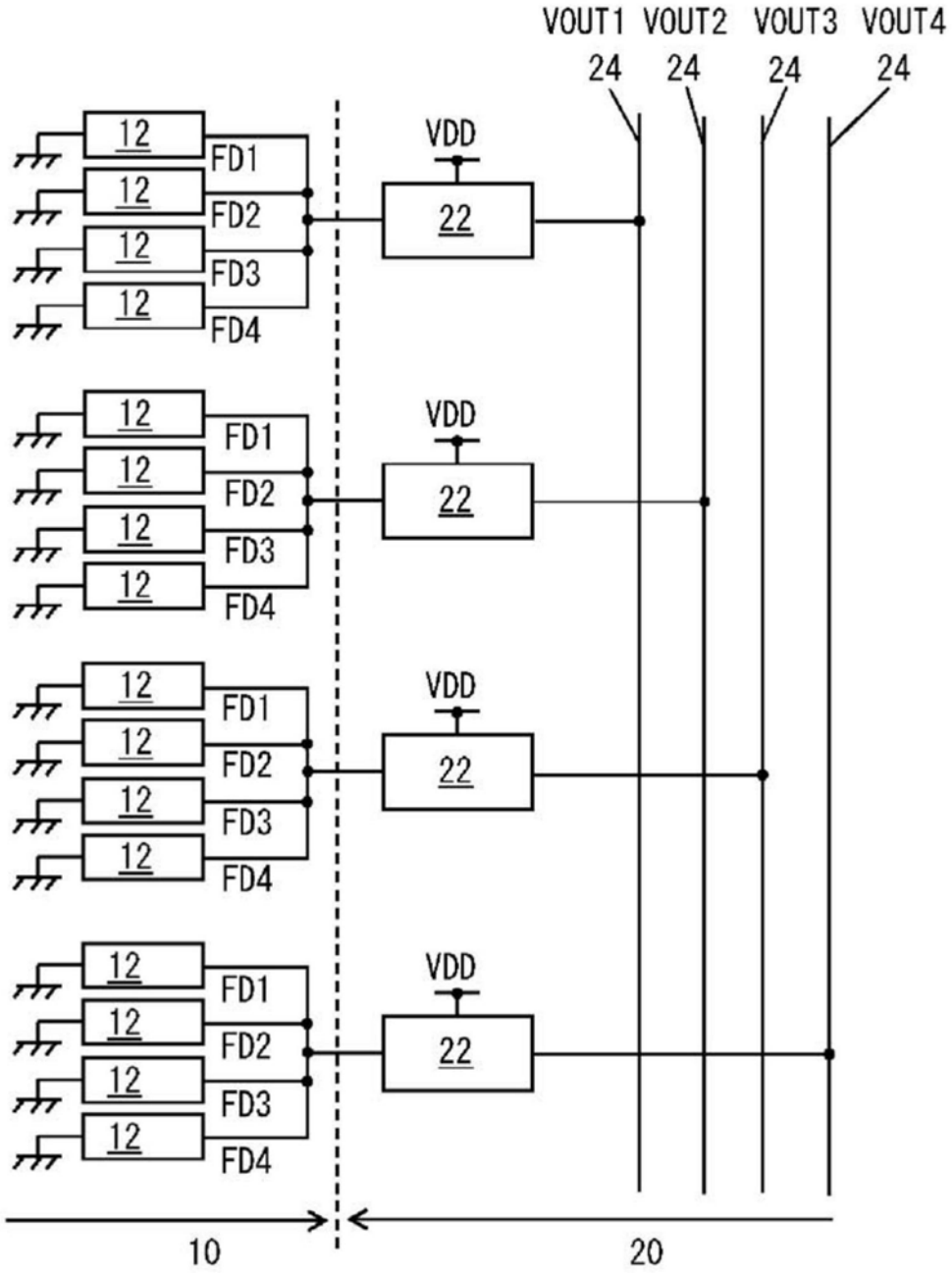

VOUT1
VOUT2
VOUT3
VOUT4
24
24
24
24
12
FD1
FD2
FD3
FD4
VDD
22
10
20

图6

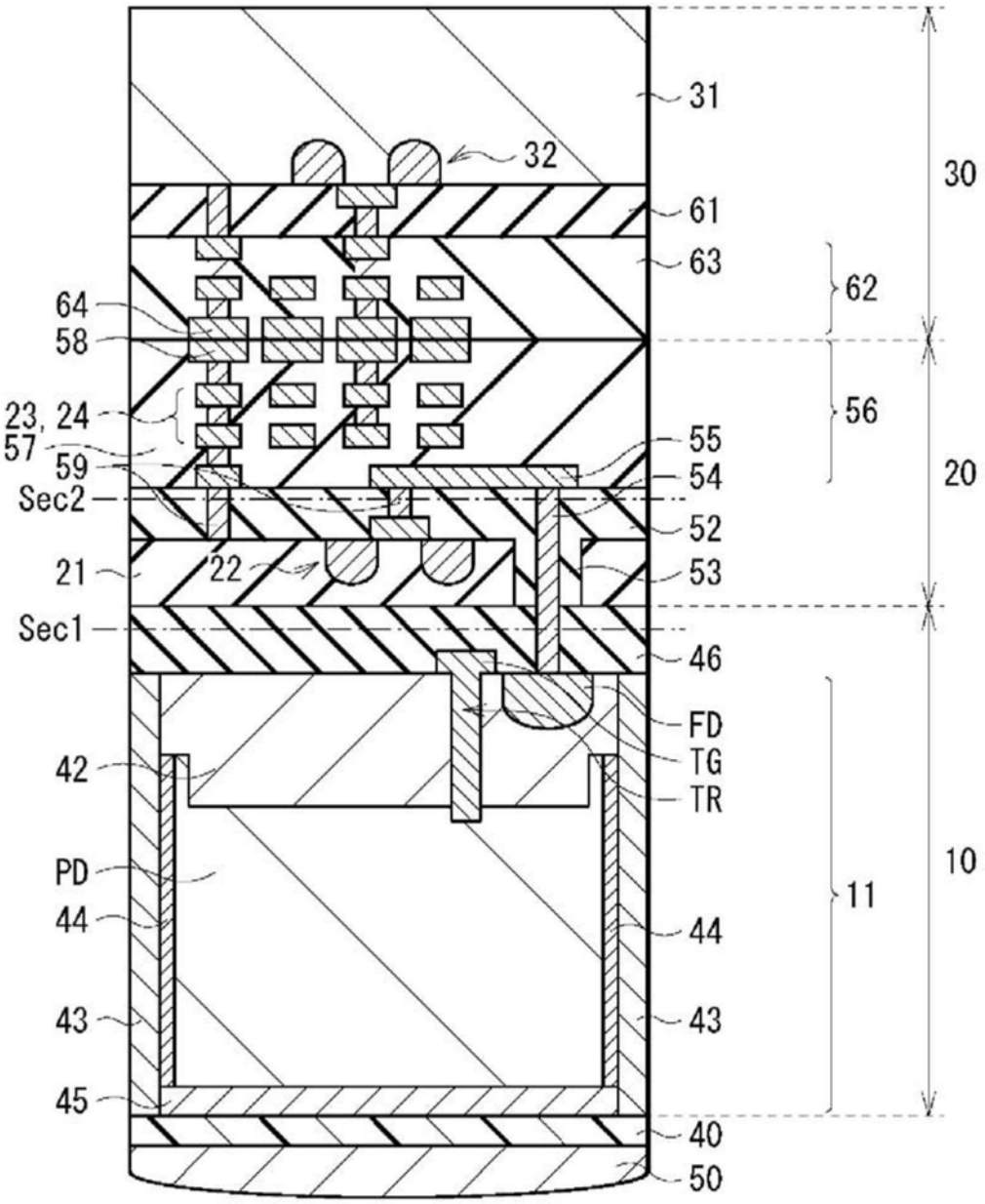

31
32
30
61
63
62
64
58
56
23, 24
57
55
59
54
20
Sec2
52
21
22
53
Sec1
46
FD
42
TG
TR
10
PD
11
44
44
43
43
45
40
50

图7

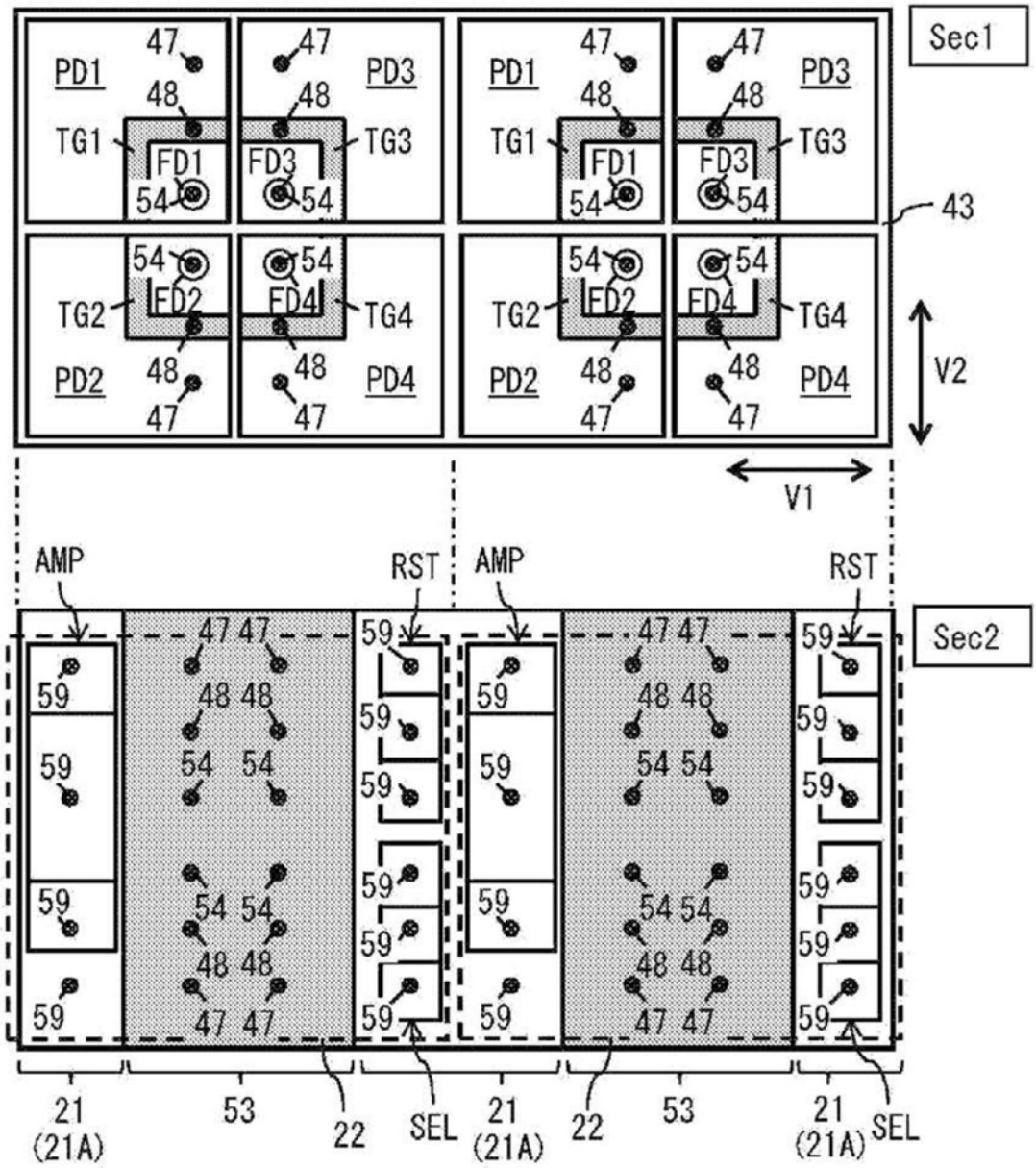

Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
AMP
RST
Sec2
59
21
(21A)
53
22
SEL

图8

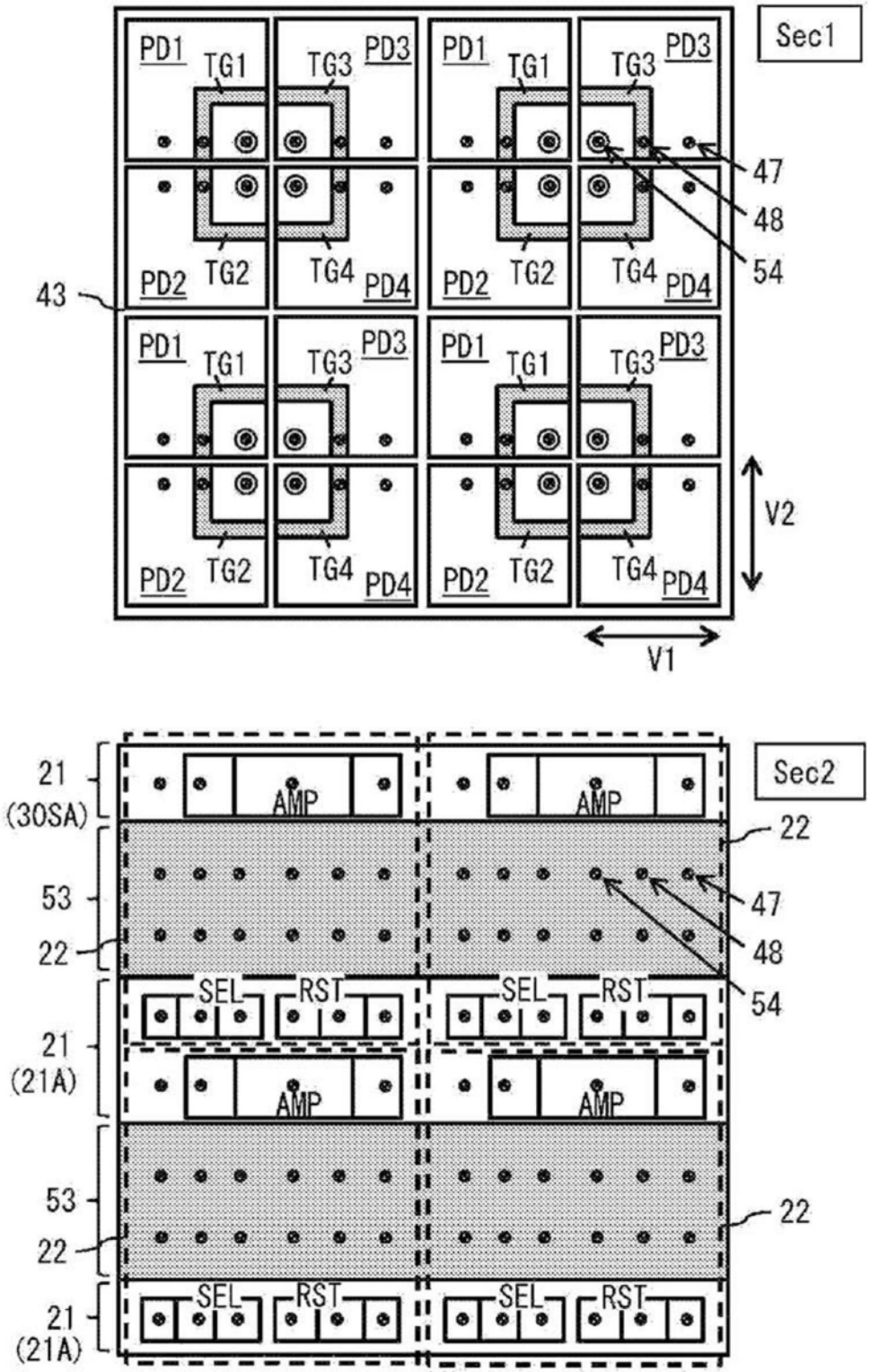

Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(30SA)
AMP
22
53
SEL
RST
21
(21A)

图9

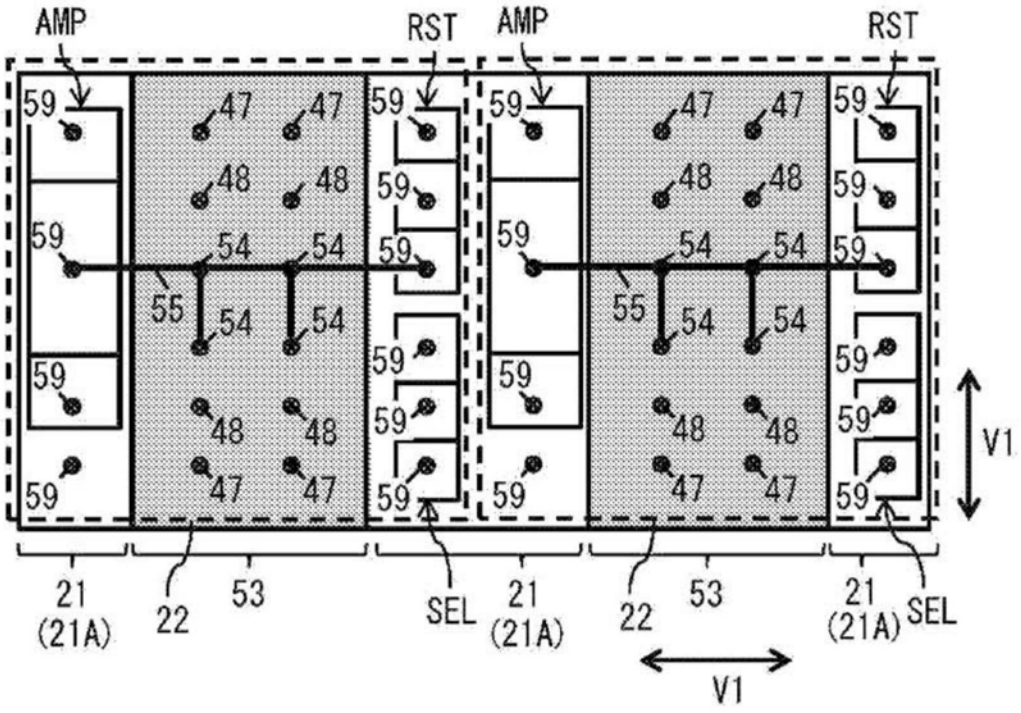

AMP
RST
AMP
RST
59
47
48
54
55
V1
21
(21A)
22
53
SEL

图10

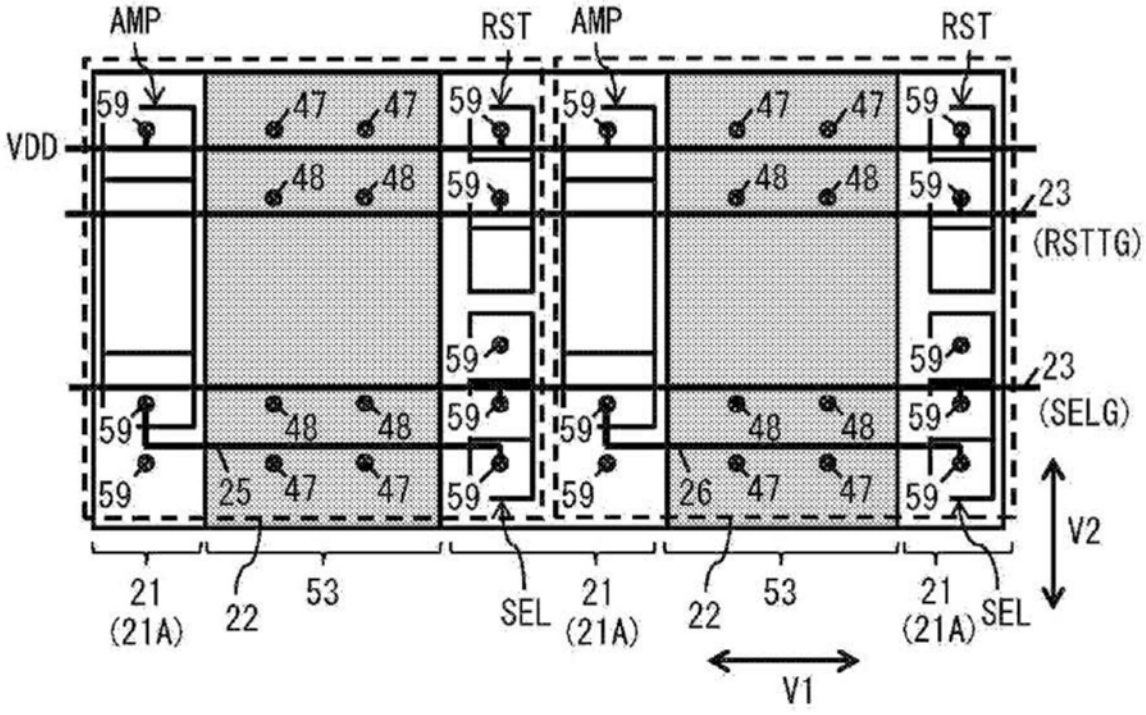

AMP
RST
AMP
RST
VDD
59
47
48
54
55
23
(RSTTG)
23
(SELG)
25
26
V2
V1
21
(21A)
22
53
SEL

图11

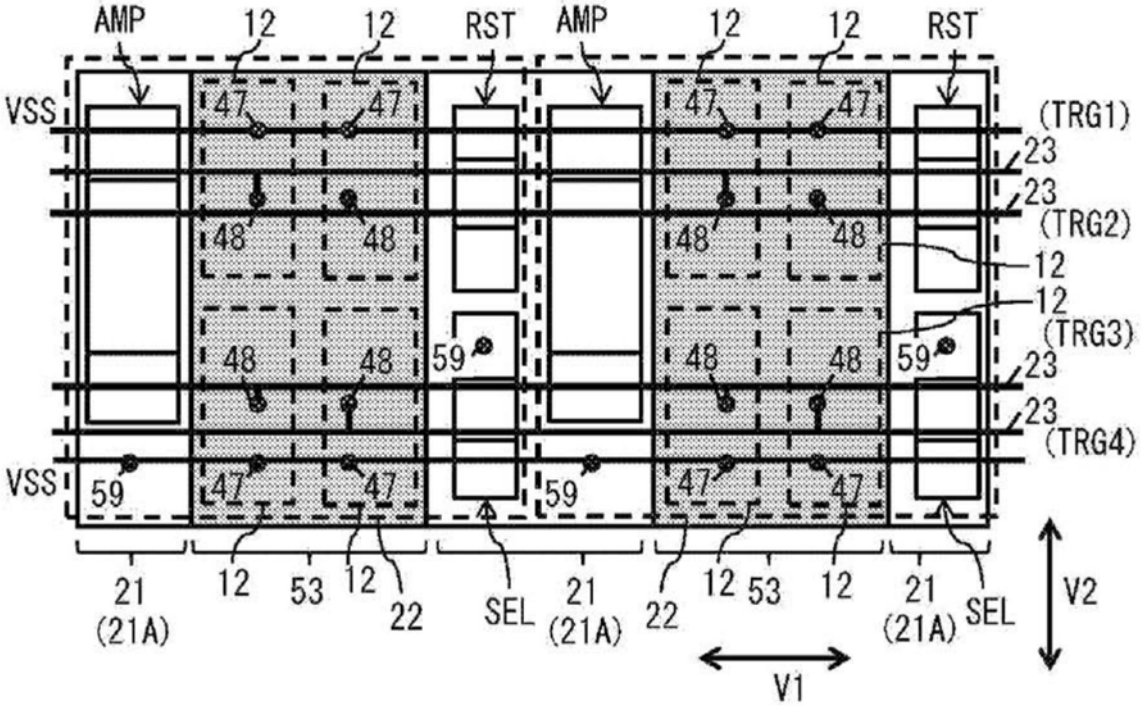

AMP
12
12
RST
AMP
12
12
RST
VSS
47
47
(TRG1)
23
23
(TRG2)
48
48
12
12
(TRG3)
59
23
23
(TRG4)
VSS
59
47
47
59
47
47
21
(21A)
12
53
12
22
SEL
21
(21A)
22
12
53
12
21
(21A)
SEL
V2
V1

图12

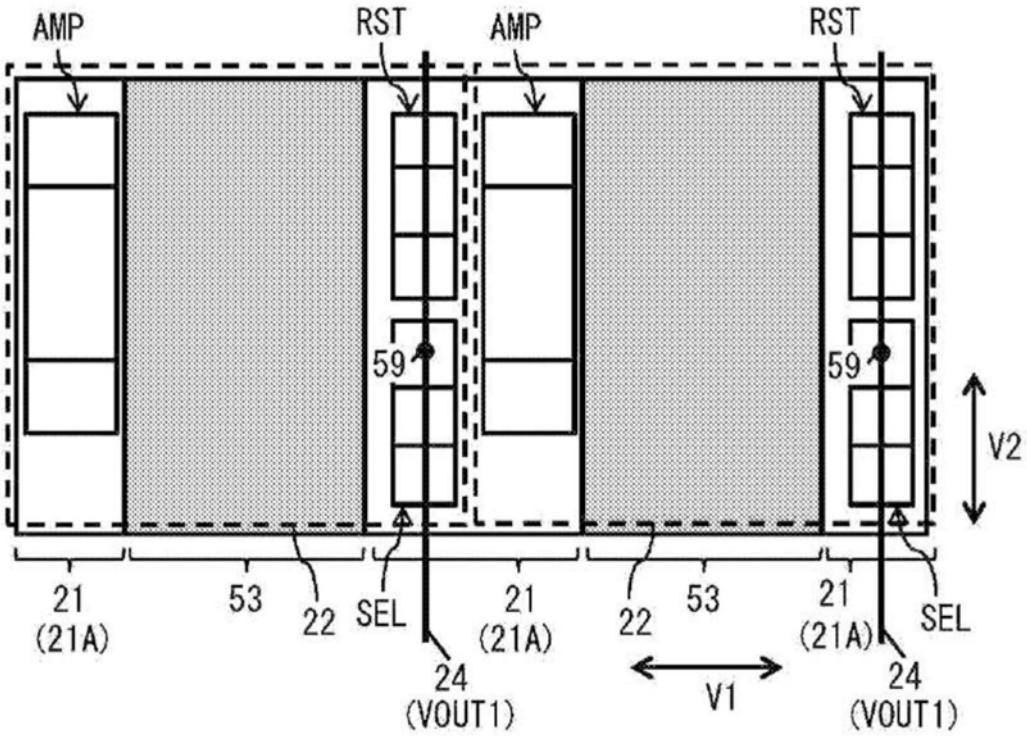

AMP
RST
AMP
RST
59
59
V2
21
(21A)
53
22
SEL
21
(21A)
22
53
21
(21A)
SEL
24
(VOUT1)
V1
24
(VOUT1)

图13

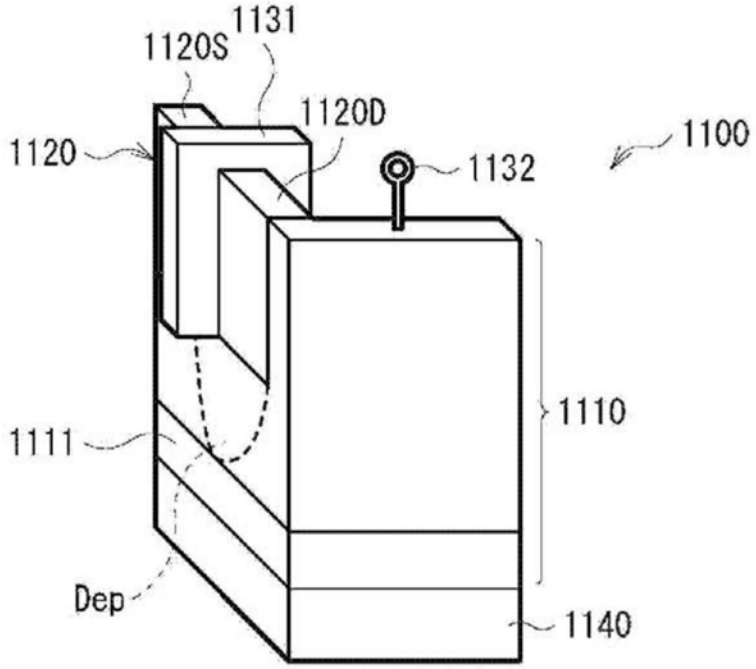

1131
1120S
1120D
1120
1132
1100
1110
1111
Dep
1140

图14A

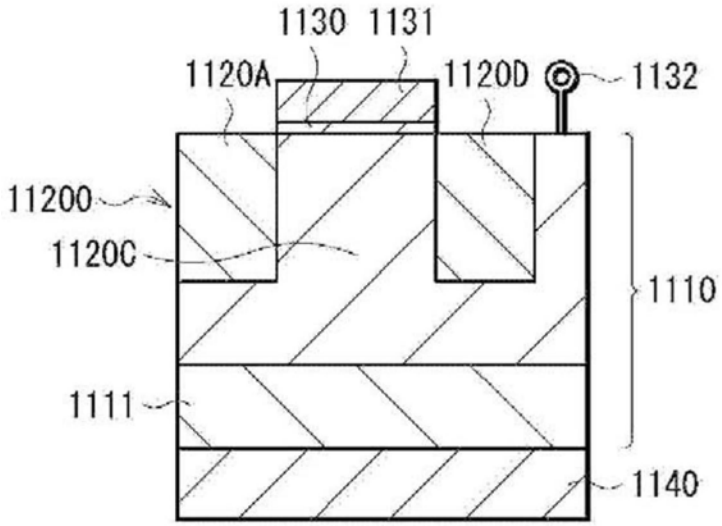

1130 1131
1120A
1120D
1132
11200
1120C
1110
1111
1140

图14B

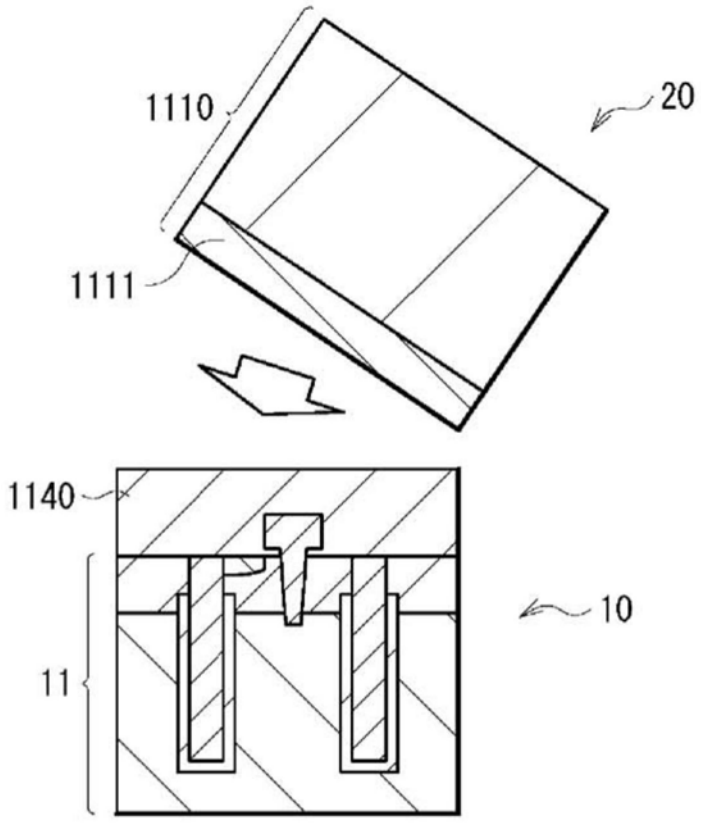

1110
20
1111
1140
10
11

图15

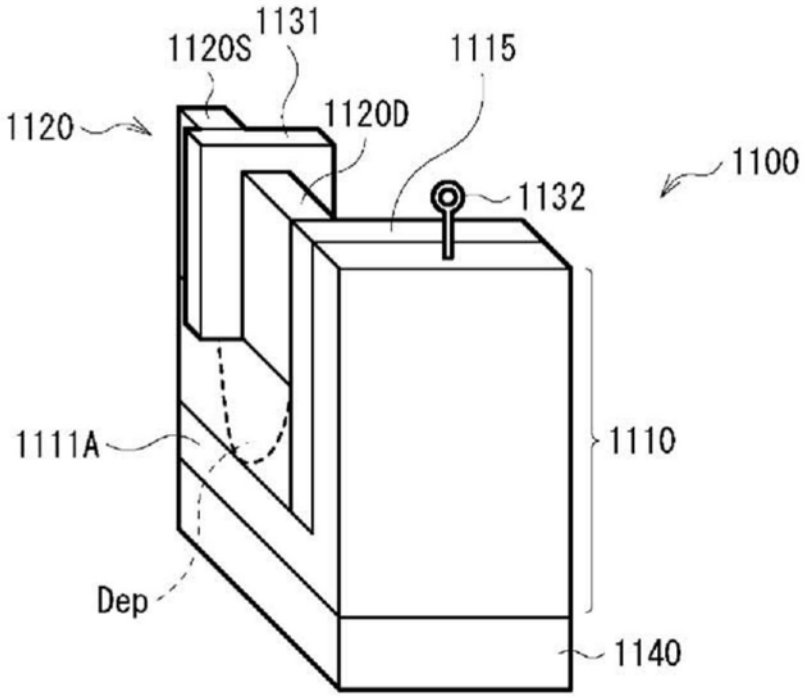

1131
1120S
1115
1120
1120D
1100
1132
1111A
1110
Dep
1140

图16

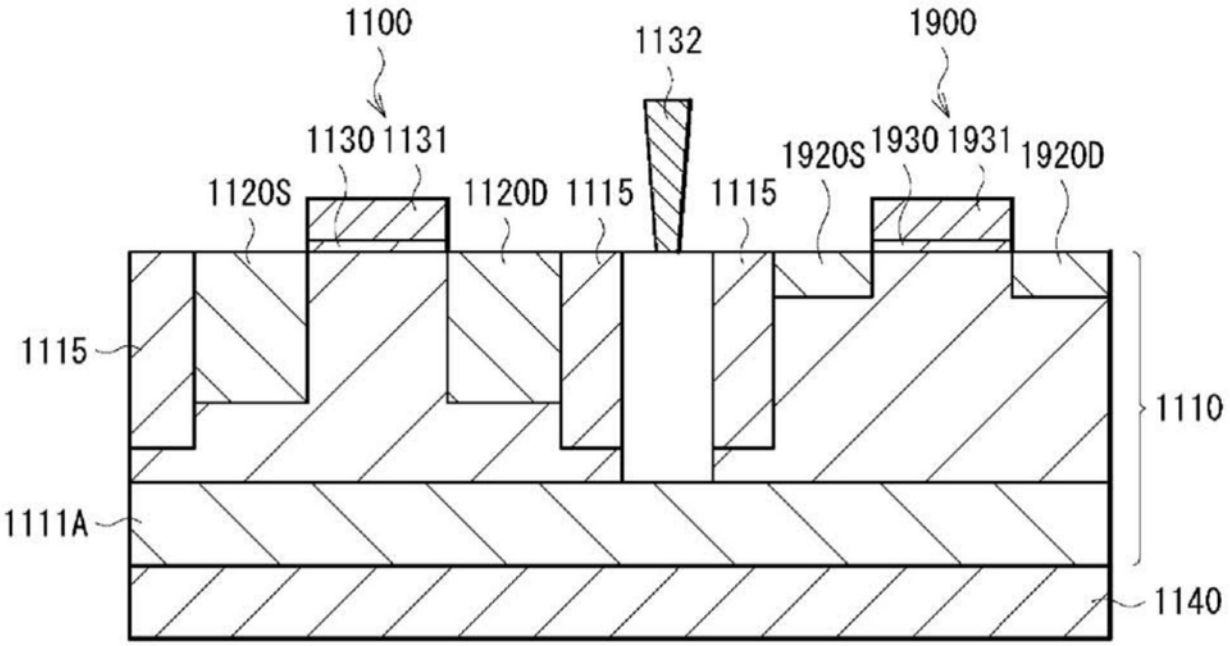

1100
1132
1900
1130 1131
1120S
1120D
1115
1115
1920S
1930 1931
1920D
1115
1110
1111A
1140

图17

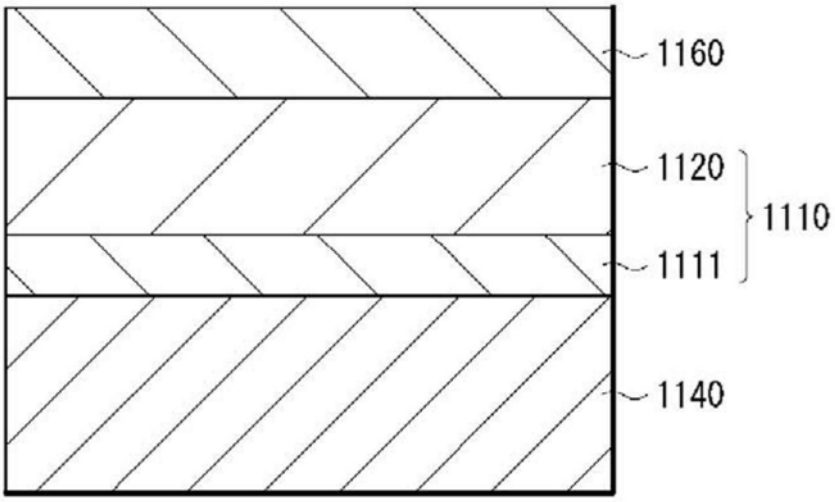

1160
1120
1110
1111
1140

图18

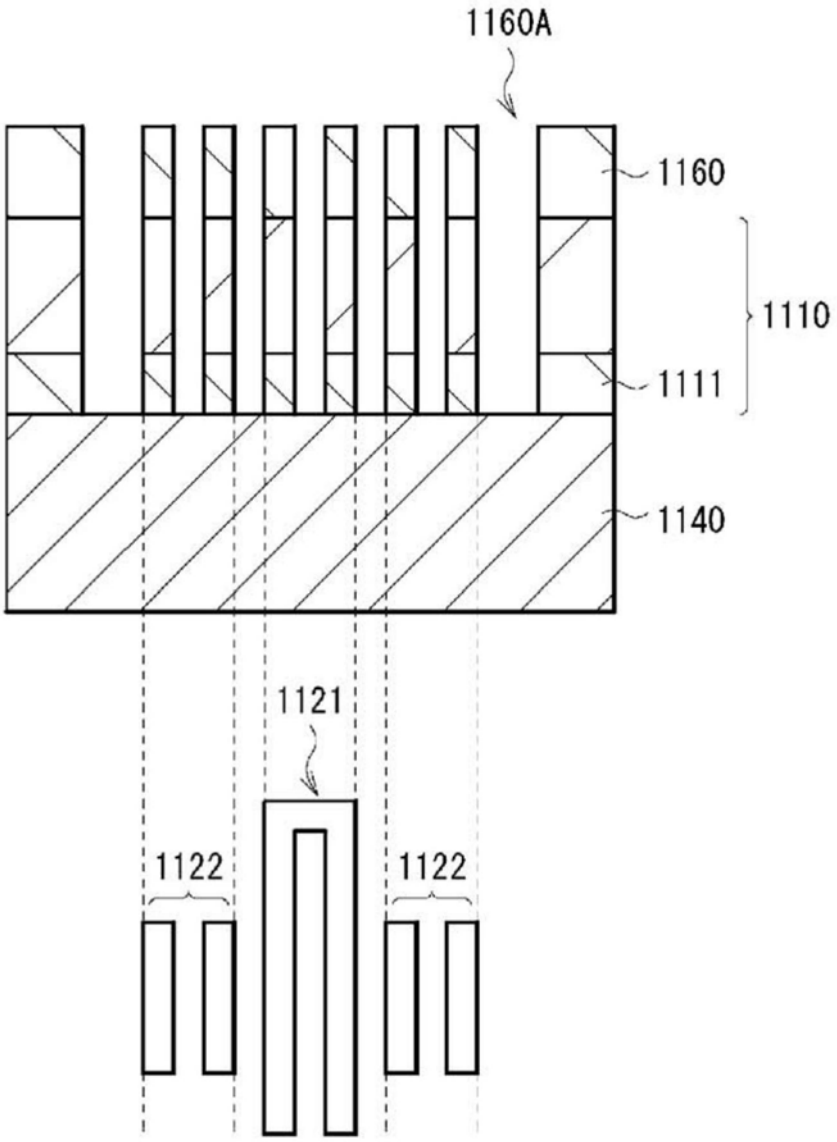



图19

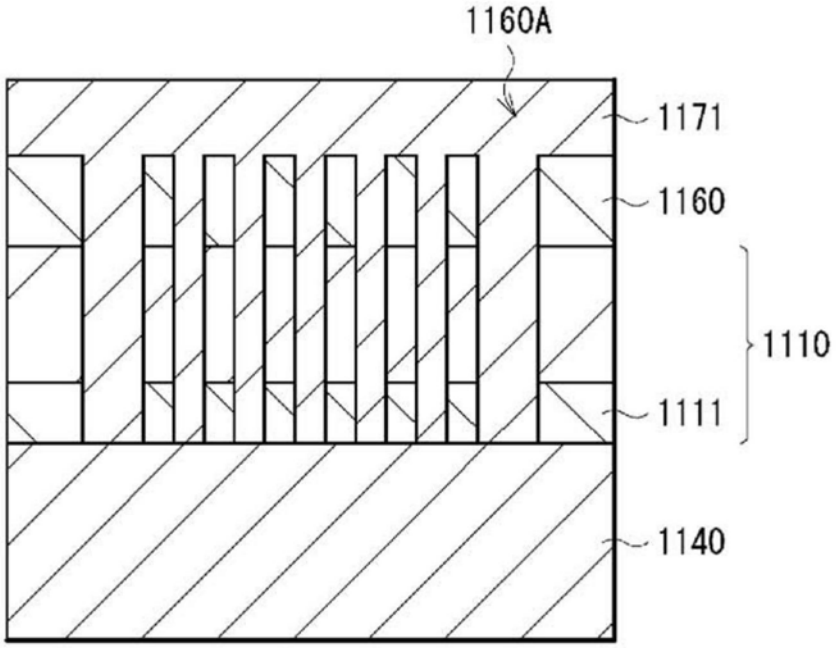

1160A
1171
1160
1110
1111
1140

图20

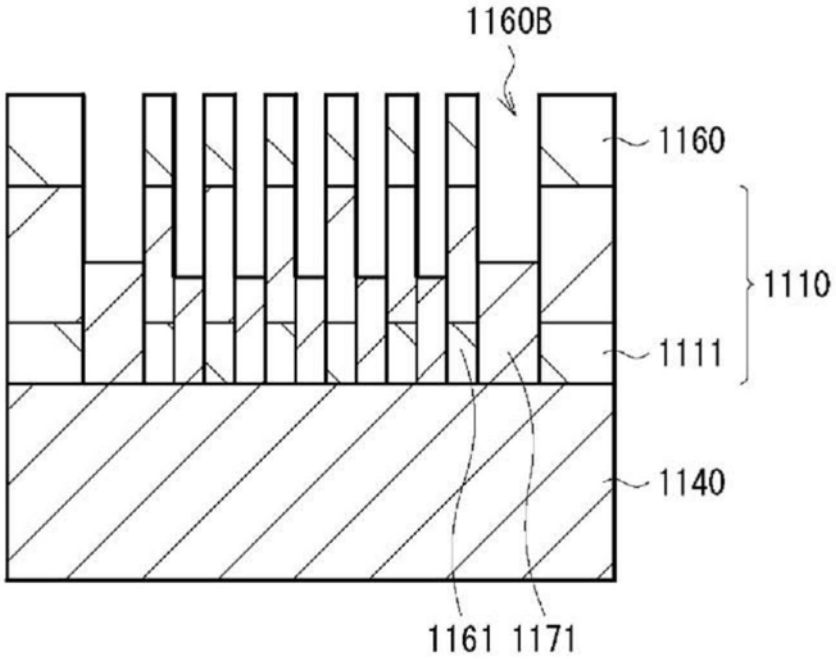

1160B
1160
1110
1111
1140
1161
1171

图21

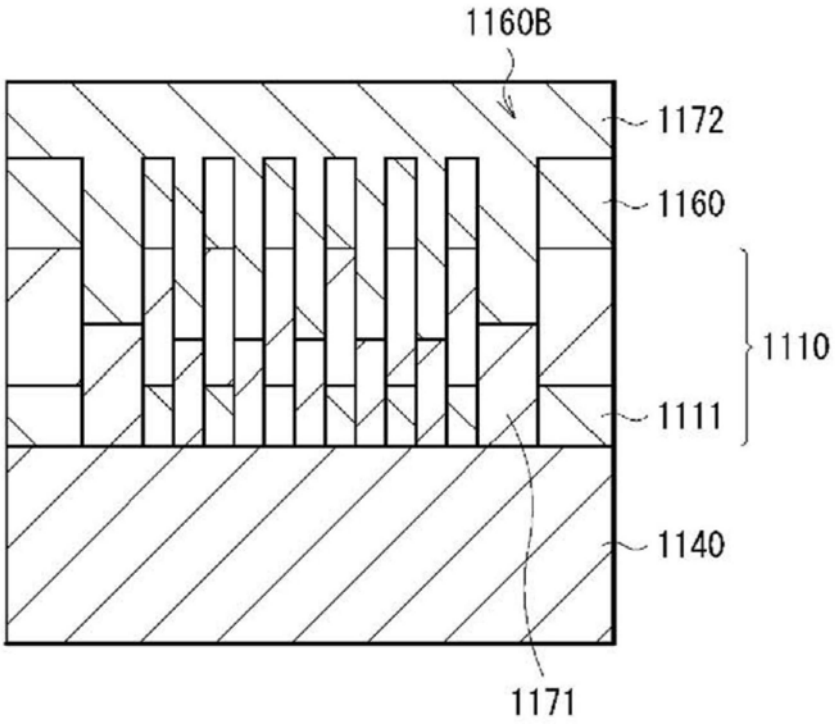



图22

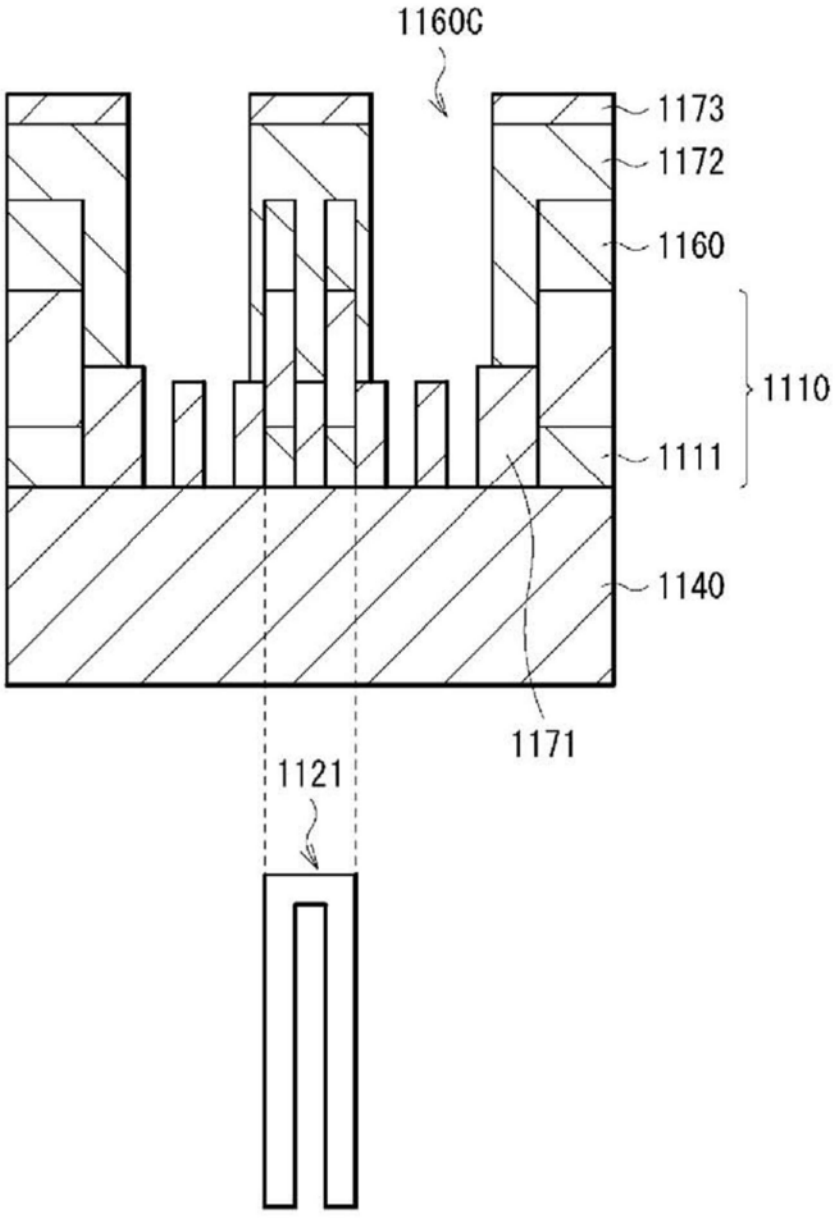



图23

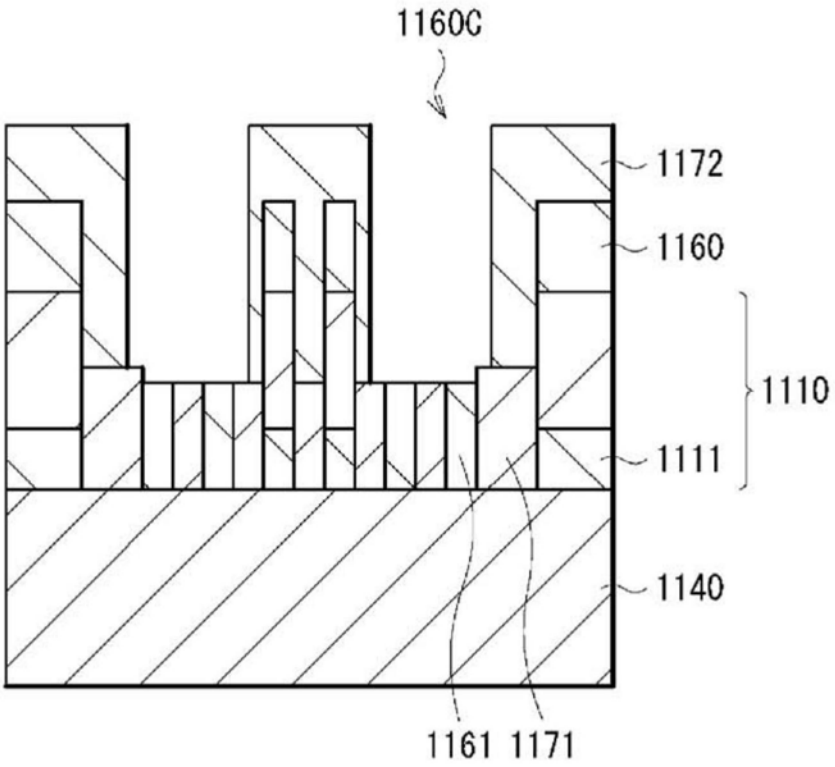



图24

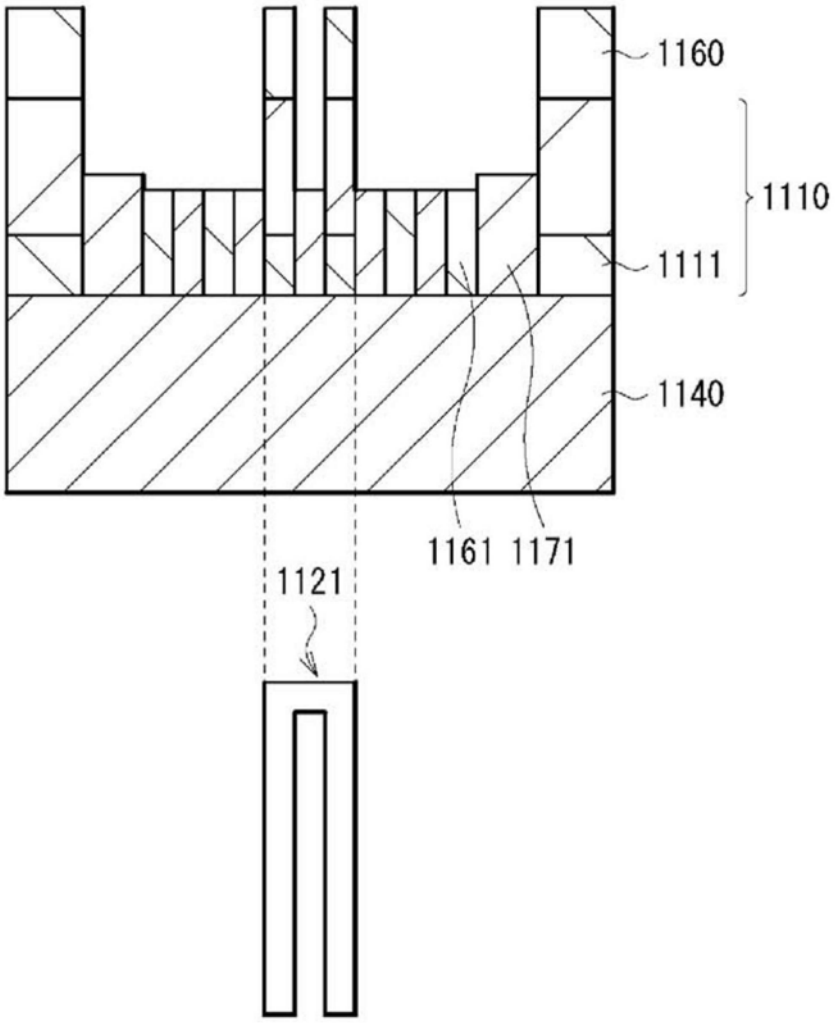



图25

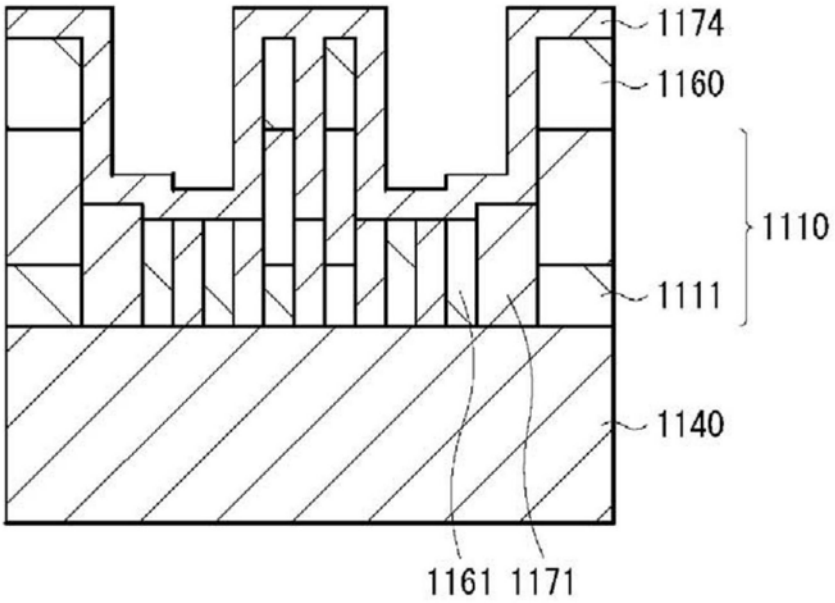



图26

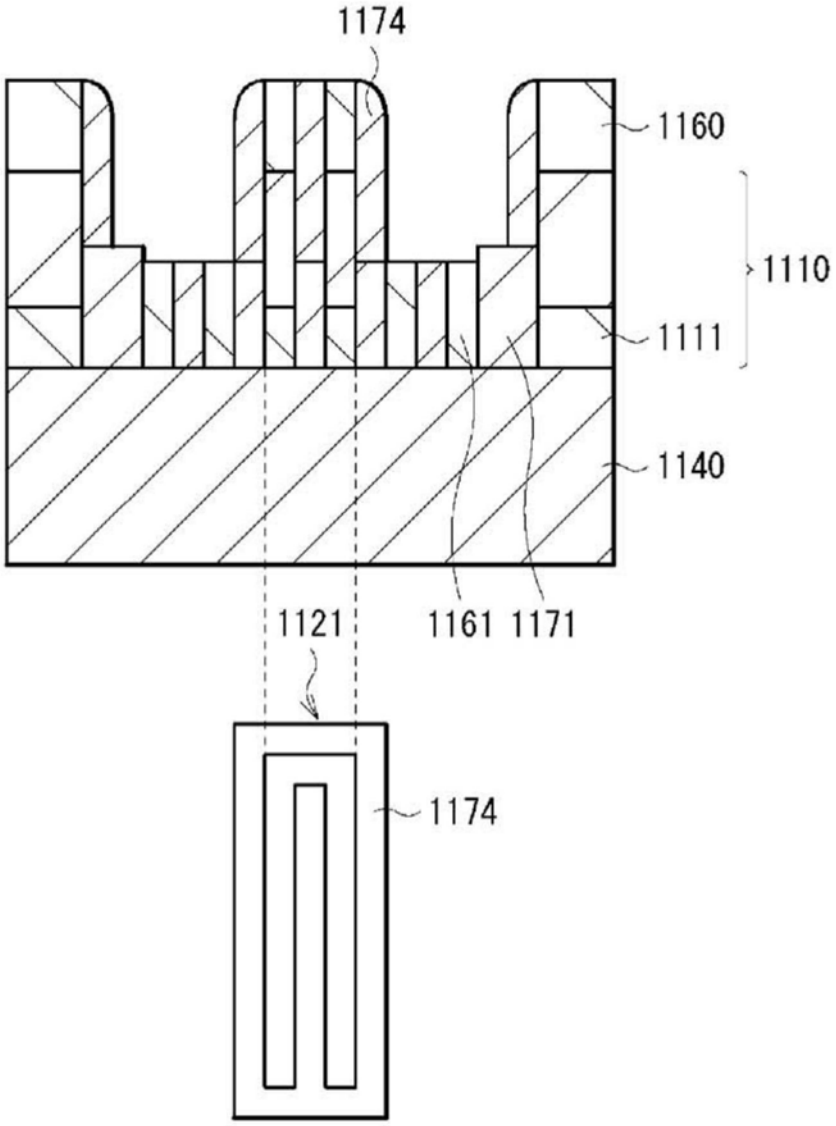



图27

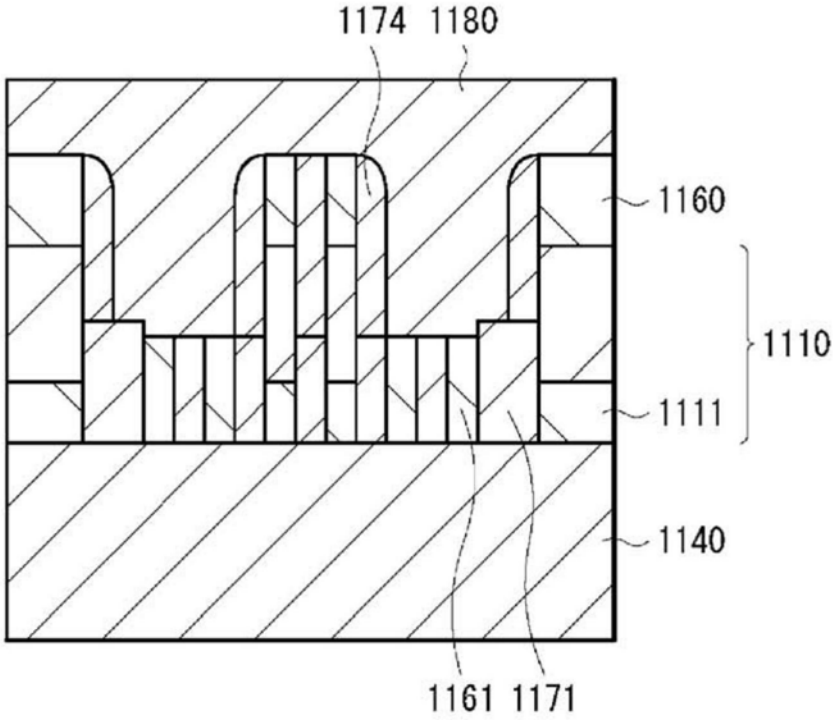

1174
1180
1160
1110
1111
1140
1161
1171

图28

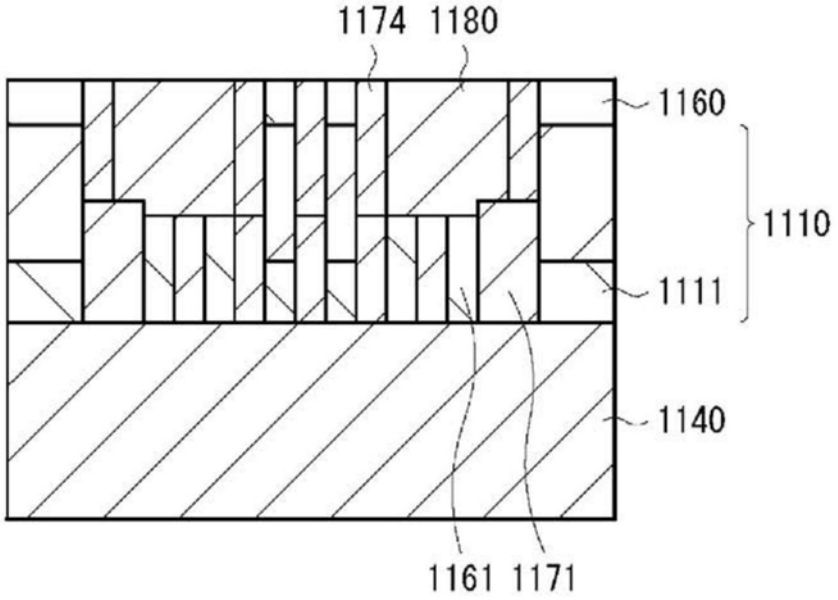

1174
1180
1160
1110
1111
1140
1161
1171

图29

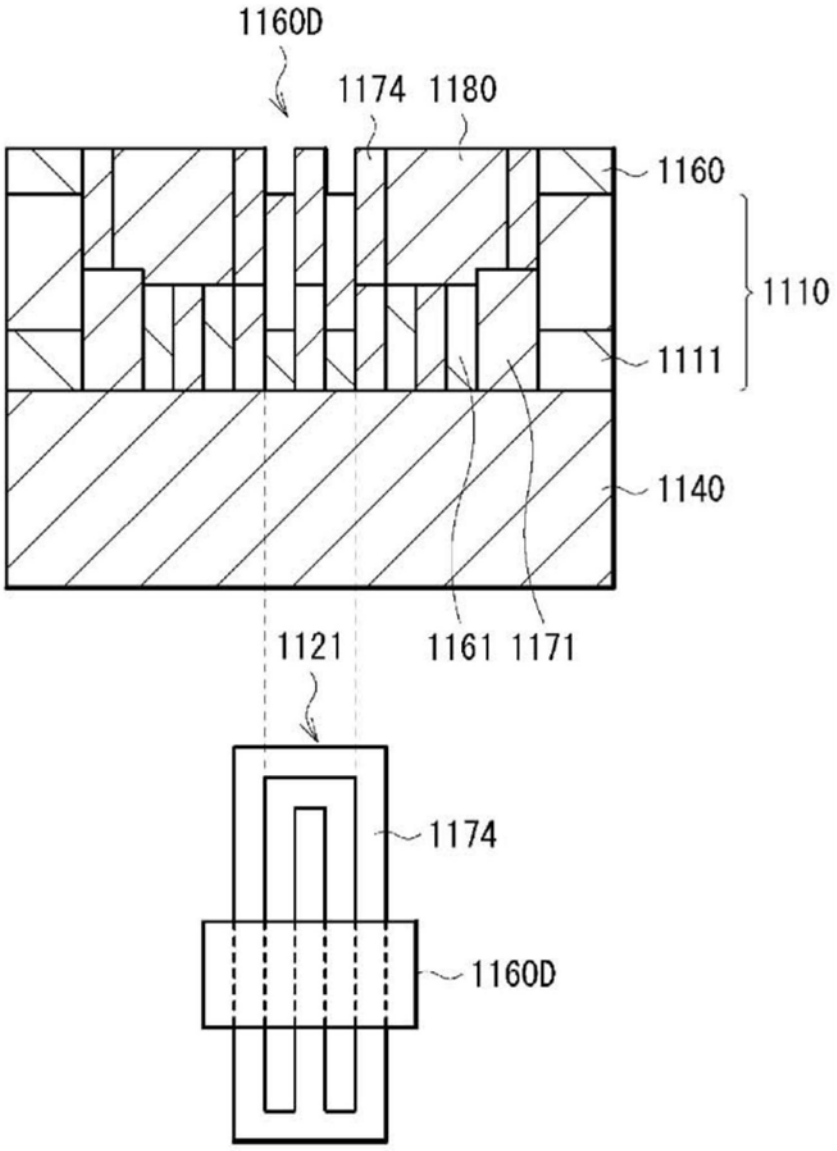

1160D
1174
1180
1160
1110
1111
1140
1121
1161
1171
1174
1160D

图30

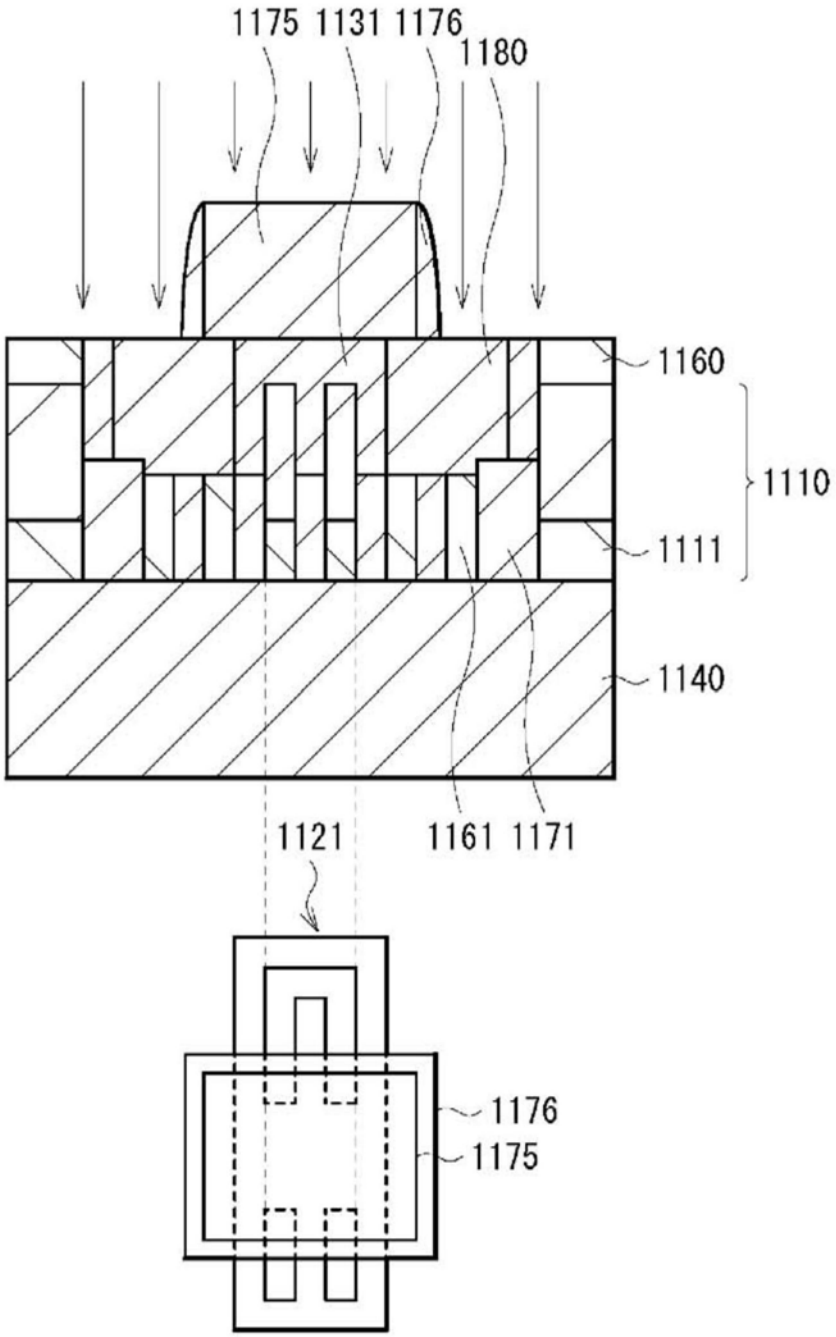

1175 1131 1176
1180
1160
1110
1111
1140
1121
1161 1171
1176
1175

图31

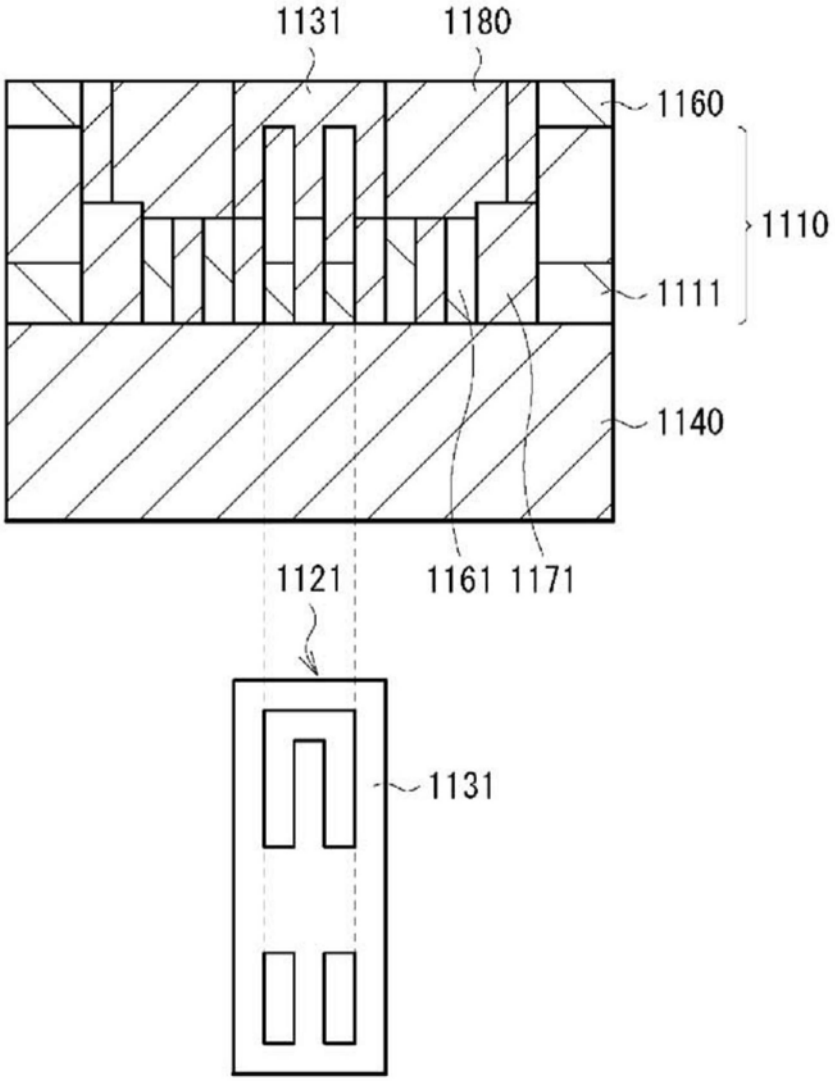



图32

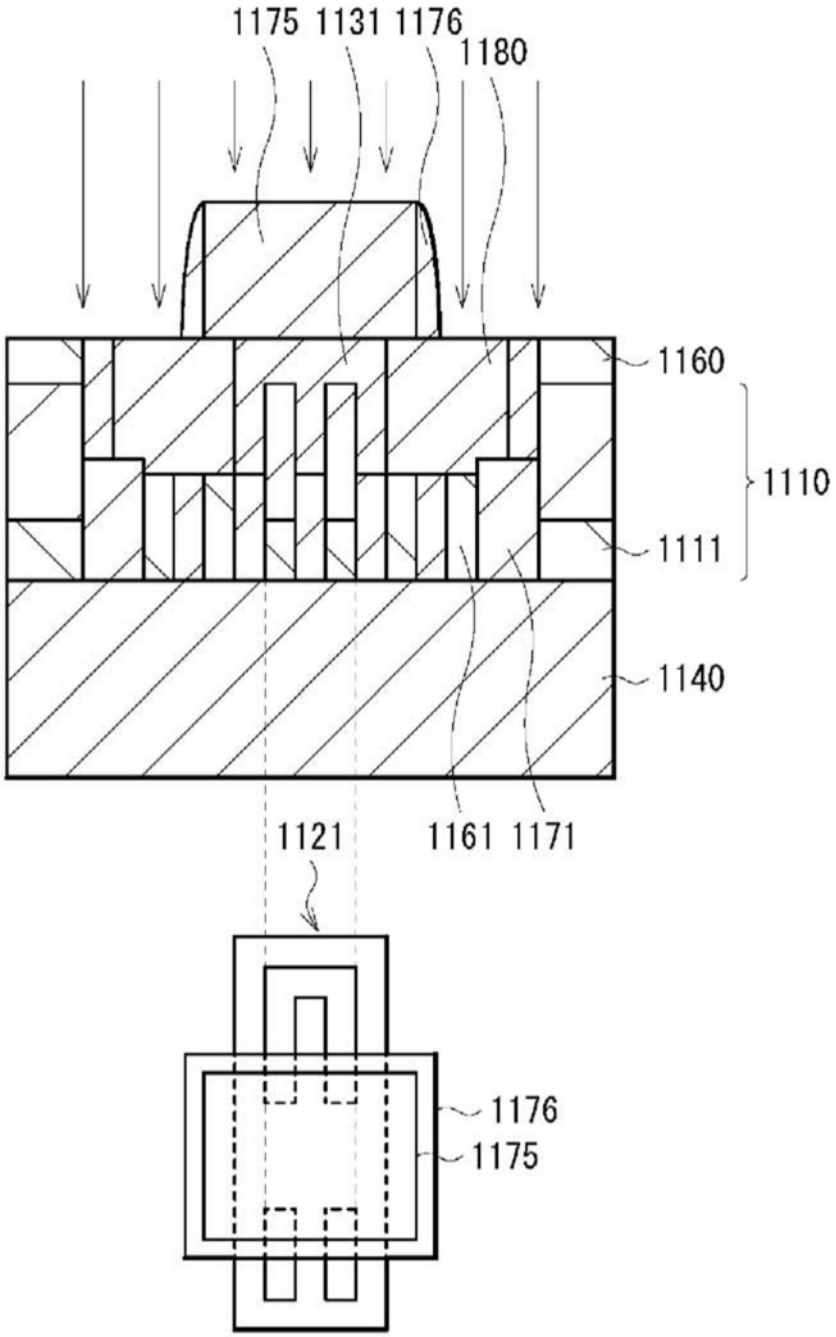

1175 1131 1176
1180
1160
1110
1111
1140
1121
1161 1171
1176
1175

图33

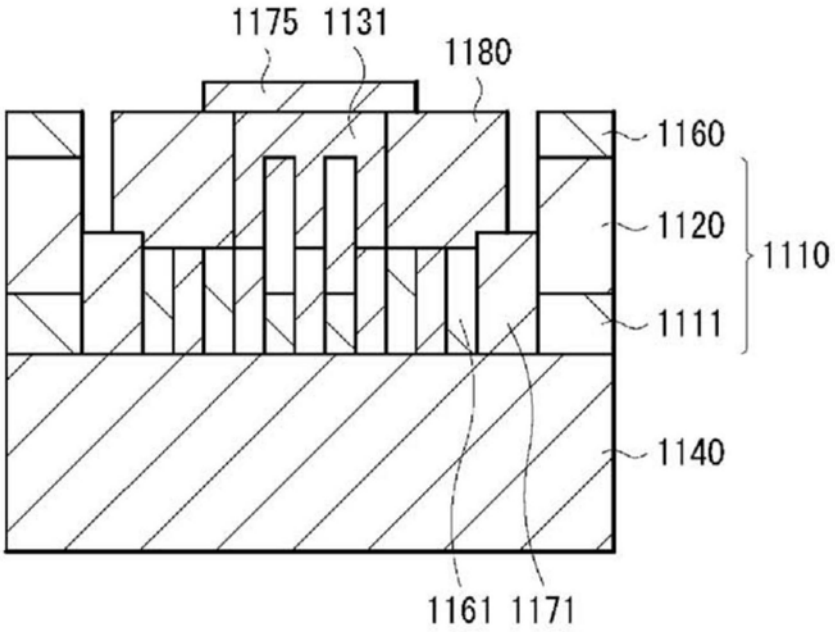



图34

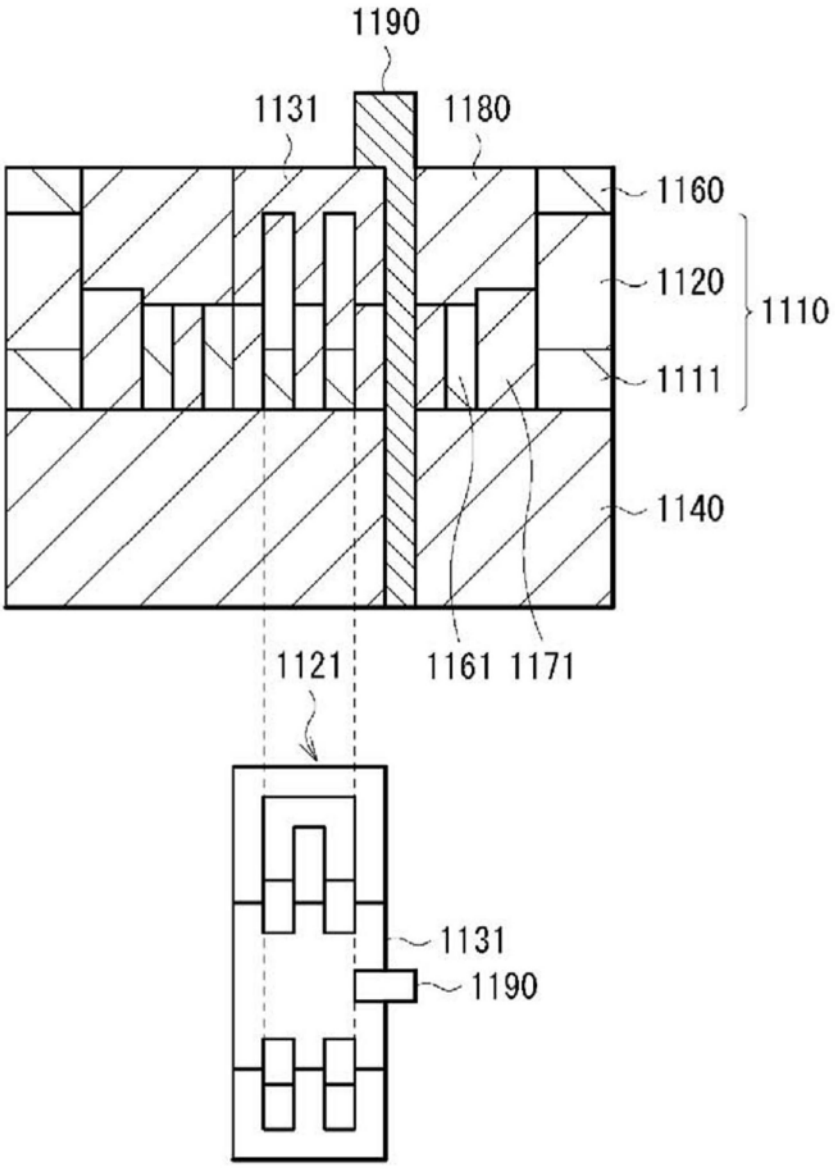

1190
1131
1180
1160
1120
1110
1111
1140
1121
1161
1171
1131
1190

图35

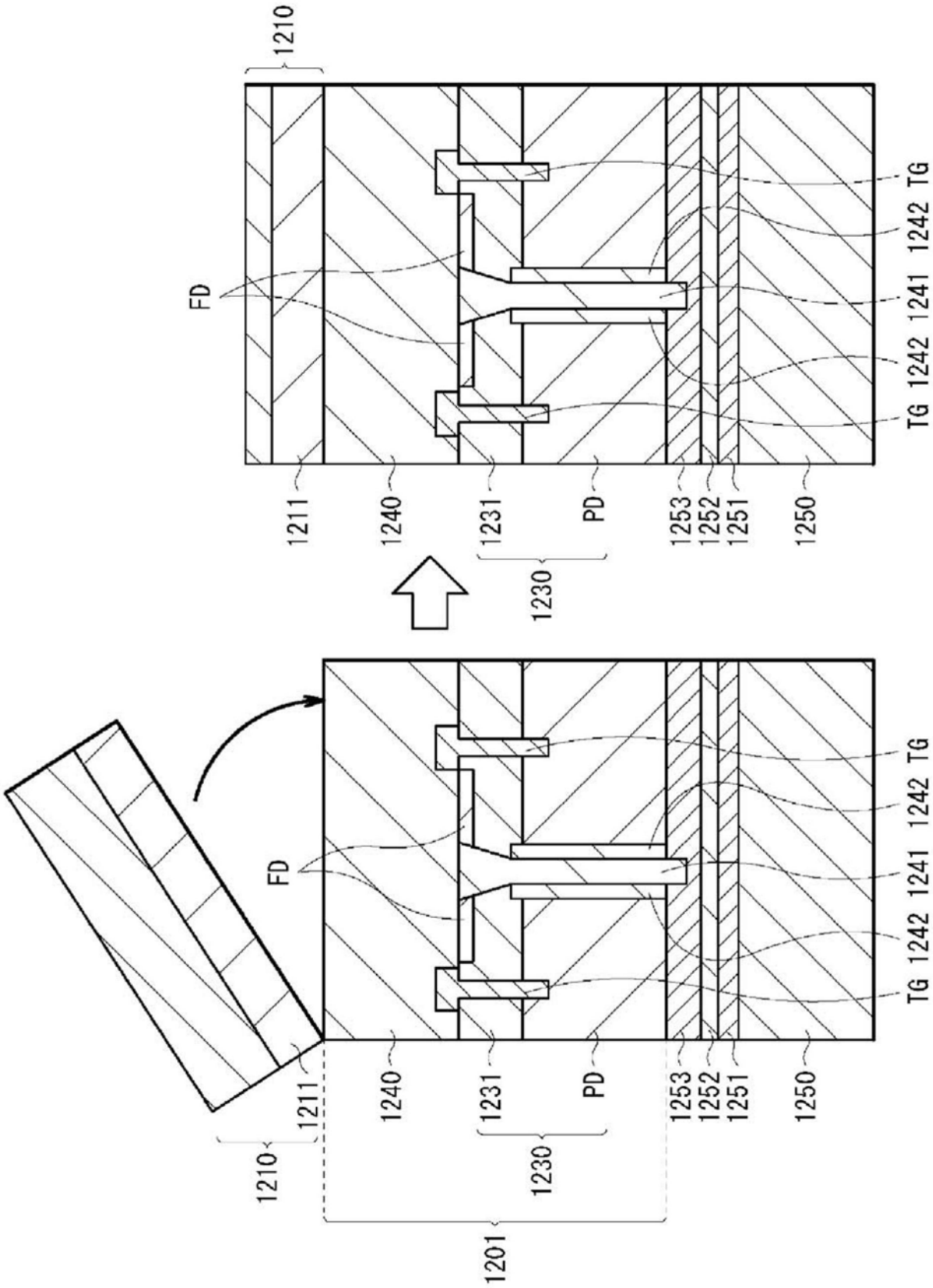

1210
FD
TG
1242
1241
1242
TG
1211
1240
1231
PD
1253
1252
1251
1250
1230
1201

图36

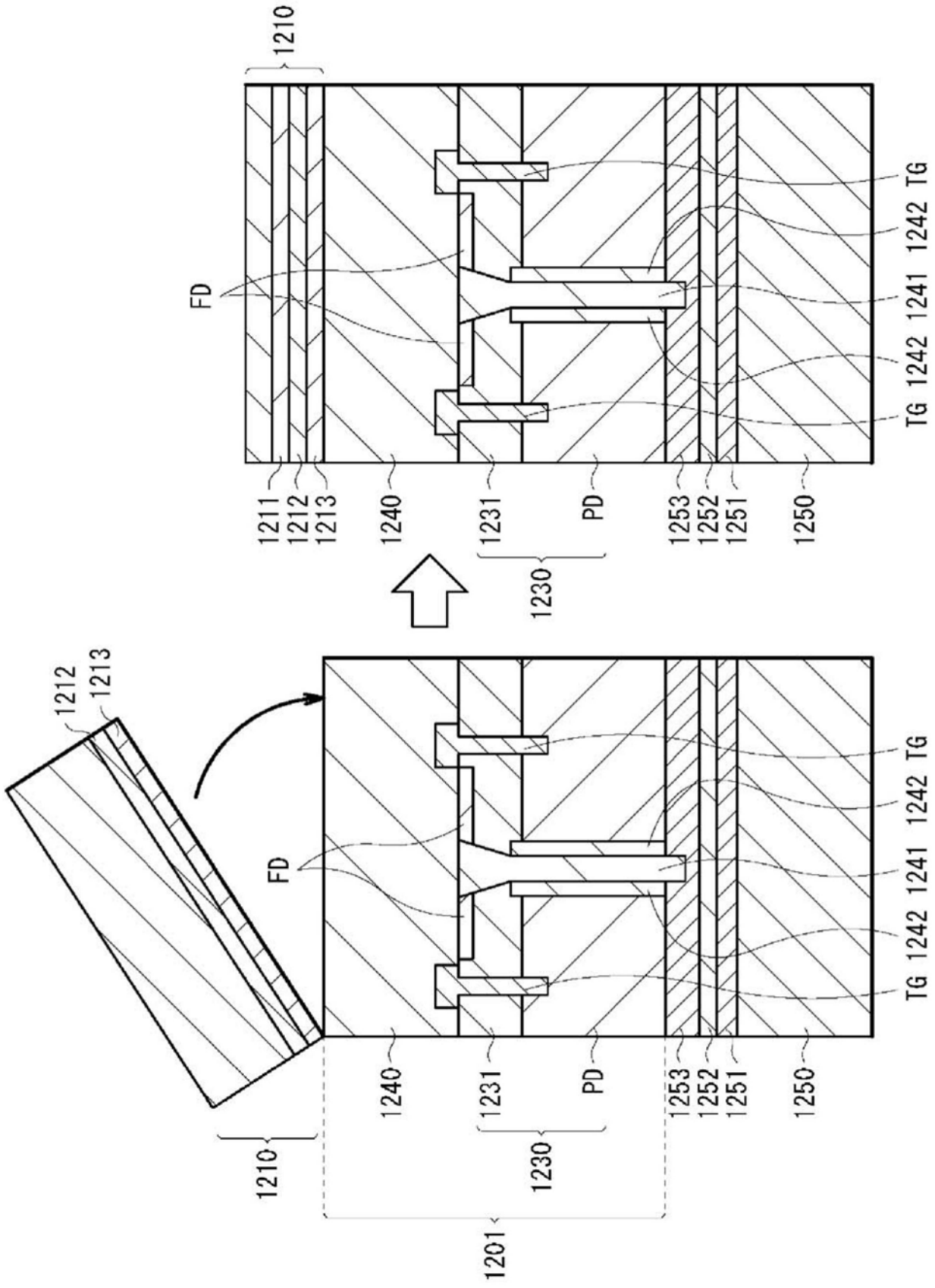

1210
FD
TG
1242
1241
1242
TG
1242
1241
TG
1211
1212
1213
1240
1231
PD
1253
1252
1251
1250
1230
1212
1213
FD
TG
1242
1241
1242
TG
1242
1241
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

图37

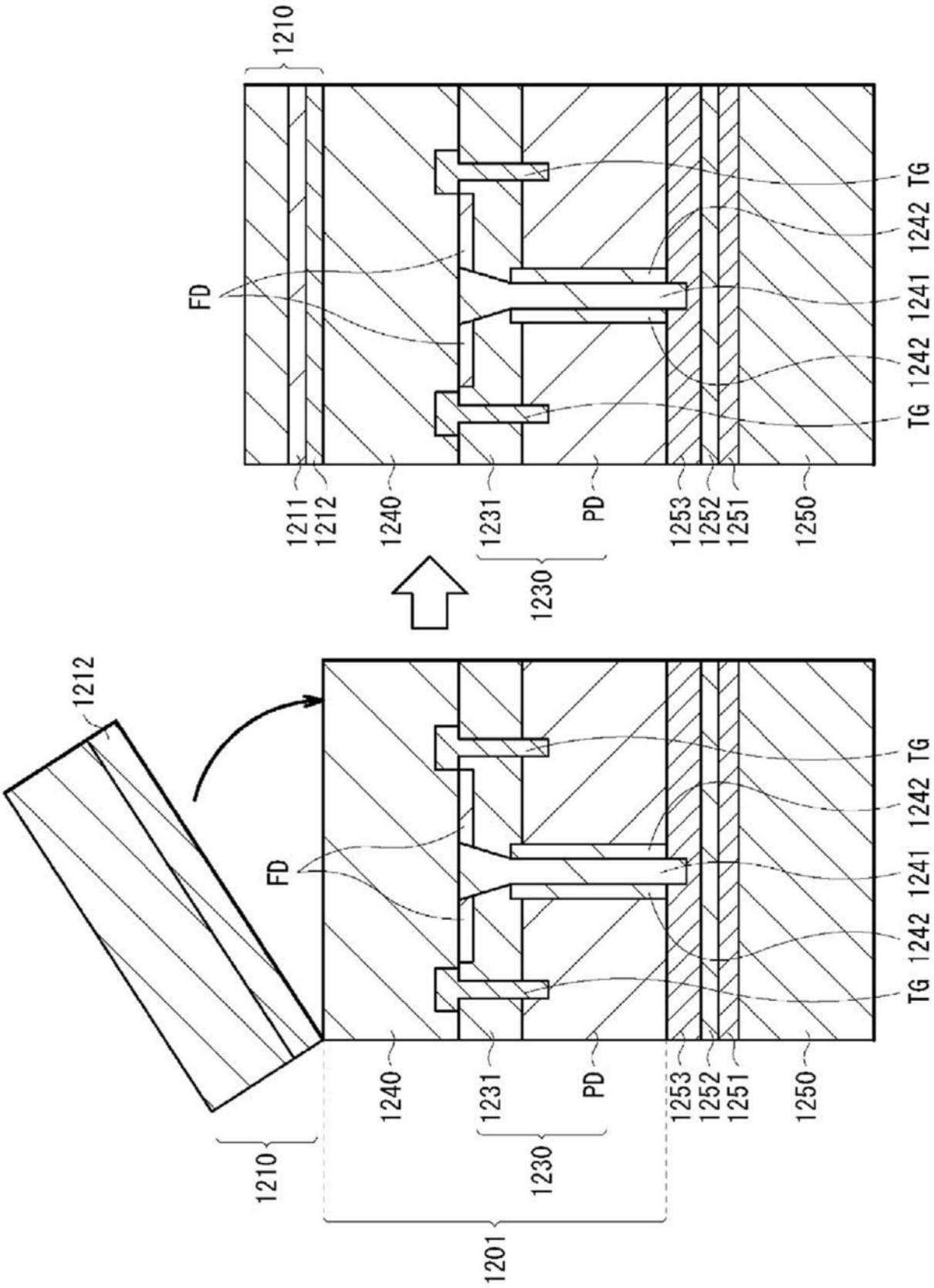

1210
FD
TG
1242
1241
1242
TG
1211
1212
1240
1231
PD
1253
1252
1251
1250
1230
1212
FD
TG
1242
1241
1242
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

图38

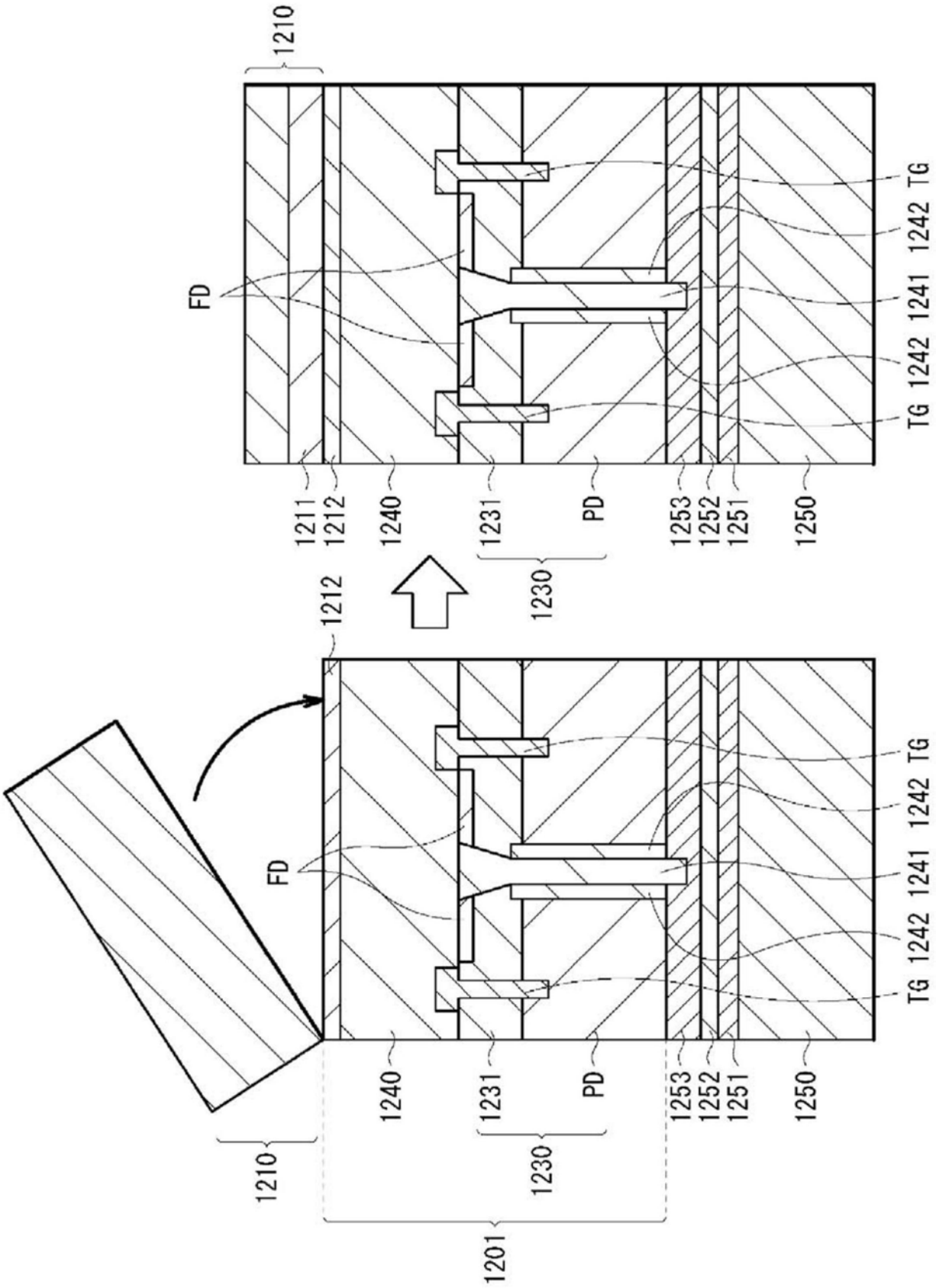

1210
FD
TG
1242
1241
TG
1242
TG
1211
1212
1240
1231
PD
1253
1252
1251
1250
1230
1212
FD
TG
1242
1241
TG
1242
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

图39

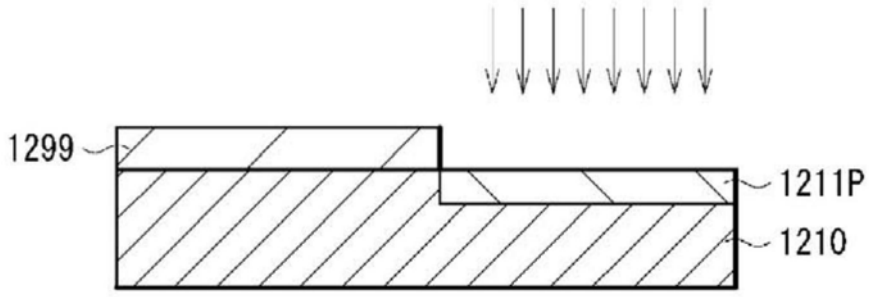



图40

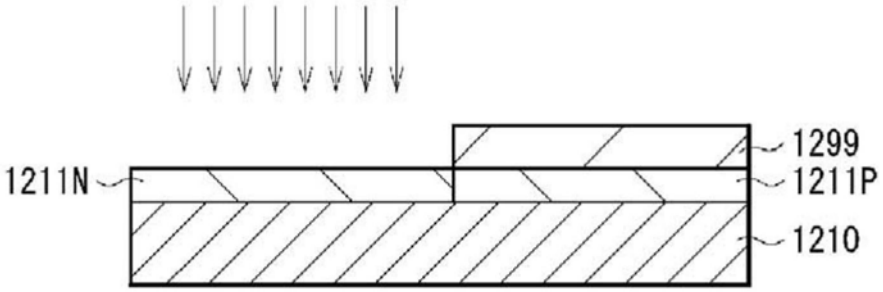



图41

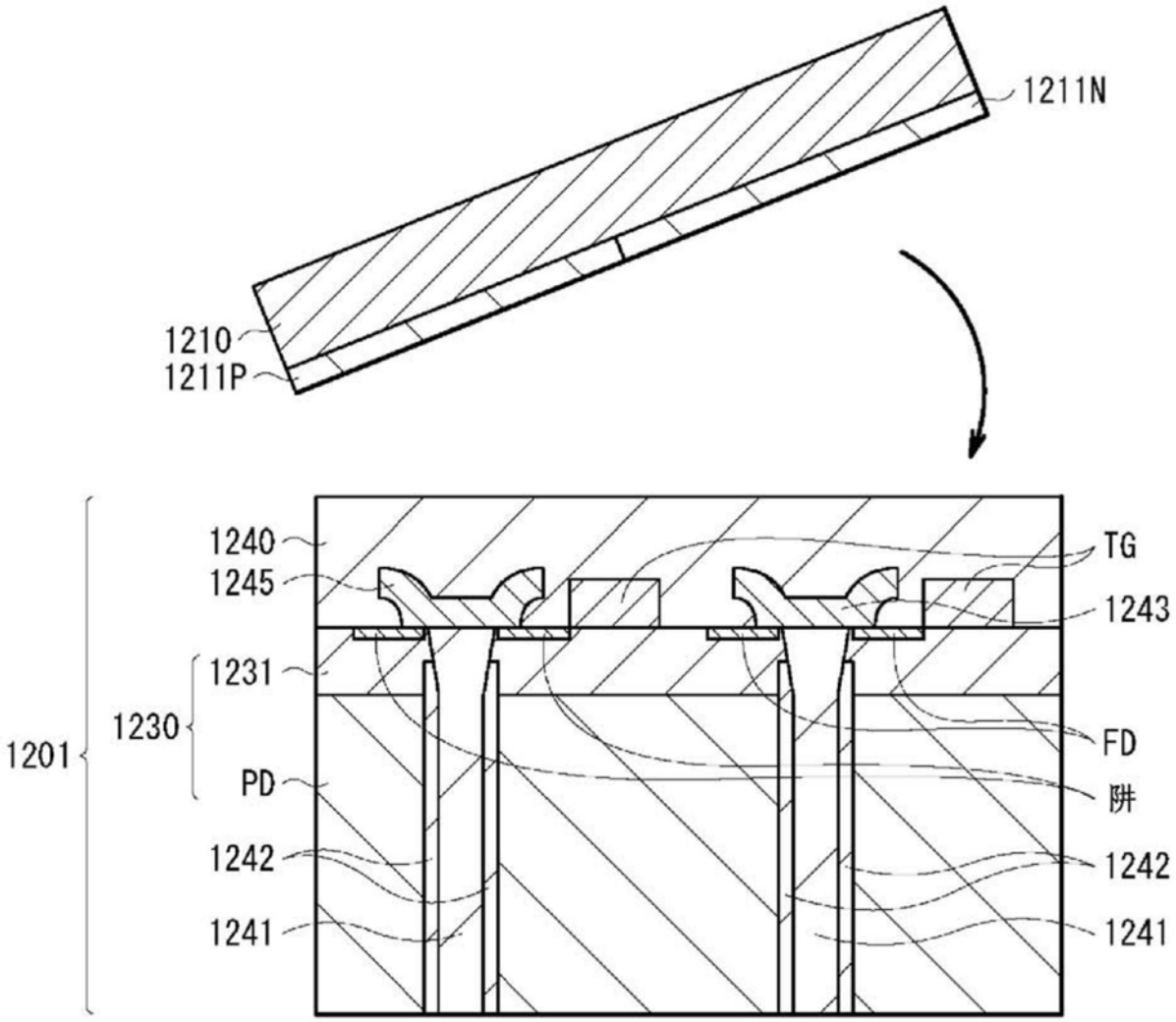

1211N
1210
1211P
1240
1245
1231
1230
1201
PD
1242
1241
TG
1243
FD
阱
1242
1241

图42

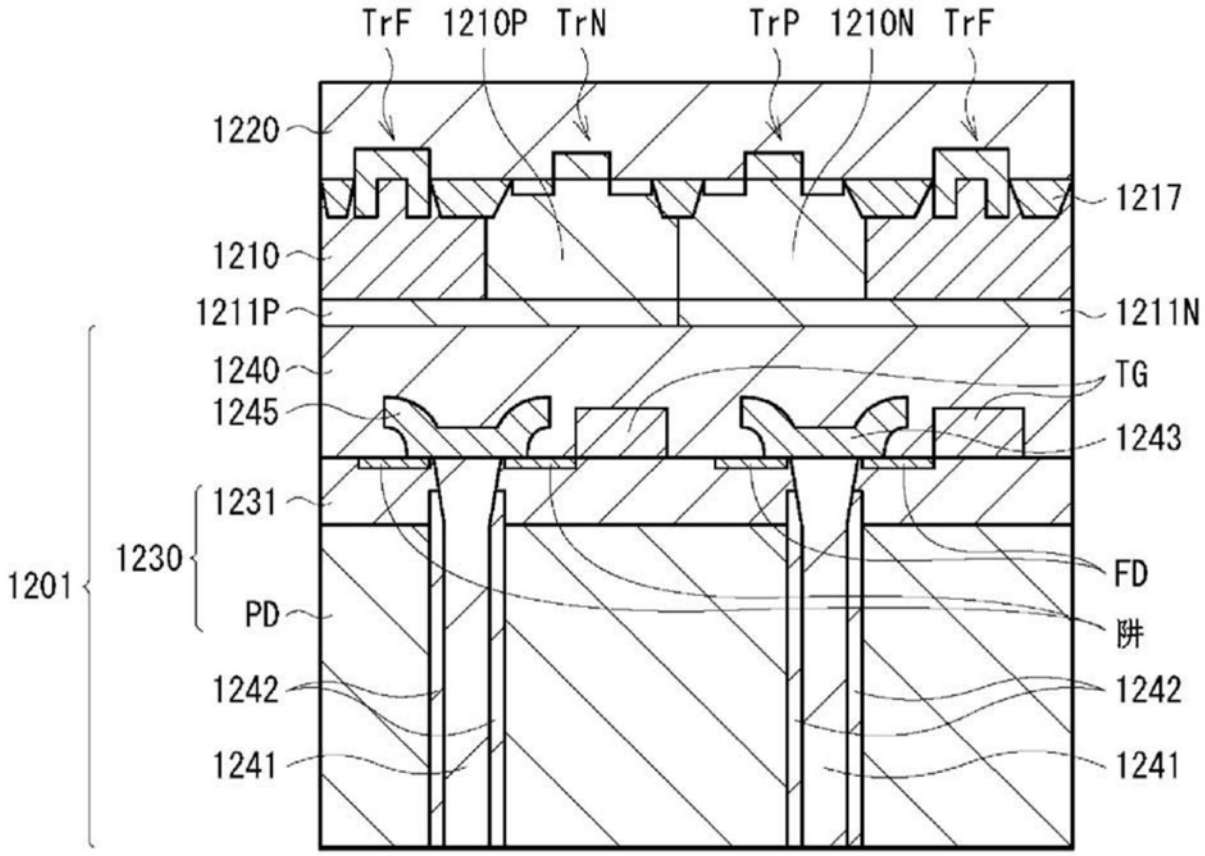

TrF
1210P
TrN
TrP
1210N
TrF
1220
1217
1210
1211P
1211N
1240
TG
1245
1243
1231
1230
1201
FD
PD
阱
1242
1242
1241
1241

图43

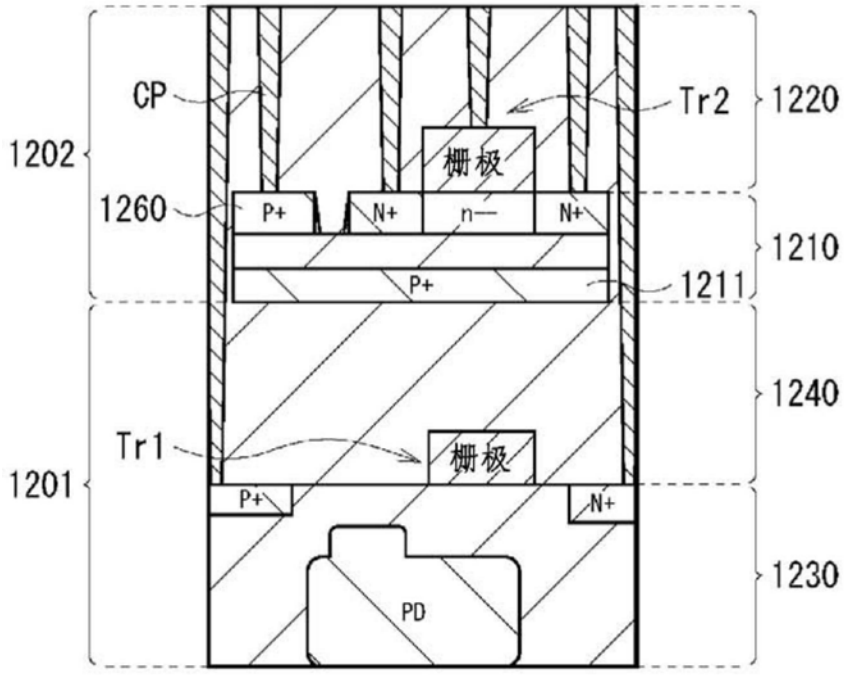

CP
Tr2
1220
1202
栅极
1260
P+
N+
n—
N+
1210
P+
1211
1240
Tr1
栅极
1201
P+
N+
1230
PD

图44

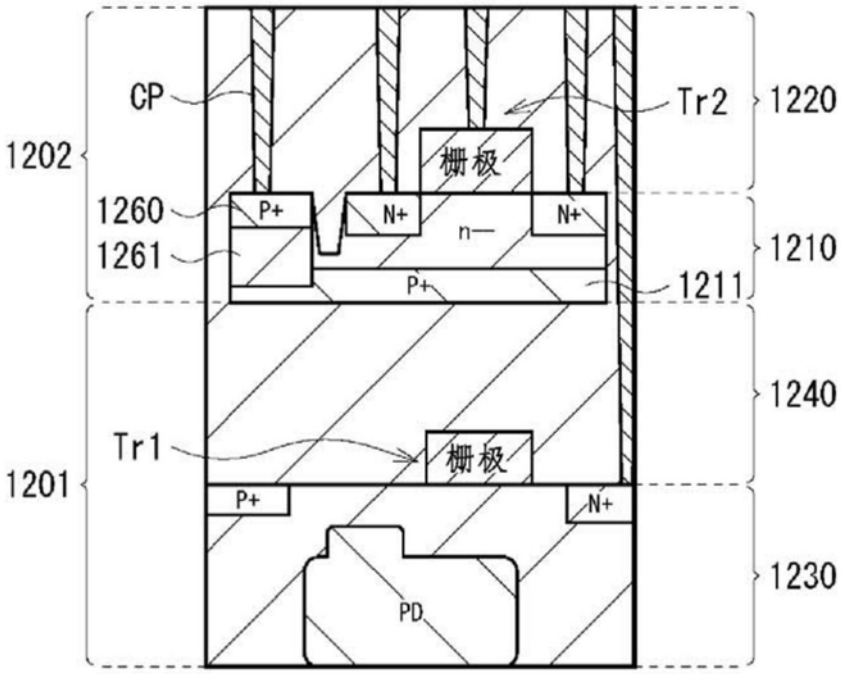

CP
Tr2
1220
1202
栅极
1260
P+
N+
N+
n—
1261
1210
P+
1211
1240
Tr1
栅极
1201
P+
N+
1230
PD

图45

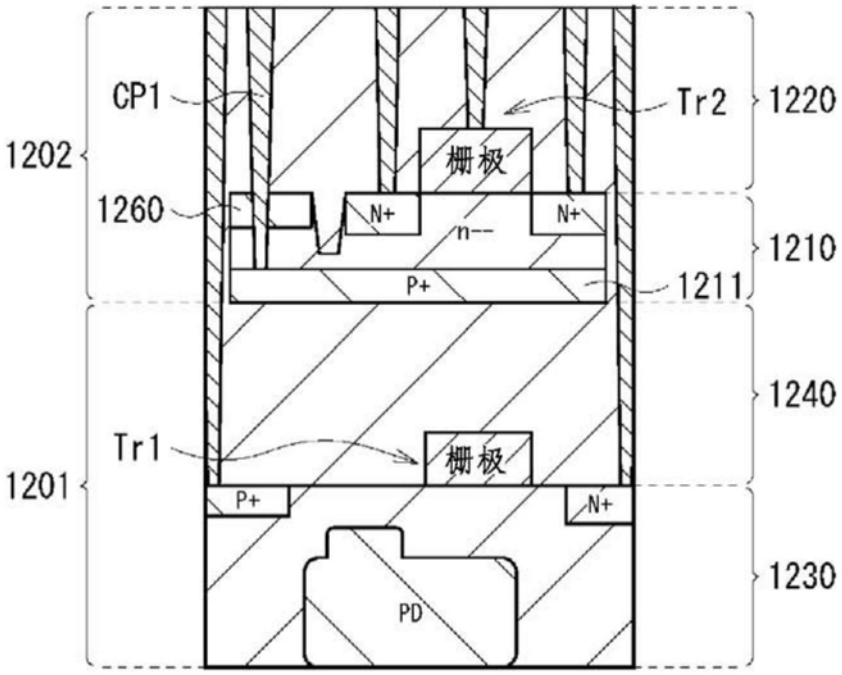

CP1
Tr2
1220
1202
栅极
1260
N+
N+
n—
1210
P+
1211
1240
Tr1
栅极
1201
P+
N+
1230
PD

图46

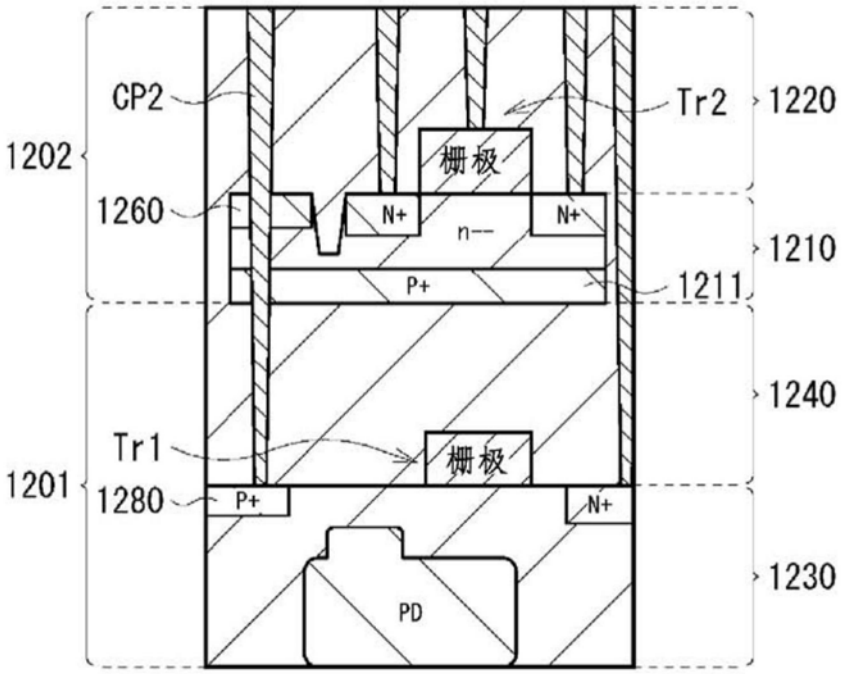

CP2
Tr2
1220
1202
栅极
1260
N+
n--
N+
1210
P+
1211
1240
Tr1
栅极
1201
1280
P+
N+
1230
PD

图47

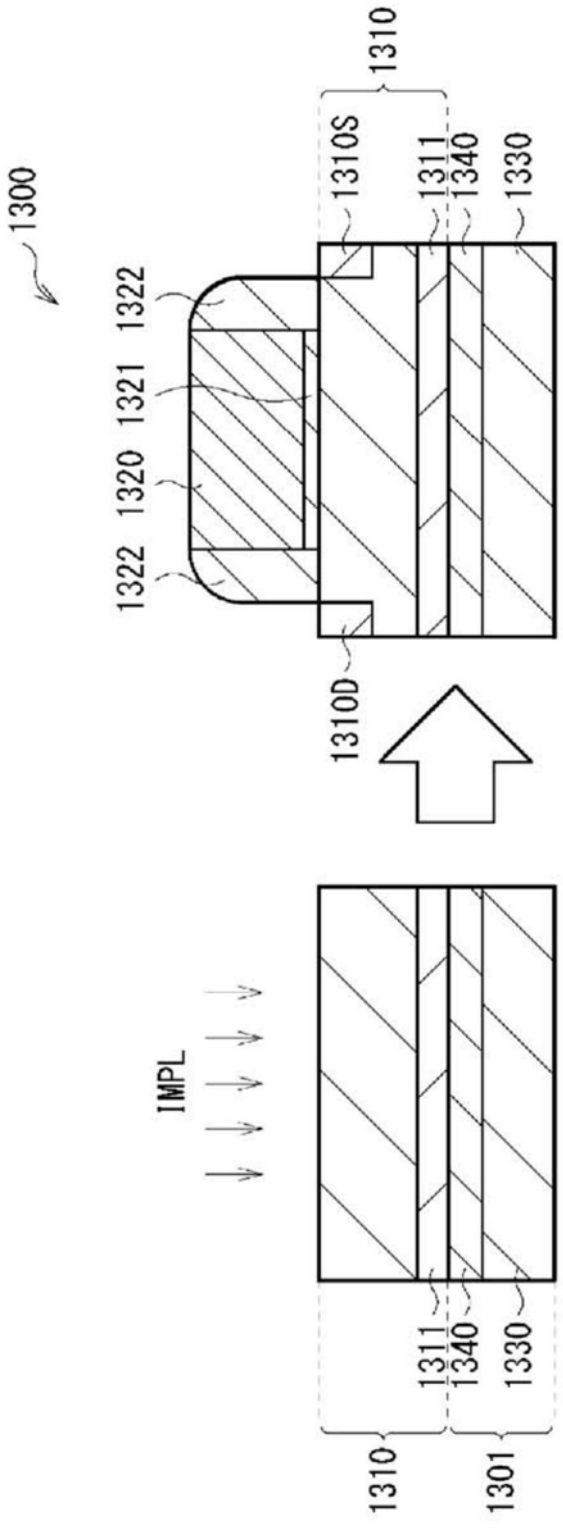

1300
1322
1321
1320
1322
1310S
1311
1340
1330
1310
1310D
IMPL
1311
1340
1330
1310
1301

图48

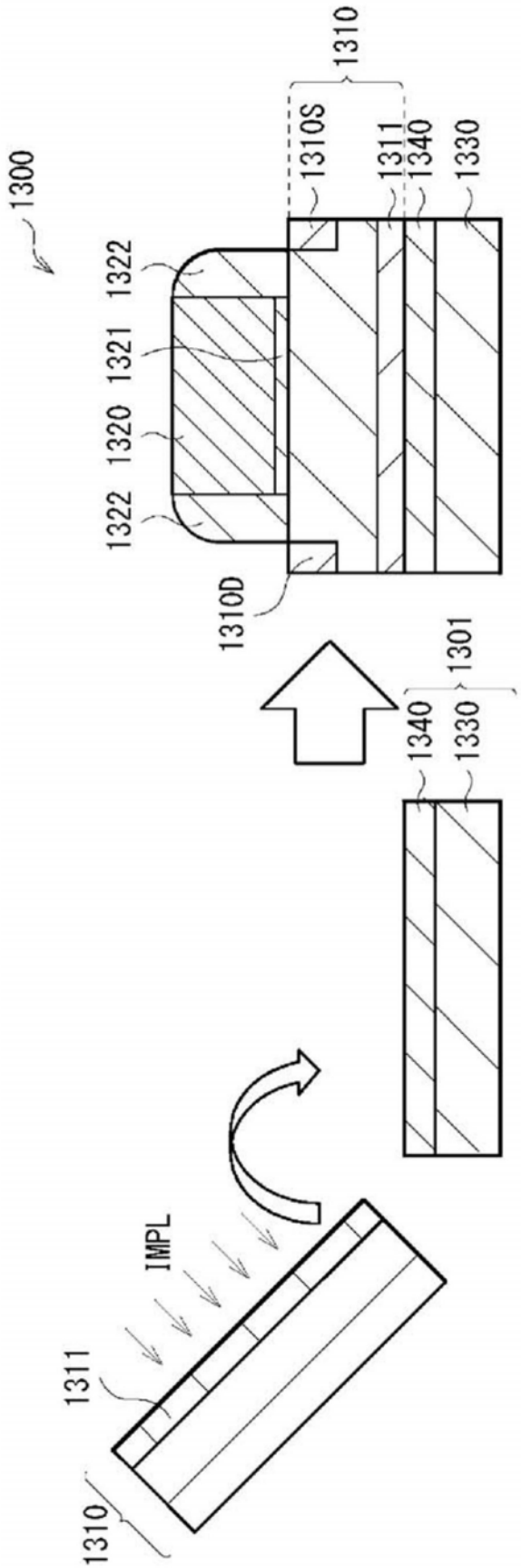

1300
1322
1321
1320
1322
1310D
1310S
1311
1340
1330
1310
1301
1340
1330
IMPL
1311
1310

图49

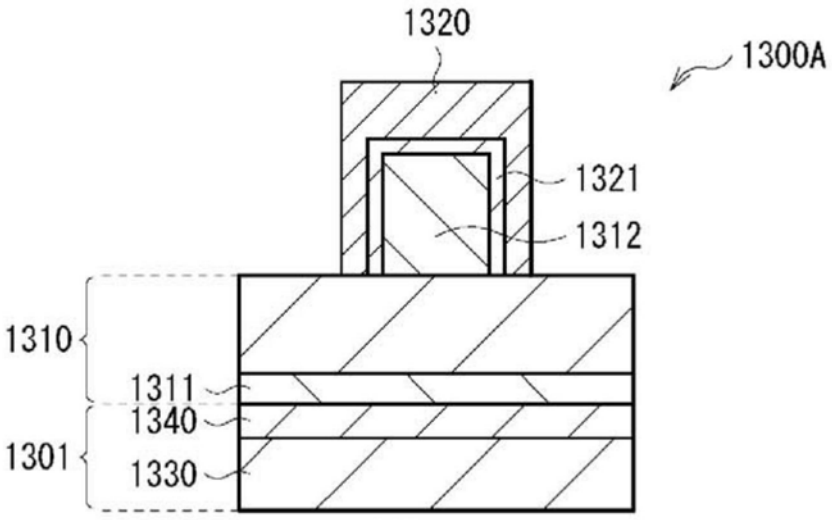

1320
1300A
1321
1312
1310
1311
1340
1301
1330

图50

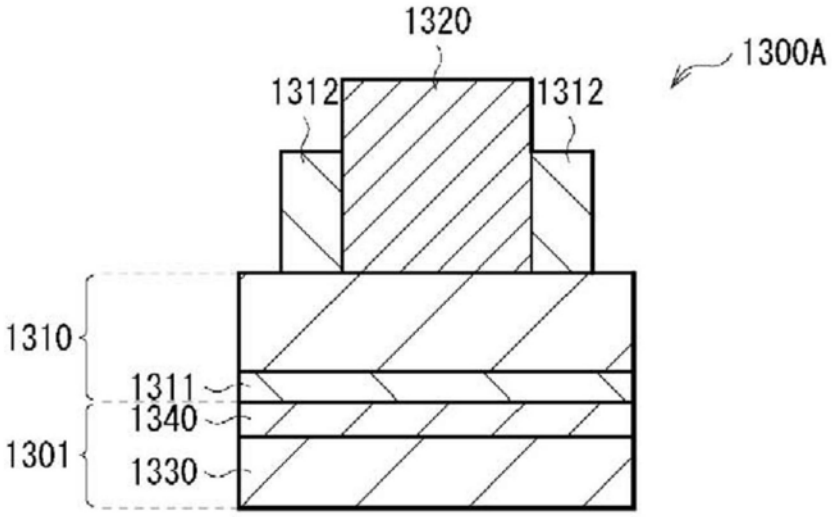

1320
1300A
1312
1312
1310
1311
1340
1301
1330

图51

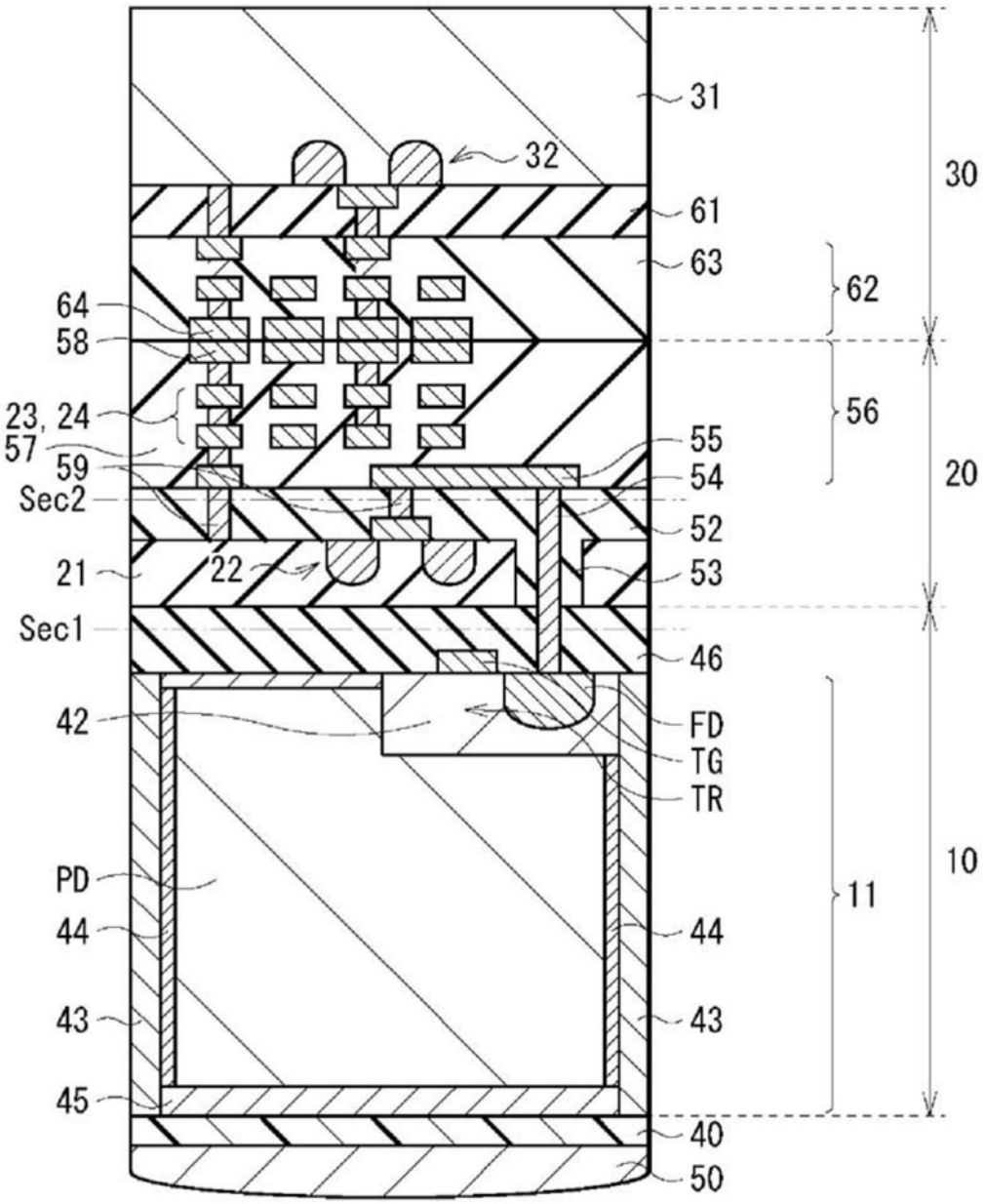

31
32
30
61
63
62
64
58
56
23, 24
57
55
59
54
20
Sec2
52
21
22
53
Sec1
46
42
FD
TG
TR
10
PD
11
44
44
43
43
45
40
50

图52

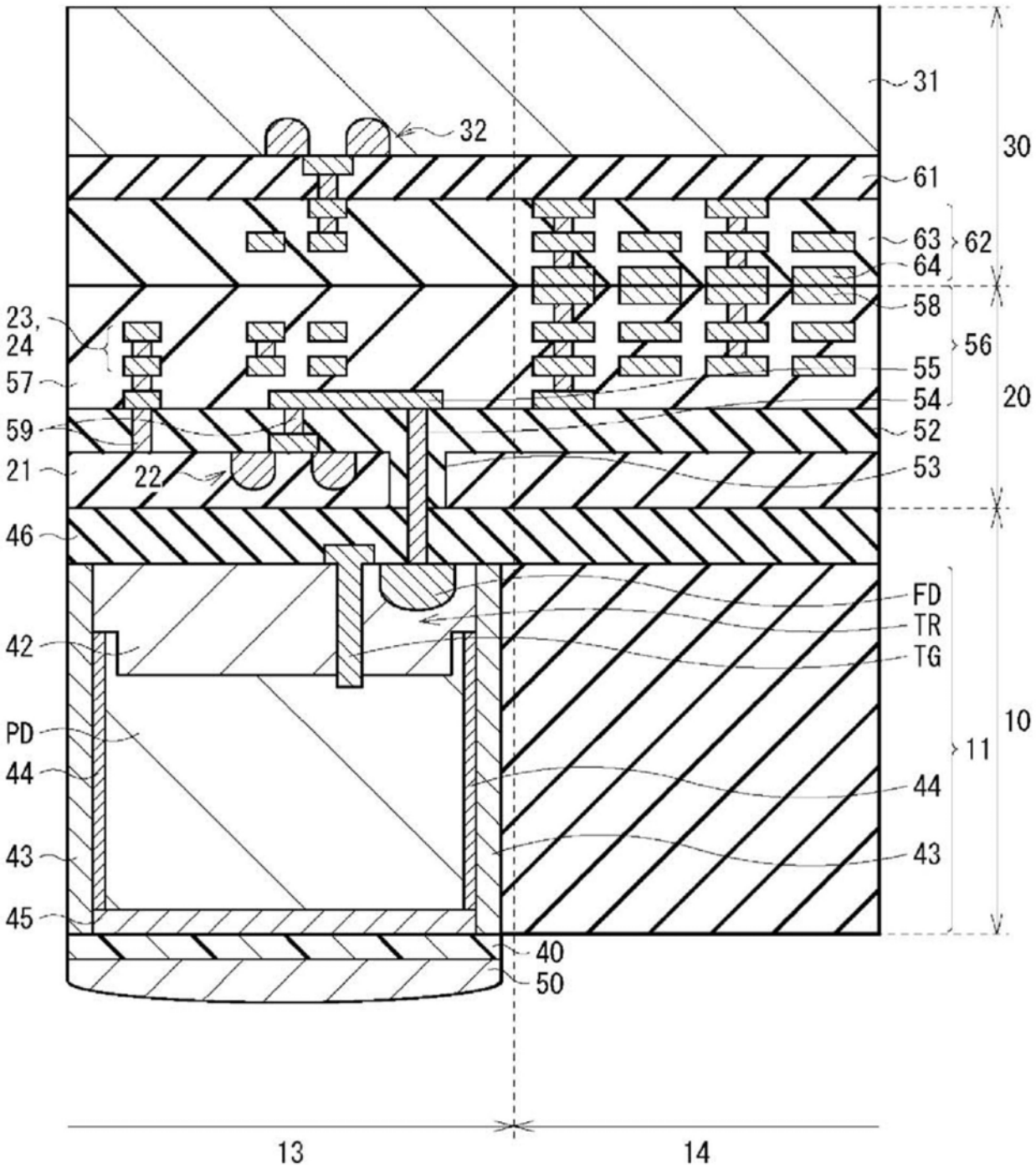

31
32
30
61
63
62
64
58
23,
24
56
57
55
54
20
59
52
21
22
53
46
FD
TR
42
TG
PD
10
44
11
44
43
43
45
40
50
13
14

图53

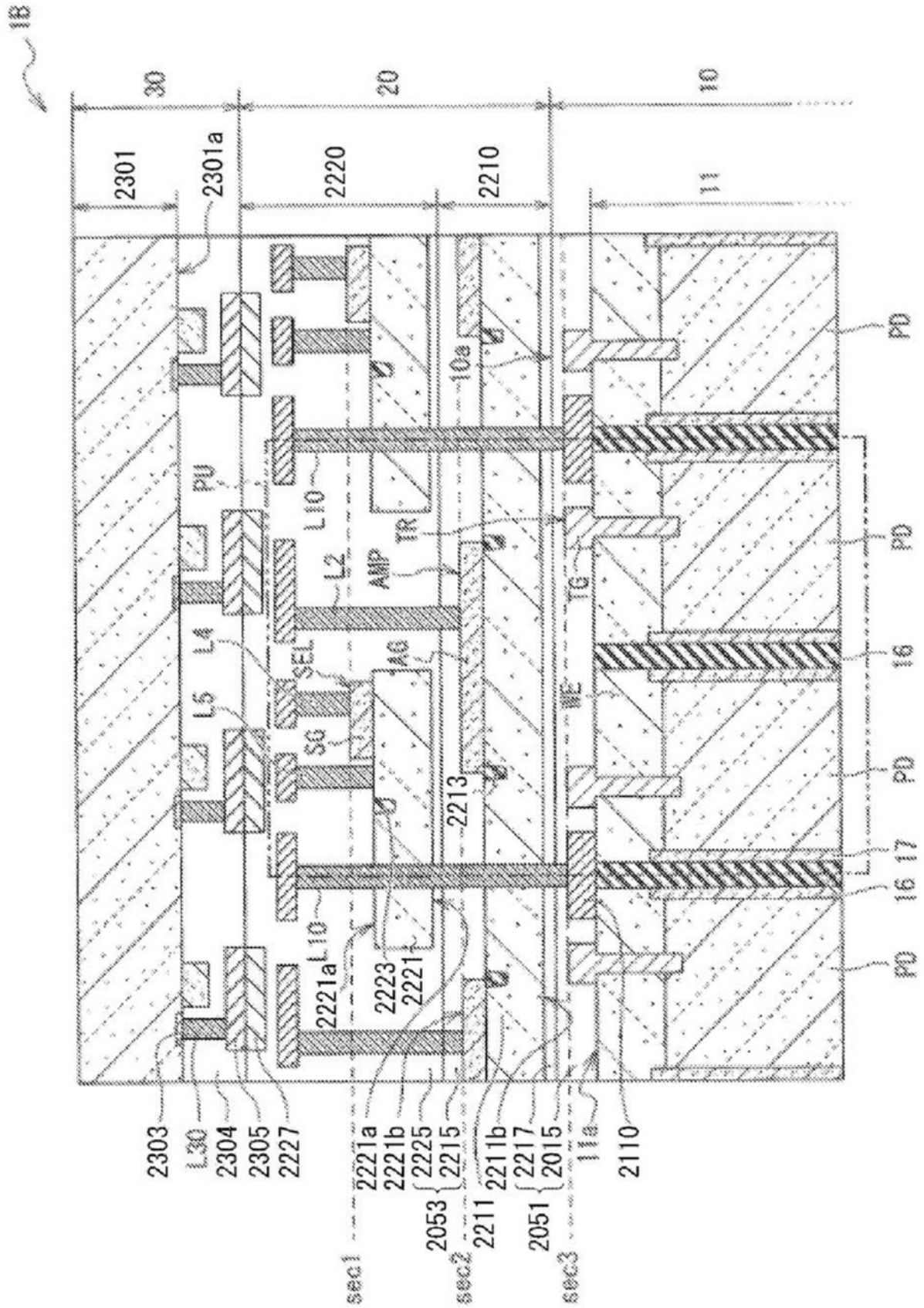

1B
30
20
10
2301
2301a
2220
2210
11
PD
10a
PU
L10
TR
AMP
L2
TG
L4
SEL
16
L5
SG
WE
2213
17
2221a
2223
2221
2303
L30
2304
2305
2227
2221a
2221b
2225
2215
2211b
2217
2015
11a
2110
2053
2211
2051
sec1
sec2
sec3

图54

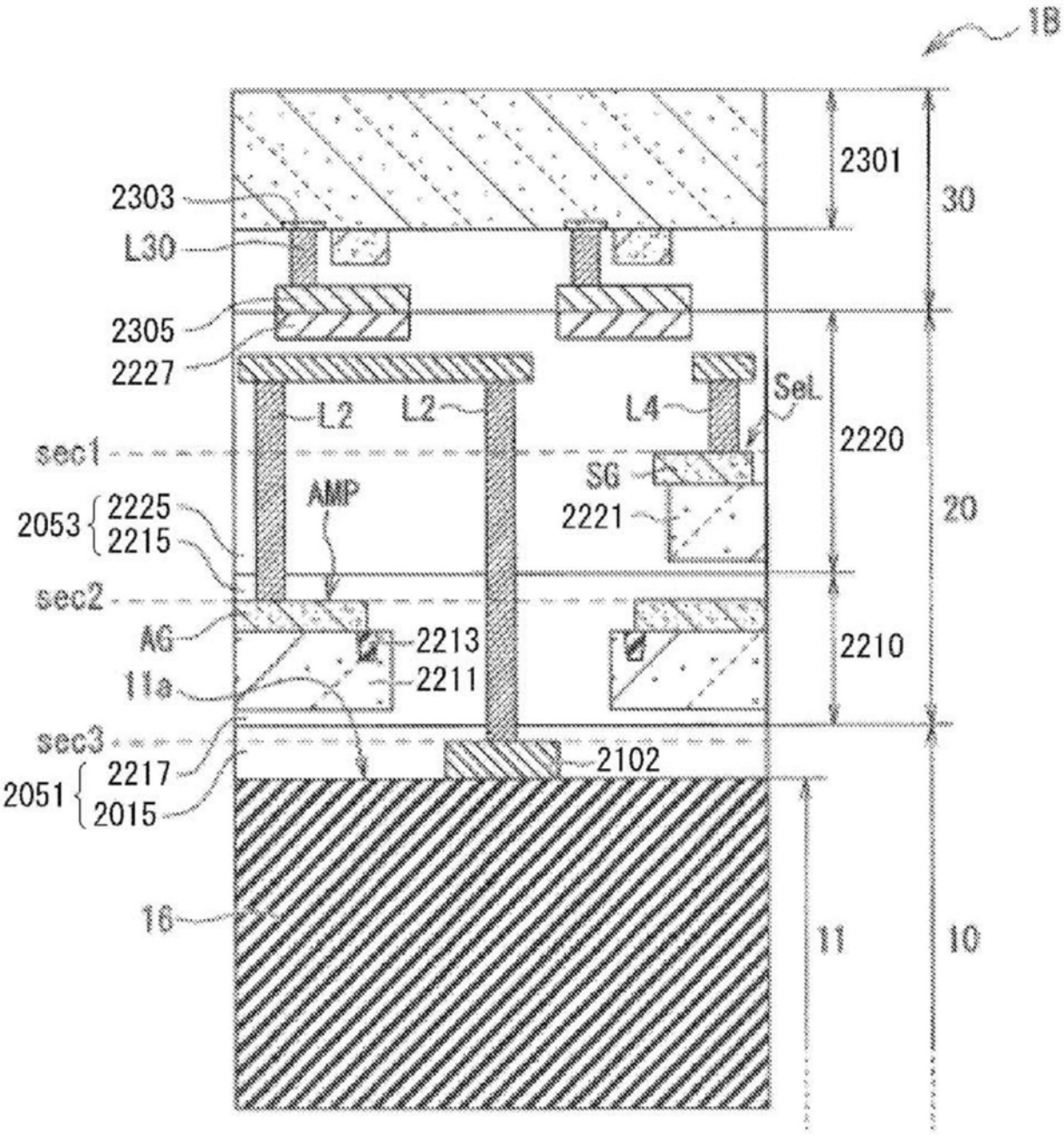

1B
2301
30
2303
L30
2305
2227
L2
L2
L4
SeL
2220
sec1
SG
AMP
2053
2225
2215
2221
20
sec2
AG
2213
2211
2210
11a
sec3
2102
2051
2217
2015
16
11
10

图55

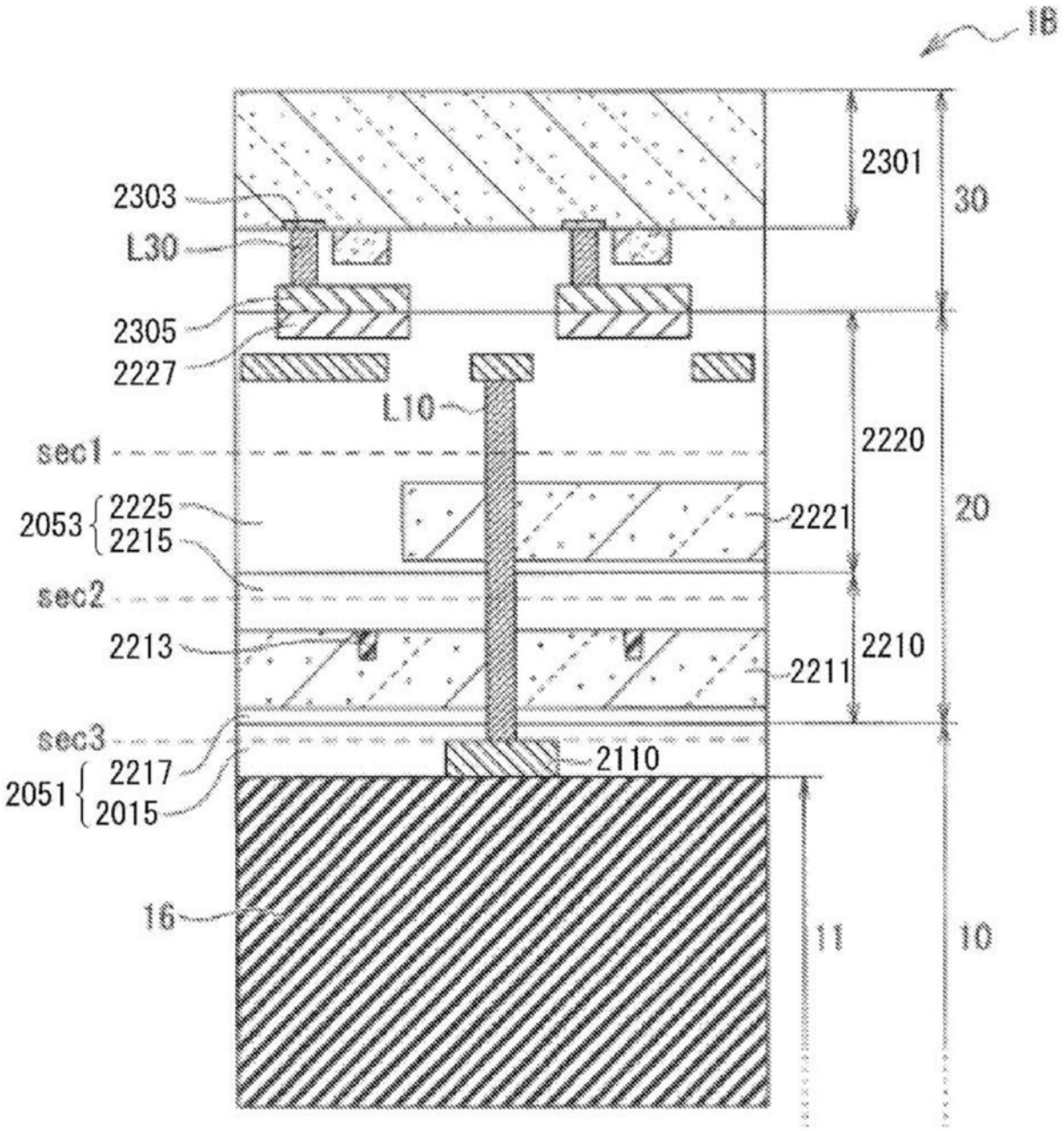

1B
2301
30
2303
L30
2305
2227
L10
2220
sec1
2053
2225
2215
2221
20
sec2
2213
2211
2210
sec3
2110
2051
2217
2015
16
11
10

图56

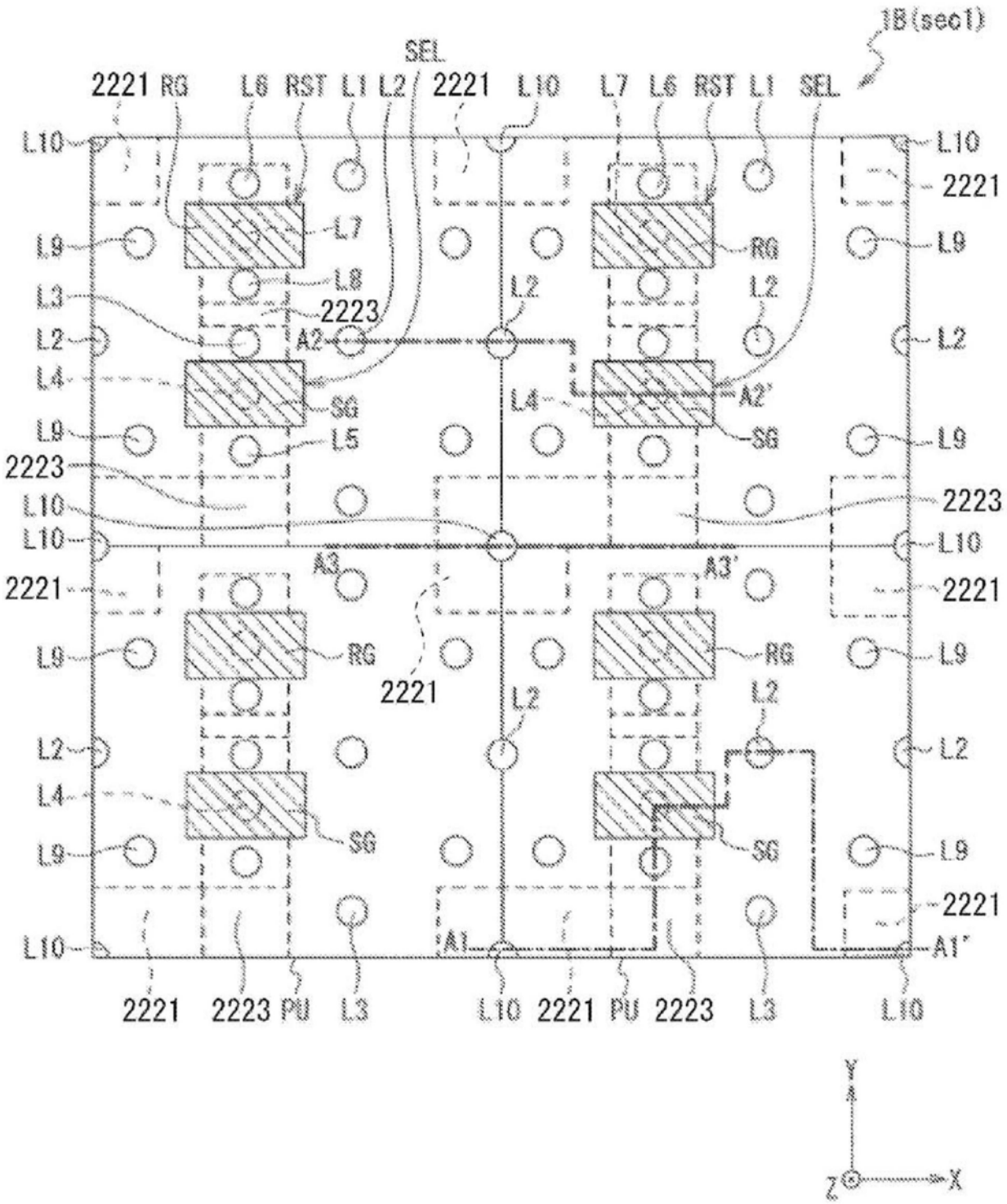

1B(sec1)
SEL
2221
RG
L6
RST
L1
L2
2221
L10
L7
L6
RST
L1
SEL
L10
2221
L9
L7
RG
L9
L8
L3
2223
L2
L2
L2
A2
L2
L4
A2'
L4
SG
SG
L9
L5
L9
2223
2223
L10
L10
L10
A3
A3'
2221
2221
L9
RG
RG
L9
2221
L2
L2
L2
L2
L4
SG
SG
L9
L9
2221
L10
A1
A1'
2221
2223
PU
L3
L10
2221
PU
2223
L3
L10
Y
Z
X

图57

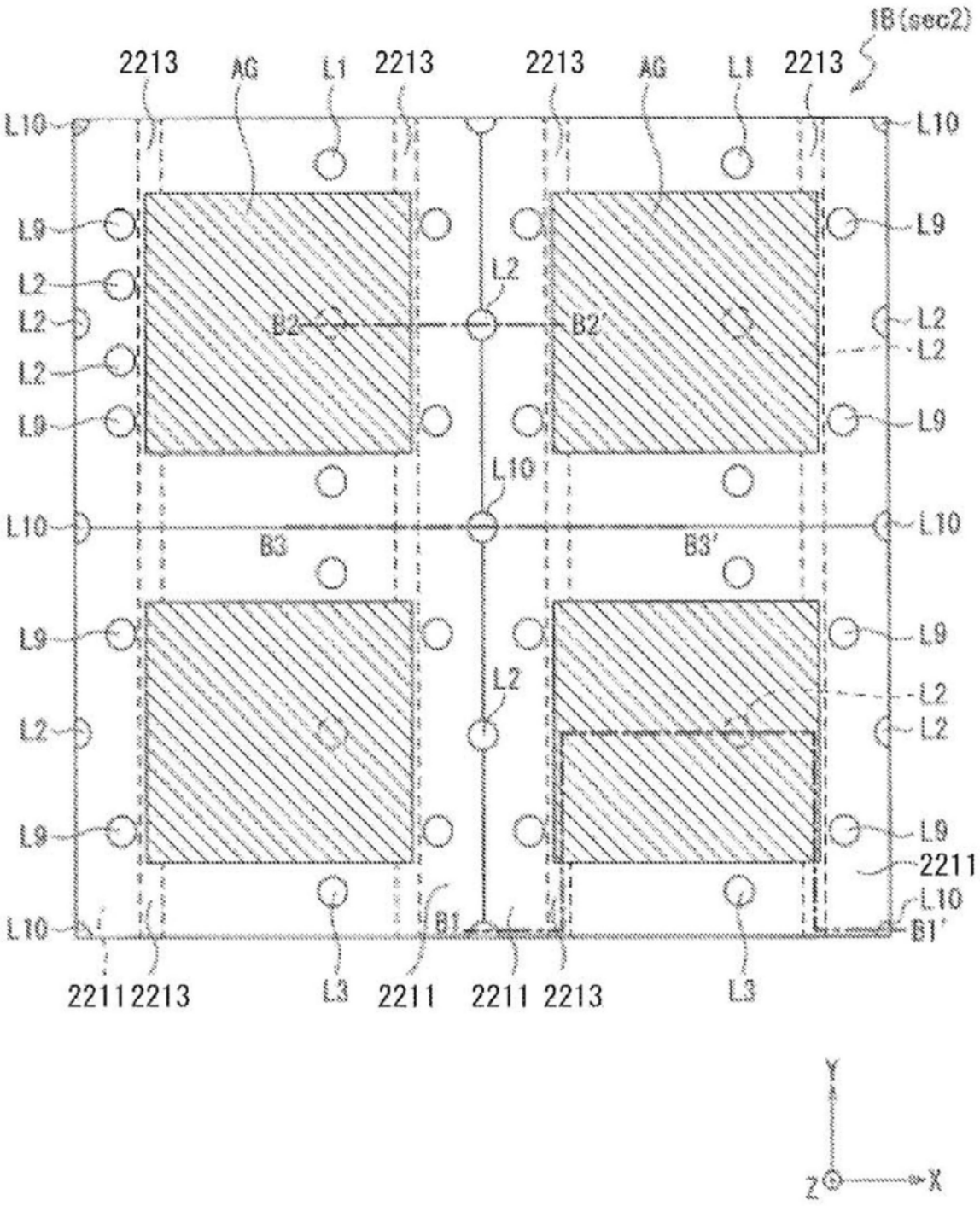

1B(sec2)
2213
AG
L1
2213
2213
AG
L1
2213
L10
L9
L2
L2
L2
L2
L9
L10
B2
B2'
L2
L10
B3
B3'
L9
L2
L2
L9
L9
2211
L10
B1
B1'
2211
2213
L3
2211
2211
2213
L3
Y
Z
X

图58

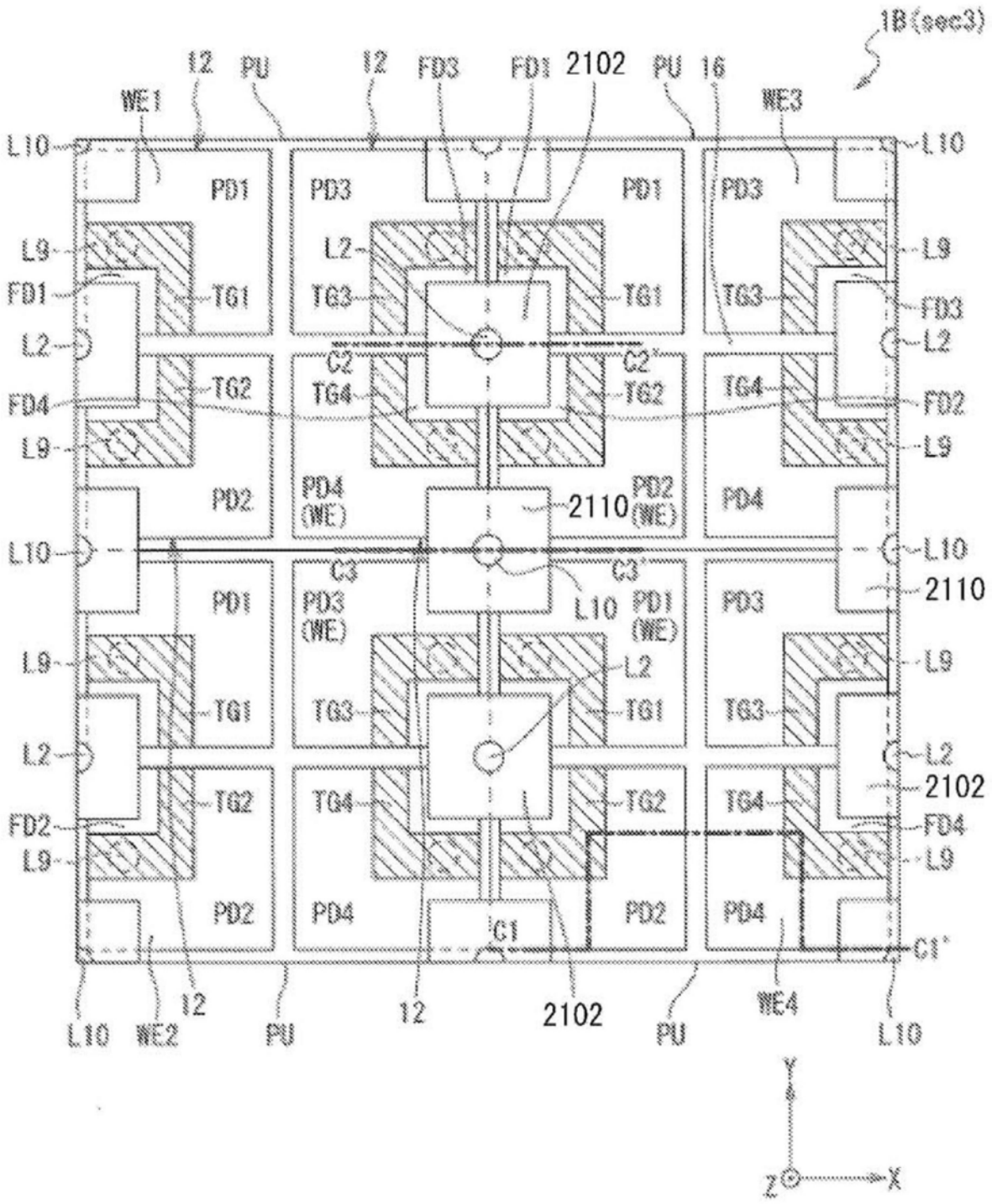

1B(sec3)
I2
PU
I2
FD3
FD1
2102
PU
16
WE1
WE3
L10
PD1
PD3
L9
L2
FD1
TG1
TG3
FD3
C2
C2'
TG2
TG4
FD4
FD2
PD2
PD4
(WE)
2110
C3
C3'
L10
2110
2102
C1
C1'
WE2
WE4
Y
Z
X

图59

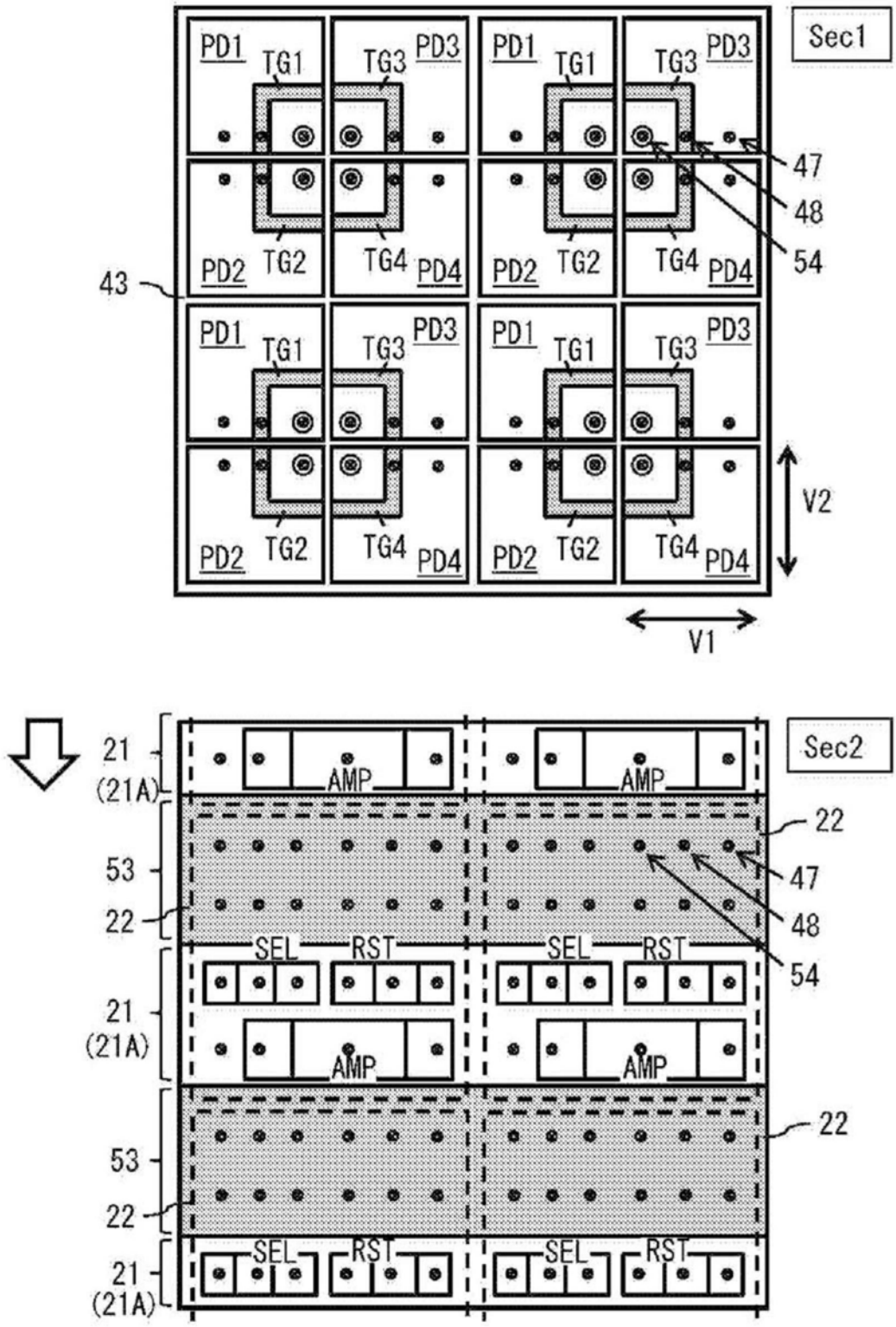

Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
AMP
22
53
SEL
RST

图60

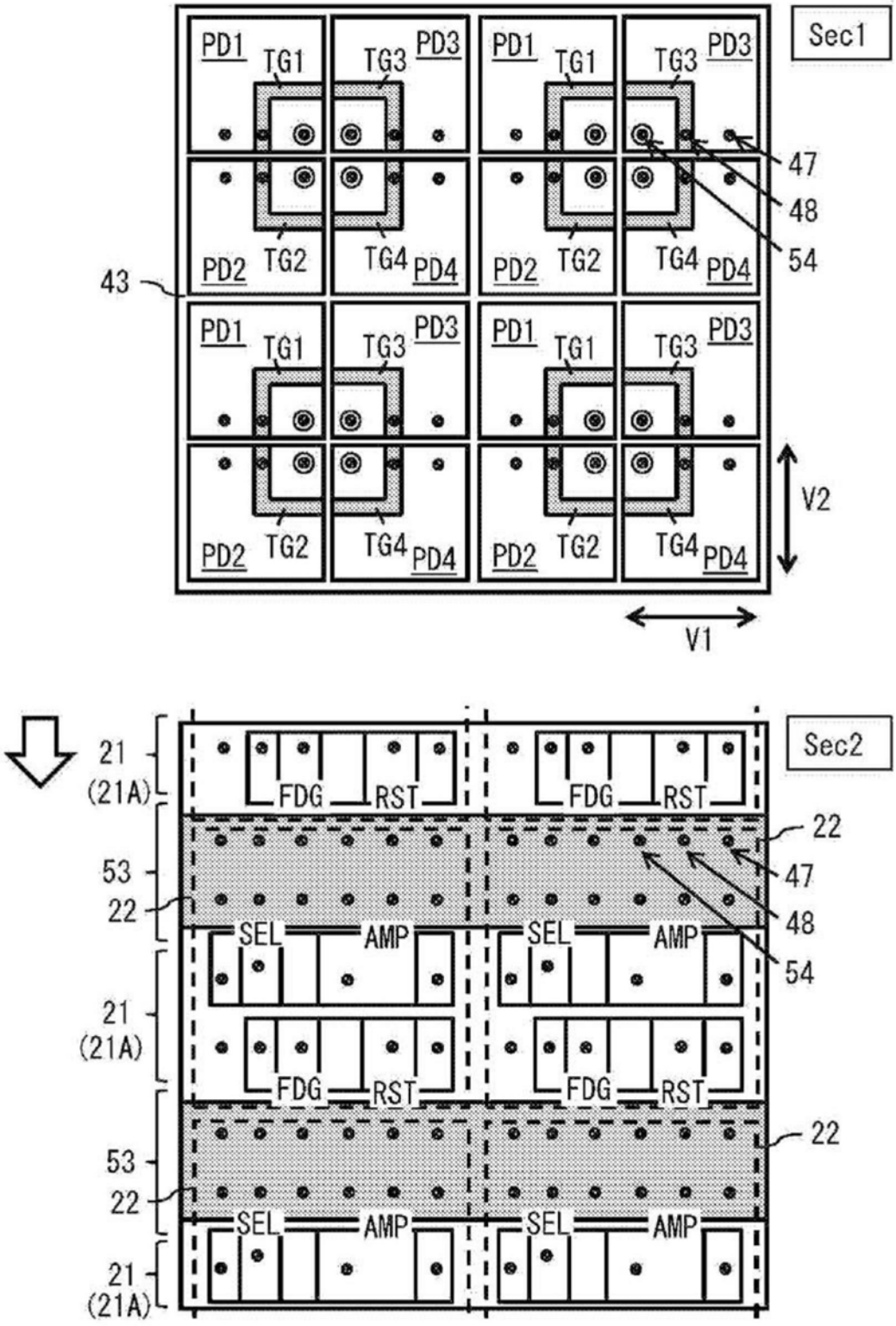

Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
FDG
RST
22
53
SEL
AMP

图61

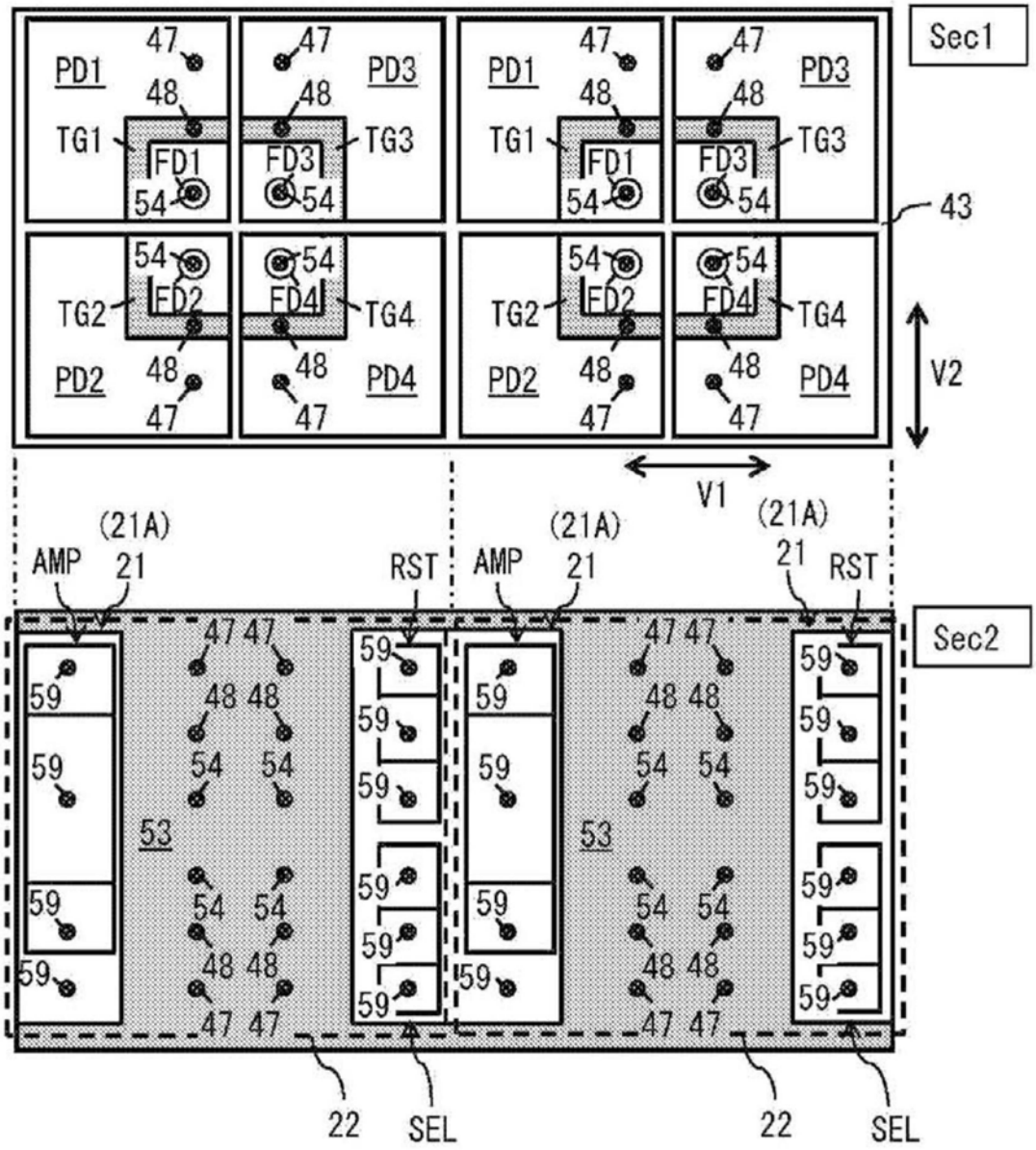

Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
(21A)
AMP
21
RST
Sec2
53
59
22
SEL

图62

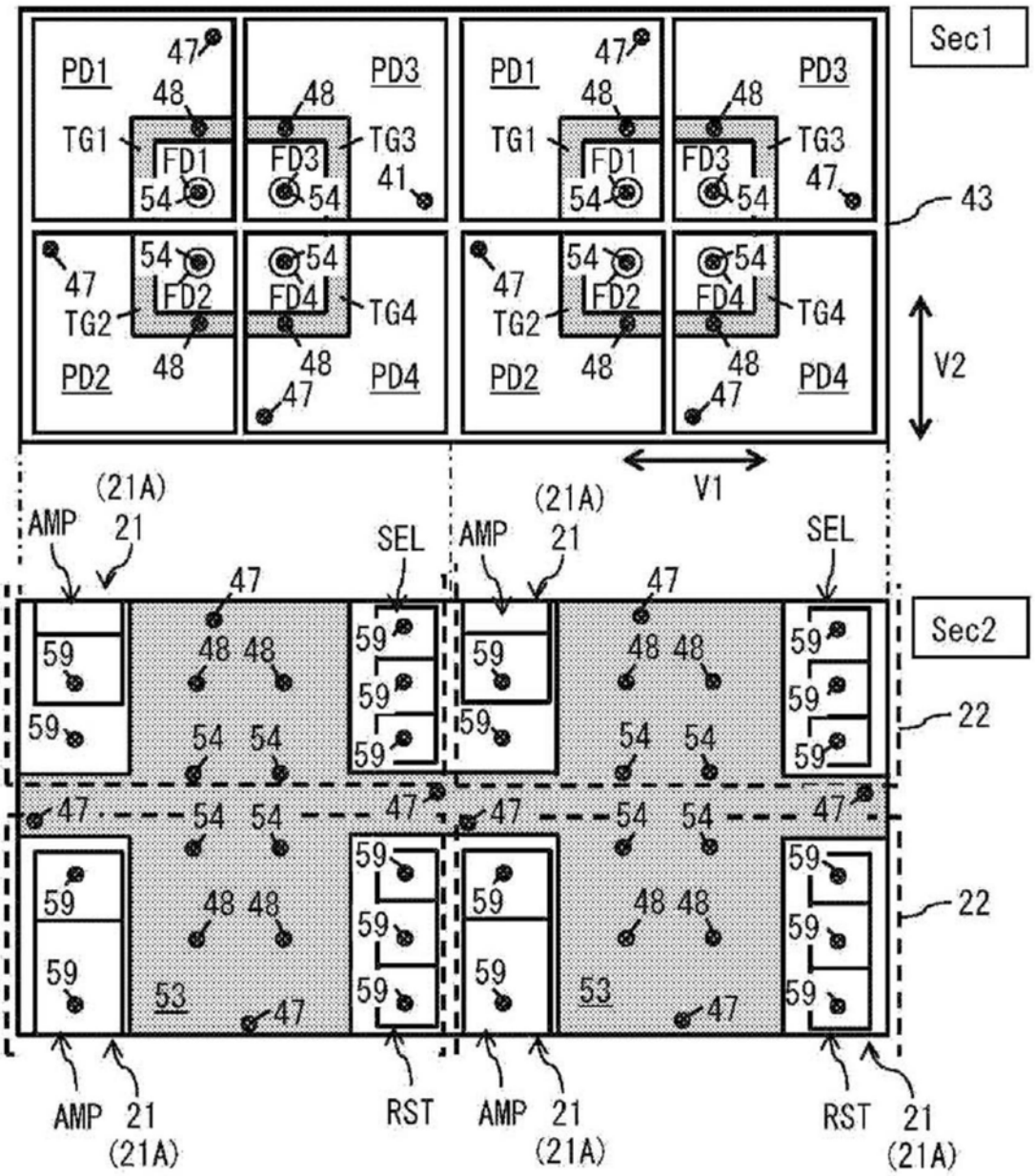

Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
41
43
V1
V2
(21A)
AMP
21
SEL
Sec2
59
53
22
RST

图63

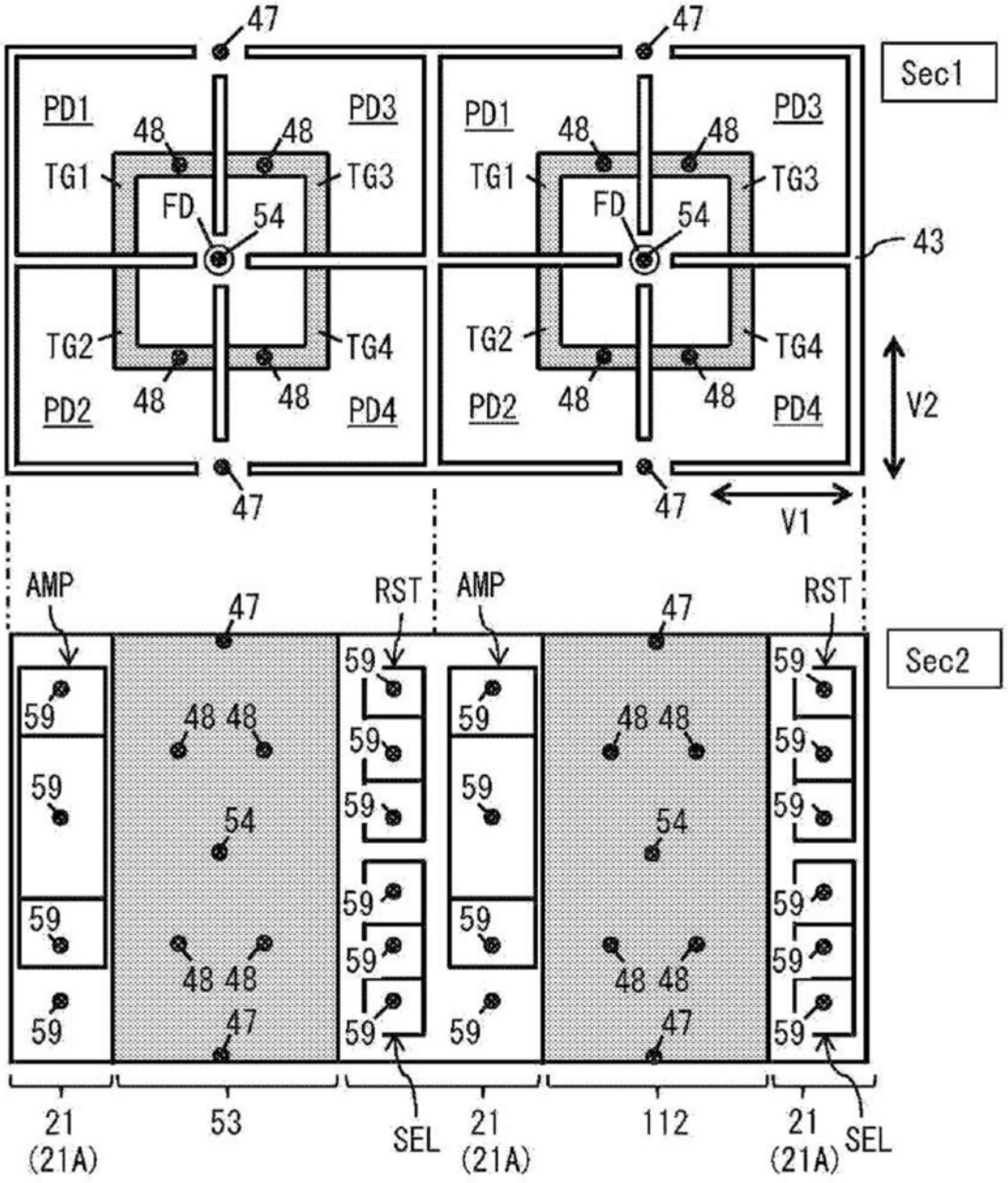

47
PD1
PD3
48
TG1
TG3
FD
54
TG2
TG4
PD2
PD4
Sec1
43
V2
V1
AMP
RST
59
Sec2
21
(21A)
53
SEL
112

图64

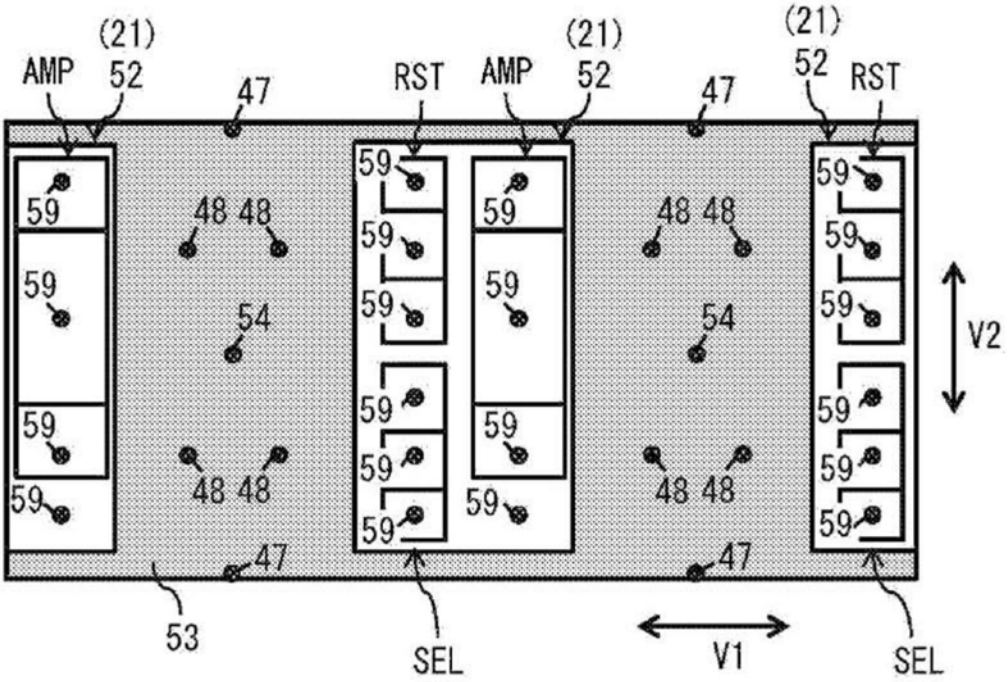

(21)
AMP
52
47
RST
AMP
(21)
52
47
(21)
52
RST
59
48 48
54
V2
53
SEL
V1
SEL

图65

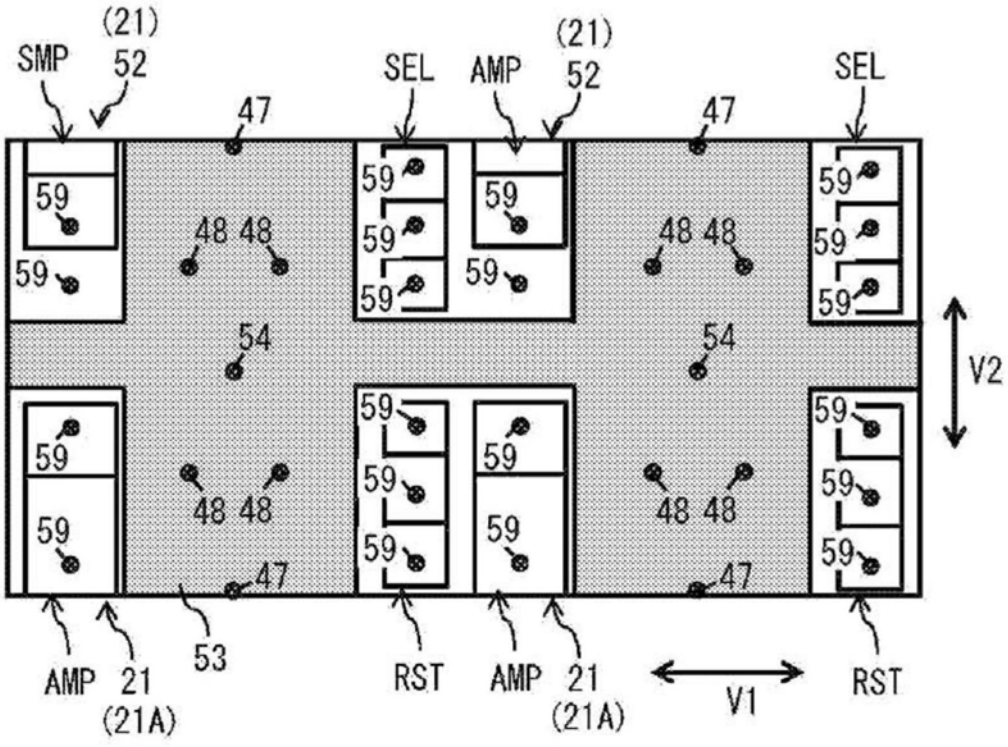

(21)
SMP
52
47
SEL
AMP
(21)
52
47
SEL
59
48 48
54
V2
AMP
21
(21A)
53
RST
AMP
21
(21A)
V1
RST

图66

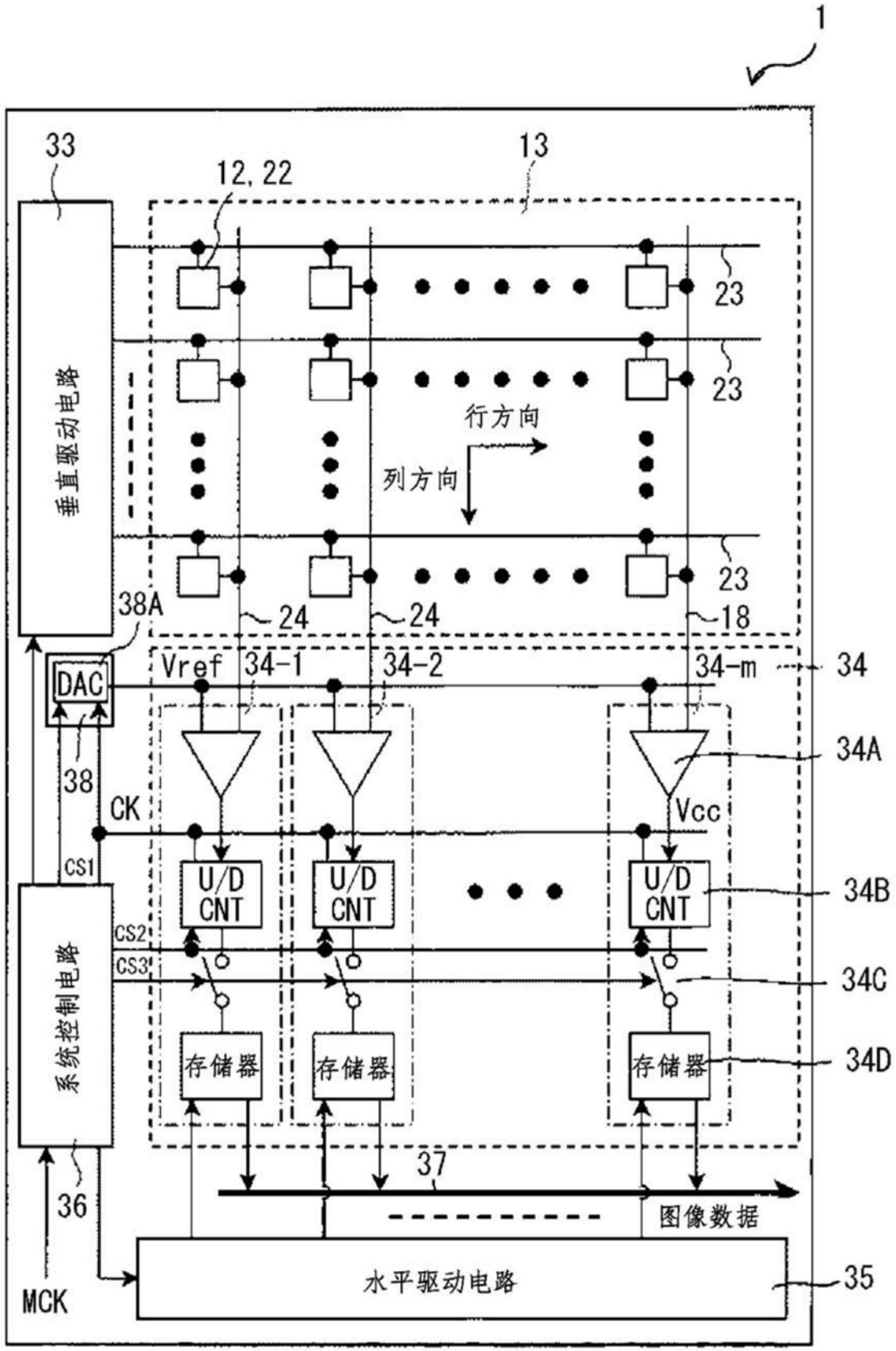

1
33
12, 22
13
垂直驱动电路
23
23
23
行方向
列方向
38A
24
24
18
DAC
Vref
34-1
34-2
34-m
34
34A
38
CK
Vcc
CS1
U/D CNT
U/D CNT
U/D CNT
34B
CS2
CS3
34C
系统控制电路
存储器
存储器
存储器
34D
37
36
图像数据
水平驱动电路
35
MCK

图67

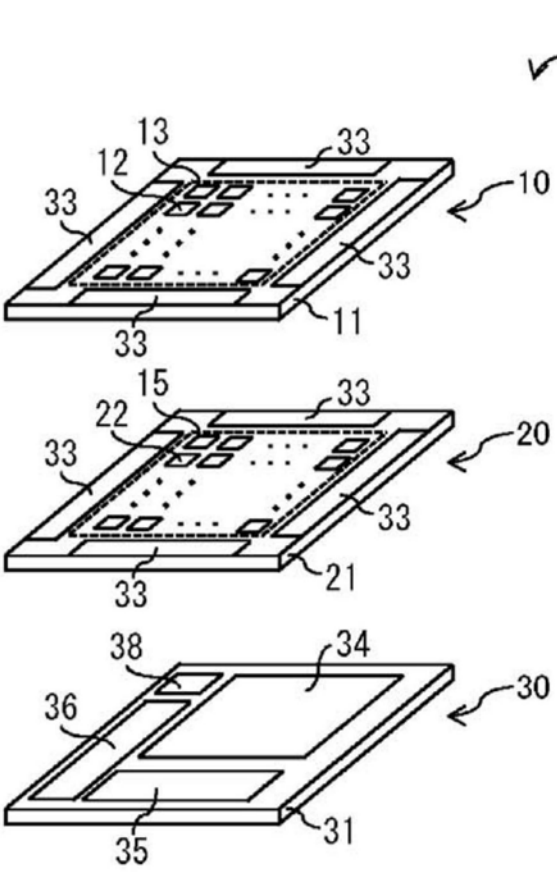

1'
13
33
12
10
33
33
33
11
15
33
22
20
33
33
33
21
38
34
36
30
31
35

图68

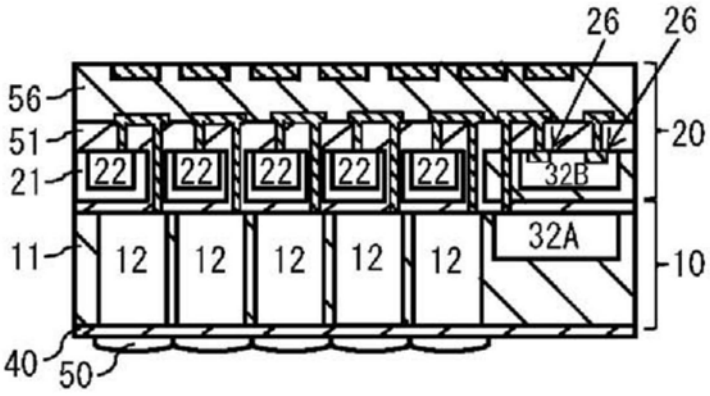

26
26
56
51
20
21
22
22
22
22
22
32B
32A
11
12
12
12
12
12
10
40
50

图69

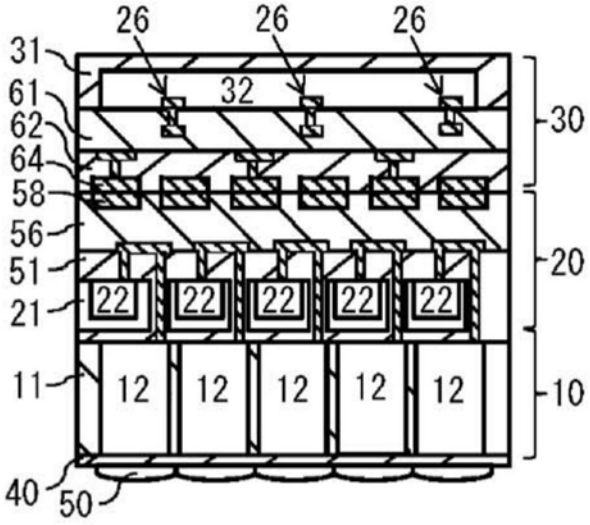

26
26
26
31
32
61
62
64
58
56
51
21
22
22
22
22
22
11
12
12
12
12
12
40
50
30
20
10

图70

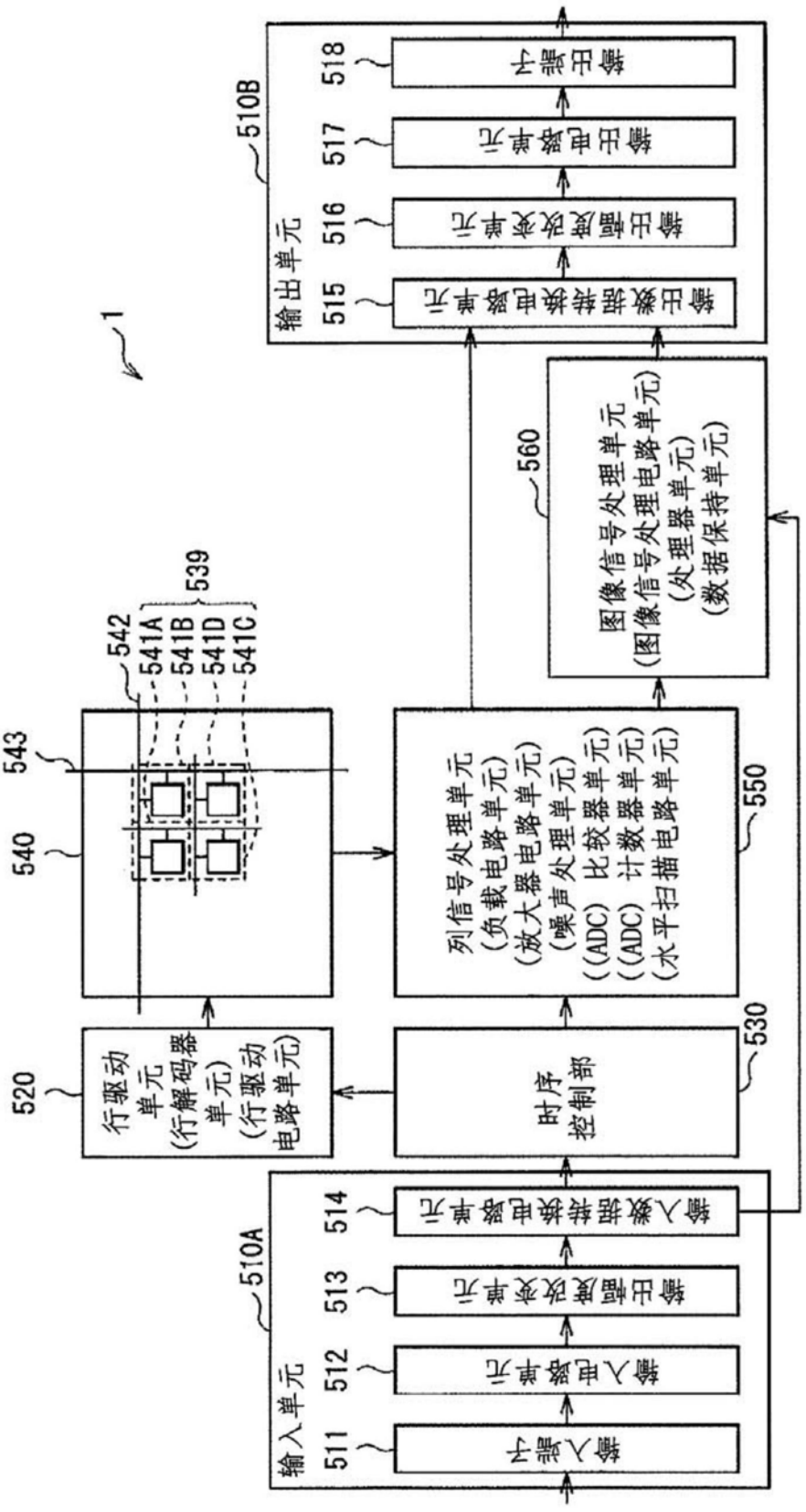

1
520
行驱动单元
(行解码器单元)
(行驱动电路单元)
540
543
542
541A
541B
541D
541C
539
530
时序控制部
550
列信号处理单元
(负载电路单元)
(放大器电路单元)
(噪声处理单元)
((ADC) 比较器单元)
((ADC) 计数器单元)
(水平扫描电路单元)
560
图像信号处理单元
(图像信号处理电路单元)
(处理器单元)
(数据保持单元)
510A
输入单元
511
512
513
514
510B
输出单元
515
516
517
518

图71

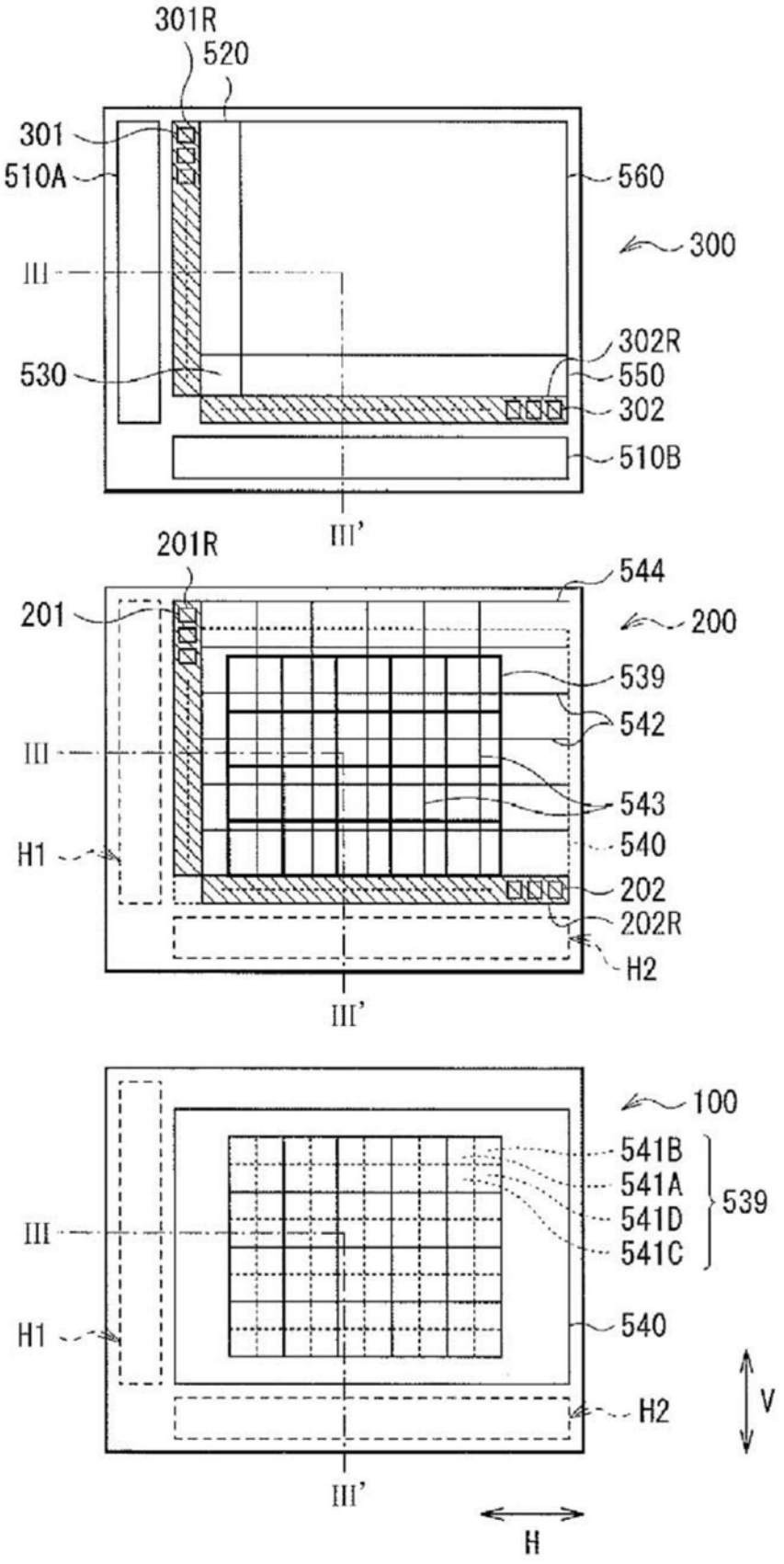

301R
520
301
510A
560
300
III
302R
530
550
302
510B
III'
201R
544
201
200
539
542
III
543
H1
540
202
202R
H2
III'
100
541B
541A
541D
541C
539
III
H1
540
H2
V
III'
H

图72

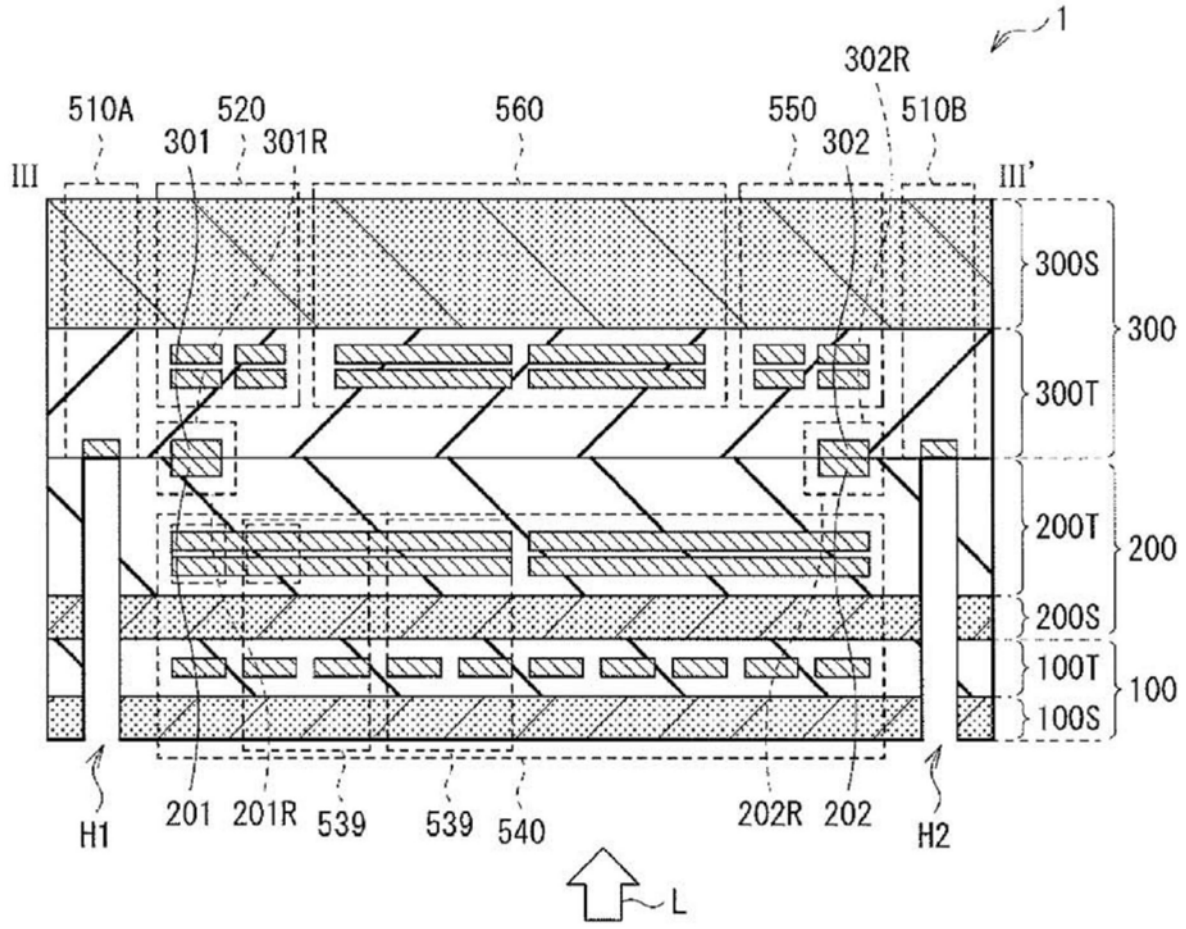

1
302R
510A
520
560
550
510B
301
301R
302
III
III'
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2
L

图73

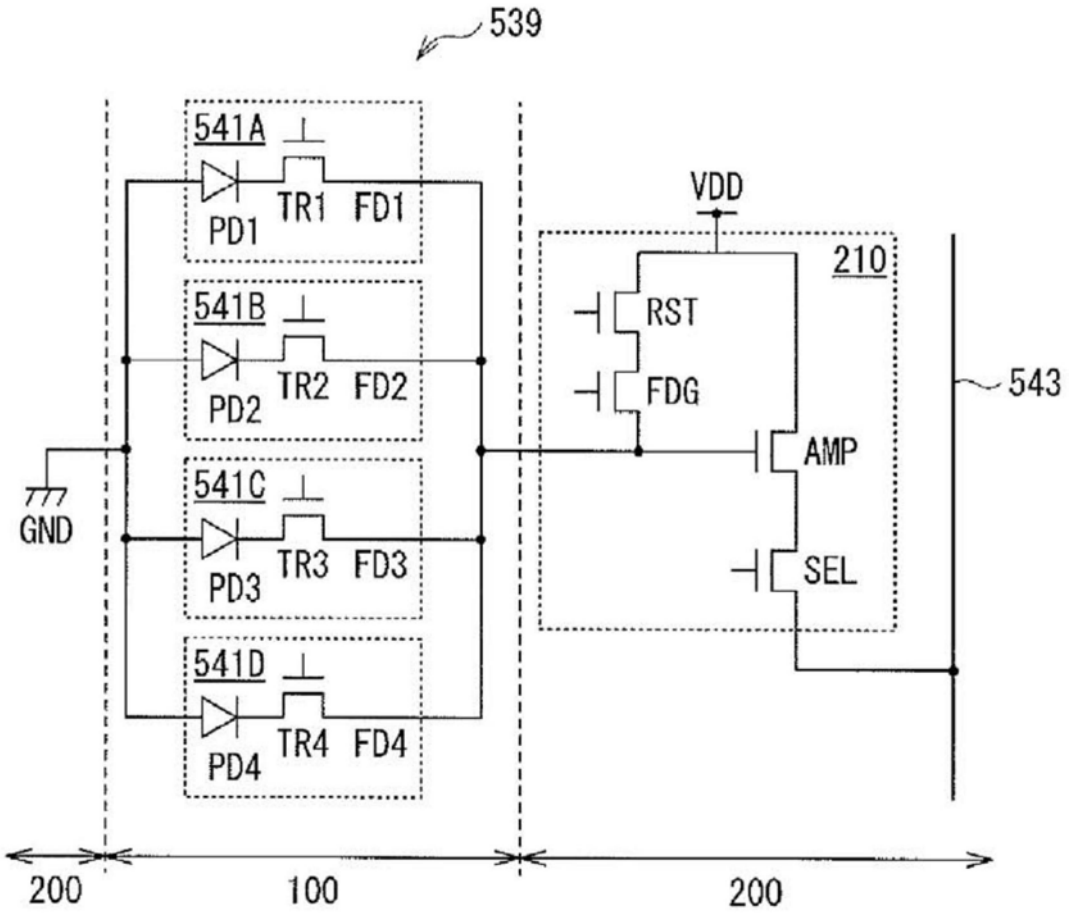

539
541A
PD1
TR1
FD1
541B
PD2
TR2
FD2
541C
PD3
TR3
FD3
541D
PD4
TR4
FD4
GND
VDD
210
RST
FDG
AMP
SEL
543
200
100
200

图74

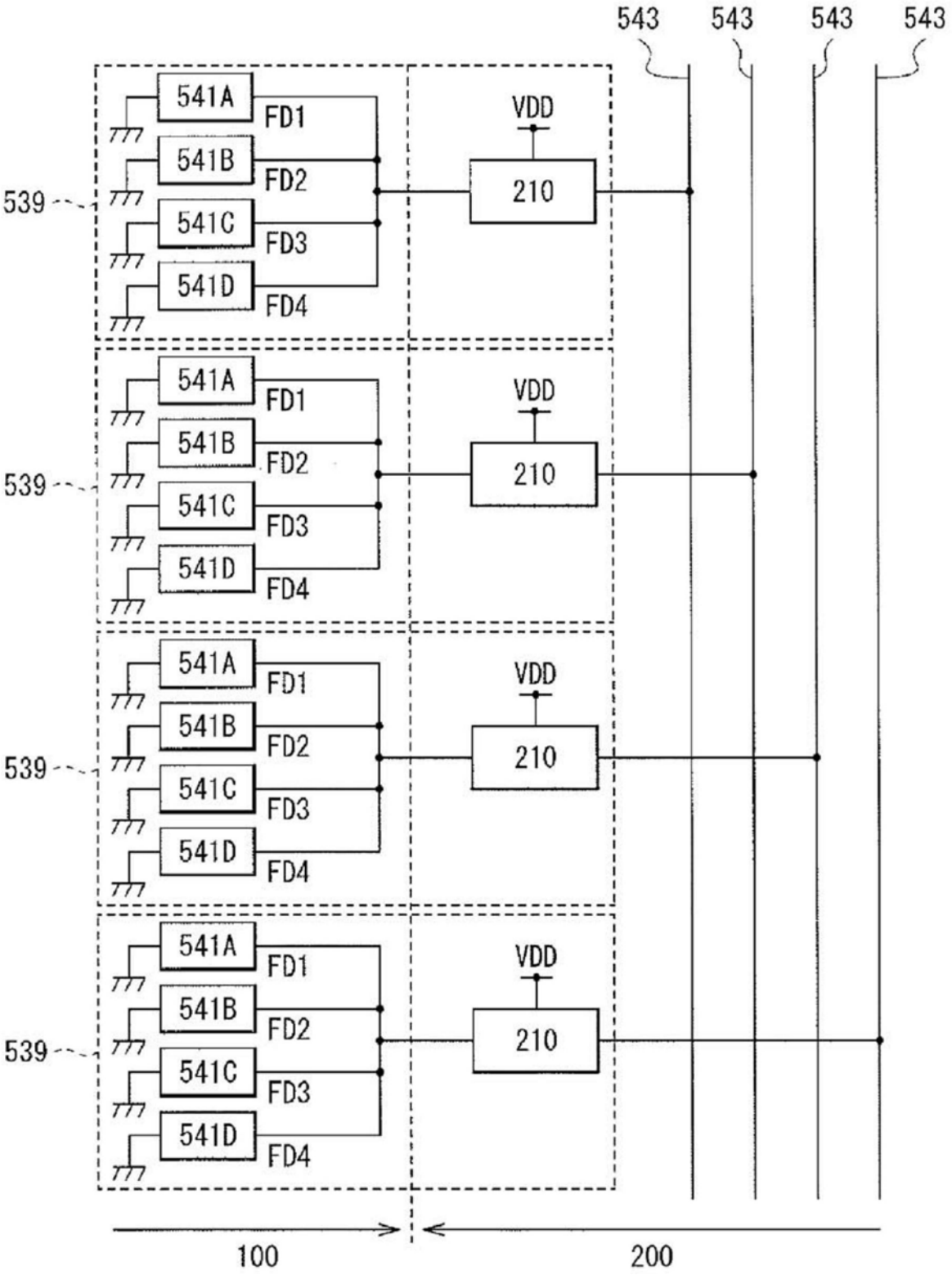

543
543
543
543
541A
FD1
541B
FD2
541C
FD3
541D
FD4
VDD
210
539
100
200

图75

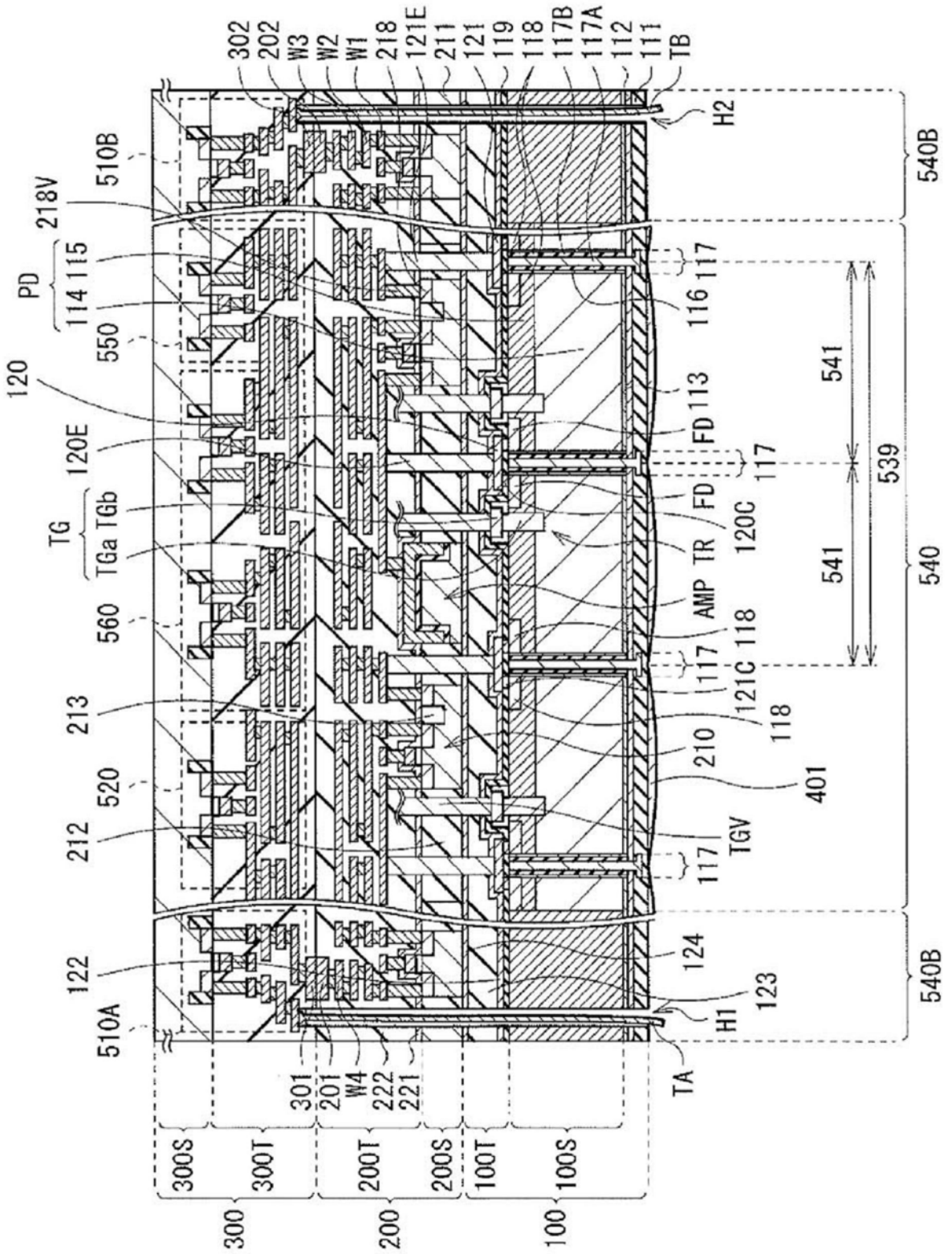

302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
114
115
550
120
120E
TG
TGa
TGb
560
213
520
212
122
510A
116
117
113
FD
541
539
120C
TR
AMP
121C
210
401
TGV
124
123
H1
TA
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100
540

图76

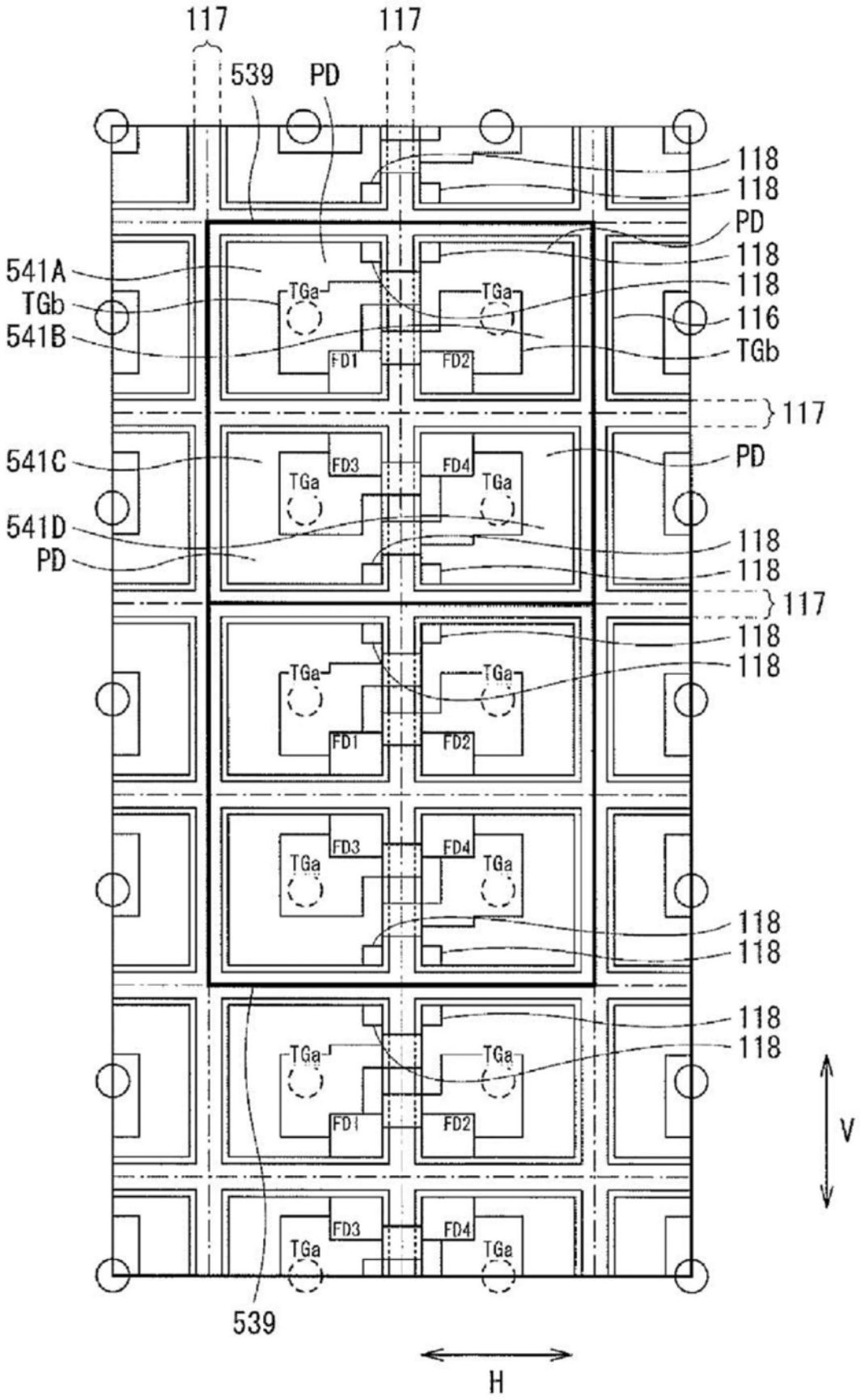

117
117
539
PD
118
118
PD
118
118
116
TGb
541A
TGb
541B
TGa
TGa
FD1
FD2
117
541C
541D
PD
FD3
FD4
TGa
TGa
PD
118
118
117
118
118
TGa
TGa
FD1
FD2
FD3
FD4
TGa
TGa
118
118
118
118
TGa
TGa
FD1
FD2
V
FD3
FD4
TGa
TGa
539
H

图77A

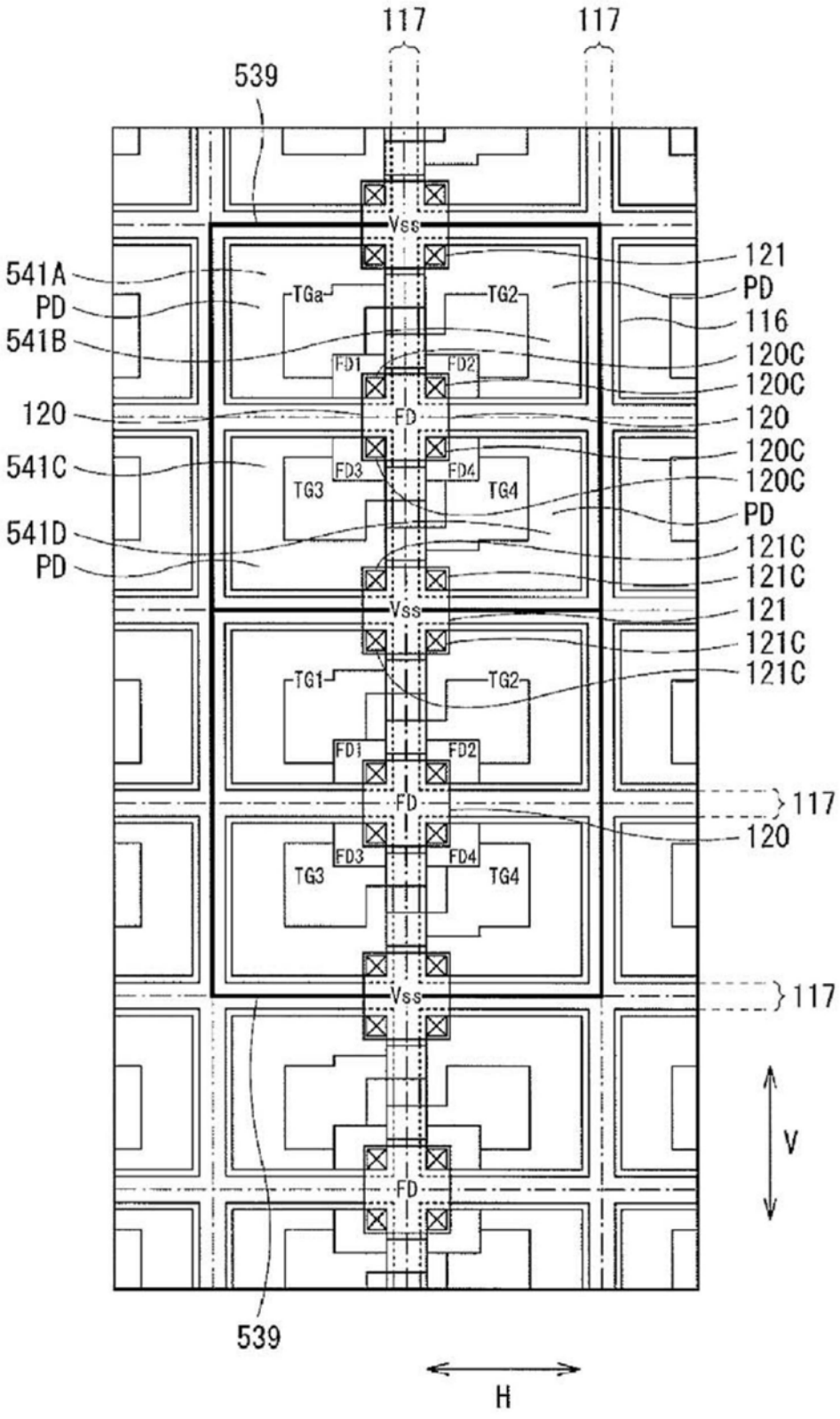

117
117
539
Vss
121
PD
116
120C
120C
120
120C
120C
PD
121C
121C
121
121C
121C
117
120
117
V
539
H
541A
PD
541B
120
541C
541D
PD
TGa
TG2
FD1
FD2
FD
FD3
FD4
TG3
TG4
TG1

图77B

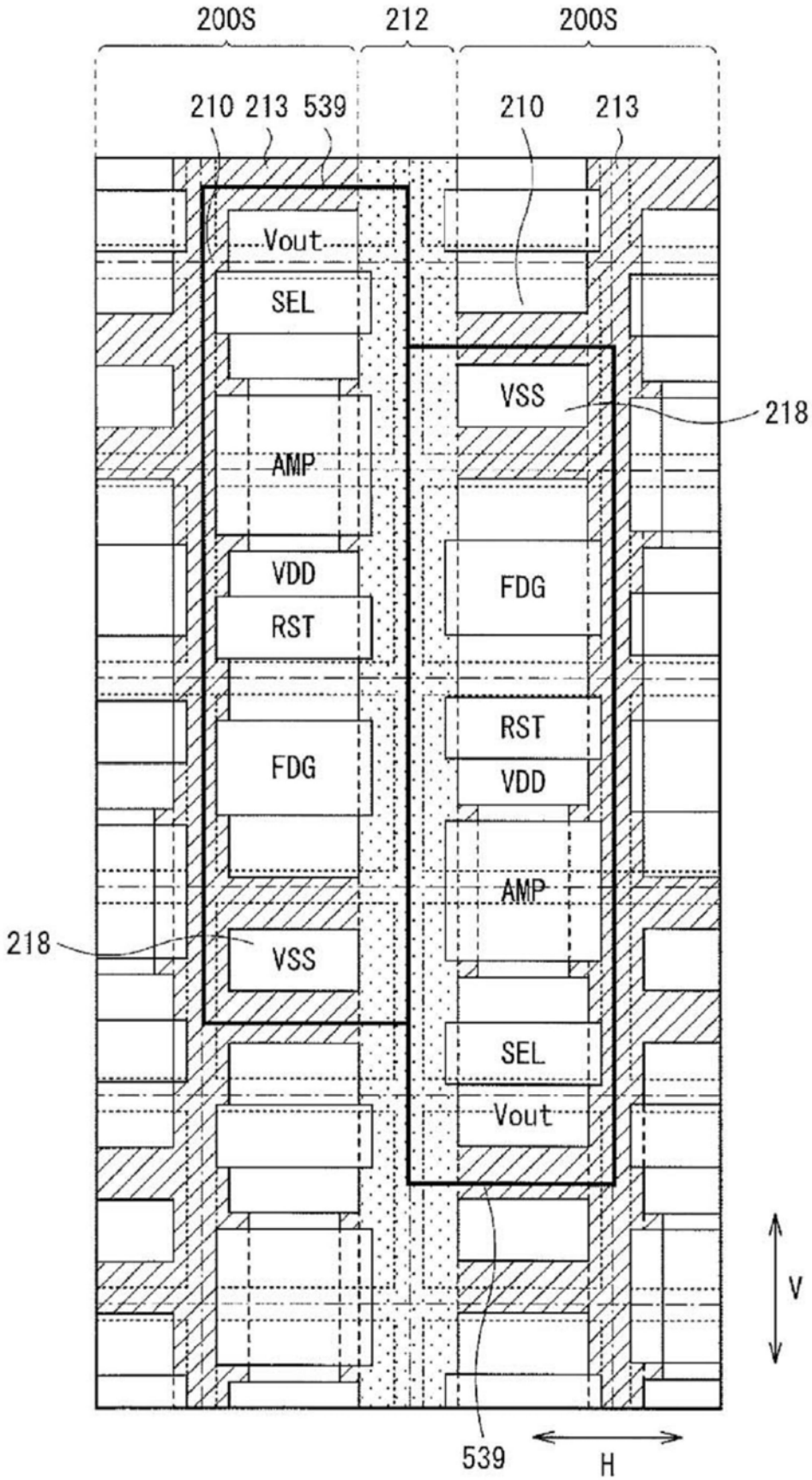

200S
212
200S
210 213 539
210
213
Vout
SEL
VSS
218
AMP
VDD
RST
FDG
FDG
RST
VDD
AMP
218
VSS
SEL
Vout
V
539
H

图78

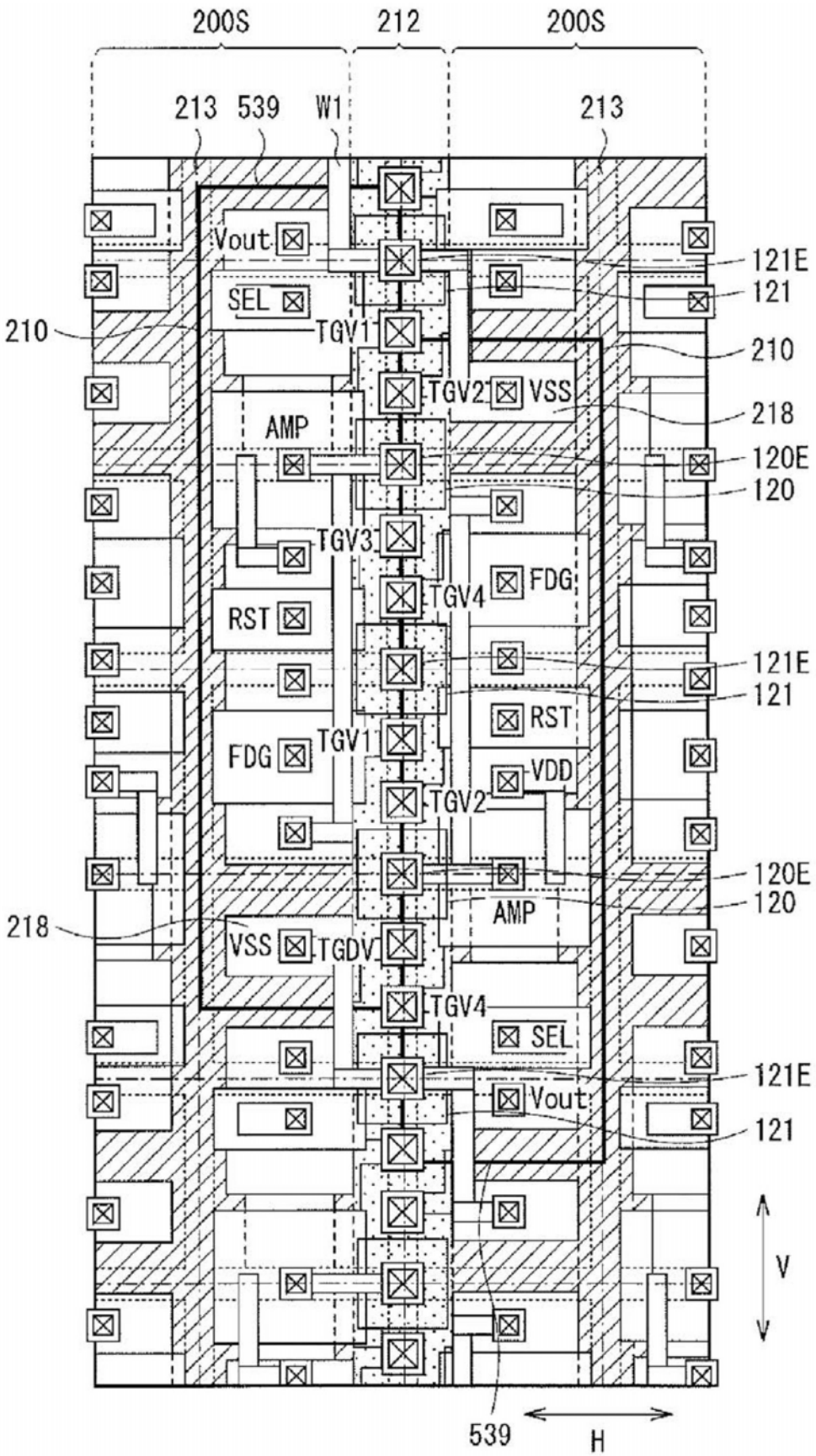

200S
212
200S
213
539
W1
213
Vout
121E
SEL
121
210
TGV1
210
TGV2
VSS
218
AMP
120E
120
TGV3
FDG
TGV4
RST
121E
121
RST
FDG
TGV1
VDD
TGV2
120E
120
AMP
218
VSS
TGDV
TGV4
SEL
121E
Vout
121
V
539
H

图79

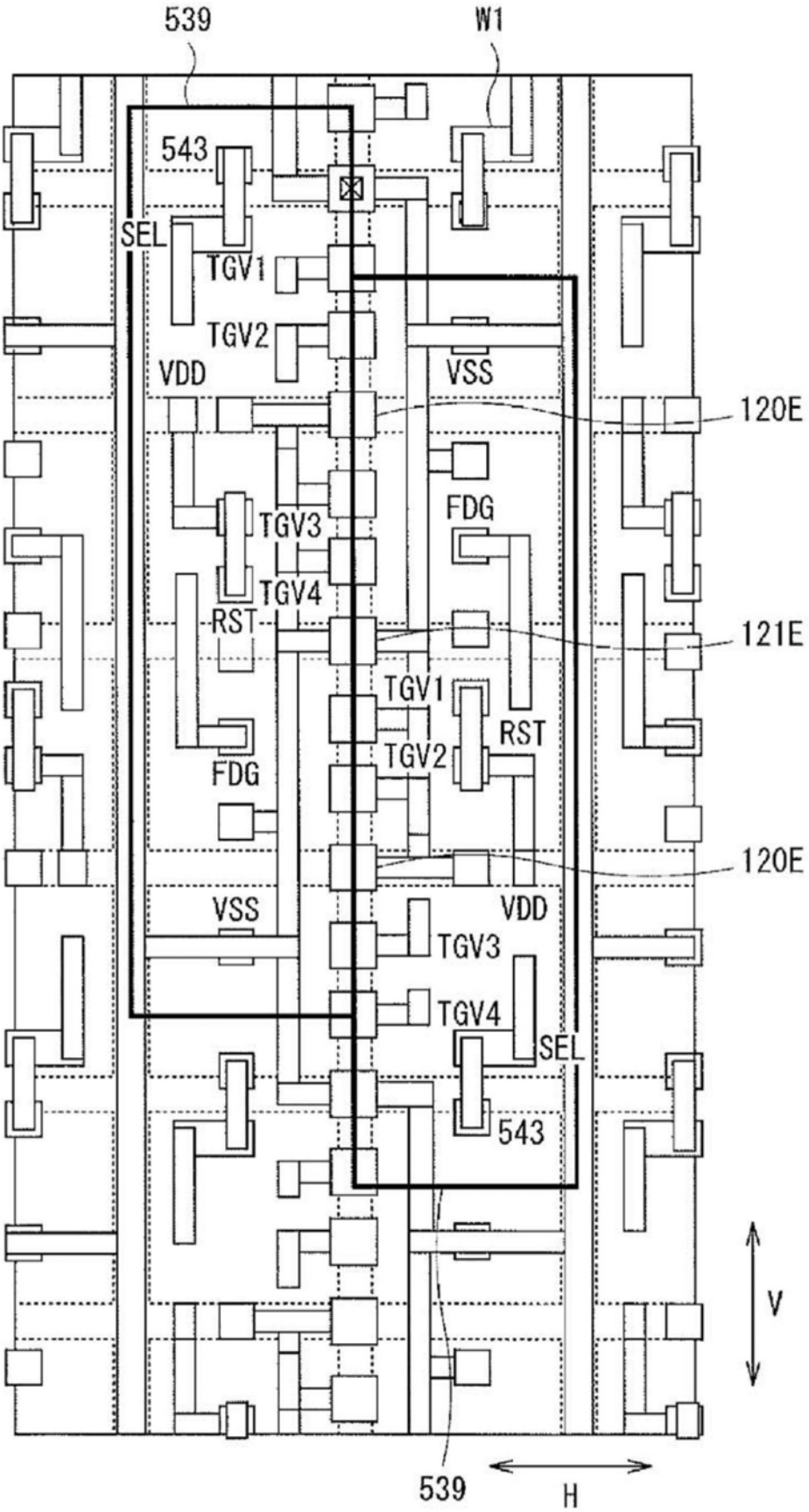

539
W1
543
SEL
TGV1
TGV2
VDD
VSS
120E
FDG
TGV3
TGV4
RST
121E
TGV1
RST
TGV2
FDG
120E
VSS
VDD
TGV3
TGV4
SEL
543
V
539
H

图80

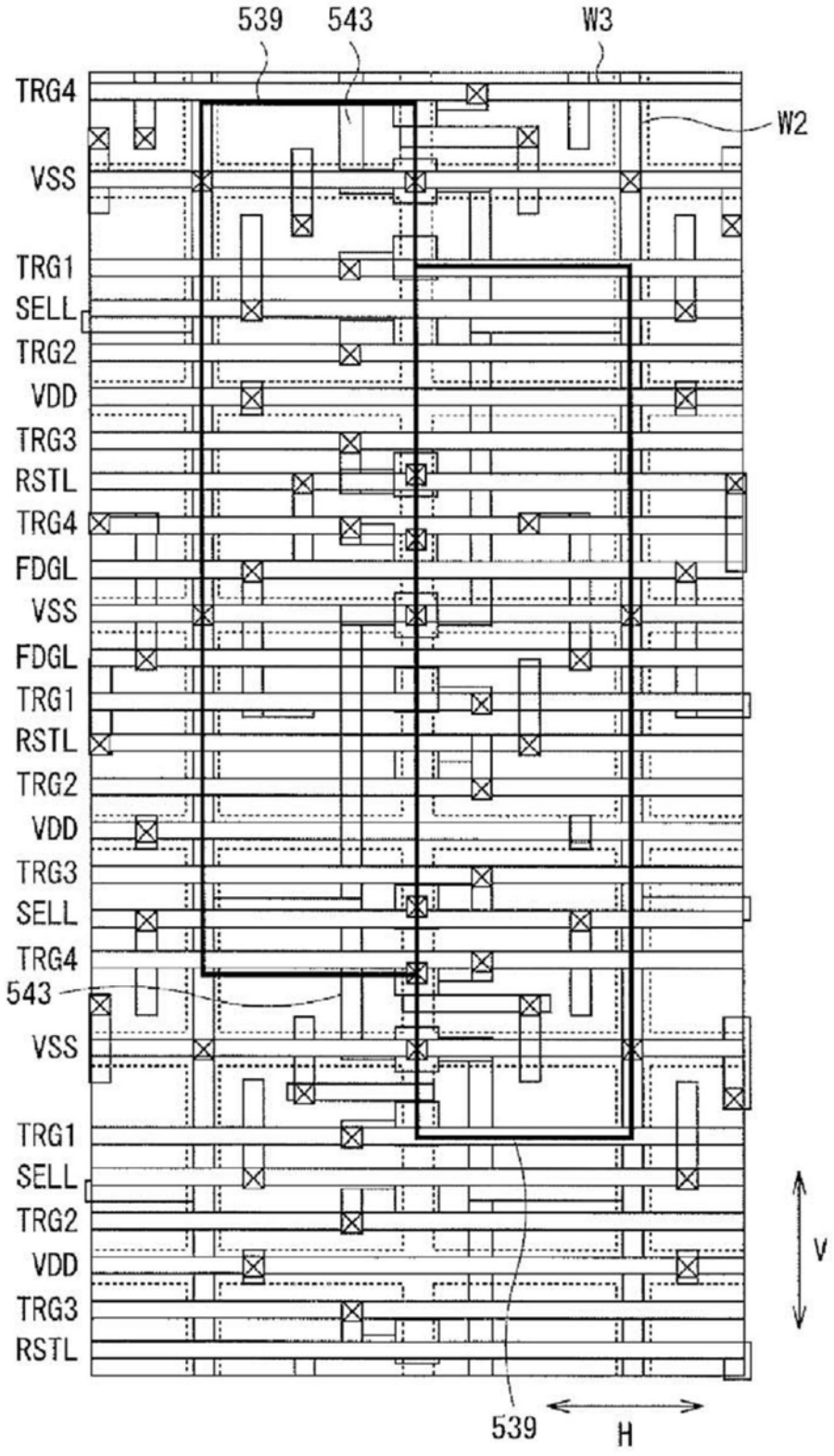

539
543
W3
W2
TRG4
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
FDGL
TRG1
RSTL
TRG2
VDD
TRG3
SELL
TRG4
543
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
V
539
H

图81

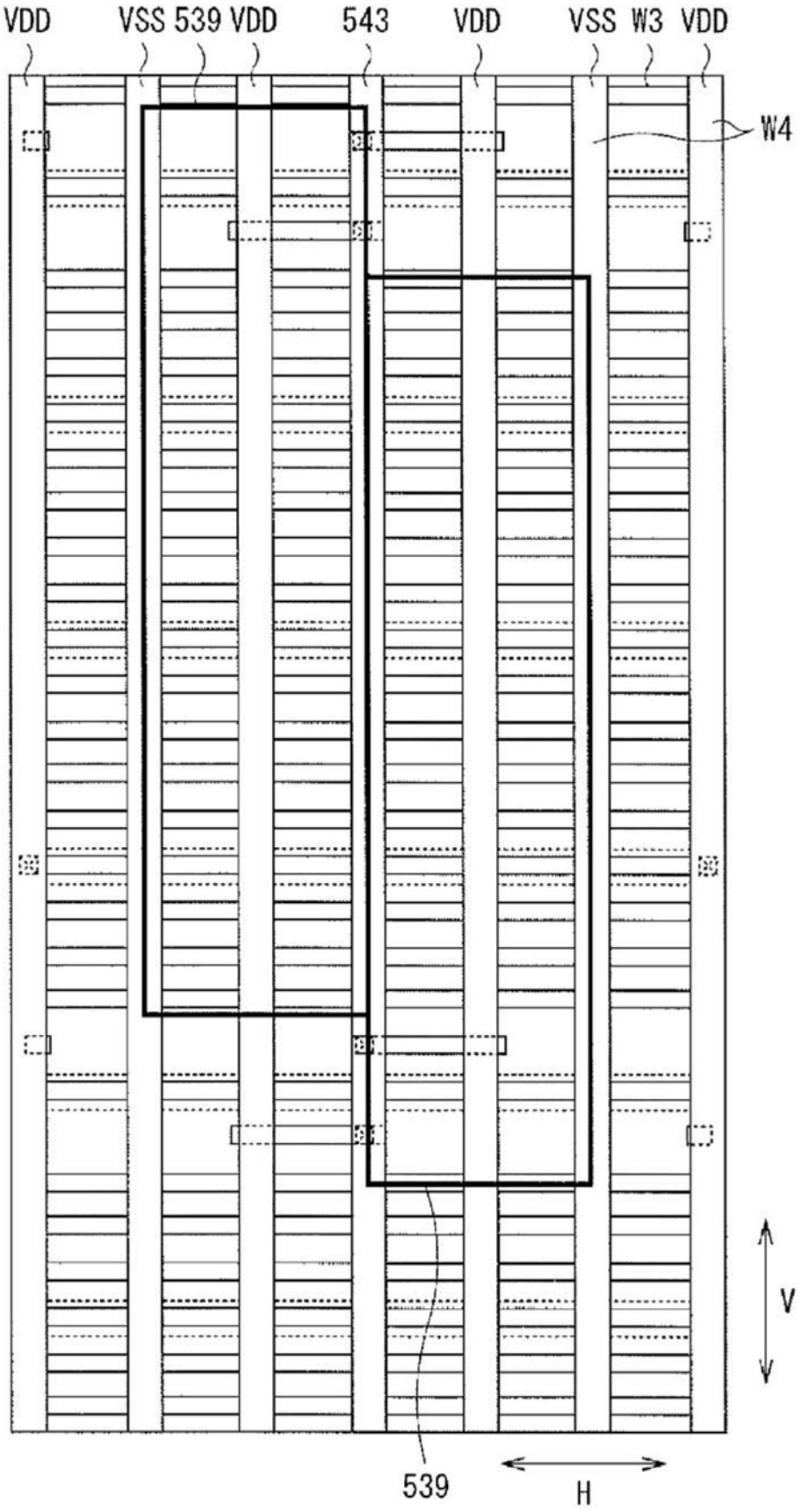



图82

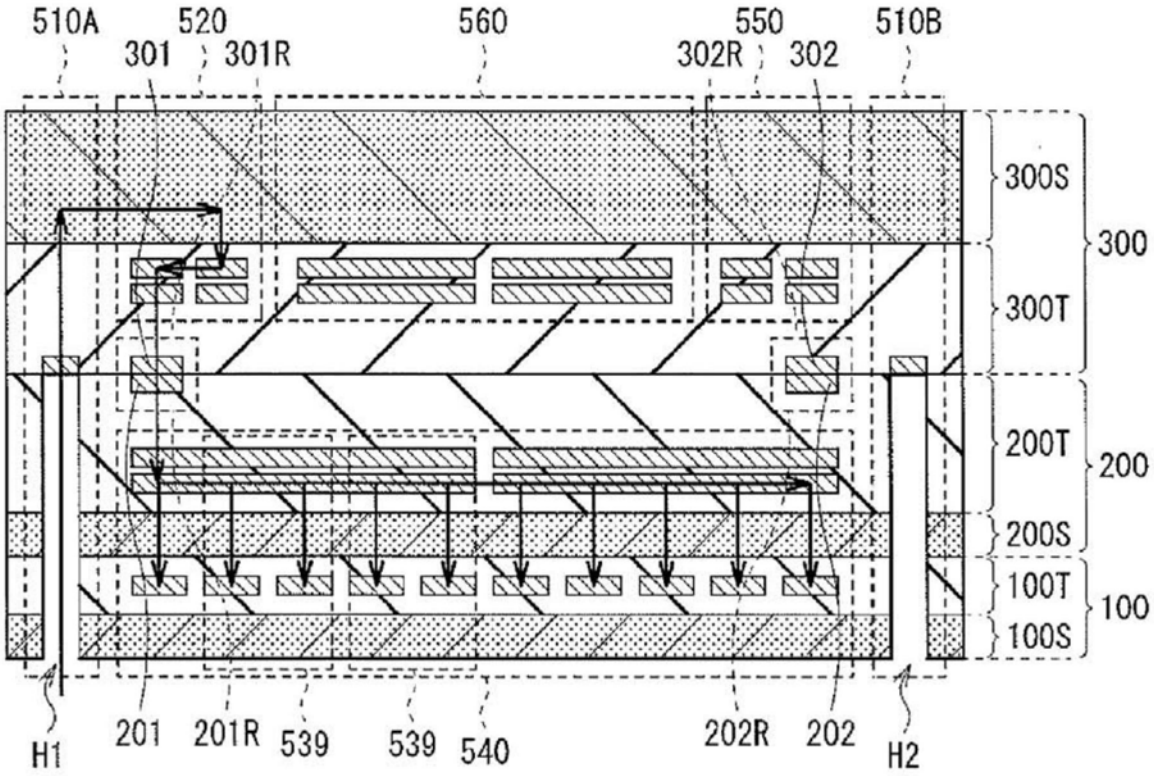

510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

图83

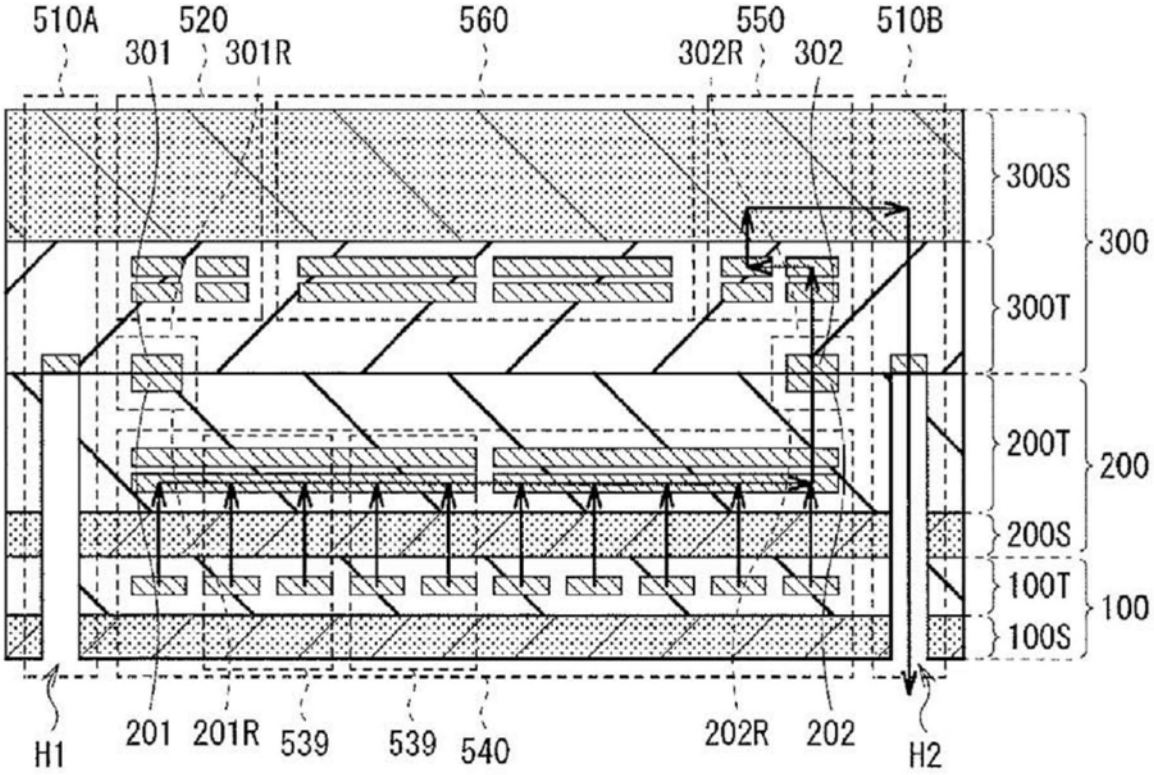

510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

图84

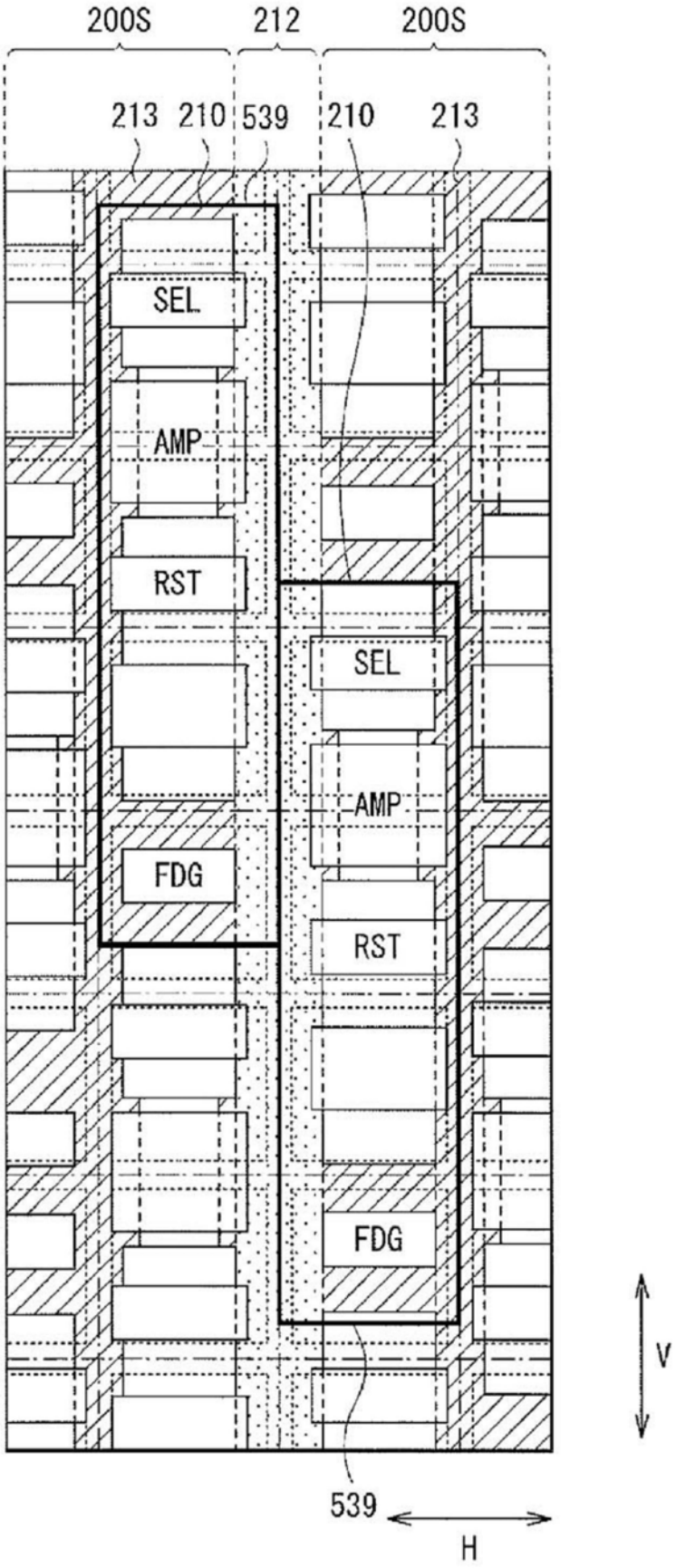

200S
212
200S
213
210
539
210
213
SEL
AMP
RST
SEL
AMP
FDG
RST
FDG
V
539
H

图85

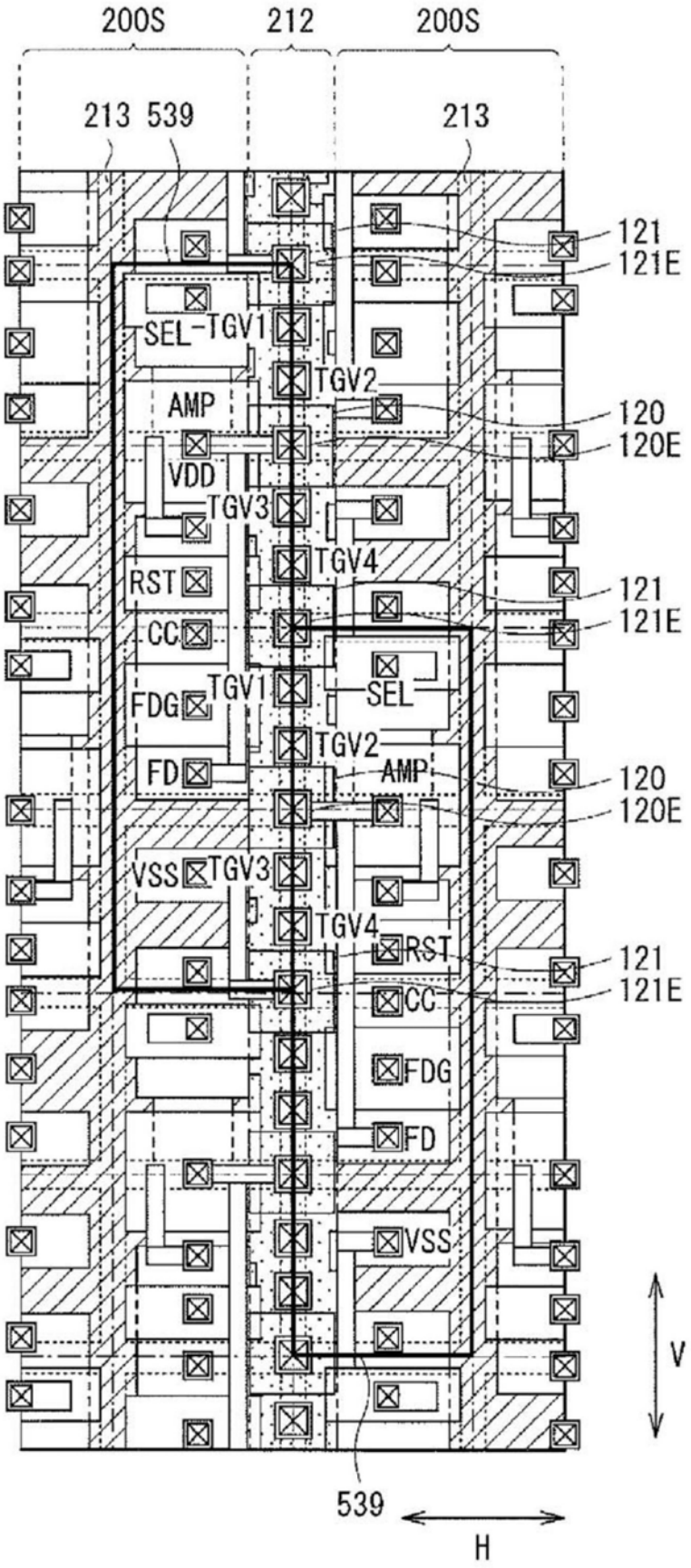

200S
212
200S
213
539
213
121
121E
SEL
TGV1
TGV2
AMP
120
120E
VDD
TGV3
TGV4
RST
121
121E
CC
FDG
TGV1
SEL
TGV2
FD
AMP
120
120E
VSS
TGV3
TGV4
RST
121
121E
CC
FDG
FD
VSS
V
539
H

图86

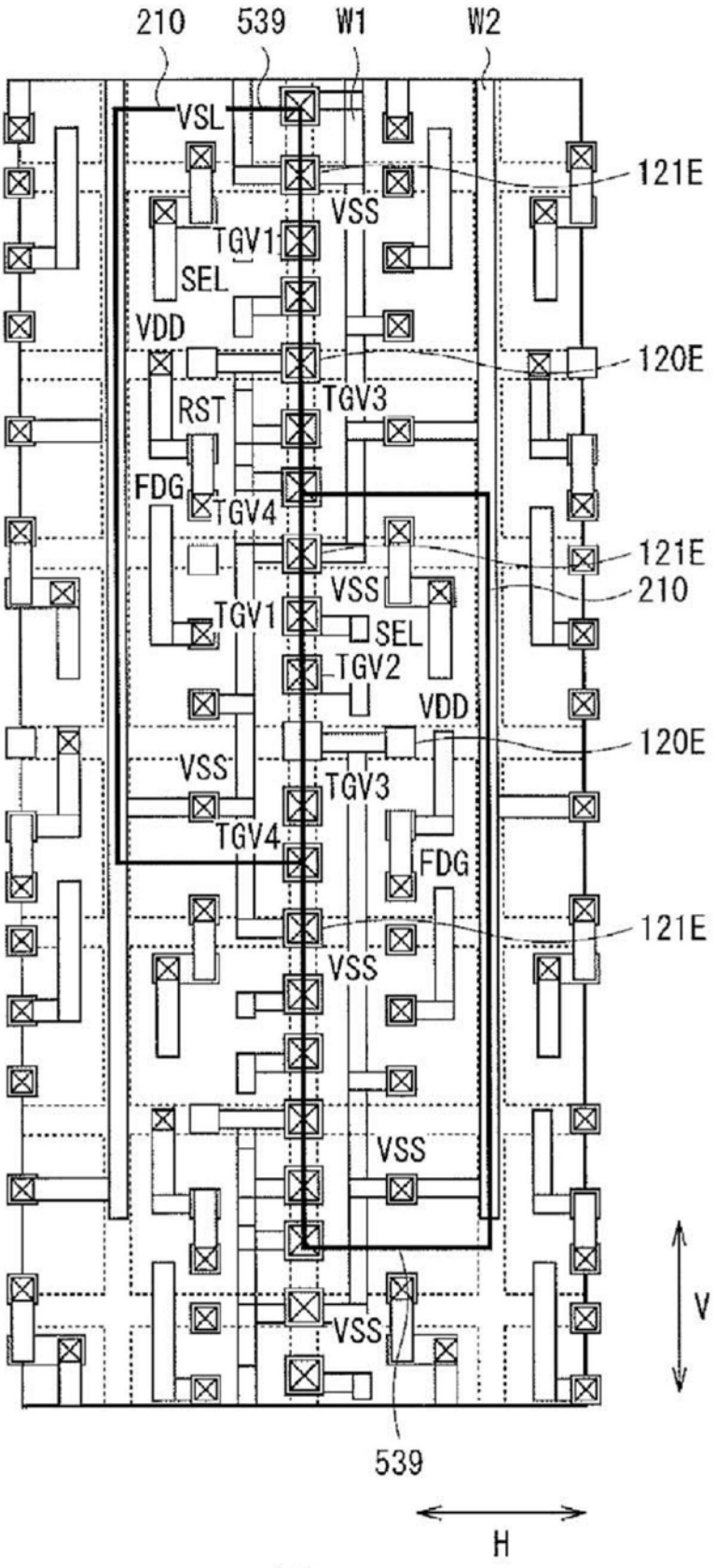

210
539
W1
W2
VSL
121E
VSS
TGV1
SEL
VDD
120E
TGV3
RST
FDG
TGV4
121E
VSS
210
TGV1
SEL
TGV2
VDD
120E
VSS
TGV3
TGV4
FDG
121E
VSS
VSS
VSS
V
539
H

图87

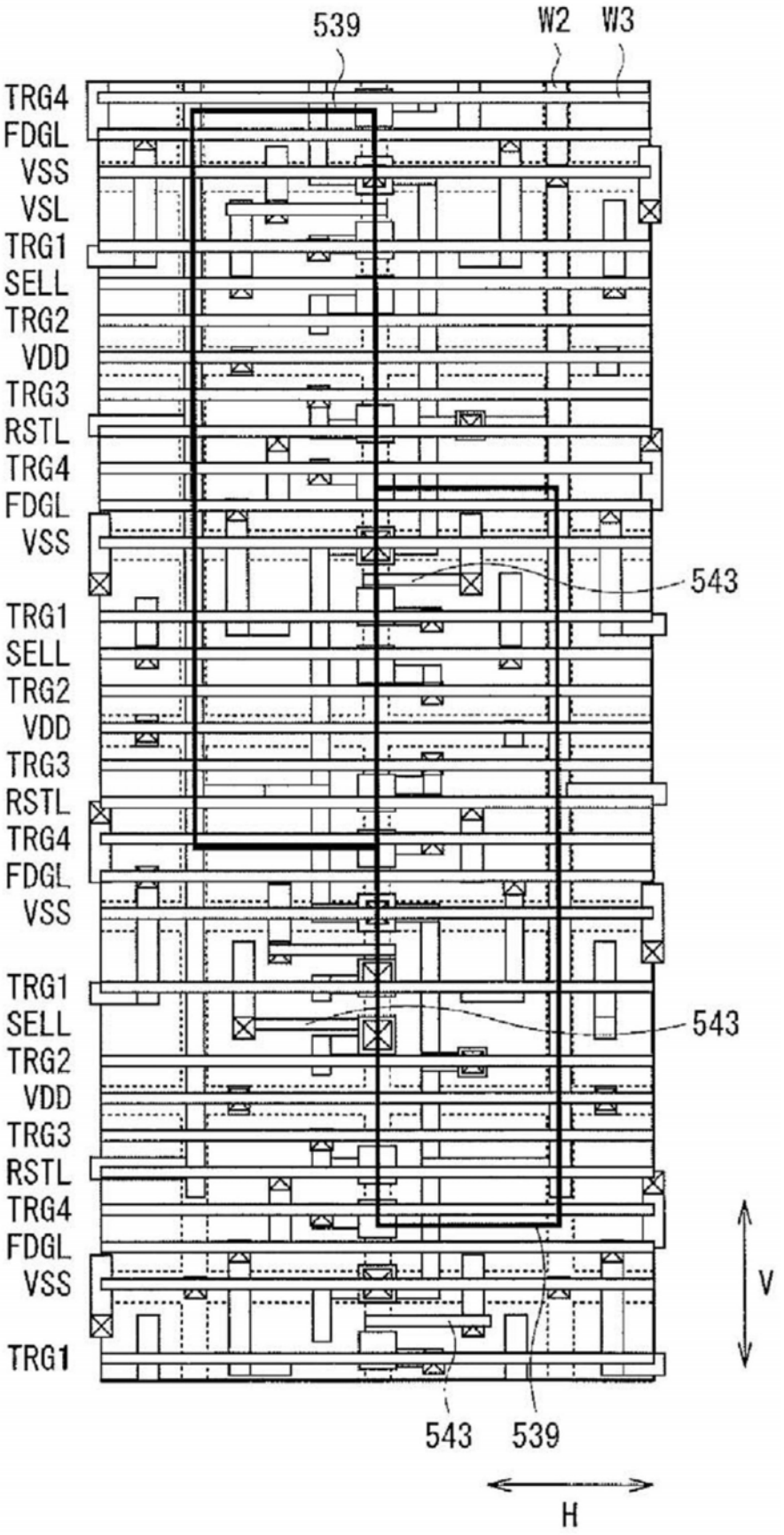

539
W2
W3
TRG4
FDGL
VSS
VSL
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
543
V
543
539
H

图88

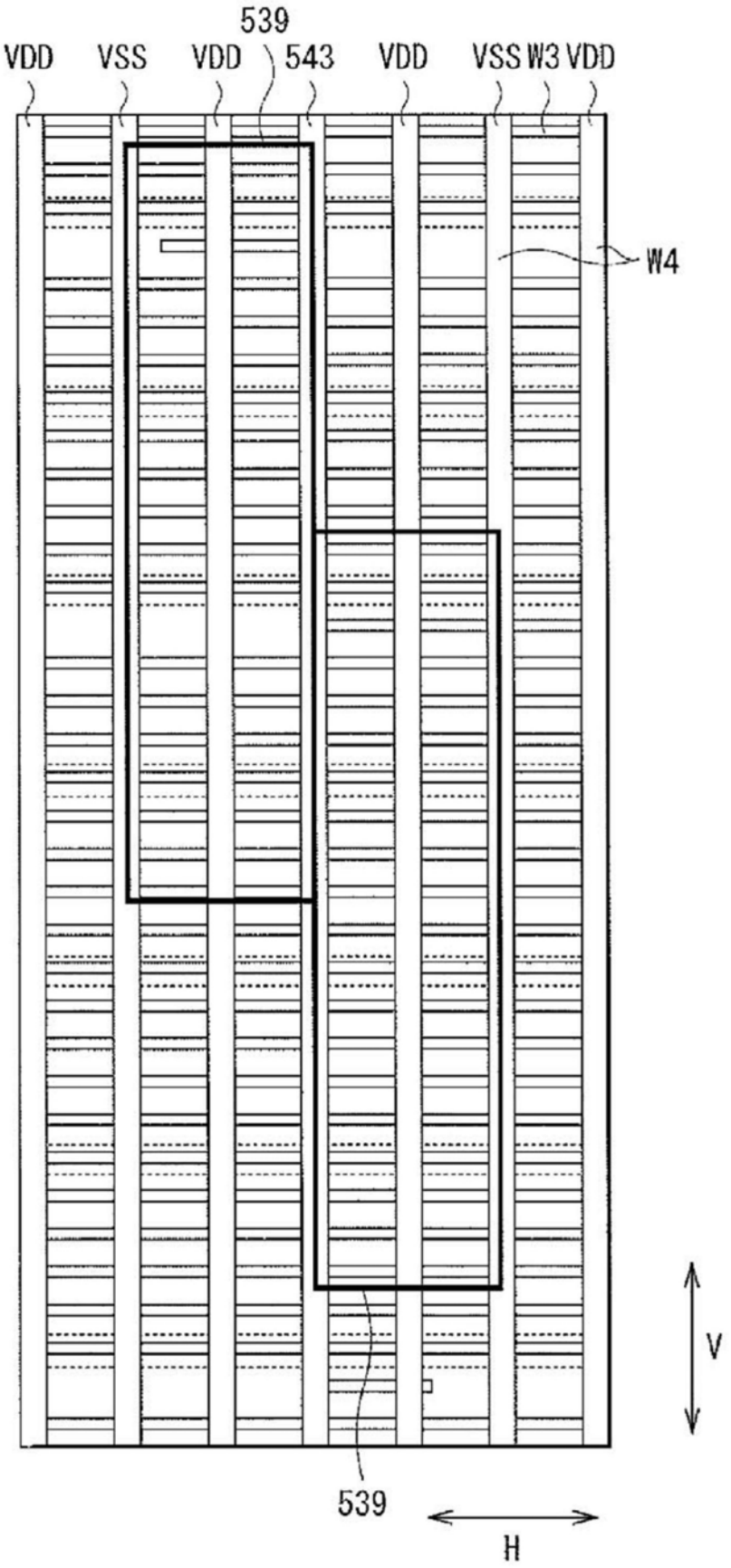



图89

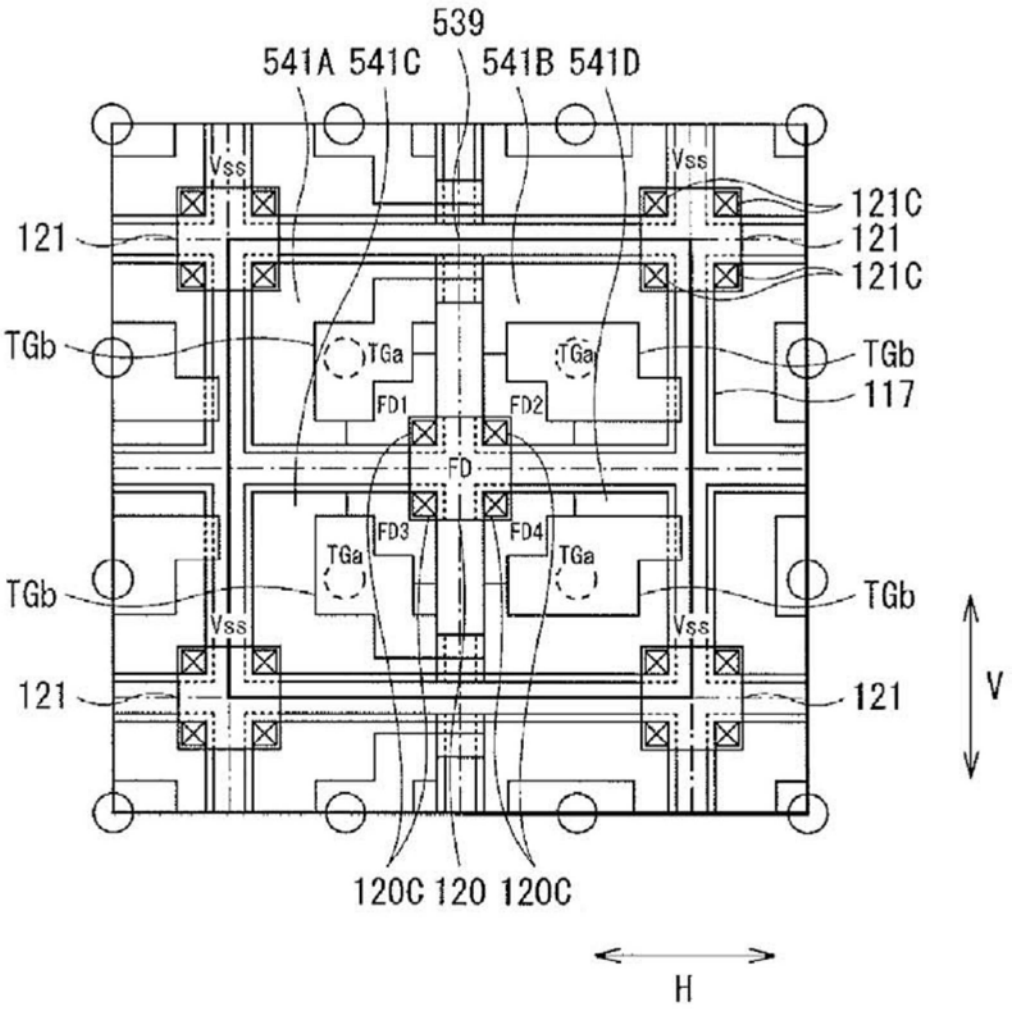

539
541A 541C
541B 541D
Vss
Vss
121C
121
121C
121
TGb
TGa
TGa
TGb
FD1
FD2
117
FD
FD3
FD4
TGa
TGa
TGb
TGb
Vss
Vss
121
121
V
120C 120 120C
H

图90

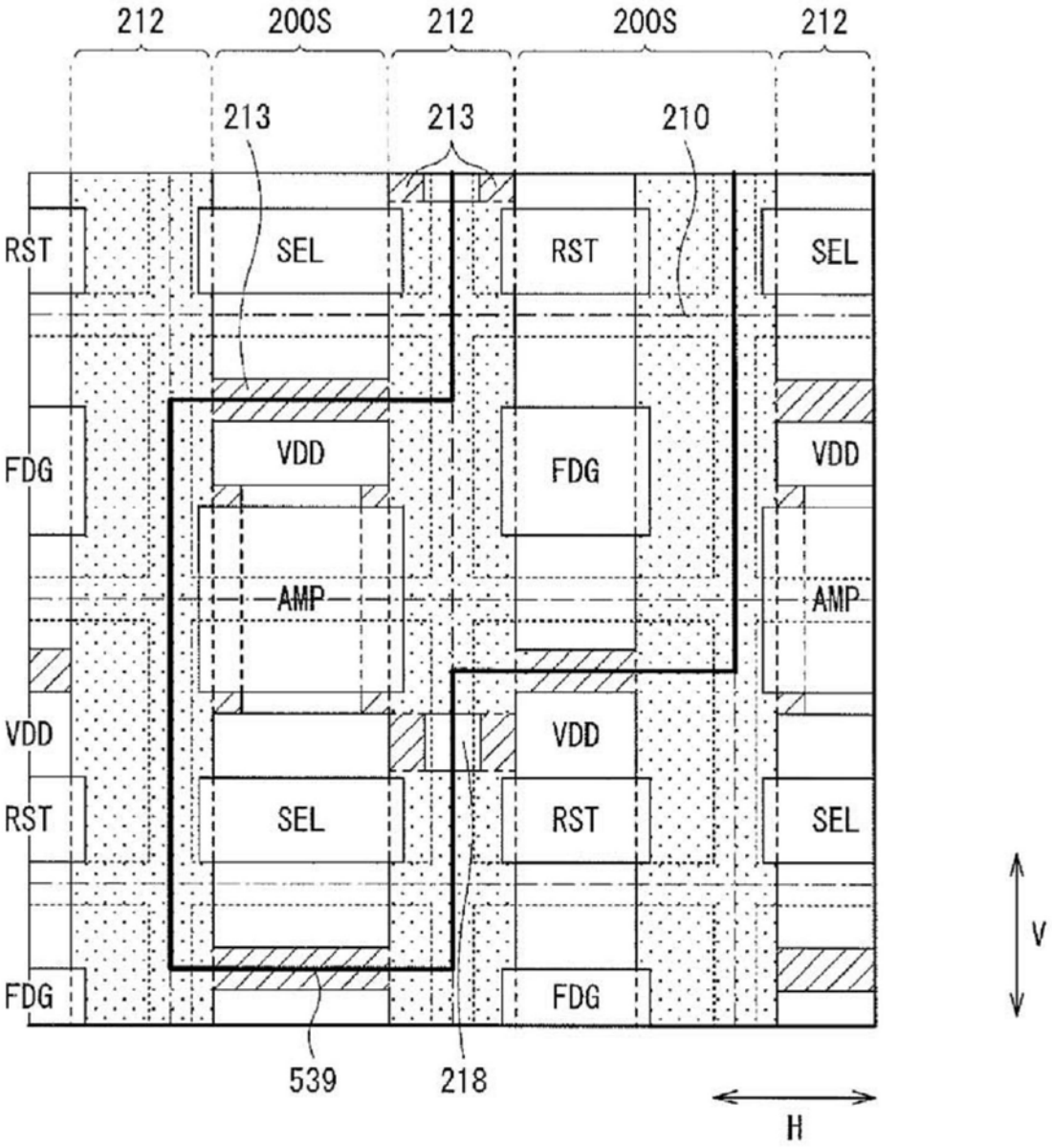

212
200S
212
200S
212
213
213
210
RST
SEL
RST
SEL
FDG
VDD
FDG
VDD
AMP
AMP
VDD
VDD
RST
SEL
RST
SEL
FDG
FDG
539
218
V
H

图91

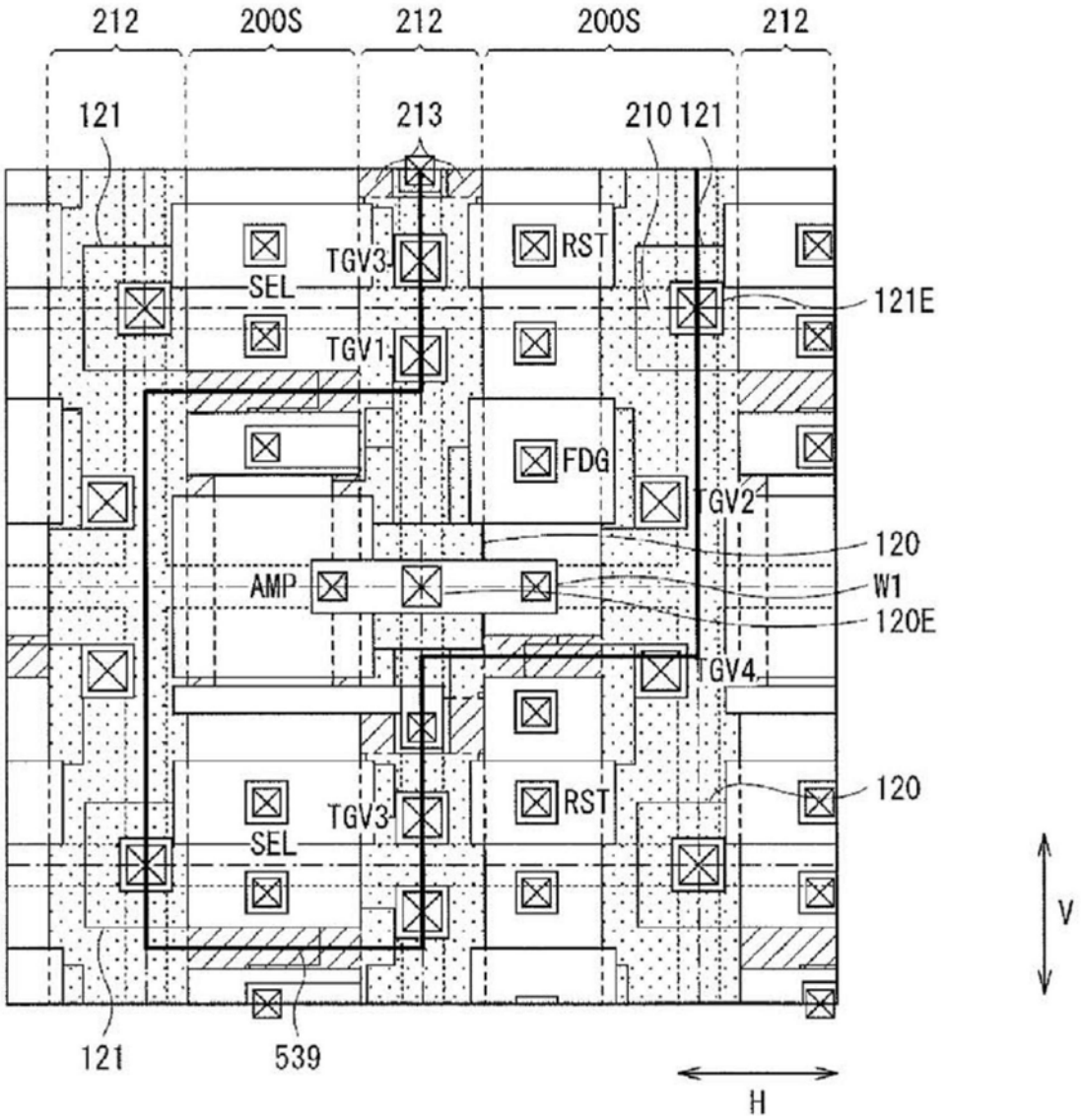

212
200S
212
200S
212
121
213
210
121
TGV3
SEL
RST
121E
TGV1
FDG
TGV2
120
AMP
W1
120E
TGV4
120
TGV3
SEL
RST
V
121
539
H

图92

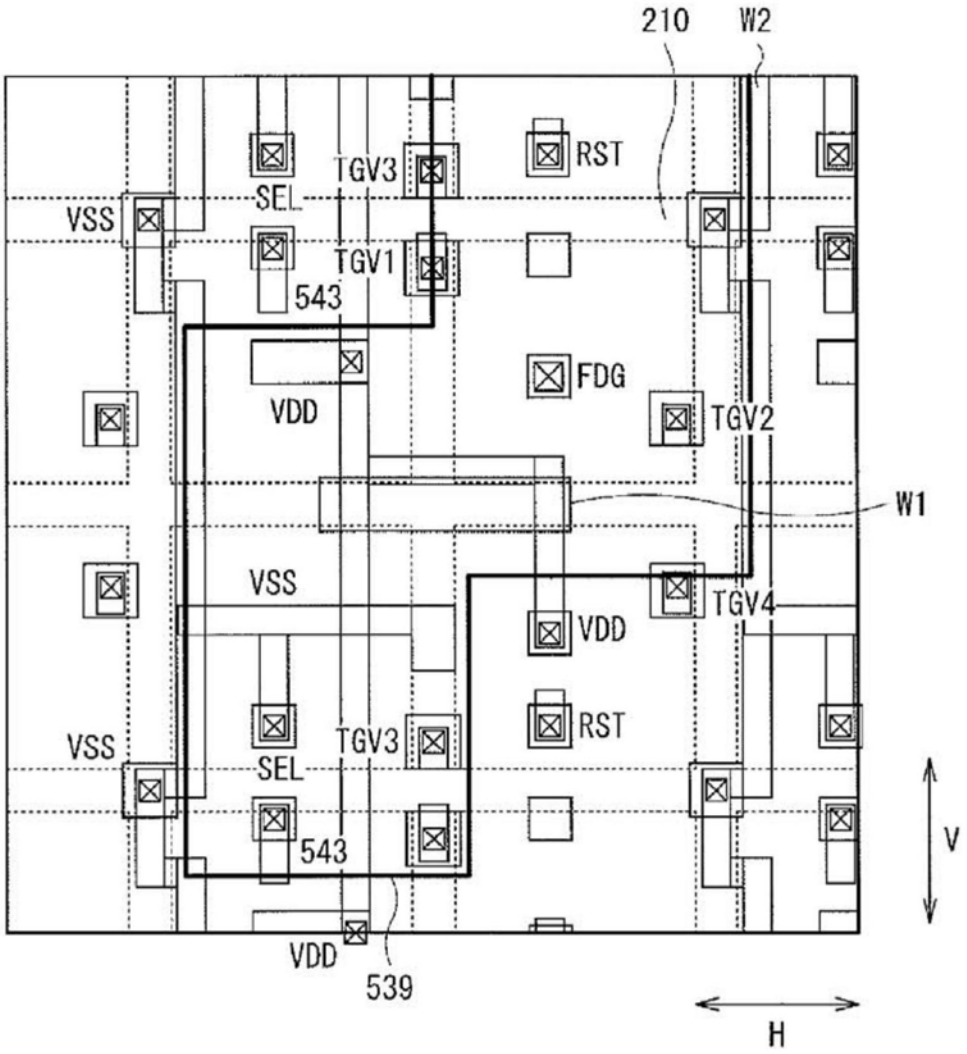

210
W2
RST
TGV3
SEL
VSS
TGV1
543
FDG
VDD
TGV2
W1
VSS
TGV4
VDD
RST
VSS
TGV3
SEL
543
V
VDD
539
H

图93

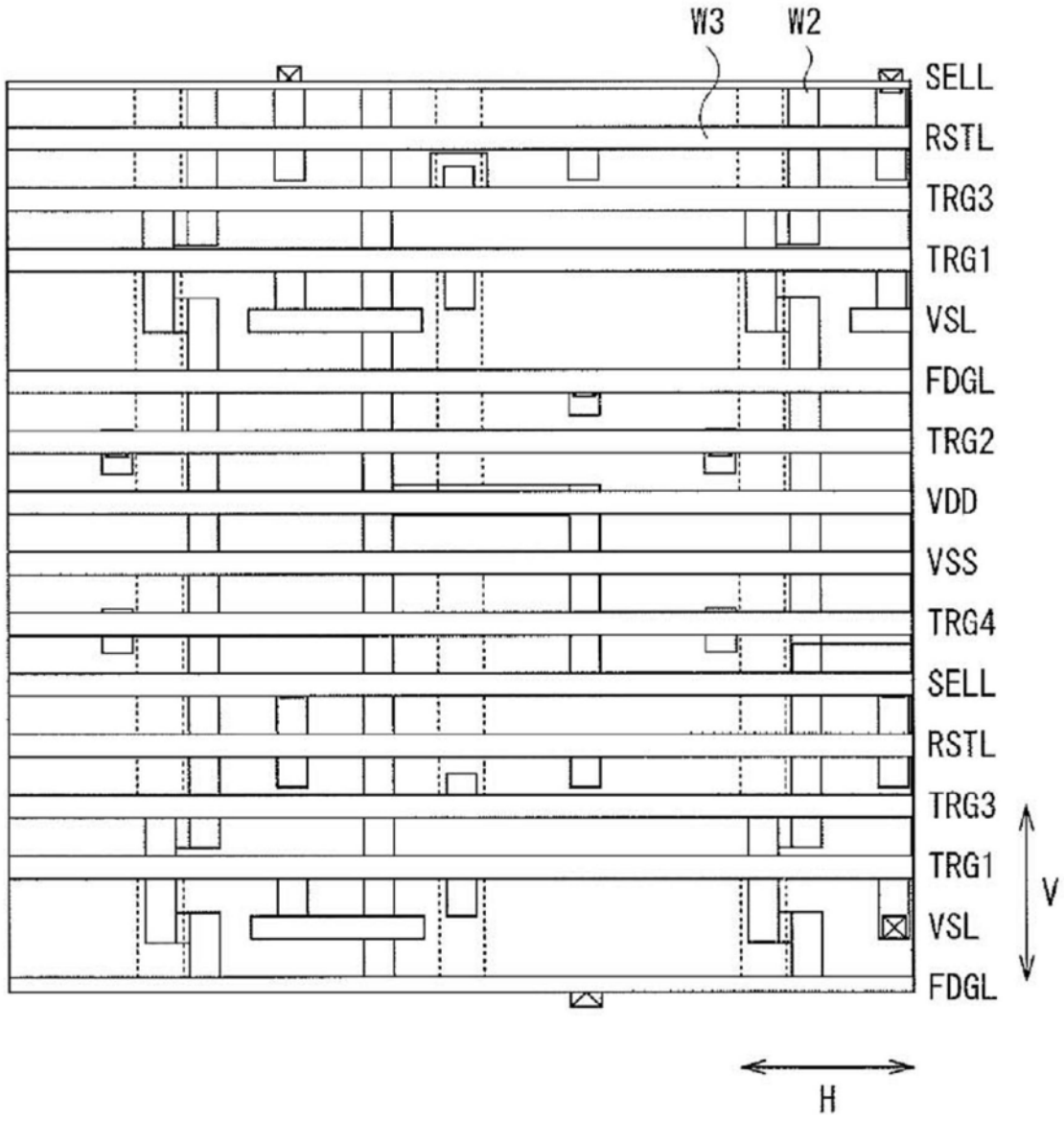

W3
W2
SELL
RSTL
TRG3
TRG1
VSL
FDGL
TRG2
VDD
VSS
TRG4
SELL
RSTL
TRG3
TRG1
VSL
FDGL
V
H

图94

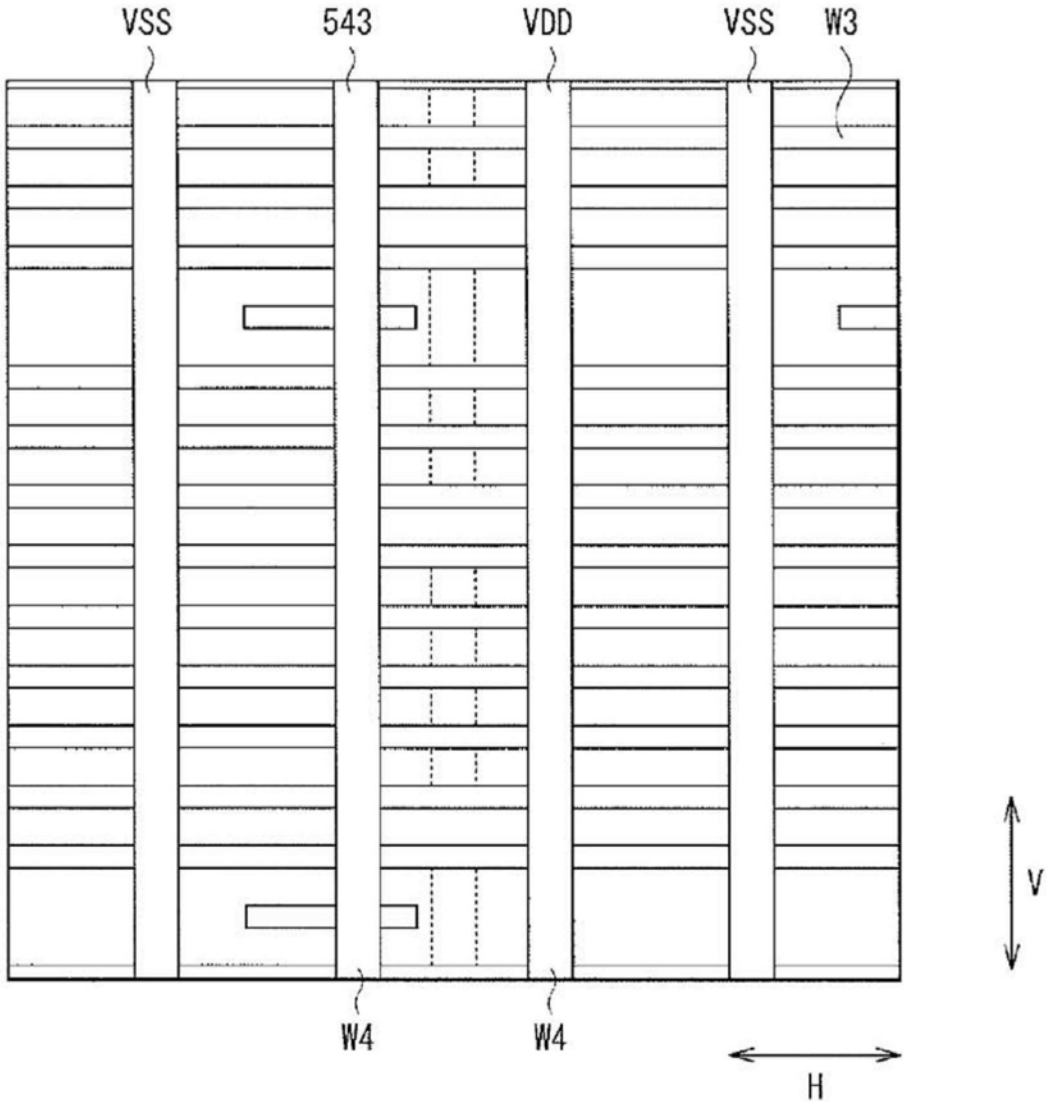



图95

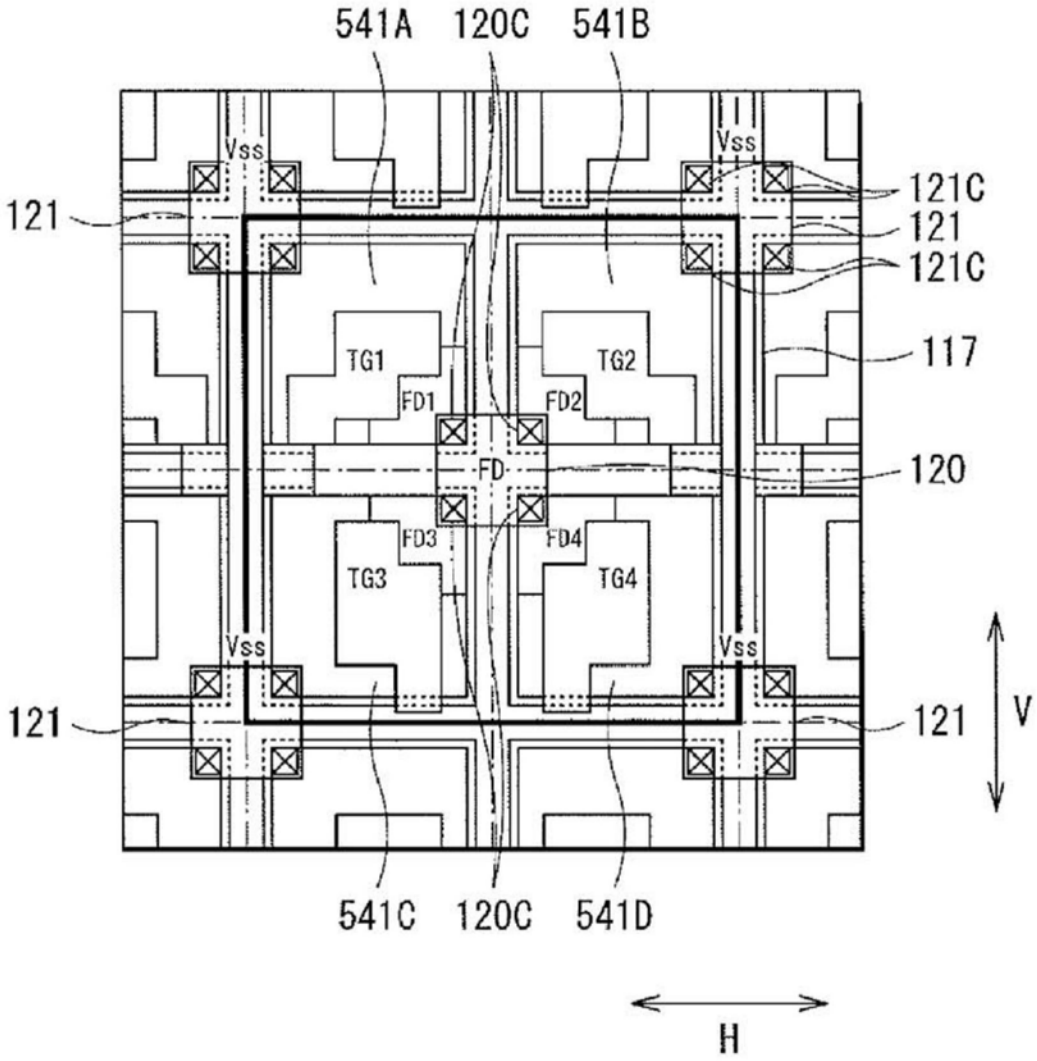

541A
120C
541B
Vss
Vss
121C
121
121C
121
TG1
TG2
117
FD1
FD2
FD
120
FD3
FD4
TG3
TG4
Vss
Vss
121
121
V
541C
120C
541D
H

图96

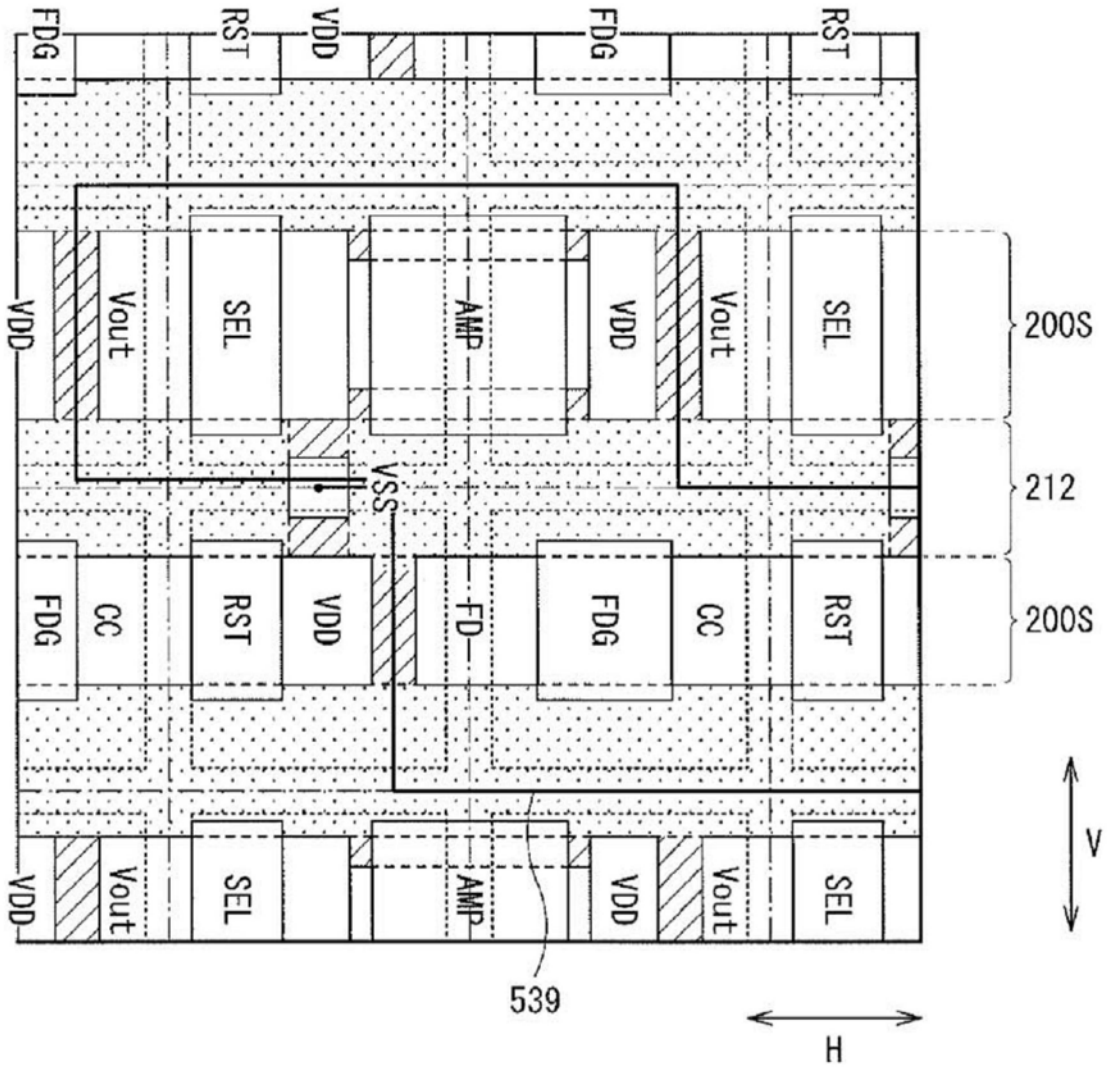

FDG
RST
VDD
FDG
RST
VDD
Vout
SEL
AMP
VDD
Vout
SEL
200S
212
VSS
FDG
CC
RST
VDD
FD
FDG
CC
RST
200S
V
VDD
Vout
SEL
AMP
VDD
Vout
SEL
539
H

图97

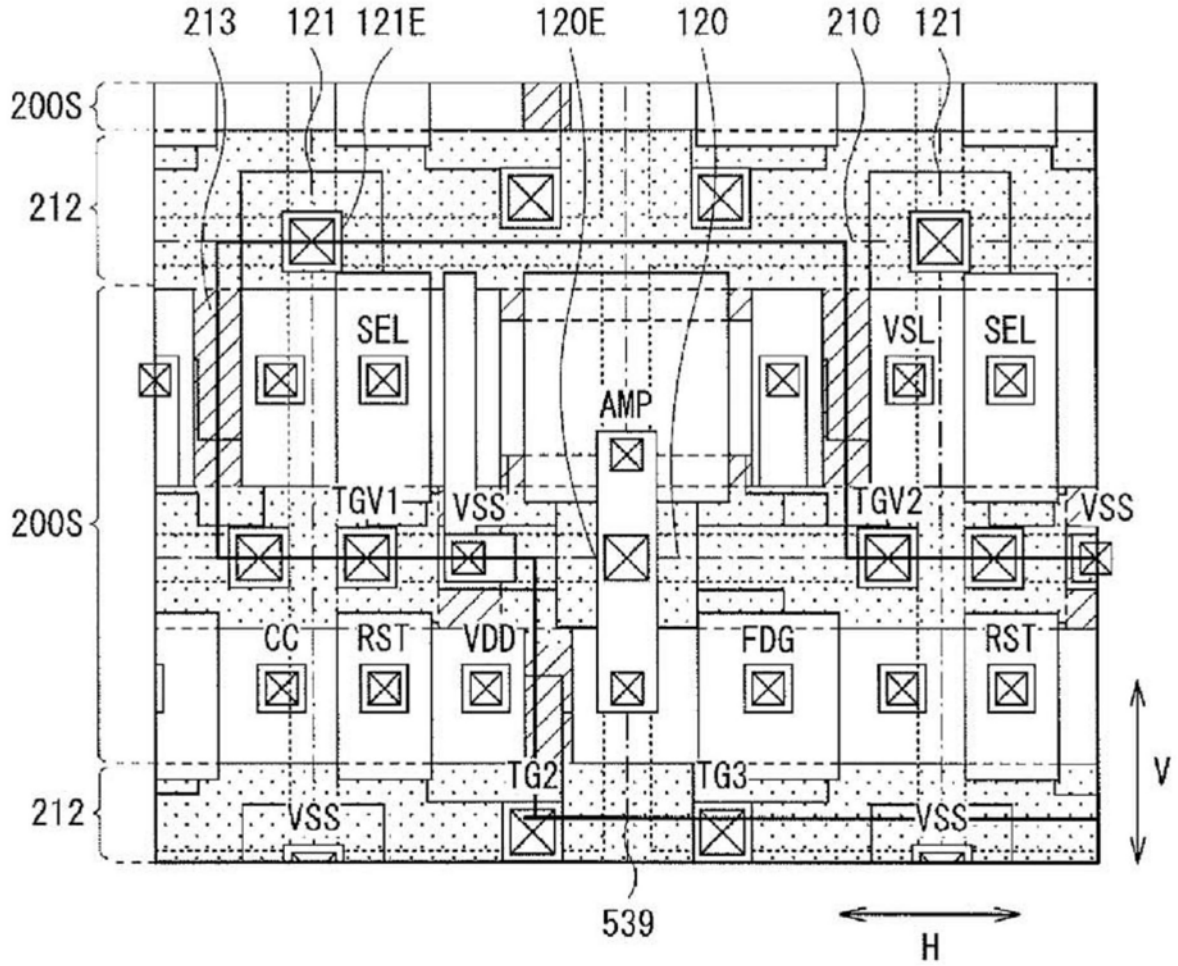

213
121
121E
120E
120
210
121
200S
212
200S
212
SEL
VSL
SEL
AMP
TGV1
VSS
TGV2
VSS
CC
RST
VDD
FDG
RST
TG2
TG3
VSS
VSS
539
V
H

图98

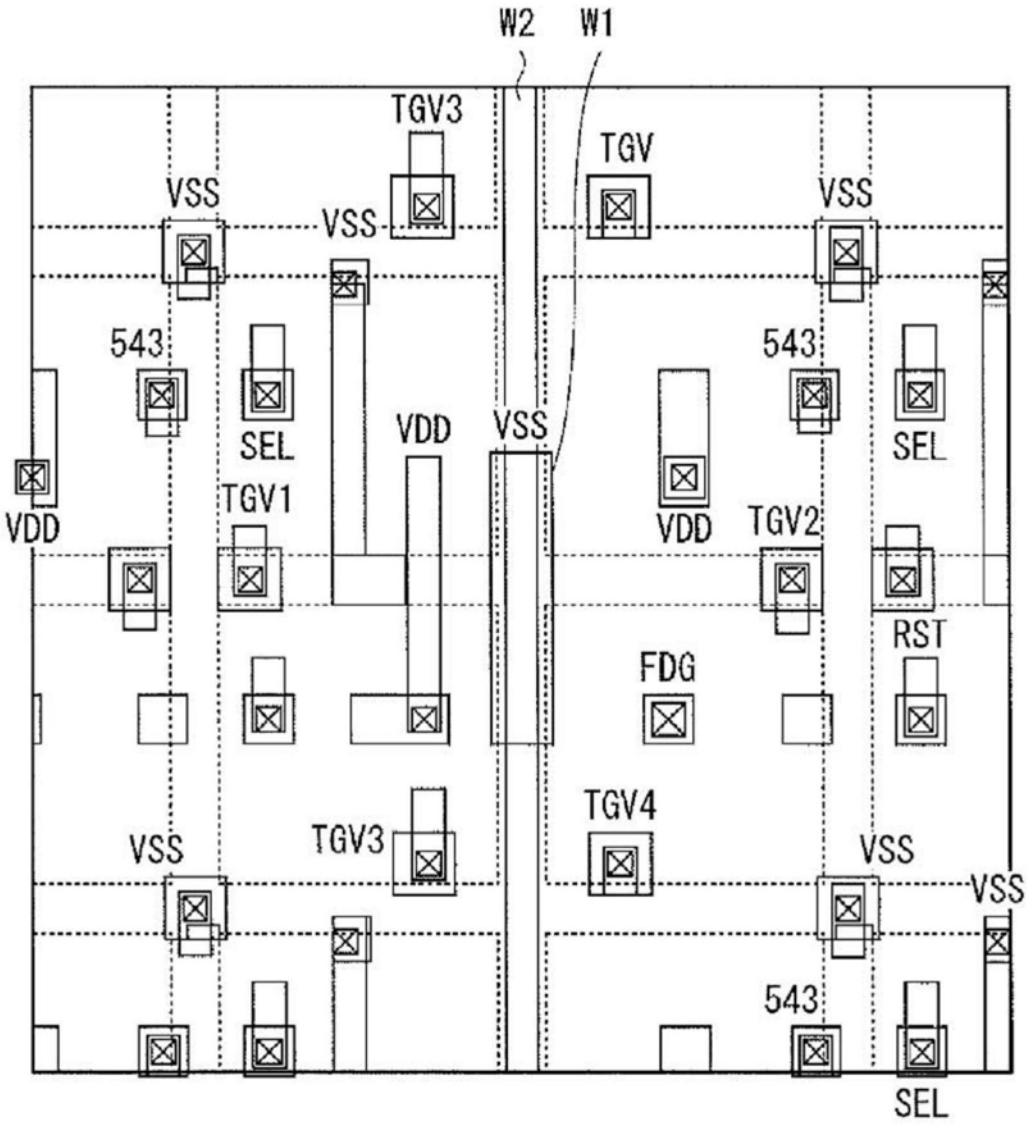

W2
W1
TGV3
TGV
VSS
VSS
VSS
543
543
SEL
SEL
VDD
VSS
VDD
TGV1
TGV2
VDD
RST
FDG
TGV4
TGV3
VSS
VSS
VSS
543
SEL

图99

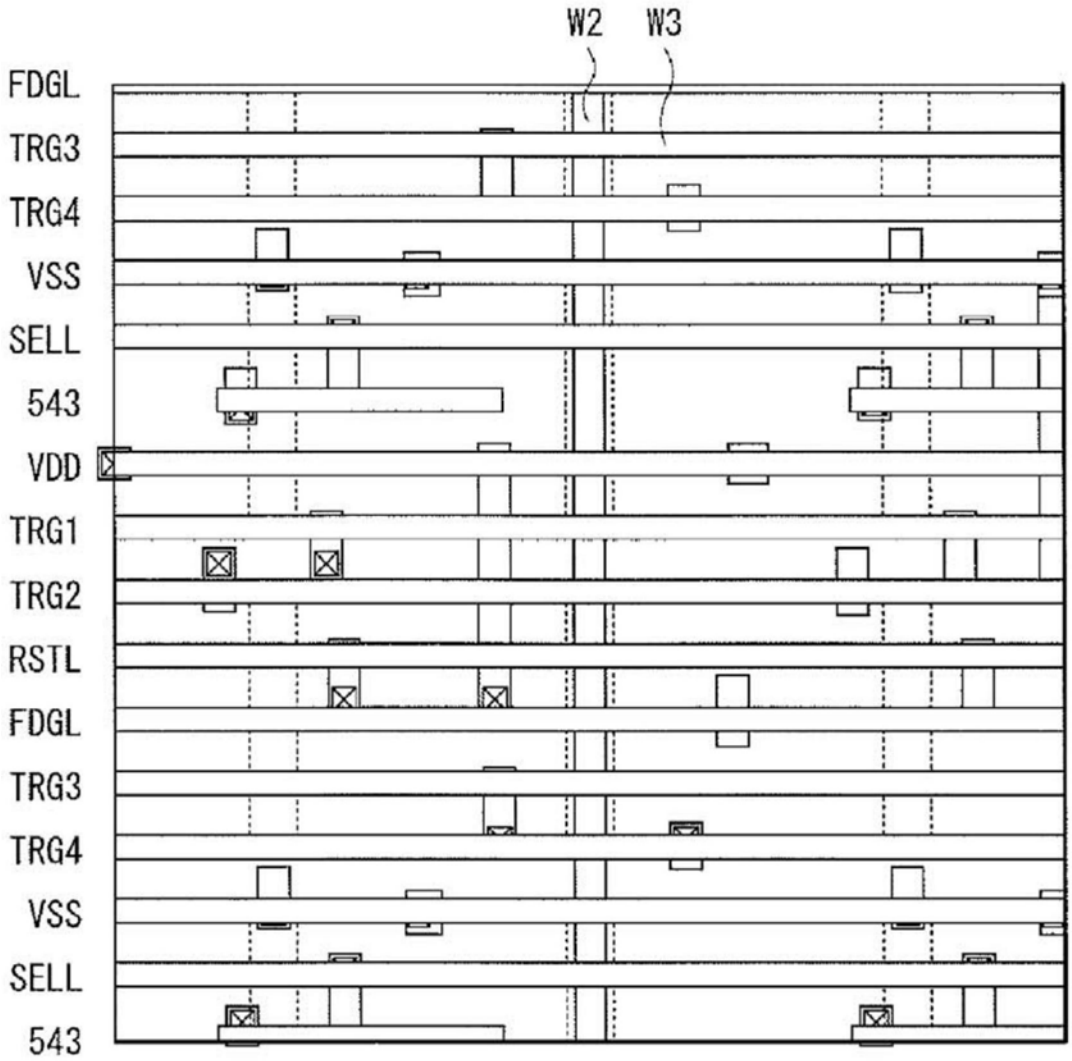

W2
W3
FDGL
TRG3
TRG4
VSS
SELL
543
VDD
TRG1
TRG2
RSTL
FDGL
TRG3
TRG4
VSS
SELL
543

图100

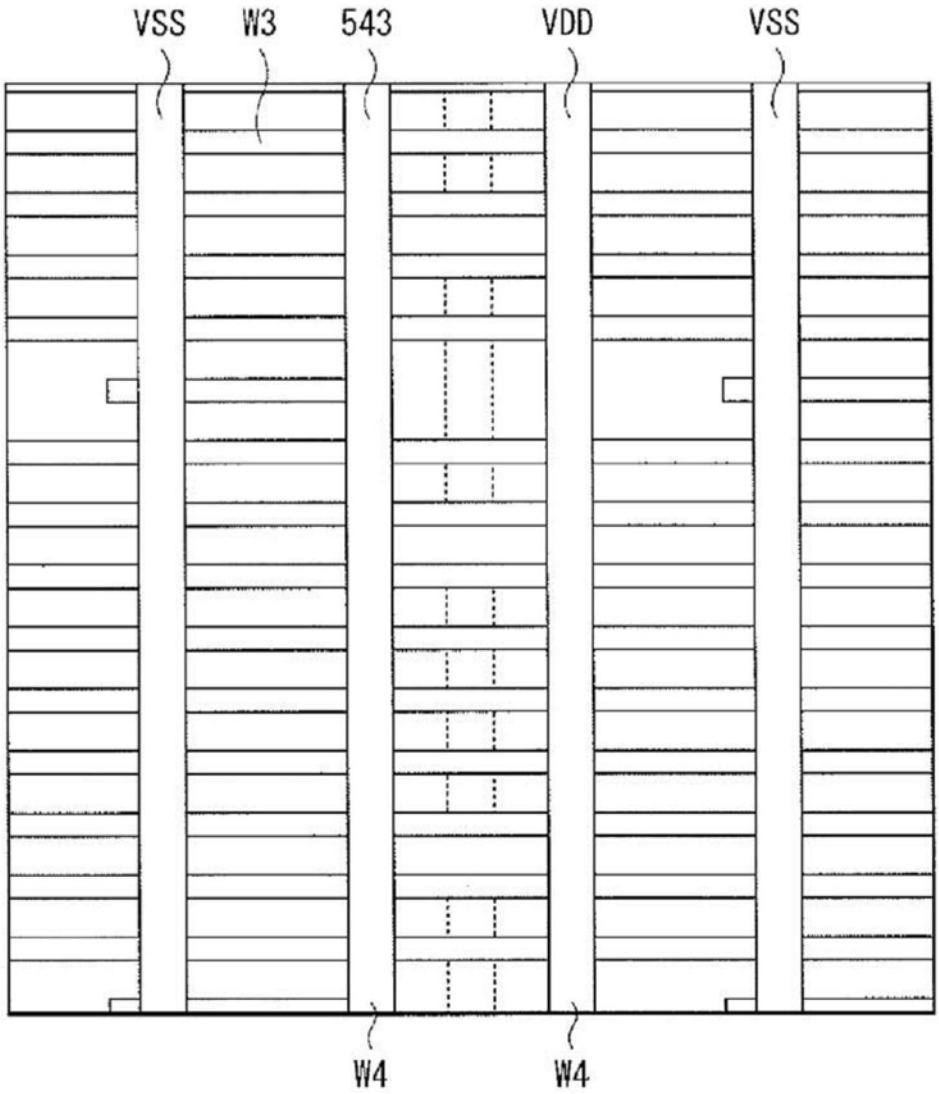



图101

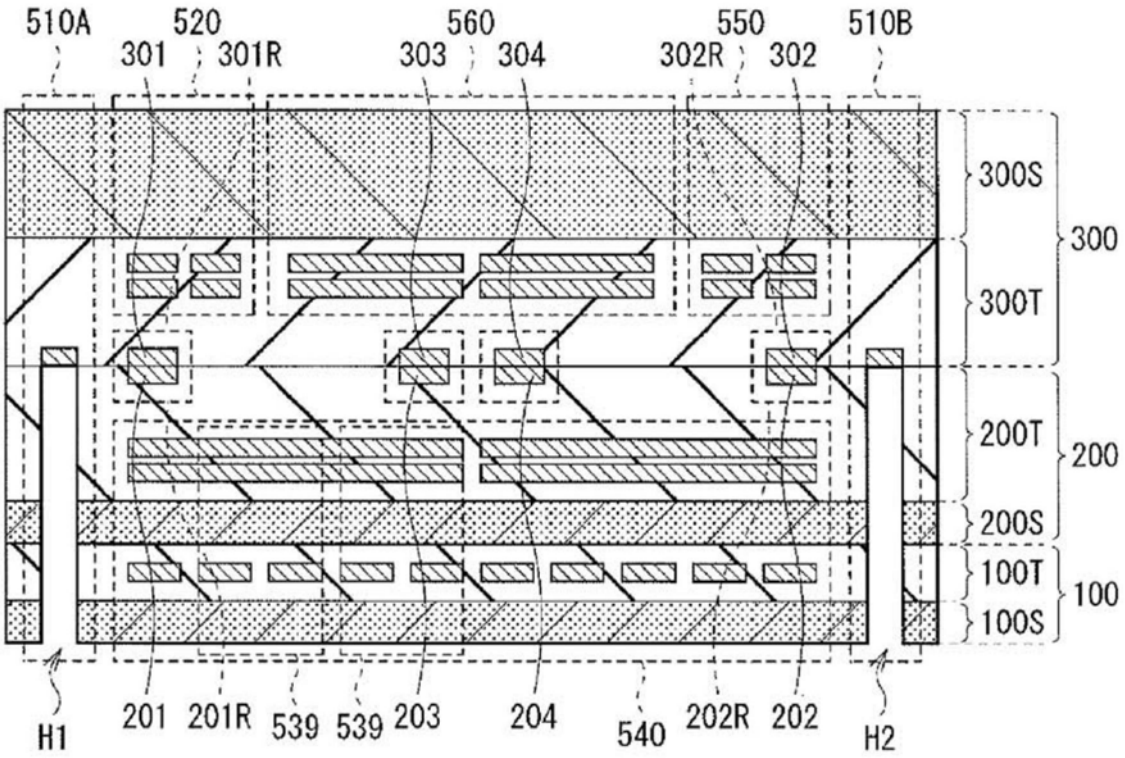

510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
204
540
202R
202
H2

图102

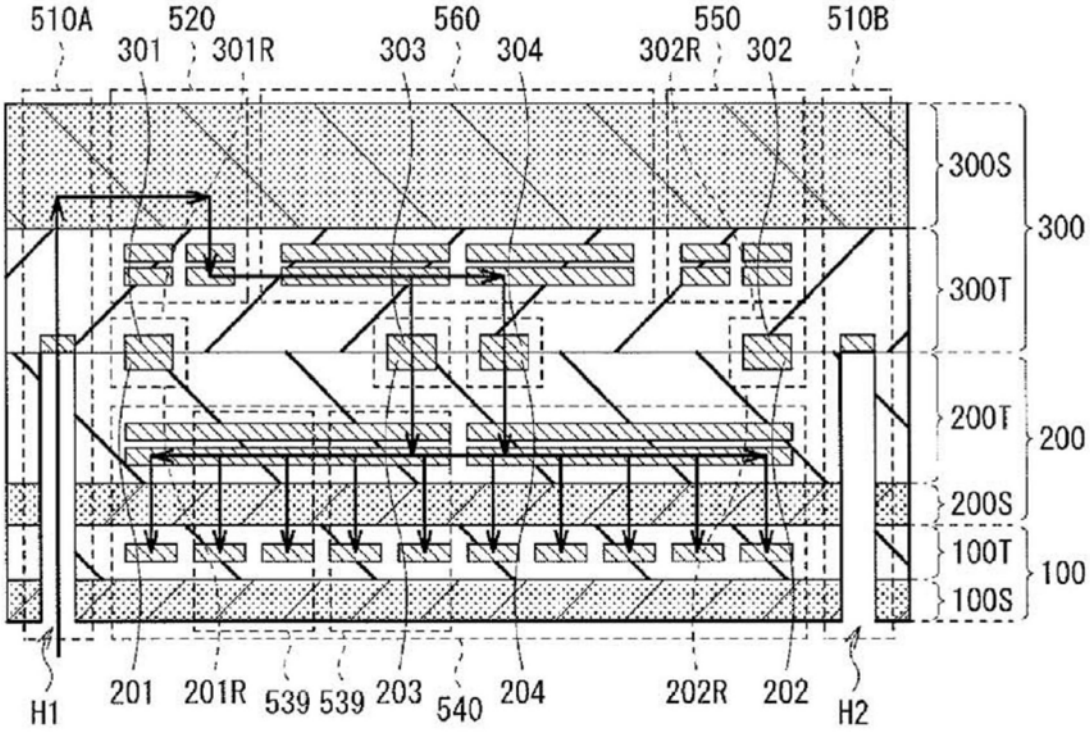

510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
540
204
202R
202
H2

图103

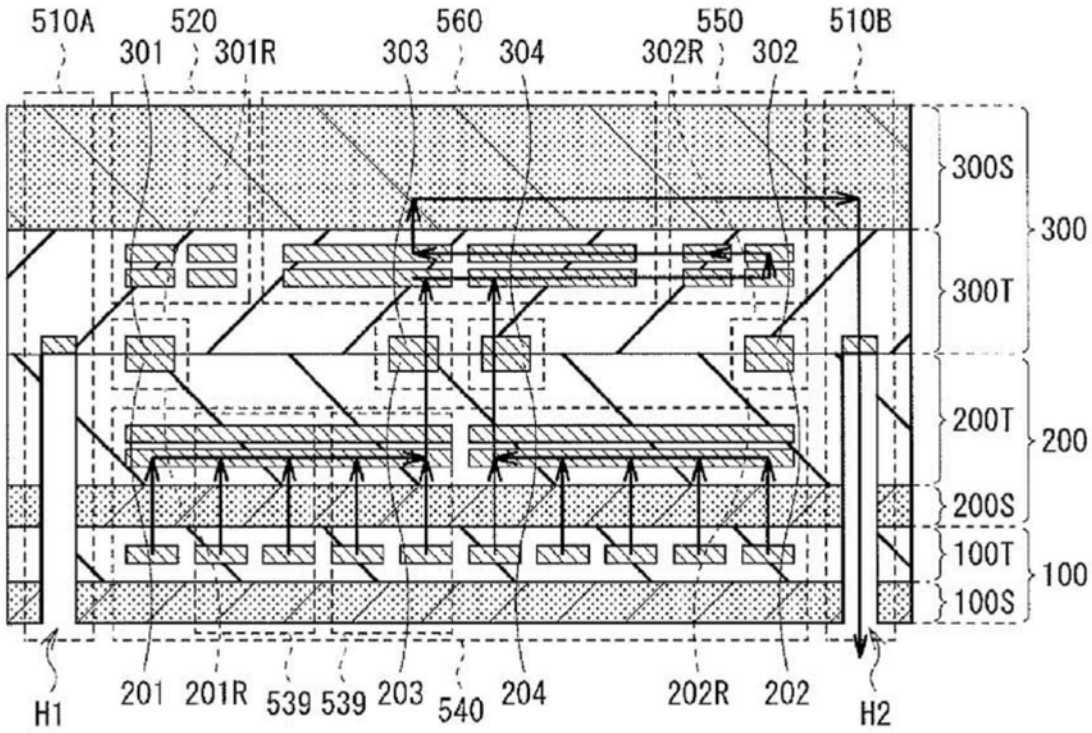

510A
520
301
301R
303
560
304
550
302R
302
510B
300S
300T
300
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
540
204
202R
202
H2

图104

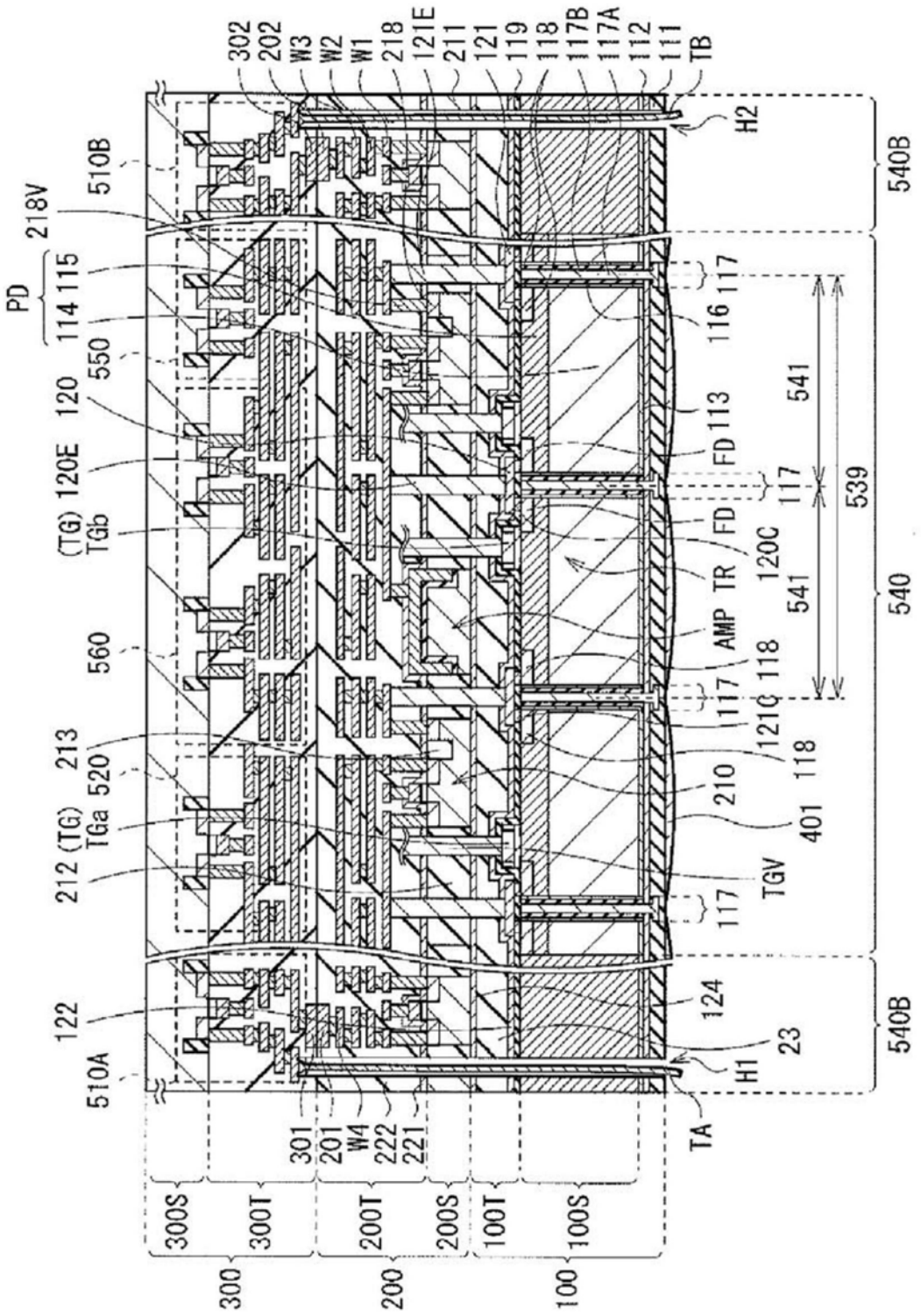

302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
114
115
550
120
120E
(TG)
TGb
560
213
520
212
(TG)
TGa
122
510A
116
117
113
FD
541
539
TR
AMP
120C
121C
210
401
TGV
124
23
H1
TA
540
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100

图105

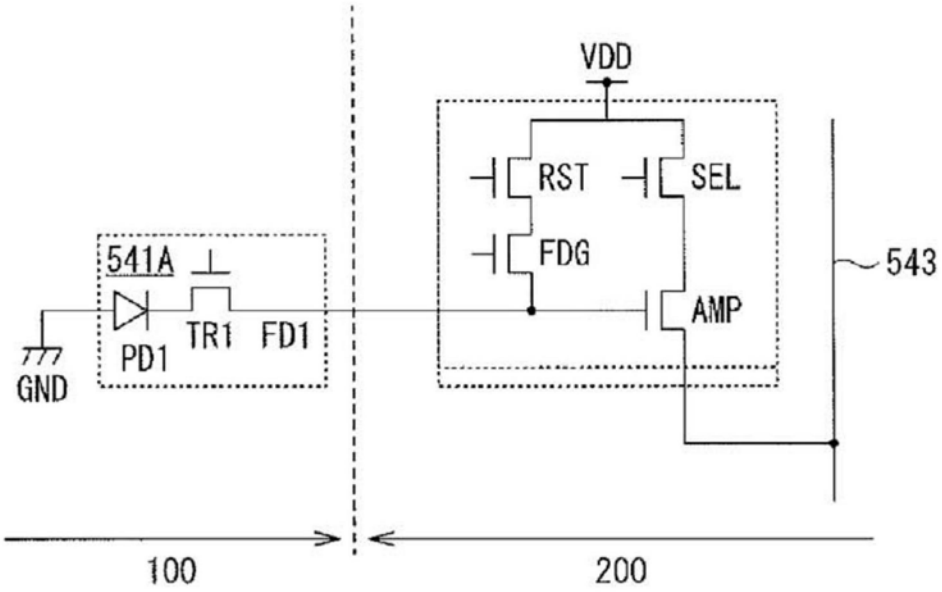

VDD
RST
SEL
FDG
AMP
543
541A
TR1
FD1
PD1
GND
100
200

图106

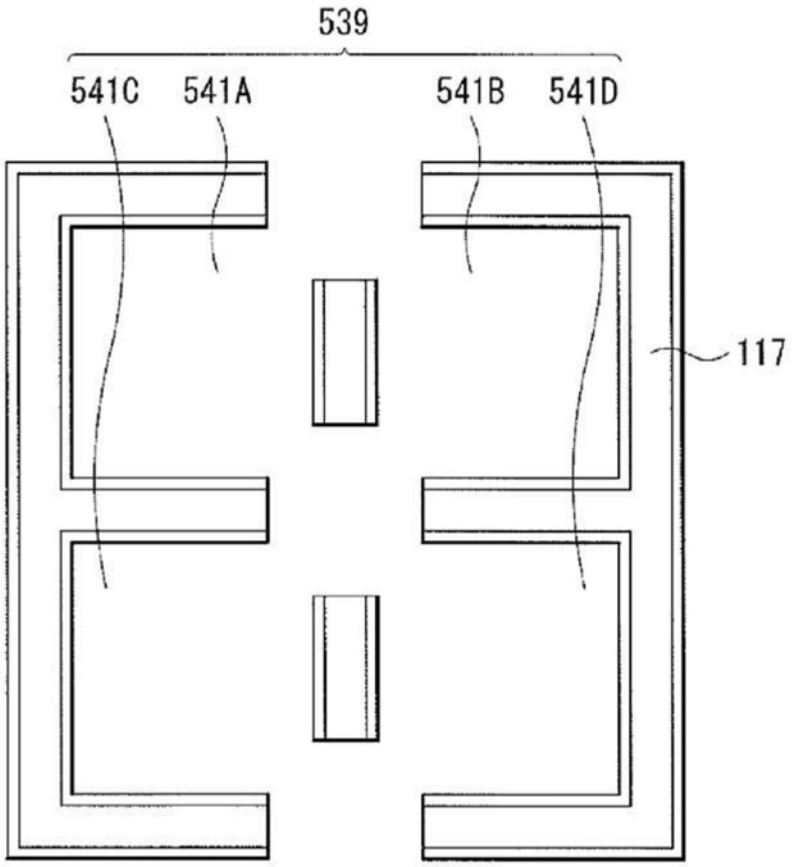

539
541C
541A
541B
541D
117

图107

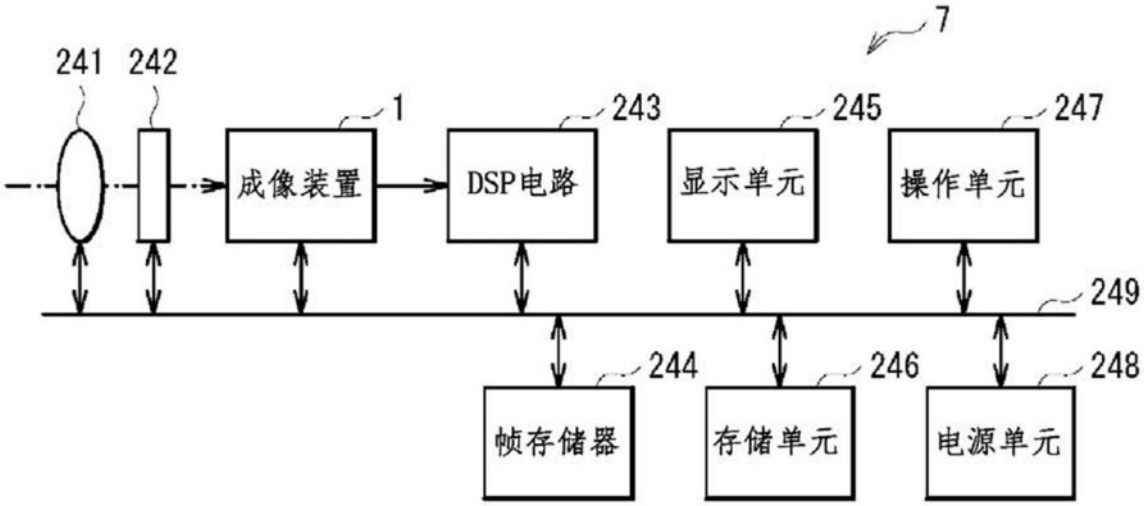

7
241
242
1
成像装置
243
DSP电路
245
显示单元
247
操作单元
249
244
帧存储器
246
存储单元
248
电源单元

图108

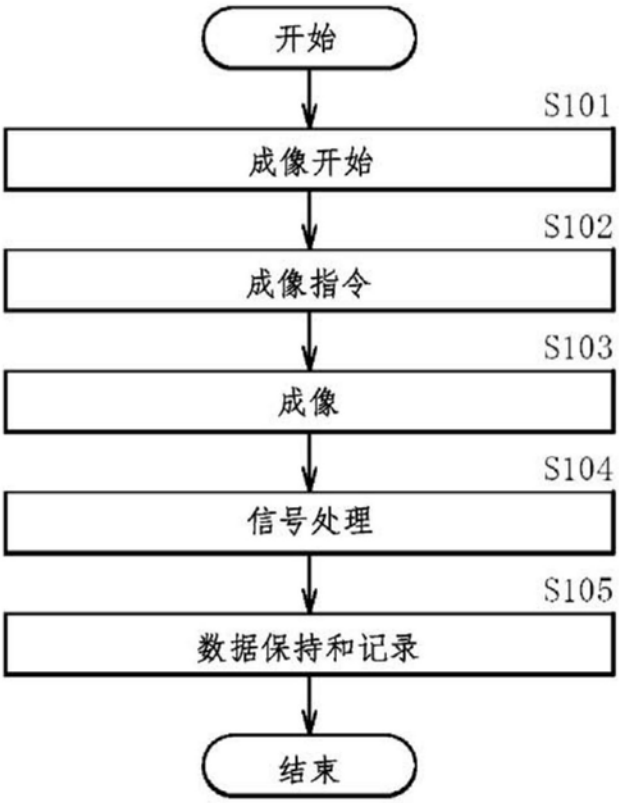

开始
S101
成像开始
S102
成像指令
S103
成像
S104
信号处理
S105
数据保持和记录
结束

图109

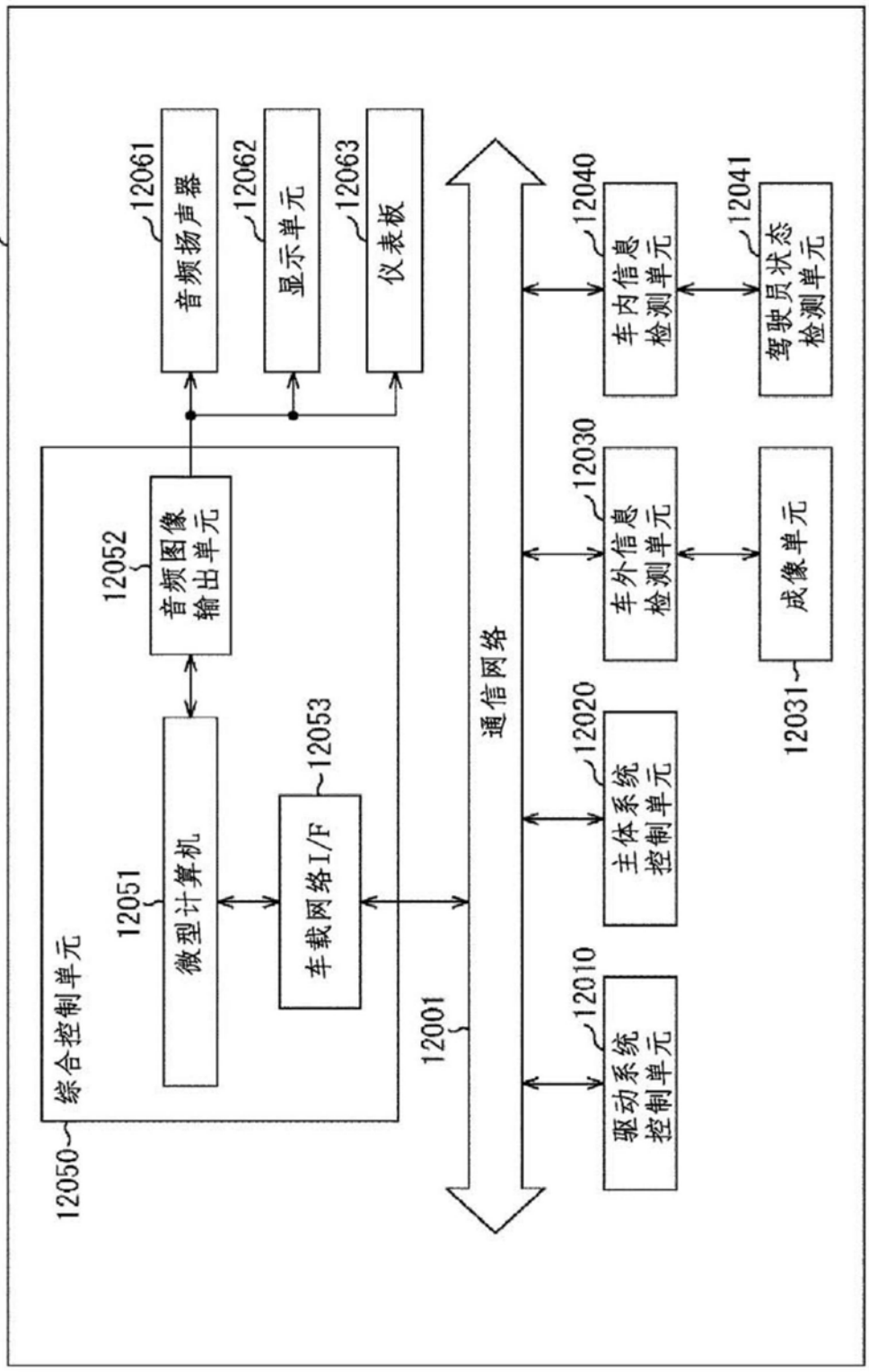

12000
12061
音频扬声器
12062
显示单元
12063
仪表板
12052
音频图像输出单元
12051
微型计算机
12053
车载网络I/F
12050
综合控制单元
12001
通信网络
12010
驱动系统控制单元
12020
主体系统控制单元
12030
车外信息检测单元
12040
车内信息检测单元
12031
成像单元
12041
驾驶员状态检测单元

图110

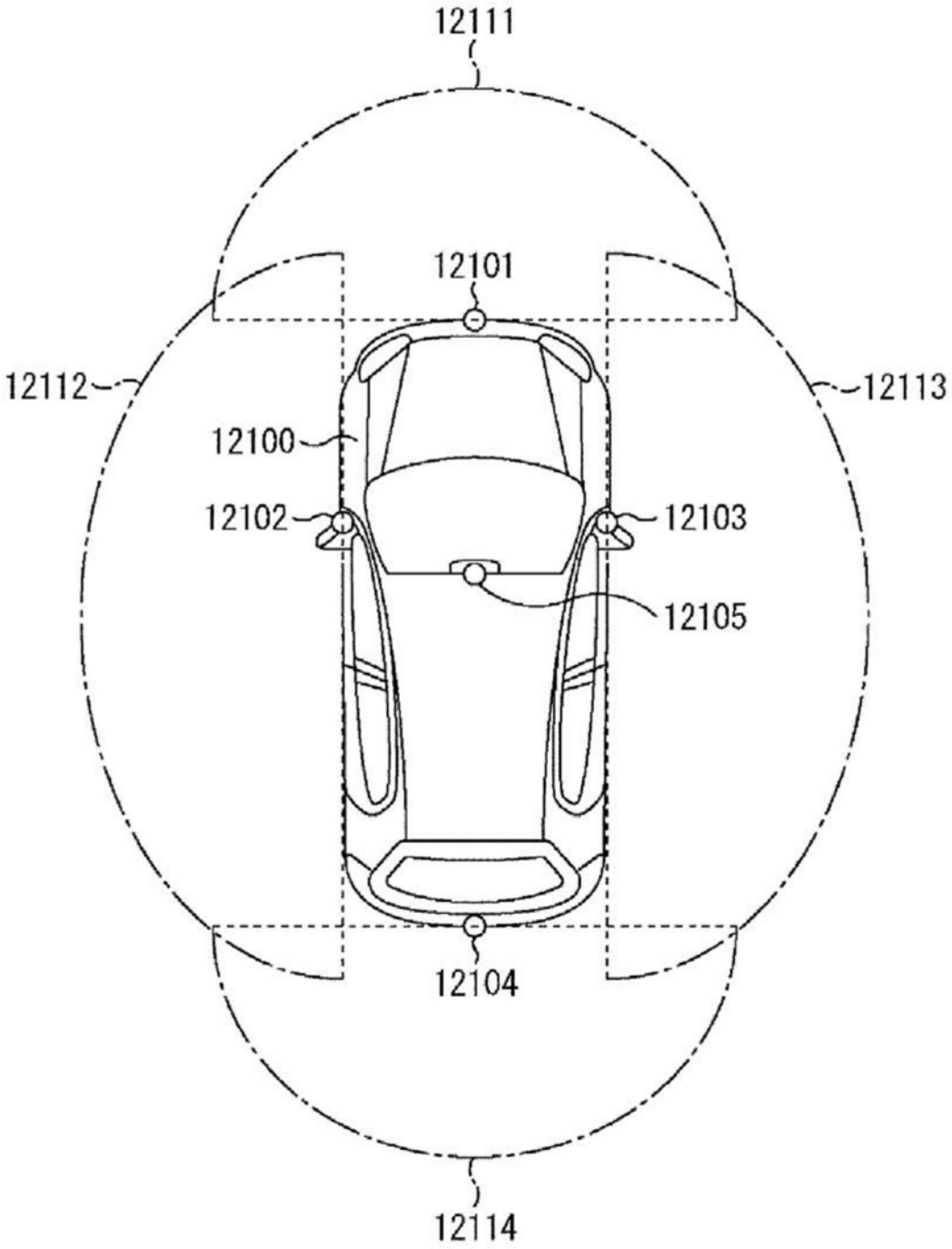

12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

图111

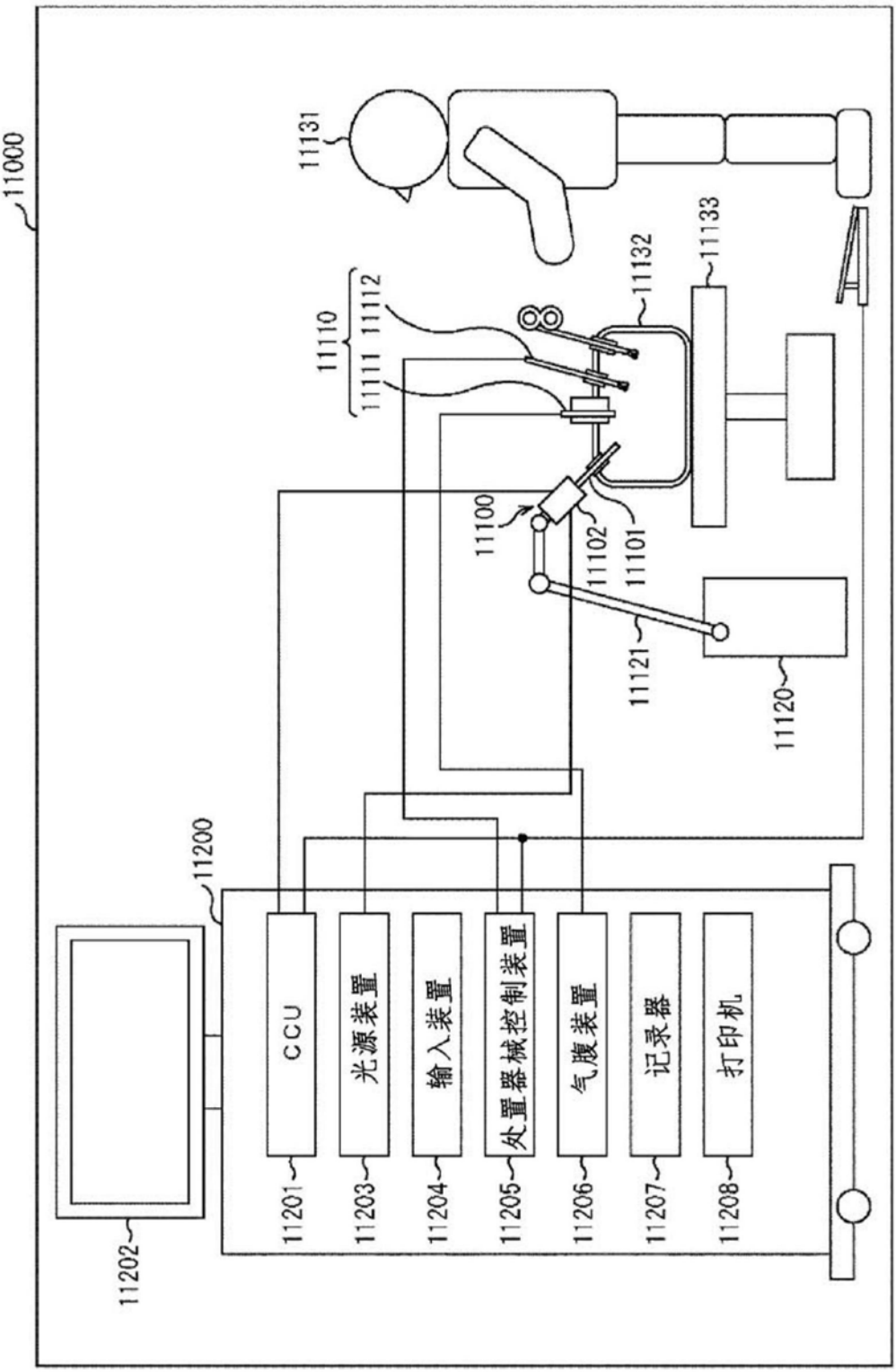

11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
CCU
光源装置
输入装置
处置器械控制装置
气腹装置
记录器
打印机
11201
11203
11204
11205
11206
11207
11208
11202

图112

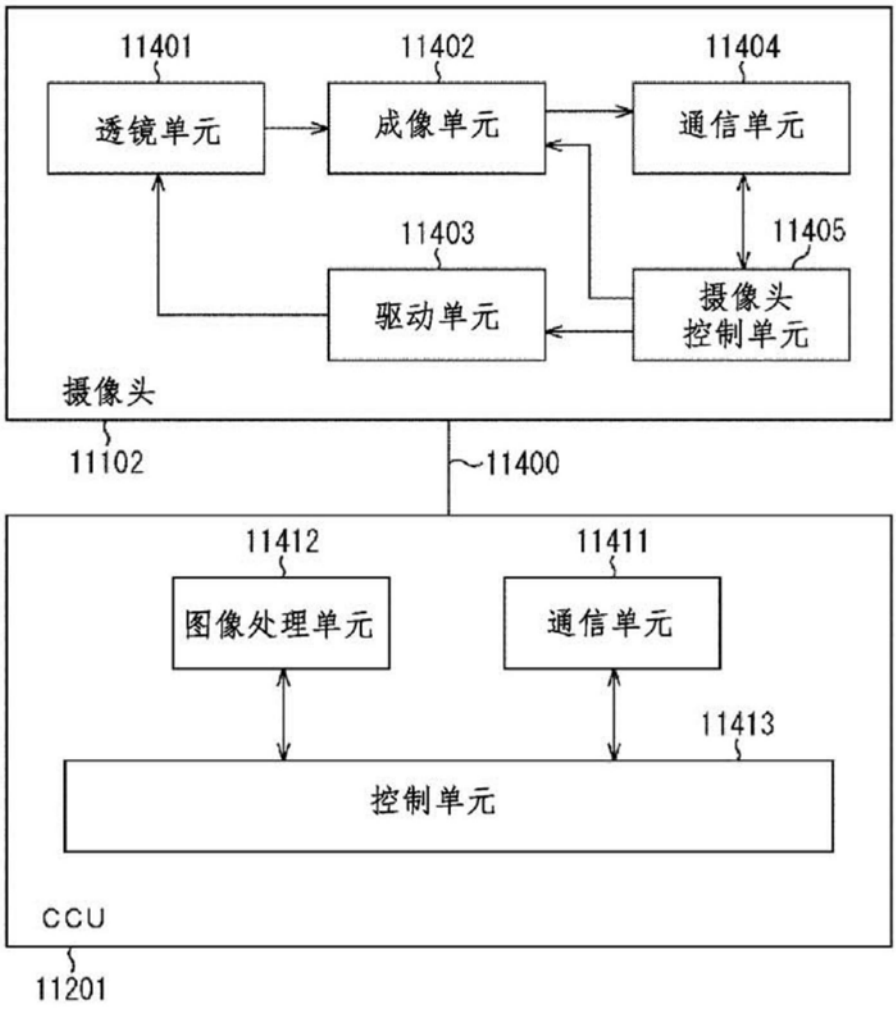

11401
透镜单元
11402
成像单元
11404
通信单元
11403
驱动单元
11405
摄像头
控制单元
摄像头
11102
11400
11412
图像处理单元
11411
通信单元
11413
控制单元
CCU
11201

图113