

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5065674号  
(P5065674)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int. Cl. F I  
**GO 1 R 1/073 (2006.01)** GO 1 R 1/073 D  
**HO 1 L 21/66 (2006.01)** HO 1 L 21/66 B

請求項の数 4 (全 25 頁)

(21) 出願番号	特願2006-355578 (P2006-355578)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成18年12月28日(2006.12.28)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2008-164486 (P2008-164486A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成20年7月17日(2008.7.17)	(72) 発明者	長谷部 昭男 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成21年11月20日(2009.11.20)	(72) 発明者	本山 康博 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	成塚 康則 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 複数のチップ形成領域を有し、前記複数のチップ形成領域の各々が半導体集積回路と前記半導体集積回路と電気的に接続された複数の電極とを有する半導体ウエハを供給する工程、

(b) 前記半導体ウエハの前記複数の電極に接触可能な複数の接触端子を有する薄膜プローブシートと、前記薄膜プローブシートの前記複数の接触端子を前記半導体ウエハの前記複数の電極に接触させるための押圧機構を供給する工程、

(c) 前記押圧機構によって、前記薄膜プローブシートの前記複数の接触端子の先端を前記半導体ウエハの前記複数の電極に接触させて前記半導体集積回路の電気的検査を行う工程、

を含み、

前記薄膜プローブシートは、

前記複数の接触端子上に形成され、かつ、複数のスルーホールを有する絶縁膜と、

前記絶縁膜上に形成され、かつ、前記複数のスルーホールを介して対応する前記複数の接触端子に電気的に接続される複数の第1配線とを有し、

前記複数の接触端子の各々は、第1金属膜と前記第1金属膜上に積層して形成された第2金属膜とを含み、

前記第1金属膜は、前記先端に向かって伸びる傾斜面部と、前記傾斜面部から上方に向かって伸びる側面部を有し、

前記第 2 金属膜は、前記第 1 金属膜の前記傾斜面部と前記側面部とに囲まれた第 1 部分と、

前記第 1 金属膜の前記側面部から上方に突出する第 2 部分とを有し、

前記絶縁膜は、前記第 2 金属膜の前記第 2 部分を覆うように形成され、かつ、前記複数の接触端子間において、前記第 1 金属膜の前記側面部の上方に位置する裏面部を有し、

前記第 1 部分の上表面の外周部は、前記絶縁膜と接触し、

前記第 2 部分は前記第 1 部分の上表面の中央部に配置され、

前記複数の第 1 配線は、前記複数のスルーホールを介して前記第 2 金属膜の前記第 2 部分に接続され、

前記電氣的検査を行う工程は、前記半導体ウエハと前記絶縁膜の前記裏面部とで規定された高さが確保された状態で行われることを特徴とする半導体集積回路装置の製造方法。 10

【請求項 2】

請求項 1 記載の半導体集積回路装置の製造方法において、

前記第 1 金属膜は、前記第 2 金属膜より硬度が高い金属材料で形成され、

前記 (c) 工程において、前記複数の接触端子の前記第 1 金属膜が前記半導体ウエハの前記複数の電極に接触することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】

請求項 2 記載の半導体集積回路装置の製造方法において、

前記第 1 金属膜は、ロジウムを主成分とし、

前記第 2 金属膜は、ニッケルを主成分とすることを特徴とする半導体集積回路装置の製造方法。 20

【請求項 4】

請求項 1 記載の半導体集積回路装置の製造方法において、

前記 (c) 工程の後、さらに前記半導体ウエハを前記複数のチップ形成領域に沿って分割することによって、複数の半導体チップを形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の電極パッドにプローブカードの探針を押し当てて行う半導体集積回路の電氣的検査に適用して有効な技術に関するものである。 30

【背景技術】

【0002】

特開 2006 - 118945 号公報 (特許文献 1) には、半導体集積回路装置の製造技術を用いて形成された探針 (接触端子)、絶縁フィルムおよび引き出し用配線を有するプローバにおいて、ダミー金属膜を引き出し用配線と探針 (接触端子) との間に設けることで空間領域を設け、探針 (接触端子) の高さを調節する技術が開示されている。

【特許文献 1】特開 2006 - 118945 号公報

【発明の開示】 40

【発明が解決しようとする課題】

【0003】

半導体集積回路装置の検査技術としてプローブ検査がある。このプローブ検査は、所定の機能どおりに動作するか否かを確認する機能テストや、DC 動作特性および AC 動作特性のテストを行って良品 / 不良品を判別するテスト等を含む。プローブ検査においては、ウエハ出荷対応 (品質の差別化)、KGD (Known Good Die) 対応 (MCP (Multi-Chip Package) の歩留り向上)、およびトータルコスト低減などの要求から、ウエハ状態でプローブ検査を行う技術が用いられている。

【0004】

近年、半導体集積回路装置の多機能化が進行し、1 個の半導体チップ (以下、単にチッ 50

ブと記す)に複数の回路を作りこむことが進められている。また、半導体集積回路装置の製造コストを低減するために、半導体素子および配線を微細化して、半導体チップ(以下、単にチップと記す)の面積を小さくし、半導体ウエハ(以下、単にウエハと記す)1枚当たりの取得チップ数を増加することが進められている。そのため、テストパッド(ボンディングパッド)数が増加するだけでなく、テストパッドの配置が狭ピッチ化し、テストパッドの面積も縮小されてきている。このようなテストパッドの狭ピッチ化に伴って、上記プローブ検査にカンチレバー状の探針を有するプローバを用いようとした場合には、探針をテストパッドの配置位置に合わせて設置することが困難になってしまう課題が存在する。

【0005】

10

上記パッドの狭ピッチ化にテスト技術が追従できない課題は、極めて深刻である。つまり、フォトリソグラフィおよびエッチング技術等の半導体チップ製造技術の向上により、半導体素子の微細化による集積回路部分のシュリンクが可能になっても、上記パッドの狭ピッチ化が困難なため、チップ全体を効率的にシュリンクすることが困難になる。

【0006】

本発明者らは、半導体集積回路装置の製造技術を用いて形成された探針を有するプローバを用いることにより、テストパッドが狭ピッチ化したチップに対してもプローブ検査が実現できる技術について検討している。その中で、本発明者らは、以下のようなさらなる課題を見出した。

【0007】

20

すなわち、上記探針は、半導体集積回路装置の製造技術を用い、シリコン等からなるウエハを型材として金属膜およびポリイミド膜の堆積や、それらのパターニング等を実施することにより形成されたシート状の薄膜プローブの一部であり、検査対象であるチップと対向する薄膜プローブの主面側に設けられている。型材となるウエハにおいては、探針が形成される部分が選択的に異方性エッチングされ、側面が底面(開口部)に対して約70.5°の角度をなす四角錐型の穴が複数形成される。この穴の外形が探針の外形となる。

【0008】

本発明者らが検討した探針は、高さが15μm程度と比較的低いため、検査対象のウエハ上に異物が付着していると、その異物と薄膜プローブが接触することによって探針および探針の周辺のシートが破損してしまう不具合が懸念される。また、検査対象のウエハから薄膜プローブに付着した異物が再度検査対象のウエハと接触することによって検査対象のウエハを傷つけてしまう不具合も懸念される。

30

【0009】

上記のような不具合の対策として、本発明者らは、上記型材となるウエハに形成する穴を深く形成することを検討した。しかしながら、前述したようにこの穴は異方性エッチングにより形成する四角錐型の穴であることから、深く形成しようとするとも底辺(開口部)が拡大し、狭ピッチで穴を配置できなくなることから、複数の探針を狭ピッチで形成することが困難になってしまう課題が存在する。検査対象のウエハから薄膜プローブに付着した異物が再度検査対象のウエハと接触することによって検査対象のウエハを傷つけてしまう不具合も懸念される。

40

【0010】

また、上記特開2006-118945号公報に開示された技術においては、プローバの製造工程上、ダミー金属膜がエッチングにより浸食されてしまうことを防ぐために、ダミー金属膜の側面周囲をポリイミド膜で覆っている。このポリイミド膜が存在するために、チップのテストパッドが狭ピッチ化した際に、それらテストパッドに配置位置合わせてプローバの探針(接触端子)を狭ピッチ化することが困難になる課題が存在する。

【0011】

本発明の一つの目的は、半導体集積回路装置の小型化を促進できる技術を提供することにある。

【0012】

50

本発明の一つの目的は、半導体集積回路装置の製造歩留まりを向上できる技術を提供することにある。

【0013】

本発明の一つの目的は、狭パッドピッチに対応可能なプローバを提供することにある。

【0014】

本発明の一つの目的は、半導体集積回路装置の製造技術によって形成された探針を有する薄膜プローブを用いたプローブ検査時において、薄膜プローブおよび検査対象のウエハの破損を防ぐことができる技術を提供することにある。

【0015】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

半導体集積回路装置の製造方法は、

(a) 複数のチップ形成領域を有し、前記複数のチップ形成領域の各々が半導体集積回路と前記半導体集積回路と電気的に接続された複数の電極とを有する半導体ウエハを供給する工程、

20

(b) 前記半導体ウエハの前記複数の電極に接触可能な複数の接触端子を有する薄膜プローブシートと、前記薄膜プローブシートの前記複数の接触端子を前記半導体ウエハの前記複数の電極に接触させるための押圧機構を供給する工程、

(c) 前記押圧機構によって、前記薄膜プローブシートの前記複数の接触端子の先端を前記半導体ウエハの前記複数の電極に接触させて前記半導体集積回路の電気的検査を行う工程、

を含み、

前記薄膜プローブシートは、

前記複数の接触端子上に形成され、かつ、複数のスルーホールを有する絶縁膜と、

前記絶縁膜上に形成され、かつ、前記複数のスルーホールを介して対応する前記複数の接触端子に電気的に接続される複数の第1配線とを有し、

30

前記複数の接触端子の各々は、第1金属膜と前記第1金属膜上に積層して形成された第2金属膜とを含み、

前記第1金属膜は、前記先端に向かって伸びる傾斜面部と、前記傾斜面部から上方に向かって伸びる側面部を有し、

前記第2金属膜は、前記第1金属膜の前記傾斜面部と前記側面部とに囲まれた第1部分と、

前記第1金属膜の前記側面部から上方に突出する第2部分とを有し、

前記絶縁膜は、前記第2絶縁膜の前記第2部分を覆うように形成され、かつ、前記複数の接触端子間において、前記第1金属膜の前記側面部の上方に位置する裏面部を有し、

40

前記複数の第1配線は、前記複数のスルーホールを介して前記第2金属膜の前記第2部分に接続され、

前記電気的検査を行う工程は、前記半導体ウエハと前記絶縁膜の前記裏面部とで規定された高さが確保された状態で行われるものである。

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

半導体集積回路装置の小型化を促進でき、製造歩留まりを向上することができる。

50

## 【発明を実施するための最良の形態】

## 【0020】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

## 【0021】

デバイス面とは、ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面をいう。

## 【0022】

接触端子またはプローブとは、各チップ領域上に設けられた電極パッドに接触させて電気的特性の検査を行うための針、プローブ、突起等をいう。

10

## 【0023】

薄膜プローブ(membrane probe)、薄膜プローブカード、または突起針配線シート複合体とは、上記のような検査対象と接触する前記接触端子(突起針)とそこから引き回された配線とが設けられ、その配線に外部接触用の電極が形成された薄膜をいい、たとえば厚さ10 $\mu\text{m}$ ~100 $\mu\text{m}$ 程度のものをいい、シリコンウエハを半導体集積回路の製造に用いるのと同様な、ウエハプロセス、すなわちフォトリソグラフィ技術、CVD(Chemical Vapor Deposition)技術、スパッタリング技術およびエッチング技術などを組み合わせたパターンング手法によって、配線層およびそれに電氣的に接続された先端部(接触端子)を一体的に形成されたもの等を言う。もちろん、プロセスは複雑になるが、一部を別に形成して、後に合体させることも可能である。

20

## 【0024】

プローブカードとは、検査対象となるウエハと接触する接触端子および多層配線基板などを有する構造体をいい、プローバもしくは半導体検査装置とは、フロッグリング、プローブカードおよび検査対象となるウエハを載せるウエハステージを含む試料支持系を有する検査装置をいう。

## 【0025】

プローブ検査とは、ウエハ工程が完了したウエハに対してプローバを用いて行われる電氣的試験であって、チップ領域の主面上に形成された電極に上記接触端子の先端を当てて半導体集積回路の電氣的検査を行うことをいい、所定の機能通りに動作するか否かを確認する機能テストやDC動作特性およびAC動作特性のテストを行って良品/不良品を判別するものである。各チップに分割してから(またはパッケージング完了後)行われる選別テスト(最終テスト)とは区別される。

30

## 【0026】

ポゴピン(POGO pin)またはスプリングプローブとは、接触ピン(プランジャ(接触針))をばね(コイルスプリング)の弾性力で電極(端子)に押し当てる構造を有し、必要に応じてその電極への電氣的接続を行うようにした接触針をいい、たとえば金属製の管(保持部材)内に配置されたばねが金属ボールを介して接触ピンへ弾性力を伝える構成となっている。

## 【0027】

テスト(Test System)とは、半導体集積回路を電氣的に検査するものであり、所定の電圧および基準となるタイミング等の信号を発生するものをいう。

40

## 【0028】

テストヘッドとは、テストと電氣的に接続し、テストより送信された電圧および信号を受け、電圧および詳細なタイミング等の信号を半導体集積回路に対して発生し、ポゴピンなどを介してプローブカードへ信号を送るものをいう。

## 【0029】

フロッグリングとは、ポゴピンなどを介してテストヘッドおよびプローブカードと電氣的に接続し、テストヘッドより送られてきた信号を後述するプローブカードへ送るものをいう。

## 【0030】

50

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0031】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0032】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、実施例等において構成要素等について、「Aからなる」、「Aよりなる」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。

【0033】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0034】

また、材料等について言及するときは、特にそうでない旨明記したとき、または、原理的または状況的にそうでないときを除き、特定した材料は主要な材料であって、副次的要素、添加物、付加要素等を排除するものではない。たとえば、シリコン部材は特に明示した場合等を除き、純粋なシリコンの場合だけでなく、添加不純物、シリコンを主要な要素とする2元、3元等の合金（たとえばSiGe）等を含むものとする。

【0035】

また、本実施の形態を説明するための全図において同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。

【0036】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために部分的にハッチングを付す場合がある。

【0037】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0038】

（実施の形態1）

図1は、本実施の形態1のプロブカードの要部断面図である。図1に示すように、本実施の形態1のプロブカードは、多層配線基板1、薄膜シート（薄膜プロブシート）2、テストヘッドTHD、フロッグリングFGRおよびカードホルダCHDなどから形成されている。テストヘッドTHDとフロッグリングFGRとの間、およびフロッグリングFGRと多層配線基板1との間は、それぞれ複数本のポゴピンPGPを介して電氣的に接続され、それによりテストヘッドTHDと多層配線基板1との間が電氣的に接続されている。カードホルダCHDは、多層配線基板1をプローバに機械的に接続するもので、かつポゴピンPGPからの圧力によって多層配線基板1に反りが生じてしまうことを防ぐ機械的強度を持つ。

【0039】

図2は、本実施の形態1のプロブカードの下面の要部平面図であり、図3は図2中のA-A線に沿った断面図である。

【0040】

図2および図3に示すように、本実施の形態のプロブカードは、図1で示した部材の他に、たとえばプランジャ3などを含んでいる。薄膜シート2は押さえリング4によって多層配線基板1の下面に固定され、プランジャ3は多層配線基板1の上面に取り付けられ

10

20

30

40

50

ている。多層配線基板 1 の中央部には開口部 5 が設けられ、この開口部 5 内において、接着リング（リング状治具）6 を介して薄膜シート 2 の上面（第 3 主面）は、プランジャ 3 と接着されている。

#### 【 0 0 4 1 】

薄膜シート 2 の下面（第 2 主面）には、たとえば 4 角錐型または 4 角錐台形型の複数のプローブ（接触端子）7 が形成されている。薄膜シート 2 内には、プローブ 7 の各々と電氣的に接続し、各々のプローブ 7 から薄膜シート 2 の探部まで延在する複数の配線が形成されている。多層配線基板 1 の下面または上面には、この複数の配線の端部とそれぞれ電氣的に接触する複数の受け部（図示は省略）が形成されており、この複数の受け部は、多層配線基板 1 内に形成された配線（第 3 配線）を通じて多層配線基板 1 の上面に設けられた複数のポゴ（POGO）座 8 と電氣的に接続している。このポゴ座 8 は、テストからの信号をプローブカードへ導入するピンを受ける機能を有する。

10

#### 【 0 0 4 2 】

本実施の形態 1 において、薄膜シート 2 は、たとえばポリイミドを主成分とする薄膜から形成されている。このような薄膜シート 2 は柔軟性を有することから、本実施の形態 1 では、チップ（半導体集積回路装置）のパッドにすべてのプローブ 7 を接触させるために、プローブ 7 が形成された領域の薄膜シート 2 を上面から押圧具（押圧機構）9 を介してプランジャ 3 が押圧する構造となっている。すなわち、プランジャ 3 内に配置されたばね 3 A の弾性力によって一定の圧力を押圧具 9 に加えるものである。本実施の形態において、押圧具 9 の材質としては、4 2 アロイを例示することができる。

20

#### 【 0 0 4 3 】

ここで、検査対象のチップ表面に形成されたテストパッド（ボンディングパッド）数が増加すると、それに伴って各テストパッドのそれぞれに信号を送るためのポゴピン P G P の本数が増加することになる。また、ポゴピン P G P の本数が増加することによって、多層配線基板 1 に加わるポゴピン P G P からの圧力も増加することになるので、多層配線基板 1 の反りを防ぐためにカードホルダ C H D を厚くする必要が生じる。さらに、薄膜シート 2 に形成された各プローブ 7 を対応するテストパッドに確実に接触させるために、薄膜シート 2 の中心領域 I A（図 3 参照）および接着リングを境に外周側となり中心領域 I A を取り囲む外周領域 O A（図 3 参照）のそれぞれに張力を加える構造とした場合には、多層配線基板 1 の表面から薄膜シート 2 のプローブ面までの高さ H T（図 1 参照）に限界が生じる。その高さ H T の限界値よりカードホルダ C H D の厚さのほうが大きくなった場合には、薄膜シート 2 がカードホルダ C H D 内に埋もれてしまうことになり、プローブ 7 をテストパッドに確実に接触させることができなくなる不具合が懸念される。

30

#### 【 0 0 4 4 】

そこで、本実施の形態 1 では、上記薄膜シート 2 の中心領域 I A のみに張力を加えた状態で薄膜シート 2 と接着リング 6 とを接着し、外周領域 O A には張力を加えない構造とする。この時、接着リング 6 の材質としては、S i（シリコン）と同程度の熱膨張率の金属（たとえば、4 2 アロイ）を選択し、薄膜シート 2 と接着リング 6 とを接着する接着剤としては、エポキシ系接着剤を用いることを例示できる。それにより、上記薄膜シート 2 のプローブ面までの高さ H T を規定する接着リング 6 の高さを高くすることができるので、その高さ H T も高くなり、薄膜シート 2 がカードホルダ C H D 内に埋もれてしまう不具合を避けることができる。すなわち、カードホルダ C H D が厚くなった場合でも、プローブ 7 をテストパッドに確実に接触させることが可能となる。

40

#### 【 0 0 4 5 】

上記のような手段を用いる代わりに、図 4 に示すように、多層配線基板 1 の中央部に補助基板 S B を取り付け、その補助基板 S B に薄膜シート 2 を取り付ける構造として、多層配線基板 1 の表面から薄膜シート 2 のプローブ面までの高さ H T を向上させてもよい。多層配線基板 1 と同様に、補助基板 S B 内には複数の配線が形成され、さらにこれら配線の端部とそれぞれ電氣的に接触する複数の受け部（図示は省略）が形成されている。多層配線基板 1 に設けられた受け部と補助基板 S B に設けられた受け部とは、たとえばそれぞれ

50

対応するもの同士がはんだによって電氣的に接続されている。はんだを用いる代わりに、異方性導電ゴムを介して多層配線基板 1 と補助基板 S B とを圧着する手段、もしくは多層配線基板 1 および補助基板 S B のそれぞれの表面に上記受け部と電氣的に接続する Cu (銅) めっき製の突起部を形成し、対応する突起部同士を圧着する手段を用いてもよい。

#### 【0046】

本実施の形態 1 において、上記プローブカードを用いてプローブ検査 (電氣的検査) を行う対象としては、複数の機能の半導体集積回路が形成された SoC (System on Chip) 構造のチップを例示することができる。図 5 は、それら複数のチップ (チップ形成領域) 10 が区画されたウエハ WH の平面図である。なお、本実施の形態のプローブカードを用いたプローブ検査は、これら複数のチップ 10 が区画されたウエハ WH に対して行うものである。また、図 6 は、そのチップ 10 の平面と、その一部を拡大したものを図示している。このチップ 10 は、たとえば単結晶シリコン基板からなる。また、チップ 10 の主面の周辺部には、チップ 10 内に形成されている半導体集積回路と電氣的に接続する多数のパッド (電極) 11 が配置されている。

10

#### 【0047】

また、上記チップ 10 は、ウエハの主面に区画された多数のチップ領域に半導体製造技術を使って種々の半導体集積回路や入出力端子 (ボンディングパッド) を形成し、次いで入出力端子上に上記の方法でパッド 11 を形成した後、ウエハをダイシングしてチップ領域を個片化することにより製造することができる。また、本実施の形態 1 において、上記プローブ検査は、ウエハをダイシングする前に各チップ領域に対して実施するものである。なお、以後プローブ検査 (パッド 11 とプローブ 7 とが接触する工程) を説明する際に、特に明記しない場合には、チップ 10 はウエハをダイシングする前の各チップ領域を示すものとする。

20

#### 【0048】

図 7 は上記薄膜シート 2 のプローブ 7 が形成された領域の一部を拡大して示した要部平面図であり、図 8 は薄膜シート 2 の要部断面図である。図 8 においては、プローブ 7 が形成された領域が B - B 領域に示され、薄膜シート 2 がプローブカードの接着リング 6 (図 3 参照) に接着された際に接着リング 6 の下に位置する領域が A - A 領域および C - C 領域に示されている。

#### 【0049】

上記プローブ 7 は、薄膜シート 2 中にて平面四角形状にパターンニングされた金属膜 21 A の一部であり、金属膜 21 A のうちの薄膜シート 2 の下面に 4 角錐型または 4 角錐台型に飛び出した部分である。プローブ 7 は、薄膜シート 2 の主面において上記チップ 10 に形成されたパッド 11 の位置に合わせて配置されており、図 7 ではパッド 11 (図 7 中では破線で図示) に対応するプローブ 7 の配置について示している。また、図 7 においては、2 つのチップ 10 のチップ外周 10 A の一部も図示されている (一点差線で図示)。

30

#### 【0050】

金属膜 21 A は、たとえば下層からロジウム膜およびニッケル膜が順次積層して形成されている。金属膜 21 A 上にはポリイミド膜 (第 1 絶縁膜) 22 が成膜され、ポリイミド膜 22 上には各金属膜 21 A と電氣的に接続する配線 (第 1 配線) 23 が形成されている。また、配線 23 と同じ配線層においては、金属膜 21 A とは電氣的に接続されていない配線 23 A も形成されている。配線 23 は、ポリイミド膜 22 に形成されたスルーホール (第 1 スルーホール) 24 の底部で金属膜 21 A と接触している。また、ポリイミド膜 22 および配線 23、23 A 上には、ポリイミド膜 (第 2 絶縁膜) 25 が成膜されている。ポリイミド膜 25 には一部の配線 23 に達するスルーホール (第 2 スルーホール) 26 が選択的に形成され、ポリイミド膜 22 上にはスルーホール 26 の底部で配線 23 と接触する配線 (第 2 配線) 27 が形成されている。また、配線 27 と同じ配線層においては、金属膜 21 A および配線 23 とは電氣的に接続されていない配線 27 A も形成されている。ポリイミド膜 25 および配線 27、27 A 上には、ポリイミド膜 28 が成膜されている。

40

#### 【0051】

50



図 8 に示すように、薄膜シート 2 には、接着リング 6 下となる位置 6 A ( A - A 領域および C - C 領域参照 ) で段差が生じている。このような段差が生じた部分においては、他の部分に比べてポリイミド膜 2 2、2 5、2 8 の厚みが不均一となる。また、配線 2 3、2 3 A、2 7、2 7 A の厚みおよび幅も不均一となるため、薄膜シート 2 の応力に対する機械的強度が低下しやすい。そこで、本実施の形態 1 においては、この段差が生じた部分で薄膜シート 2 を接着リング 6 に接着することで、その段差の生じた部分に応力が加わり難くしている。それにより、応力が加わることによって薄膜シート 2 がその段差の生じた部分で破損してしまうことを防ぐことができる。薄膜シート 2 にこのような段差が生じる理由とその目的については、薄膜シート 2 の製造工程と併せて後述する。

#### 【 0 0 5 2 】

本実施の形態 1 では、一辺で対向して隣接する 2 個のチップ 1 0 に対して一度にプローブ検査を実施する。ここで、図 9 ~ 図 1 2 は、薄膜シート 2 のうち、検査対象の 2 個のチップ 1 0 に対応する領域を示した要部平面図であり、図中において一点鎖線で囲まれている領域がチップ 1 0 の外形に相当する。また、図 9 ~ 図 1 2 は、それぞれ、1 層目の配線層に形成された配線 2 3 の平面パターン、図 9 の平面パターンに配線 2 3 と同じ配線層で形成された配線 2 3 A を加えた平面パターン、2 層目の配線層に形成された配線 2 7 の平面パターン、および図 1 1 の平面パターンに配線 2 7 と同じ配線層で形成された配線 2 7 A を加えた平面パターンを図示したものである。前述したように、配線 2 3 A、2 7 A は、金属膜 2 1 A とは電氣的に接続しない配線である。

#### 【 0 0 5 3 】

図 9 ~ 図 1 2 に示した平面パターンは、薄膜プローブシートにおける多層配線を形成するための配線チャネルの一例を示している。上記配線チャネルに実際の配線 2 3、2 7 を適宜割り付けることによって、各々のプローブ 7 を多層配線基板の配線を介して、対応するポゴ座 8 ( 図 2 参照 ) に電氣的に接続することができる。

#### 【 0 0 5 4 】

金属膜 2 1 A と電氣的に接続された配線 2 3 の一部は、薄膜シート 2 の外周に向かって引き回され、多層配線基板 1 ( 図 1 および図 2 参照 ) に設けられた複数の受け部のうちの対応するものと電氣的に接続される。また、他の配線 2 3 には配線 2 7 が接続され、各々の配線 2 7 は薄膜シート 2 の外周に向かって引き回され、多層配線基板 1 に設けられた複数の受け部のうちの対応するものと電氣的に接続される。

#### 【 0 0 5 5 】

本実施の形態 1 では、平面でプローブ 7 の近傍となる領域においては、配線 2 3 と、配線 2 3 と電氣的に接続する配線 2 7 もしくは配線 2 3 とは電氣的に接続しない配線 2 7 A とが重なるように各配線の平面パターンを形成する。また、プローブ 7 の上部には、配線 2 3 および配線 2 7 ( もしくは配線 2 7 A ) の両方が配置される平面パターンとする ( 図 7 参照 ) 。このような平面パターンとすることにより、プローブ 7 の各々の上部において薄膜シート 2 の厚さを均一にすることができる。それにより、プローブ検査時においては、押圧具 9 ( 図 3 参照 ) から加わる荷重が均等に各々のプローブ 7 に加わるようにすることができる。その結果、プローブ 7 の各々に対応するパッド 1 1 ( 図 6 および図 7 参照 ) とのコンタクト性を向上することが可能となる。

#### 【 0 0 5 6 】

また、本実施の形態 1 では、薄膜シート 2 中の各配線層において、配線の配置間隔および配線の配置密度が均一になるように配線のパターンを形成する。たとえば、配線 2 3 が形成されている配線層において、配線 2 3 の配置間隔が開き過ぎている個所には、金属膜 2 1 A とは電氣的に接続しない配線 2 3 A を配置することによって、この配線層における配線の配置間隔および配線の配置密度を均一にすることができる ( 図 7 参照 ) 。この配線 2 3 A は、配線 2 3 を形成した工程で同時に形成することができる。また、前述した配線 2 7 A は、配線 2 7 が形成されている配線層において配線 2 7 の配置間隔が開き過ぎている個所に配置されたものであり、この配線 2 7 A を配置することによって、この配線層における配線の配置間隔および配線の配置密度を均一にすることができる ( 図 7 参照 ) 。こ

10

20

30

40

50

のように、薄膜シート2中の各配線層において、配線の配置間隔および配線の配置密度が均一になるように配線のパターンを形成することにより、薄膜シート2のうち特にプローブ7の近傍では剛性および厚さを均一にすることができる。それにより、プローブ7の近傍では、薄膜シート2に皺および撓みが発生することを防ぐことができるので、プローブ7の各々に対応するパッド11とのコンタクト性を向上することが可能となる。

【0057】

次に、上記の本実施の形態の薄膜シート2の製造工程について図13～図24を用いて説明する。図13～図24のうち、図13、図16、図20および図22は、各工程における前記図7に対応する領域を示した要部平面図であり、図14、図15、図17、図18、図19、図21、図23および図24は、各工程における前記図8に対応する領域を示した要部断面図である。

10

【0058】

まず、図13および図14に示すように、厚さ0.2mm～0.8mm程度のシリコンからなるウエハ(第1ウエハ)31を用意し、熱酸化法によってこのウエハ31の両面に膜厚0.5μm程度の酸化シリコン膜32を形成する。続いて、フォトリソグラフ膜をマスクとしてウエハ31の主面(第1主面)側の酸化シリコン膜32をエッチングし、ウエハ31の主面側の酸化シリコン膜32にウエハ31に達する開口部を形成する。次いで、残った酸化シリコン膜32をマスクとし、強アルカリ水溶液(たとえば水酸化カリウム水溶液)を用いてウエハ31を異方的にエッチングすることによって、ウエハ31の主面に(111)面に囲まれた4角錐型または4角錐台形型の穴(第1穴部)33を形成する。

20

【0059】

次に、図15に示すように、上記穴33の形成時にマスクとして用いた酸化シリコン膜32をフッ酸およびフッ化アンモニウムの混合液によるウェットエッチングにより除去する。続いて、ウエハ31に熱酸化処理を施すことにより、穴33の内部を含むウエハ31の全面に膜厚0.5μm程度の酸化シリコン膜34を形成する。次いで、穴33の内部を含むウエハ31の主面に導電性膜35を成膜する。この導電性膜35は、たとえば膜厚0.1μm程度のクロム膜および膜厚1μm程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。

【0060】

つぎに、図16および図17に示すように、フォトリソグラフィ技術によってパターンニングされたフォトリソグラフ膜(第1マスク膜)36をマスクとし、めっき法によりウエハ31の主面のフォトリソグラフ膜36が存在しない領域(第1領域)に膜厚10μm～20μm程度の銅膜(第1薄膜)37を選択的に堆積する。この時、フォトリソグラフ膜36は、ウエハ31の主面のうち、前述の金属膜21Aが形成される領域(図7および図8も参照)と、プローブカードが組み立てられた際に接着リング6より外側となる領域(接着リング6下となる位置6A(図8も参照)より外側の領域)を覆う。銅膜37は、めっき法で成膜することにより均一な膜厚で成膜することができる。この銅膜37は、プローブ7の表面の金属およびポリイミド膜22に対してエッチング選択比を有する材料である。

30

【0061】

なお、以降の工程を説明する平面図においては、各部材の構成をわかりやすくするために、銅膜37の図示を省略する。

40

【0062】

次に、図18に示すように、上記フォトリソグラフ膜36を除去した後、ウエハ31の主面上にフォトリソグラフ膜(第2マスク膜)38を成膜し、フォトリソグラフィ技術によって後の工程で金属膜21Aが形成される領域(図7および図8も参照)のフォトリソグラフ膜38を除去し、開口部を形成する。

【0063】

続いて、導電性膜35を電極とした電解めっき法により、上記フォトリソグラフ膜38の開口部の底部に現れた導電性膜35上に硬度の高い導電性膜(第1金属膜)39および導

50

電性膜（第2金属膜）40を順次堆積する。本実施の形態においては、導電性膜39をロジウム膜とし、導電性膜40をニッケル膜とすることを例示できる。ここまでの工程により、導電性膜39、40から前述の金属膜21Aを形成することができる。また、穴33内の導電性膜39、40が前述のプローブ7となる。なお、導電性膜35は、後の工程で除去されるが、その工程については後述する。

【0064】

金属膜21Aにおいては、後の工程で前述のプローブ7が形成された時に、ロジウム膜から形成された導電性膜39が表面となり、導電性膜39がチップ10のパッド11に直接接触することになる。そのため、導電性膜39としては、硬度が高く耐磨耗性に優れた材質を選択することが好ましい。また、導電性膜39はパッド11に直接接触するため、プローブ7によって削り取られたパッド11の屑が導電性膜39に付着すると、その屑を除去するクリーニング工程が必要となり、プローブ検査工程が延びてしまうことが懸念される。そのため、導電性膜39としては、パッド11を形成する材料が付着し難い材質を選択することが好ましい。そこで、本実施の形態1においては、導電性膜39として、これらの条件を満たすロジウム膜を選択している。それにより、そのクリーニング工程の省略もしくはクリーニング工程の頻度を低減することができる。

10

【0065】

また、上記導電性膜40（ニッケル膜）は、上記導電性膜39（ロジウム膜）に比較して硬度が低い。一般に硬度が大きいロジウム等の膜は、その内部応力が高いため、膜厚を大きくすることが困難である。従って、本実施の形態1ではプローブ7を比較的硬度の大きいロジウム膜と比較的硬度の小さいニッケル膜との2層構造とすることを採用した。

20

【0066】

次に、上記金属膜21A（導電性膜39、40）の成膜に用いたフォトレジスト膜38を除去した後、図19に示すように、金属膜21A、導電性膜35および銅膜37を覆うようにポリイミド膜22（図8も参照）を成膜する。

【0067】

次に、図20および図21に示すように、ポリイミド膜22に、金属膜21Aに達する前述のスルーホール24を形成する。このスルーホール24は、フォトレジスト膜をマスクとしたドライエッチング、アルミニウム膜をマスクとしたドライエッチングまたはレーザを用いた穴あけ加工によって形成することができる。

30

【0068】

続いて、スルーホール24の内部を含むポリイミド膜22上に導電性膜42を成膜する。この導電性膜42は、たとえば膜厚0.1 $\mu$ m程度のクロム膜および膜厚1 $\mu$ m程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。続いて、その導電性膜42上にフォトレジスト膜を形成した後に、そのフォトレジスト膜をフォトリソグラフィ技術によってパターニングし、フォトレジスト膜に導電性膜42に達する開口部を形成する。次いで、めっき法により、その開口部内の導電性膜42上に導電性膜43を成膜する。本実施の形態1においては、導電性膜43として銅膜、または銅膜およびニッケル膜を下層から順次堆積した積層膜を例示することができる。

40

【0069】

次に、上記フォトレジスト膜を除去した後、導電性膜43をマスクとして導電性膜42をエッチングすることにより、導電性膜42、43からなる配線23、23Aを形成する。配線23は、スルーホール24の底部にて金属膜21Aと電氣的に接続することができる。また、図7および図8を用いて前述したように、配線23Aは金属膜21Aとは電氣的に接続していない配線である。

【0070】

次に、図22および図23に示すように、ウエハ31の主面に前述のポリイミド膜25を成膜する。続いて、上記スルーホール24を形成した工程と同様の工程により、配線23に達するスルーホール26（図7および図8も参照）を形成する。

【0071】

50

続いて、配線 2 3、2 3 A を形成した工程と同様の工程により、スルーホール 2 6 の底部で配線 2 3 と接続する配線 2 7、および配線 2 3 とは電氣的に接続しない配線 2 7 A を形成する。続いて、図 2 1 に示すように、ポリイミド膜 2 5 を形成した工程と同様の工程によって、ポリイミド膜 2 8 を形成する。

【 0 0 7 2 】

次に、図 2 4 に示すように、たとえばフッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ 3 1 の裏面の酸化シリコン膜 3 4 を除去する。続いて、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜シート 2 を形成するための型材であるウエハ 3 1 を除去する。次いで、残った酸化シリコン膜 3 4 をエッチングにより除去する。この時、酸化シリコン膜 3 4 はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングする。

10

【 0 0 7 3 】

続いて、導電性膜 3 5 および銅膜 3 7 を順次エッチングにより除去し、図 7 および図 8 に示した本実施の形態 1 の薄膜シート 2 を製造する。この時、導電性膜 3 5 に含まれるクロム膜は過マンガン酸カリウム水溶液を用いてエッチングし、導電性膜 3 5 に含まれる銅膜および銅膜 3 7 はアルカリ性銅エッチング液を用いてエッチングする。ここまでの工程により、プローブ 7 を形成する導電性膜 3 9（図 1 8 参照）であるロジウム膜がプローブ 7 の表面に現れる。前述したように、ロジウム膜が表面に形成されたプローブ 7 においては、プローブ 7 が接触するチップ 1 0 のパッド 1 1 の材料が付着し難く、Ni より硬度が高く、かつ酸化され難く接触抵抗を安定させることができる。また、銅膜 3 7 の除去によ

20

【 0 0 7 4 】

必要に応じて、上記スルーホール 2 4、配線 2 3 およびポリイミド膜 2 5 を形成する工程を繰り返すことによって、さらに配線を多層に形成してもよい。

【 0 0 7 5 】

ここで、図 2 5 は、本実施の形態 1 の薄膜シート 2 のうちのプローブ 7 付近を拡大して示した要部断面図である。

【 0 0 7 6 】

図 2 5 に示すように、積層膜である金属膜 2 1 A で構成されたプローブ 7 は、プローブ検査時にチップ 1 0 のパッドと接触する先端 7 A を有し、さらに、前記先端 7 A に向かって伸びる傾斜面部 2 1 B と、ポリイミド膜 2 2 の裏面 2 2 A から下方へ伸びる（前記傾斜面部 2 1 B から上方に向かって伸びる）側面部 2 1 C とを有している。金属膜 2 1 A は、傾斜面部 2 1 B および側面部 2 1 C で囲まれた第 1 部分と、側面部 2 1 C の上端部からポリイミド膜 2 2 の裏面 2 2 A の上部へ突出した第 2 部分との 2 つの部分から形成された構造となり、ポリイミド膜 2 2 に形成されたスルーホール 2 4 はその第 2 部分上に形成されている。すなわち、スルーホール 2 4 を介して金属膜 2 1 A に接続する配線 2 3 は、金属膜 2 1 A のうちの第 2 部分に接続することになる。

30

【 0 0 7 7 】

金属膜 2 1 A の側面部 2 1 C の高さ H 1 は、除去された銅膜 3 7（たとえば図 2 4 参照）の厚さ（本実施の形態 1 では  $10\ \mu\text{m} \sim 20\ \mu\text{m}$  程度）で規定される。また、プローブ 7 の実質的な高さは、ポリイミド膜 2 2 の裏面 2 2 A からプローブ 7 の先端 7 A までの高さ H 2 で規定される。

40

【 0 0 7 8 】

銅膜 3 7 を用いずに薄膜シート 2 を製造した場合には、金属膜 2 1 A に側面部 2 1 C に相当する部分が存在しなくなり、プローブ 7 の実質的な高さ H 2 は、傾斜面部 2 1 B で囲まれた部分のみの高さで規定されてしまうことになる。この傾斜面部 2 1 B で囲まれた部分のみでプローブ 7 の実質的な高さ H 2 を増加しようとする、その高さ H 2 の増加に伴って傾斜面部 2 1 B で囲まれた部分の平面サイズ（傾斜面部 2 1 B の上端部で囲まれる領域）が大きくなり、隣接する 2 つのプローブを狭ピッチかつ電氣的に分離した状態で配置

50

することが困難になる不具合を生じてしまう。

【0079】

一方、本実施の形態1によれば、前述したように、薄膜シート2の製造工程中にポリイミド膜22の裏面22Aの下となる部分において金属膜21Aと同程度の平面サイズを有する銅膜37を設け、最終的にその銅膜37を除去することでプローブ7の実質的な高さH2を増加している。それにより、金属膜21Aの傾斜面部21Bで囲まれた部分の平面サイズを大きくすることなくプローブ7の実質的な高さH2を増加することが可能となる。その結果、プローブ7の実質的な高さH2を増加しても隣接する2つのプローブを狭ピッチかつ電氣的に分離した状態で配置することが可能となる。たとえば、金属膜21Aの傾斜面部21Bで囲まれた部分の平面サイズが同じであった場合に、銅膜37を用いずに製造した薄膜シート2においてプローブ7の実質的な高さH2が15 $\mu\text{m}$ 程度であるとすると、銅膜37を用いて製造する本実施の形態1の薄膜シート2においては、プローブ7の実質的な高さH2には銅膜37の膜厚分の高さが加算されて25 $\mu\text{m}$ ~35 $\mu\text{m}$ 程度にすることができる。

10

【0080】

上記のように、プローブ7の高さH2が増加した本実施の形態1の薄膜シート2を用いてプローブカードを形成し、そのプローブカードを用いてプローブ検査を行うことにより、検査対象のウエハWH(チップ10)の表面に異物が付着していた場合でも薄膜シート2(ポリイミド膜22の裏面22A)とその異物とが接触してしまう可能性を大幅に低減することができる。すなわち、薄膜シート2とその異物とが接触してしまうことによって薄膜シート2が破損してしまうことを防ぐことができる。また、薄膜シート2とその異物とが接触してしまうことを防止できるので、検査対象のチップ10(ウエハWH)から薄膜シート2に付着した異物が再度検査対象のチップ10と接触することによって検査対象のチップ10を傷つけてしまう不具合も防ぐことができる。

20

【0081】

また、プローブ7の高さH2が増加した本実施の形態1の薄膜シート2を用いた場合には、プローブ7によって削り取られたパッド11の屑をプローブ7から除去するクリーニング処理を実施する場合でも、そのクリーニング処理を容易に実施することができる。このクリーニング処理は、たとえばプローブ7の先端を研磨シートに擦りつけることで行うが、プローブ7の高さH2が増加していることから、薄膜シート2(ポリイミド膜22の裏面22A)に研磨シート上の異物(パッド11の屑等)が接触して薄膜シート2に転写して刺さることもなく、クリーニング処理後の検査で検査対象のチップ10(ウエハWH)を破損してしまうことを防ぐことができる。このようなクリーニング処理を実施することにより、プローブ7とパッド11とを再び良好に接触させることができるようになるので、プローブ7とパッド11との間の電氣的導通を再び良好にすることができる。

30

【0082】

(実施の形態2)

次に、本実施の形態2の薄膜シート2の製造工程について図26~図31を用いて説明する。図26~図31は、各工程における前記実施の形態1の図8に対応する領域を示した要部断面図である。

40

【0083】

本実施の形態2の薄膜シート2の製造工程は、前記実施の形態1において図13~図15を用いて説明した工程までは同様である。その後、図26に示すように、ウエハ31の主面に膜厚10 $\mu\text{m}$ ~20 $\mu\text{m}$ 程度のポリイミド膜37Aを成膜する。次いで、そのポリイミド膜37Aを選択的に除去し、ポリイミド膜37Aを所定の領域にのみ残す。この時、前記実施の形態1で説明した金属膜21Aが形成される領域(図7および図8を参照)と、プローブカードが組み立てられた際に接着リング6(図3参照)より外側となる領域(接着リング6下となる位置6A(図8も参照)より外側の領域)のポリイミド膜37Aが除去される。次いで、ウエハ31の主面に膜厚0.1 $\mu\text{m}$ 程度の薄い金属膜(第2薄膜)37Bを成膜する。この金属膜37は、プローブ7の表面の金属およびポリイミド膜2

50

2 に対してエッチング選択比を有する材料であり、本実施の形態 2 では、ニッケル膜を例示することができる。

【0084】

次に、図 27 に示すように、前記実施の形態 1 において図 18 を用いて説明した工程と同様に、ウエハ 31 の主面上にフォトレジスト膜 38 を成膜し、フォトリソグラフィ技術によって後の工程で金属膜 21A が形成される領域（図 7 および図 8 も参照）のフォトレジスト膜 38 を除去し、開口部を形成する。

【0085】

続いて、導電性膜 35 を電極とした電解めっき法により、上記フォトレジスト膜 38 の開口部の底部に現れた導電性膜 35 上に、前記実施の形態 1 と同様の導電性膜 39 および導電性膜 40 を順次堆積、これら導電性膜 39 および導電性膜 40 から金属膜 21A を形成する。

10

【0086】

次に、金属膜 21A（導電性膜 39、40）の成膜に用いたフォトレジスト膜 38 を除去した後、図 28 に示すように、金属膜 21A、導電性膜 35 および金属膜 37B を覆うようにポリイミド膜 22（図 8 も参照）を成膜する。

【0087】

次に、図 29 に示すように、前記実施の形態 1 において図 20～図 23 を用いて説明した工程と同様の工程を経て、スルーホール 24、配線 23、23A、ポリイミド膜 25、スルーホール 26、配線 27、27A およびポリイミド膜 28 を形成する。

20

【0088】

次に、図 30 に示すように、たとえばフッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ 31 の裏面の酸化シリコン膜 34 を除去する。続いて、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜シート 2 を形成するための型材であるウエハ 31 を除去する。次いで、残った酸化シリコン膜 34 をエッチングにより除去する。この時、酸化シリコン膜 34 はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングする。

【0089】

次に、図 31 に示すように、ポリイミド膜 37A を除去する。このポリイミド膜 37A の除去は、金属膜 37B をエッチングストップとしたウェットエッチングまたはドライエッチングや、レーザを用いた加工により行うことができる。次いで、金属膜 37B をエッチングにより除去し、前記実施の形態 1 の薄膜シート 2 と同様の本実施の形態 2 の薄膜シート 2 を製造する（図 7 および図 8 参照）。

30

【0090】

上記のような本実施の形態 2 によっても、前記実施の形態 1 と同様の効果を得ることができる。

【0091】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

40

【0092】

たとえば、前記実施の形態においては、薄膜シートの製造工程中において銅膜を用いることによって、薄膜シートに形成されるプローブの高さを増加させる例について説明したが、銅以外の材料からなる薄膜を用いてもよい。その薄膜の材料としては、均一な膜厚で成膜でき、プローブの表面となるロジウムおよびポリイミド膜に対してエッチング選択比を有する材料であることが求められる。

【産業上の利用可能性】

【0093】

本発明の半導体集積回路装置の製造方法およびプローブカードは、半導体集積回路装置の製造工程におけるプローブ検査工程に広く適用することができる。

50

## 【図面の簡単な説明】

【0094】

【図1】本発明の実施の形態1であるプローブカードの要部断面図である。

【図2】本発明の実施の形態1であるプローブカードの下面の要部平面図である。

【図3】図2中のA-A線に沿った断面図である。

【図4】本発明の実施の形態1であるプローブカードの要部断面図である。

【図5】本発明の実施の形態1であるプローブカードを用いてプローブ検査を行う対象の半導体チップ領域が形成された半導体ウエハの平面図である。

【図6】本発明の実施の形態1であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。 10

【図7】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図8】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部断面図である。

【図9】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図10】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図11】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。 20

【図12】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図13】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造方法を説明する要部平面図である。

【図14】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造方法を説明する要部断面図である。

【図15】図14に続く薄膜シートの製造工程中の要部断面図である。

【図16】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造工程中の要部平面図である。

【図17】図15に続く薄膜シートの製造工程中の要部断面図である。 30

【図18】図17に続く薄膜シートの製造工程中の要部断面図である。

【図19】図18に続く薄膜シートの製造工程中の要部断面図である。

【図20】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造工程中の要部平面図である。

【図21】図18に続く薄膜シートの製造工程中の要部断面図である。

【図22】図20に続く薄膜シートの製造工程中の要部平面図である。

【図23】図21に続く薄膜シートの製造工程中の要部断面図である。

【図24】図23に続く薄膜シートの製造工程中の要部断面図である。

【図25】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部拡大断面図である。 40

【図26】本発明の実施の形態2であるプローブカードを形成する薄膜シートの製造方法を説明する要部断面図である。

【図27】図26に続く薄膜シートの製造工程中の要部断面図である。

【図28】図27に続く薄膜シートの製造工程中の要部断面図である。

【図29】図28に続く薄膜シートの製造工程中の要部断面図である。

【図30】図29に続く薄膜シートの製造工程中の要部断面図である。

【図31】図30に続く薄膜シートの製造工程中の要部断面図である。

## 【符号の説明】

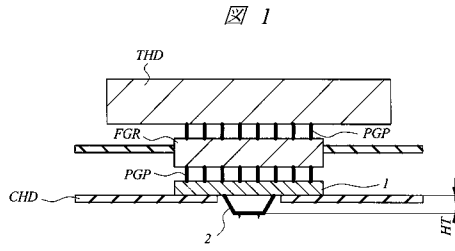
【0095】

1 多層配線基板 50

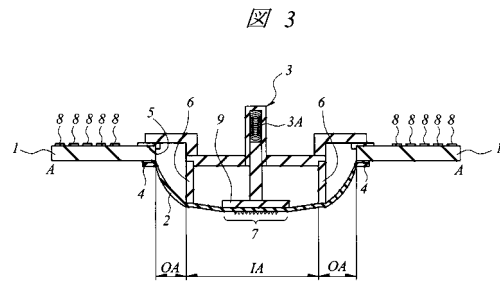
2	薄膜シート（薄膜プローブシート）	
3	プランジャ	
3 A	ばね	
4	押さえリング	
5	開口部	
6	接着リング（リング状治具）	
7	プローブ（接触端子）	
7 A	先端	
8	ポゴ座	
9	押圧具（押圧機構）	10
1 0	チップ（チップ形成領域）	
1 0 A	チップ外周	
1 1	パッド（電極）	
2 1 A	金属膜	
2 1 B	傾斜面部	
2 1 C	側面部	
2 2	ポリイミド膜（第 1 絶縁膜）	
2 2 A	裏面	
2 3	配線（第 1 配線）	
2 3 A	配線	20
2 4	スルーホール（第 1 スルーホール）	
2 5	ポリイミド膜（第 2 絶縁膜）	
2 6	スルーホール（第 2 スルーホール）	
2 7	配線（第 2 配線）	
2 7 A	配線	
2 8	ポリイミド膜	
3 1	ウエハ（第 1 ウエハ）	
3 2	酸化シリコン膜	
3 3	穴（第 1 穴部）	
3 4	酸化シリコン膜	30
3 5	導電性膜	
3 6	フォトレジスト膜（第 1 マスキング膜）	
3 7	銅膜（第 1 薄膜）	
3 7 A	ポリイミド膜	
3 7 B	金属膜（第 2 薄膜）	
3 8	フォトレジスト膜（第 2 マスキング膜）	
3 9	導電性膜（第 1 金属膜）	
4 0	導電性膜（第 2 金属膜）	
4 2、4 3	導電性膜	
C H D	カードホルダ	40
F G R	フロッグリング	
I A	中心領域	
O A	外周領域	
P G P	ポゴピン	
S B	補助基板	
T H D	テストヘッド	
W H	ウエハ	



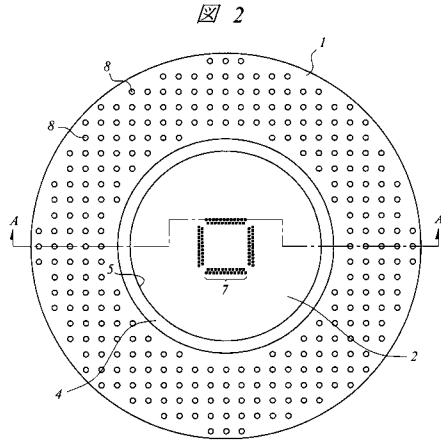
【 図 1 】



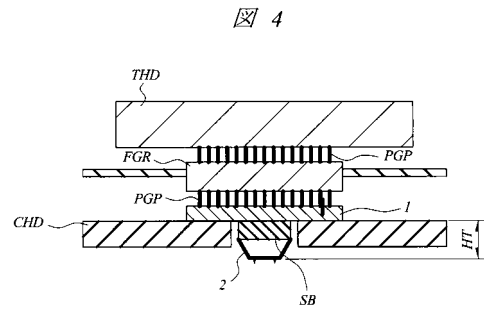
【 図 3 】



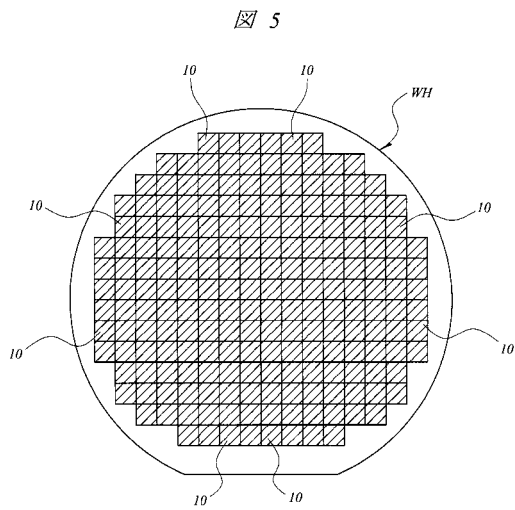
【 図 2 】



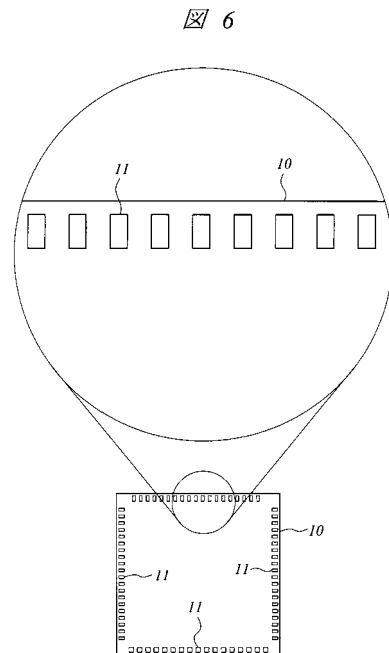
【 図 4 】



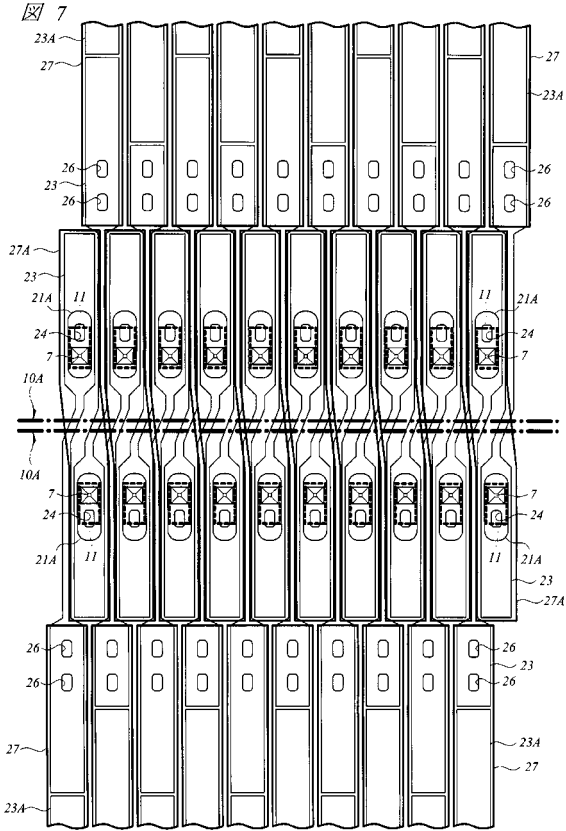
【 図 5 】



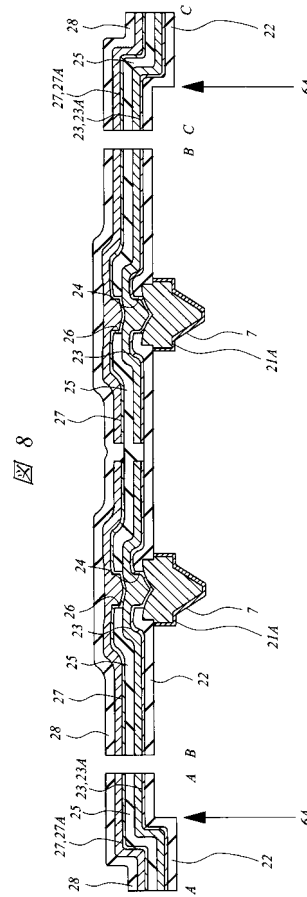
【 図 6 】



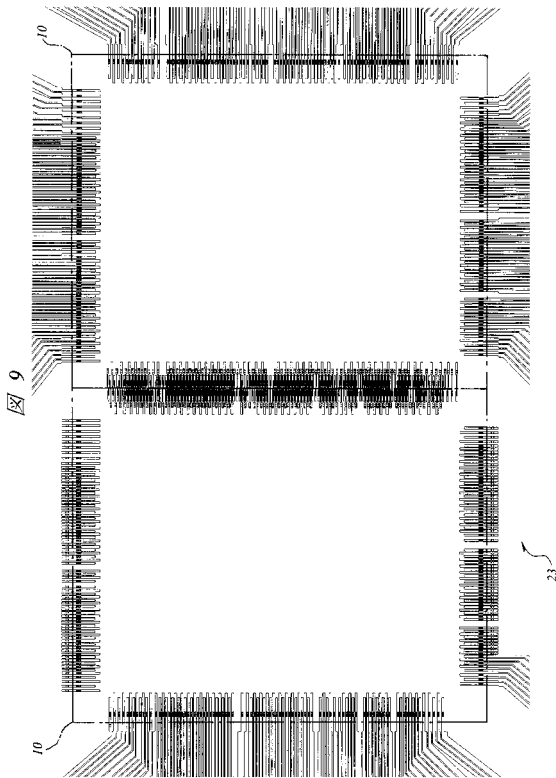
【図 7】



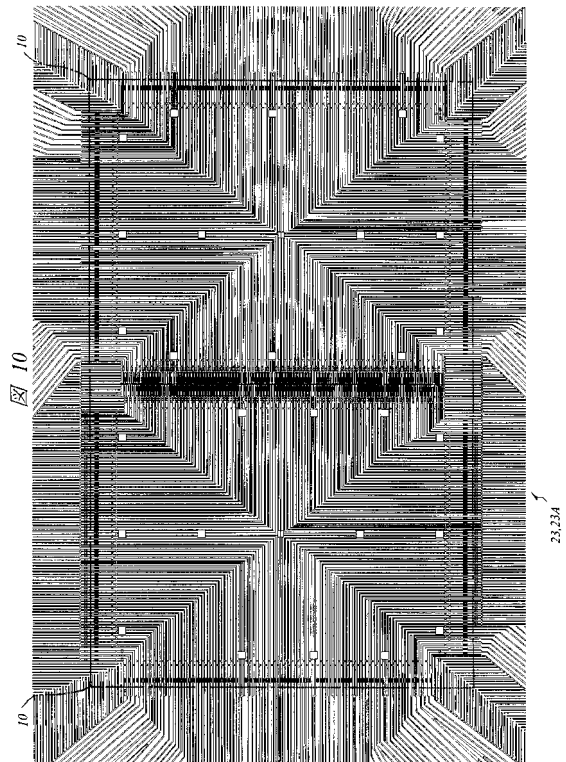
【図 8】



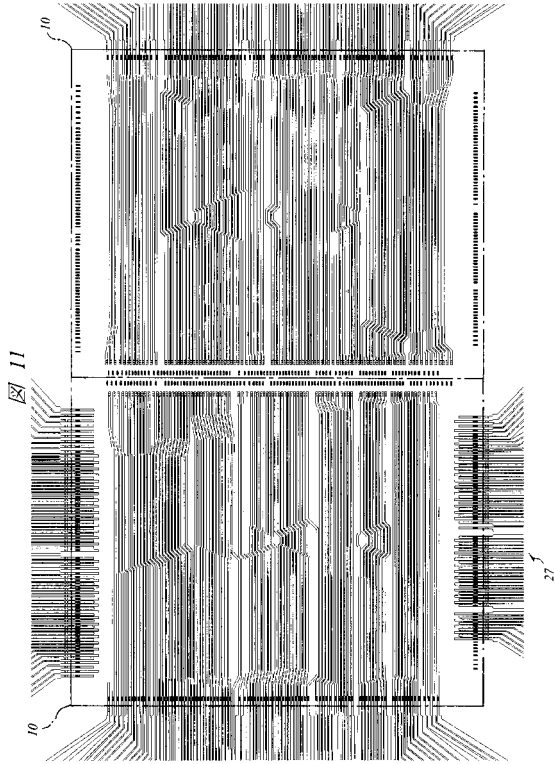
【図 9】



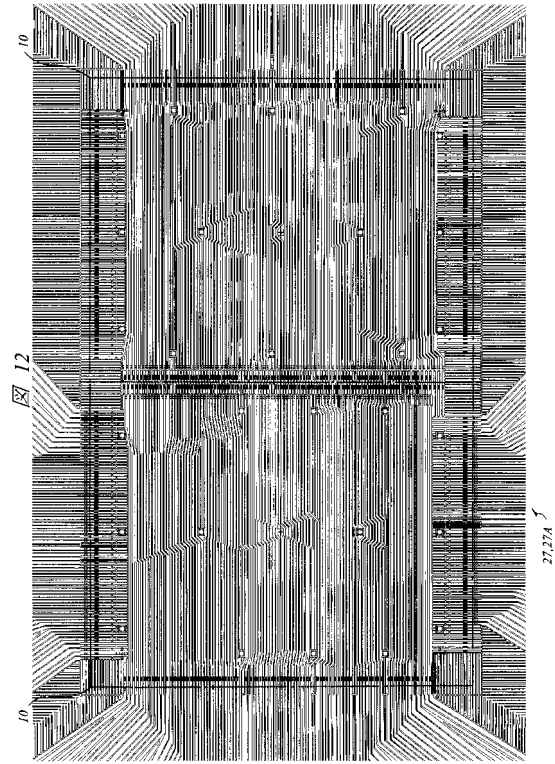
【図 10】



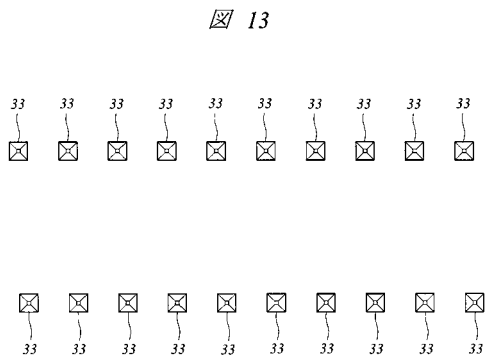
【図 1 1】



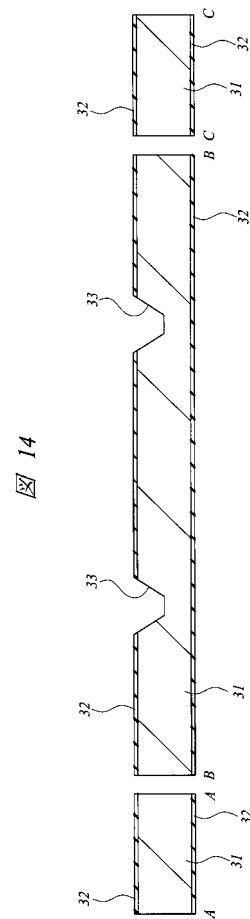
【図 1 2】



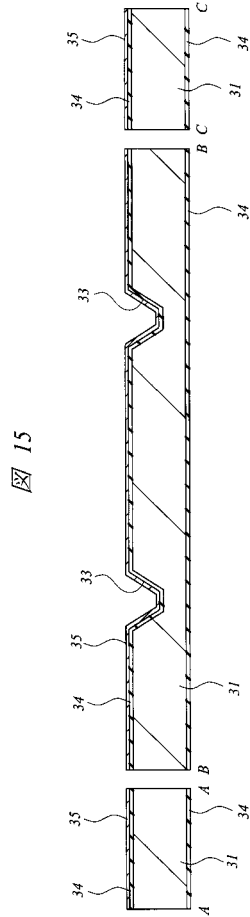
【図 1 3】



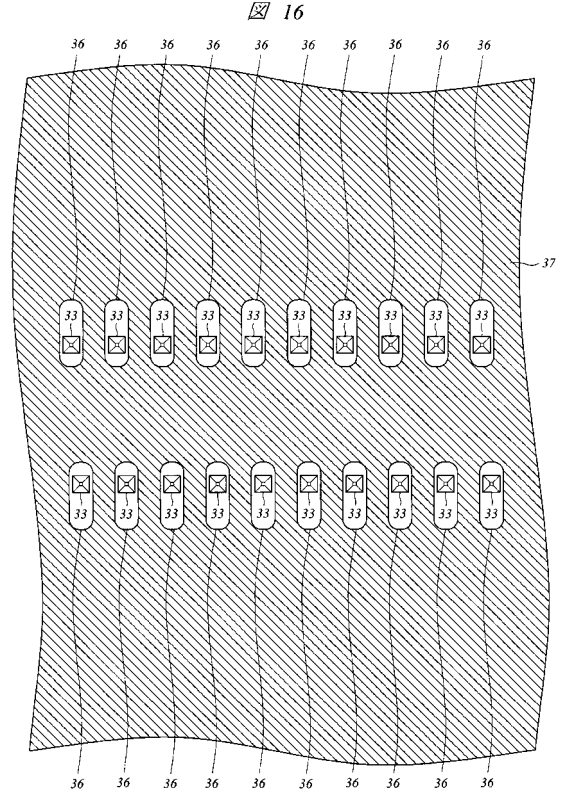
【図 1 4】



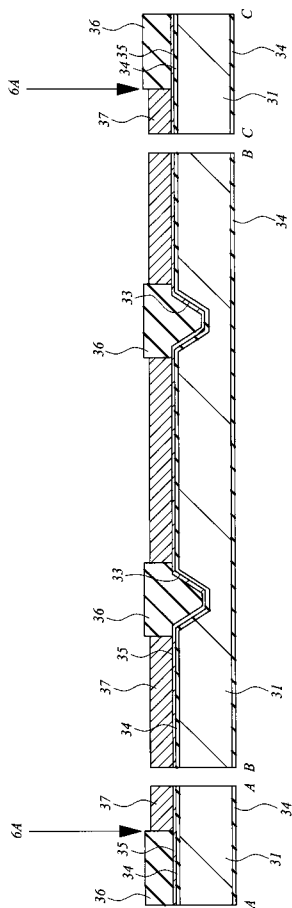
【図15】



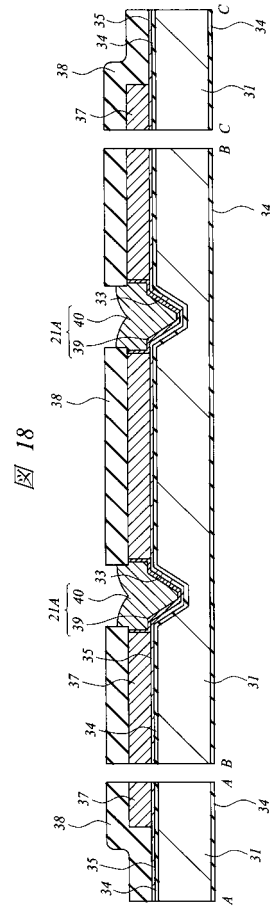
【図16】



【図17】



【図18】



【図 19】

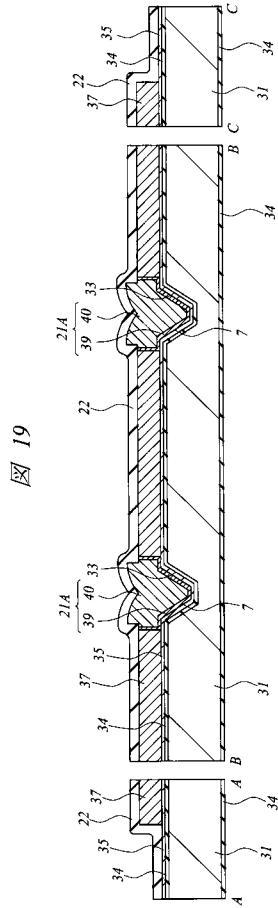


図 19

【図 21】

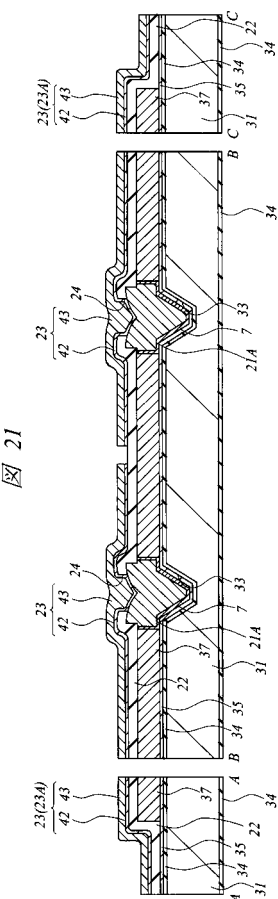
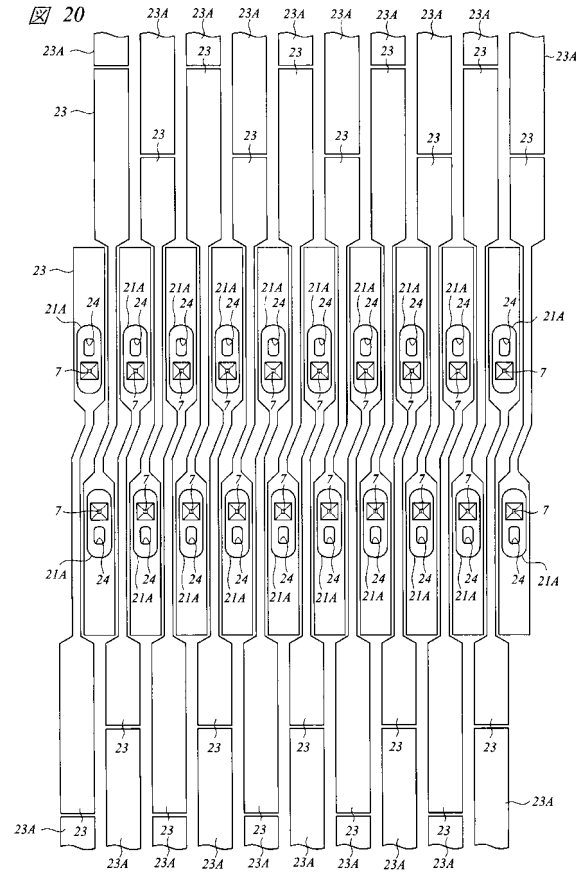
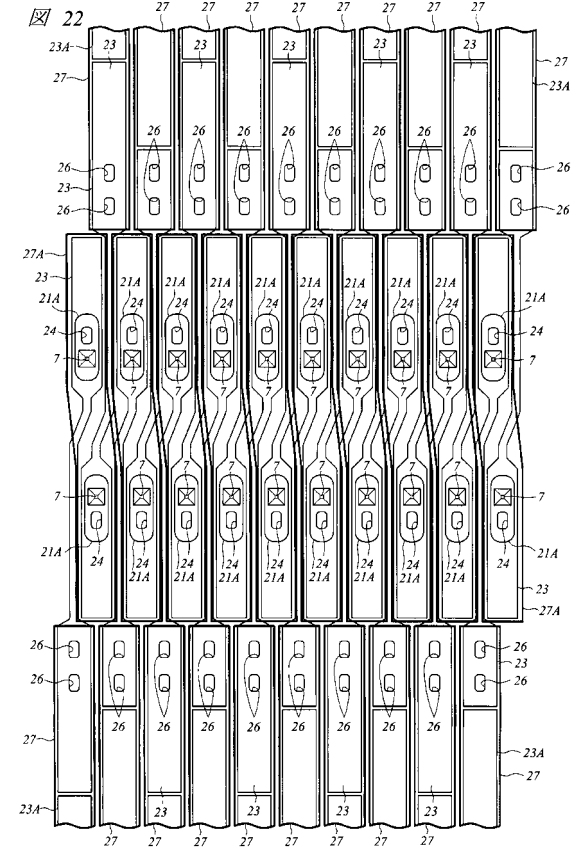


図 21

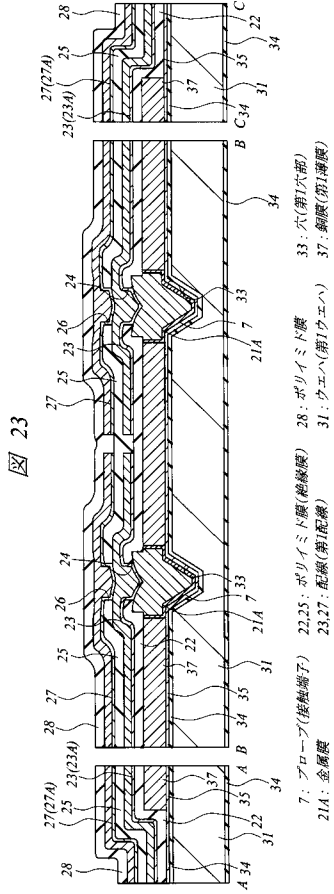
【図 20】



【図 22】

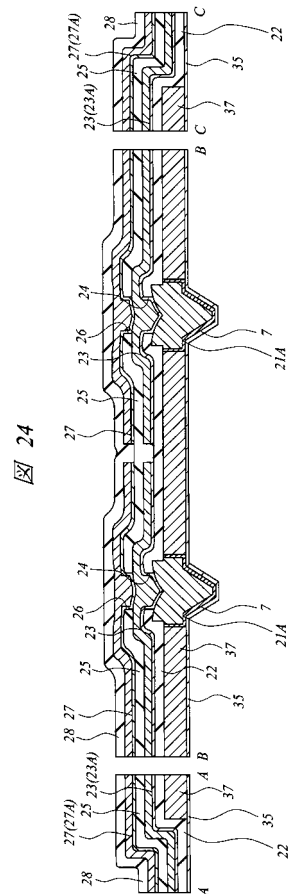


【図23】

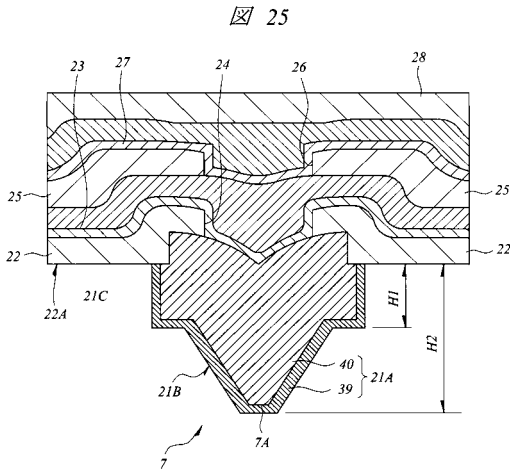


7: プローブ(接触端子) 22,25: ポリイミド膜(絶縁膜) 28: ポリイミド膜 33: 穴(溝穴部) 37: 銅膜(第1銅膜)  
 21A: 金属膜 23,27: 配線(第1配線) 31: シェハ(溝1クエハ)

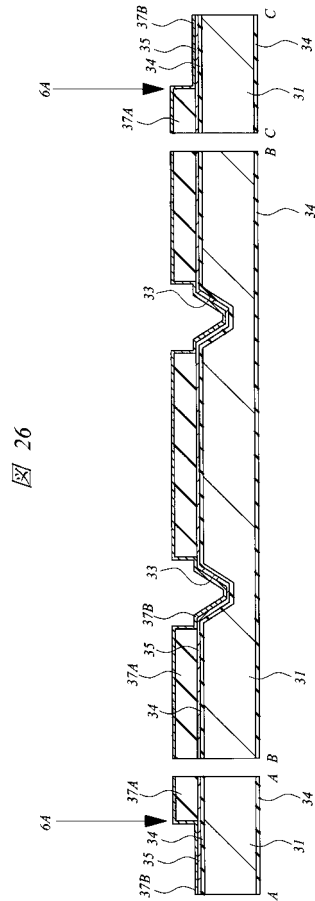
【図24】



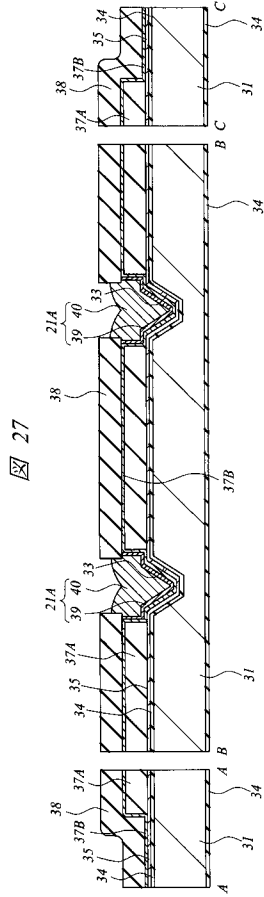
【図25】



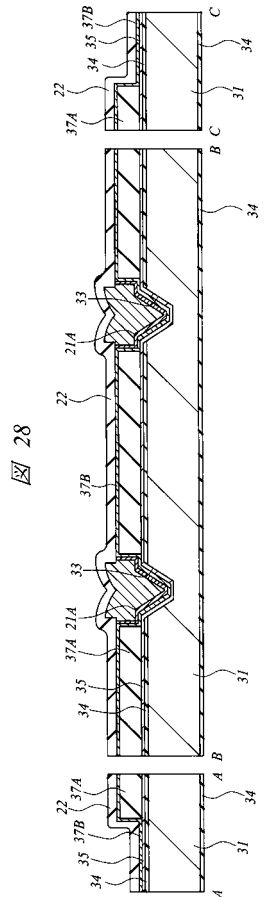
【図26】



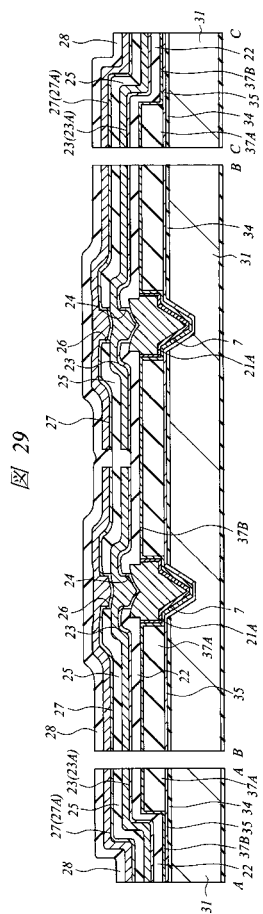
【 図 27 】



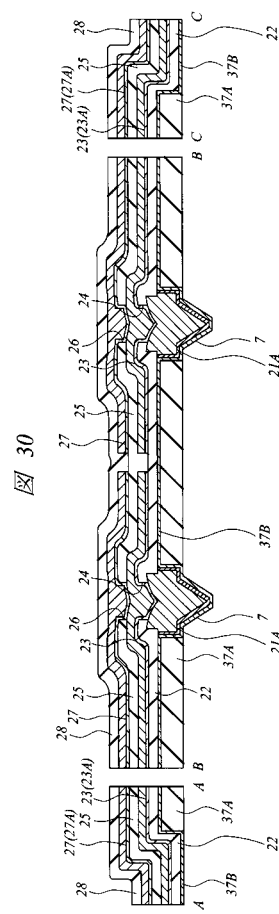
【 図 28 】



【 図 29 】

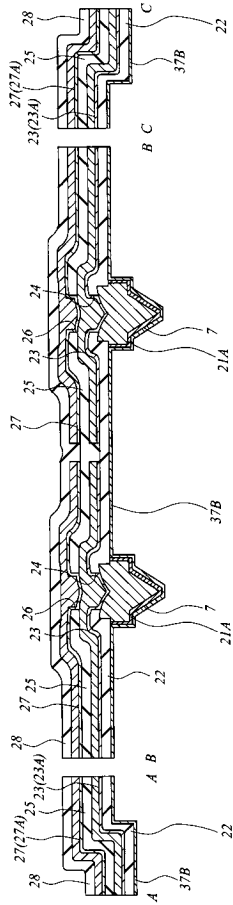


【 図 30 】



【 図 3 1 】

図 31





---

フロントページの続き

- (72)発明者 中村 清吾  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 河上 賢司  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 荒井 誠

- (56)参考文献 特開2002-139554(JP,A)  
特開2005-024377(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |          |
|------|----------|
| G01R | 1/06-073 |
| H01L | 21/66    |