

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
15 novembre 2012 (15.11.2012)

WIPO | PCT

(10) Numéro de publication internationale
WO 2012/152836 A1

(51) Classification internationale des brevets :
H04N 5/345 (2011.01) H04N 5/376 (2011.01)

(21) Numéro de la demande internationale :
PCT/EP2012/058555

(22) Date de dépôt international :
9 mai 2012 (09.05.2012)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1154029 10 mai 2011 (10.05.2011) FR

(71) Déposant (pour tous les États désignés sauf US) :
TRIXELL S.A.S. [FR/FR]; Z.I. Centr'Alp, F-38430 Moirans (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : BLANCHON, David [FR/FR]; Parc d'activité Centr'Alp, 460 rue du Pommarin, F-38430 Moirans (FR). RACINE, Benoît [FR/FR]; Parc d'activité Centr'Alp, 460 rue du Pommarin, F-38430 Moirans (FR).

(74) Mandataires : COLLET, Alain et al.; Marks & Clerk France, Conseils en Propriété Industrielle, Immeuble Vi-

sium, 22, avenue Aristide Briand, F-94117 Arcueil Cedex (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

(54) Title : DEVICE FOR ADDRESSING LINES OF A CONTROL CIRCUIT FOR AN ACTIVE DETECTION MATRIX

(54) Titre : DISPOSITIF D'ADRESSAGE DE LIGNES D'UN CIRCUIT DE COMMANDE POUR MATRICE ACTIVE DE DETECTION

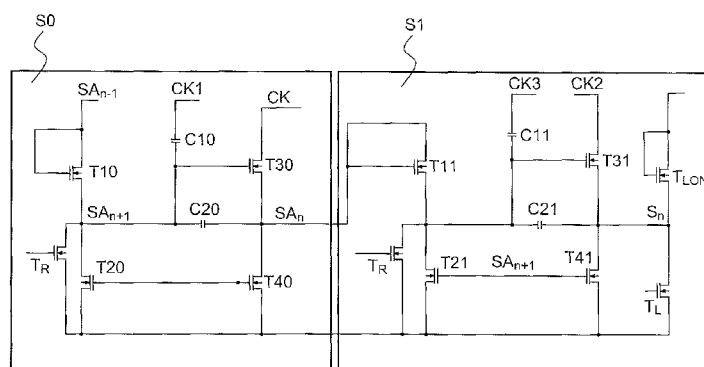


FIG.5

(57) Abstract : The invention relates to a device for addressing the lines of an active detection matrix for ionizing-radiation imaging, said matrix comprising a plurality N of lines n of pixels. The addressing device is made on a substrate on which the matrix is also made and essentially comprises thin film transistors (TFT) of solely N or P type. The line addressing device can comprise a plurality of stages which can deliver, at their respective outputs, signals (S_n) for switching the high and low levels of a signal applied to switching devices as output on a corresponding line of the matrix. The line addressing device is characterized in that each stage comprises an input stage (50) and an output stage (51), the input stage (50) delivering an activation signal (SA_n) for the output stage (51) and, in the event of activation, the output stage (51) delivering the switching signal (S_n) for the corresponding line n.

(57) Abrégé :

[Suite sur la page suivante]

WO 2012/152836 A1



Dispositif d'adressage des lignes d'une matrice active de détection pour imagerie par rayonnements ionisants comprenant une pluralité N de lignes n de pixels, le dispositif d'adressage étant réalisé sur un substrat sur lequel est également réalisée la matrice, et comprenant essentiellement des transistors couches minces (TFT) de type unique N ou P. Le dispositif d'adressage de lignes peut comprendre une pluralité d'étages aptes à délivrer en leurs sorties respectives des signaux (Sn) de commutation des niveaux haut et bas d'un signal appliqué à des dispositifs de commutation en sortie sur une ligne correspondante de la matrice et étant caractérisé en ce que chaque étage comprend un étage d'entrée (50) et un étage de sortie (51), l'étage d'entrée (50) délivrant un signal d'activation (SAn) de l'étage de sortie (51), l'étage de sortie (51) délivrant en cas d'activation, ledit signal de commutation (Sn) de la ligne n correspondante.

DISPOSITIF D'ADRESSAGE DE LIGNES D'UN CIRCUIT DE COMMANDE POUR MATRICE ACTIVE DE DETECTION

5

La présente invention concerne un dispositif d'adressage de lignes d'un circuit de commande adapté pour commander les lignes d'une matrice active de détection. Elle s'applique notamment à des matrices actives utilisées par exemple à des fins de détection dans des dispositifs d'imagerie par rayonnements ionisants, par exemple par rayons X, telles que des dalles de type TFT, selon le sigle désignant la terminologie anglaise "Thin Film Transistor" ou transistor couches minces.

Une matrice active de détection, par exemple une dalle de type TFT permettant l'acquisition d'une image représentative d'un rayonnement incident sur un ensemble détecteur, comprend une pluralité de cellules électro-optiques arrangées en lignes et en colonnes. Dans une application d'imagerie par rayonnements ionisants, un ensemble détecteur peut comprendre une telle matrice de détection, permettant alors l'acquisition d'une image représentative du rayonnement incident sur l'ensemble détecteur. Chaque cellule de l'arrangement peut être commandée par un dispositif de commutation, et peut par exemple être contrôlée par l'application d'un champ électrique appliqué via deux électrodes encadrant la cellule. L'ensemble constitué par le dispositif de commutation, les électrodes et la cellule est communément désigné "pixel". Le dispositif de commutation peut par exemple être formé par un transistor de commutation. Par exemple, chaque ligne de la matrice peut être connectée aux grilles des transistors de commutation d'une rangée de pixels. Ainsi, pour chaque trame, les lignes peuvent être sélectionnées en séquence, l'une après l'autre suivant un sens de balayage des lignes de la matrice, pendant un temps de sélection de ligne correspondant à une fraction de la durée de la trame, permettant l'application sur les pixels de la rangée de signaux appropriés, par exemple des tensions sur les électrodes. Ainsi la sélection d'une ligne correspond à l'application pendant un temps de sélection de ligne correspondant, d'un signal de niveau haut commandant l'état passant des dispositifs de commutation de la rangée de pixels correspondante. En dehors du temps de sélection de la ligne, les

dispositifs de commutation sont maintenus à un état bloqué via l'application d'un signal de niveau bas approprié. Par exemple, lorsque les dispositifs de commutation sont des transistors, les signaux à appliquer étant alors des tensions, il est habituel de désigner VGon la tension correspondant au
5 niveau haut et partant à l'état passant du transistor de commutation, et VGoff la tension correspondant au niveau bas et à l'état bloqué du transistor de commutation.

D'une manière en elle-même connue de l'état de la technique, la commande des lignes peut être assurée par des circuits de commande
10 comprenant un ou plusieurs registres à décalage en série, chacun des registres à décalage comprenant une pluralité d'étages en cascade, chaque étage étant apte à commuter les niveaux haut et bas du signal appliqué aux dispositifs de commutation en sortie sur une ligne correspondante de la matrice, selon le séquençement de la sélection des lignes, par exemple
15 selon un balayage vertical. Les circuits de commande peuvent être mis en œuvre dans des circuits intégrés, un même circuit intégré pouvant par exemple comprendre une pluralité de circuits de commande pour une pluralité de lignes de la matrice. Les circuits intégrés peuvent par exemple être extérieurs à la matrice, et se connecter à celle-ci par des moyens
20 filaires, par exemple des nappes flexibles. Les circuits intégrés peuvent par exemple être directement rapportés sur les nappes flexibles, celles-ci les connectant non seulement à la matrice mais également à un circuit de contrôle et d'alimentation. De tels systèmes présentent cependant l'inconvénient de requérir des procédés complexes de réalisation, et
25 appellent un grand nombre de vérifications en cours de fabrication, ainsi qu'un grand nombre de réparation, dû au nombre de défauts potentiels liés à toutes les étapes des procédés de réalisation. Un exemple de système existant comprenant des circuits intégrés de commande disposés sur des nappes flexibles est décrit en détails ci-après en référence à la figure 1.

30 Un autre inconvénient des systèmes d'adressage connus, est que ceux-ci imposent que l'adressage des lignes soit réalisé à la suite, sans qu'il ne soit permis qu'une ligne ne soit pas adressée ; ainsi les lignes sont adressées les unes à la suite des autres, et il n'existe aucune pause entre l'adressage de deux lignes successives, ce dernier point pouvant être
35 particulièrement préjudiciable lorsque la matrice est utilisée à des fins de

détection, pour lesquels il est nécessaire de permettre un temps d'intégration des charges provenant des pixels de la dalle. En outre, ces systèmes imposent d'adresser l'intégralité de la matrice, selon un mécanisme d'adressage figé ; or il peut s'avérer en pratique inutile voire préjudiciable
5 d'adresser l'intégralité de la dalle, par exemple dans des utilisations typiques où la dalle est utilisée à des fins de détection, notamment dans le cadre d'applications d'imagerie par rayons X, dans lesquelles l'opérateur ou la praticien s'applique fréquemment à visualiser avec une précision accrue des parties spécifiques de la scène imagée, via des opérations dites de "zoom".

10 Le brevet US 5,536,932 décrit un multiplexeur en polysilicium pour des matrices bidimensionnelles de détection d'image.

La demande de brevet publiée sous la référence GB 2,317,742 décrit un dispositif d'imagerie.

La demande de brevet US 2002/172327 décrit un système de
15 détection d'images radiologiques pour un générateur de rayons X par balayage.

Un but de la présente invention est de pallier au moins les inconvénients précités, en proposant un circuit de commande pour matrice
20 active de détection pour imagerie par rayonnements ionisants, telle qu'une dalle TFT, présentant une structure compacte et robuste, comprenant essentiellement des transistors TFT de type unique N ou P.

Selon une spécificité de la présente invention, il est permis d'adresser les lignes de la matrice en deux temps, offrant ainsi une fenêtre temporelle
25 entre l'adressage de deux lignes successives.

Un avantage de l'invention est que le dispositif d'adressage selon l'un des modes de réalisation de l'invention décrits ci-après, offre la possibilité de ne pas adresser certaines lignes, augmentant ainsi la vitesse et le rendement globaux du système.

30 Un autre avantage de l'invention est que le dispositif d'adressage de lignes selon l'un des modes de réalisation de l'invention, offre la possibilité de procéder à une réinitialisation avantageuse des lignes.

A cet effet, l'invention a pour objet un dispositif d'adressage des lignes
35 d'une matrice de détection pour imagerie par rayonnements ionisants, la

matrice de détection comprenant une pluralité N de lignes n de pixels et étant réalisée sur un substrat, le dispositif d'adressage étant caractérisé en ce qu'il est également réalisé sur ledit substrat essentiellement à partir de transistors couches minces de type unique N ou P le dispositif d'adressage comprenant

5 une pluralité d'étage aptes à délivrer en leurs sorties respectives des signaux de commutation entre les niveaux haut et bas, d'un signal appliqué à des dispositifs de commutation sur une ligne correspondante de la matrice de détection, et comprenant une pluralité d'étages aptes à délivrer en leurs

10 d'un signal appliqué à des dispositifs de commutation en sortie sur une ligne correspondante de la matrice et étant caractérisé en ce que chaque étage comprend un étage d'entrée et un étage de sortie, l'étage d'entrée délivrant un signal d'activation de l'étage de sortie, l'étage de sortie délivrant en cas d'activation, ledit signal de commutation de la ligne n correspondante.

15 Dans un mode de réalisation de l'invention, chaque étage d'entrée d'une ligne n comprend une sortie restituant le signal d'activation, un transistor de sortie de l'étage d'entrée, transmettant une impulsion d'un signal d'horloge au niveau de la sortie d'activation, sa grille étant connectée à un nœud interne de l'étage d'entrée, sa source étant reliée à la ligne de

20 sortie d'activation et son drain recevant le signal d'une première horloge, un premier transistor de commande de l'étage d'entrée étant apte à précharger la grille du transistor de sortie de l'étage d'entrée, sa source étant connectée à la grille du transistor de sortie de l'étage d'entrée, sa grille et son drain étant reliés à la sortie d'activation de l'étage de la ligne précédente, un

25 deuxième transistor de commande de l'étage d'entrée étant apte à décharger la grille du transistor de sortie de l'étage d'entrée, son drain étant connecté à la grille du transistor de sortie de l'étage d'entrée.

Dans un mode de réalisation de l'invention, chaque étage de sortie d'une ligne n peut comprendre une sortie restituant le signal de commutation

30 de la ligne n, un transistor de sortie de l'étage de sortie, transmettant une impulsion d'un signal d'horloge au niveau de la sortie, dont la grille est connectée à un nœud interne de l'étage de sortie, la source est reliée à la sortie de l'étage de sortie et le drain reçoit le signal d'une troisième horloge, un premier transistor de commande de l'étage de sortie étant apte à

35 précharger la grille du transistor de sortie de l'étage de sortie, sa source

étant connectée à la grille du transistor de sortie de l'étage de sortie, sa grille et son drain étant reliés à la sortie d'activation de l'étage d'entrée, un deuxième transistor de commande de l'étage de sortie étant apte à décharger la grille du transistor de sortie de l'étage de sortie, son drain étant
5 connecté à la grille du transistor de sortie de l'étage de sortie.

Dans un mode de réalisation de l'invention, un condensateur de compensation de l'étage d'entrée peut être disposé entre le signal d'une seconde horloge, en opposition de phase du signal de ladite première horloge.

10 Dans un mode de réalisation de l'invention, un condensateur d'élévation de l'étage d'entrée peut être connecté entre la grille et la source du transistor de sortie de l'étage d'entrée.

Dans un mode de réalisation de l'invention, un transistor de décharge de l'étage d'entrée peut être connecté à la sortie d'activation en sortie de
15 l'étage d'entrée, sa grille étant reliée à la grille du deuxième transistor de commande de l'étage d'entrée et au signal de sortie d'activation de l'étage suivant $n+1$.

Dans un mode de réalisation de l'invention, un condensateur de compensation de l'étage de sortie peut être disposé entre le signal d'une
20 quatrième horloge, en opposition de phase du signal de ladite troisième horloge.

Dans un mode de réalisation de l'invention, un condensateur d'élévation de l'étage de sortie peut être connecté entre la grille et la source du transistor de sortie de l'étage de sortie.

25 Dans un mode de réalisation de l'invention, un transistor de décharge de l'étage de sortie peut être connecté à la sortie de l'étage de sortie, sa grille étant reliée à la grille du deuxième transistor de commande de l'étage de sortie et au signal de sortie d'activation de l'étage suivant.

Dans un mode de réalisation de l'invention, chaque étage d'entrée et
30 de sortie d'une ligne n peut comprendre un commutateur de réinitialisation configuré pour disposer tous les transistors dans leur état bloqué.

Dans un mode de réalisation de l'invention, les commutateurs de réinitialisation peuvent être formés par des transistors de réinitialisation, un transistor de réinitialisation de l'étage d'entrée présentant une grille
35 commandée par une impulsion d'un signal de réinitialisation, sa source étant

connectée aux sources du deuxième transistor de commande de l'étage d'entrée, et son drain étant connecté au drain du deuxième transistor de commande de l'étage d'entrée.

Dans un mode de réalisation de l'invention, les commutateurs de réinitialisation sont formés par des transistors de réinitialisation, un transistor de réinitialisation de l'étage de sortie présentant une grille commandée par une impulsion d'un signal de réinitialisation, sa source étant connectée aux sources du deuxième transistor de commande de l'étage de sortie, et son drain étant connecté au drain du deuxième transistor de commande de l'étage de sortie.

Dans un mode de réalisation de l'invention, chaque étage de sortie d'une ligne n peut comprendre un commutateur de réinitialisation de lignes configuré pour imposer un niveau bas aux signaux de commutation.

Dans un mode de réalisation de l'invention, le commutateur de réinitialisation de ligne peut être formé par un transistor de réinitialisation de ligne commandé via sa grille par un signal de réinitialisation de ligne, son drain étant connecté à la source du transistor de sortie de l'étage de sortie, sa source étant connectée aux sources du deuxième transistor de commande de l'étage d'entrée, du transistor de décharge de l'étage d'entrée, du deuxième transistor de commande de l'étage de sortie et du transistor de décharge de l'étage de sortie.

Dans un mode de réalisation de l'invention, chaque étage de sortie d'une ligne n peut comprendre un commutateur de réinitialisation de matrice configuré pour imposer un niveau haut ou bas à la matrice de détection.

Dans un mode de réalisation de l'invention, le commutateur de réinitialisation de matrice peut être formé par un transistor de réinitialisation de matrice commandé via sa grille et son drain par un signal de réinitialisation de matrice, sa source étant connectée à la source du transistor de sortie de l'étage de sortie.

30

La présente invention a également pour objet un circuit intégré comprenant une matrice de pixels disposés en une pluralité n de lignes, les lignes étant adressées par une pluralité n d'étages de sortie d'un dispositif d'adressage de lignes suivant l'un quelconque des modes de réalisation décrits, également réalisé dans le circuit intégré.

35

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description, donnée à titre d'exemple, faite en regard des dessins annexés qui représentent :

- 5
- la figure 1, un schéma illustrant la structure globale d'un système existant comprenant une matrice active d'affichage et des circuits de commande associés, selon un mode de réalisation connu ;
 - 10 - la figure 2, un schéma illustrant la structure globale d'un système existant de structure intégrée, comprenant une matrice active d'affichage et des circuits de commande associés, selon un mode de réalisation connu ;
 - la figure 3, un schéma électrique illustrant la structure d'un registre formant un étage d'un dispositif d'adressage de lignes d'une matrice d'affichage, selon un mode de réalisation connu ;
 - 15 - la figure 4, un diagramme des temps illustrant le fonctionnement d'un dispositif d'adressage de lignes tel qu'illustré par la figure 3 ;
 - 20 - la figure 5, un schéma électrique illustrant la structure d'un étage d'un dispositif d'adressage de lignes, selon un mode de réalisation de l'invention ;
 - la figure 6, un diagramme des temps illustrant le fonctionnement d'un dispositif d'adressage de lignes, selon un mode de réalisation de l'invention.
 - 25

La figure 1 présente un schéma illustrant la structure globale d'un système existant comprenant une matrice active d'affichage et des circuits de commande associés, selon un mode de réalisation en lui-même connu.

Selon une technique en elle-même connue, une matrice 10 peut être reliée à une pluralité de circuits de commande des colonnes ou de circuits d'intégration de charges ou adresseurs de colonnes 11 commandant les colonnes de la matrice 10, et à une pluralité d'adresseurs de lignes 12. Les adresseurs 11, 12 peuvent être reliés d'une part à un ou plusieurs cartes

électroniques 13 via des nappes flexibles 14, et d'autre part à la matrice 10, également via des nappes flexibles 14. Un même adresseur de colonnes 11 peut commander un ou une pluralité de colonnes de la matrice 10 ; de la même manière, un même circuit de commande de lignes 12 peut
5 commander un ou une pluralité de lignes. Dans un mode de réalisation connu, les adresseurs 11, 12 peuvent par exemple directement être montés sur une seule nappe flexible les reliant de part et d'autre respectivement à la carte électronique 13 et à la matrice 10.

10 La figure 2 présente un schéma illustrant la structure globale d'un système existant de structure intégrée, comprenant une matrice active d'affichage et des circuits de commande associés, selon un mode de réalisation connu.

Une matrice d'affichage 20 peut par exemple contenir des adresseurs
15 de lignes 22 intégrés à sa structure. Dans l'exemple illustré par la figure 2, les adresseurs de colonnes 21 peuvent être des circuits intégrés extérieurs à la matrice 20 et connectés à celle-ci par des nappes flexibles 24, d'une manière similaire à l'exemple de réalisation décrit précédemment en référence à la figure 1. Les adresseurs de colonnes 21 peuvent également
20 être intégrés à la structure de la matrice 20. Des nappes flexibles 25 peuvent également relier électriquement les adresseurs de lignes 22 à une carte électronique 23. Dans un souci d'intégration, les adresseurs de lignes 22 peuvent dans un exemple de réalisation être disposés de part et d'autre de la matrice 20.

25 La présente invention propose de recourir à une structure intégrée, réalisée suivant une technologie permettant la réalisation de dispositifs électroniques semi-conducteurs par un dépôt de couches sur un substrat, par exemple de type silicium amorphe (a-Si), TFT, silicium polycristallin, semiconducteur organique, oxyde de zinc Gallium Indium amorphe (Ga_2O_3 -
30 In_2O_3 - ZnO), les dispositifs semi-conducteurs étant essentiellement des transistors TFT de type unique, c'est-à-dire de type P ou de type N, la structure intégrée formant un dispositif d'adressage des lignes d'une matrice de détection, utilisée par exemple dans des dispositifs d'imagerie, par exemple par rayons X. Une telle réalisation permet un gain en terme de
35 compacité et de coût de fabrication. Elle permet également un gain en terme

de rendement : en effet, si une ligne est coupée ou partiellement coupée, le fait de disposer des adresseurs de lignes de part et d'autre permet en tout état de cause d'adresser la ligne dans sa totalité.

Un autre avantage procuré par la présente invention réside dans le fait que celle-ci permet l'adressage d'une ligne particulière sans requérir un nombre important de commandes à cet effet, alors que les dispositifs d'adressage de lignes connus ne permettent pas l'adressage d'une ligne particulière, ou bien requièrent un nombre de commandes non indépendant du nombre de lignes utilisées.

10

La figure 3 présente un schéma électrique illustrant la structure d'un registre formant un étage d'un dispositif d'adressage de lignes d'une matrice d'affichage, selon un mode de réalisation connu. Une telle structure est par exemple décrite dans la demande de brevet française FR 2,743,662 précitée.

15

Un registre à décalage formant un étage n d'un dispositif d'adressage de lignes peut comprendre une ligne de sortie restituant un signal de sortie S_n ; par exemple, si la matrice comprend N lignes, chaque ligne n est associée à un étage n , les N étages 1 à N propageant via leurs sorties respectives S_1 à S_N , une impulsion d'entrée formée par un signal IN de déclenchement de balayage des lignes transmettant une impulsion d'horloge pour chaque nouvelle trame. De la sorte, les lignes 1 à N peuvent être sélectionnées les unes après les autres. L'étage n du dispositif d'adressage peut comprendre un transistor de sortie T_3 , transmettant une impulsion d'un signal d'horloge en sortie S_n . Le transistor de sortie T_3 est par exemple un transistor à effet de champ, de type communément désigné par l'acronyme MOSFET. Plus précisément, le transistor de sortie T_3 peut être un transistor MOSFET dit de type n , communément désigné par le sigle N-MOS. La grille du transistor de sortie T_3 peut être connectée à un nœud interne de l'étage du dispositif d'adressage, sa source peut être reliée à la sortie S_n et son drain peut recevoir le signal d'une première horloge C_k . Un condensateur d'élévation C_2 peut être connecté entre la grille et la source du transistor de sortie T_3 . Un premier transistor de commande T_1 est apte à précharger la grille du transistor de sortie T_3 . La source du premier transistor de commande T_1 est ainsi connectée à la grille du transistor de sortie T_3 . La grille du premier transistor de commande T_1 est commandée par la sortie

30
35

Sn-1 de l'étage n-1 du dispositif d'adressage de la ligne précédente n-1. La grille du premier transistor de commande T1 du premier étage du dispositif d'adressage, correspondant à la première ligne de la matrice, peut être commandée par le signal IN de déclenchement de balayage des lignes. Le drain du premier transistor de commande T1 peut être relié à une tension indépendante, ou bien à la grille du premier transistor de commande T1 ainsi que dans l'exemple illustré par la figure 2.

Un deuxième transistor de commande T2 est apte à décharger la grille du transistor de sortie T3. Le drain du deuxième transistor de commande T2 est ainsi connecté à la grille du transistor de sortie T3. La grille du deuxième transistor de commande T2 est reliée au signal de sortie Sn+1 de l'étage n+1 du dispositif d'adressage, correspondant à la ligne suivante n+1. La grille du transistor de commande T2 de l'étage N du dispositif d'adressage, correspondant à la dernière ligne N, peut être commandée par un signal spécifique. La source du deuxième transistor de commande T2 peut par exemple être polarisée à la tension VGoff. Un condensateur de compensation C1 peut avantageusement être disposé entre le signal d'une seconde horloge Ck1, en opposition de phase du signal de la première horloge Ck. Le condensateur de compensation C1 permet de compenser les effets de la capacité parasite entre la grille et le drain du transistor de sortie T3 pendant les commutations du signal de la première horloge Ck appliqué au drain du transistor de sortie T3.

Avantageusement, un transistor de décharge T4 peut être connecté à la sortie Sn de l'étage n du dispositif d'adressage de lignes, afin de faciliter la décharge de la sortie Sn à la fin de la phase de sélection de la ligne. La grille du transistor de décharge T4 est reliée à la grille du deuxième transistor de commande T2.

La figure 4 présente un diagramme des temps illustrant le fonctionnement d'un dispositif d'adressage de lignes tel qu'illustré par la figure 3.

Un premier chronogramme 41 représente le signal IN de déclenchement de balayage des lignes, au cours d'une période de temps correspondant à la transmission d'une trame.

Un deuxième chronogramme 42 représente pour la même période de temps le signal de la première horloge Ck ; un troisième chronogramme 43 représente le signal de la seconde horloge Ck1.

Un quatrième chronogramme 44 représente pour la même période de temps le signal de la sortie S1 du premier étage du dispositif d'adressage de lignes ; un cinquième chronogramme 45 représente le signal de la sortie S2 du deuxième étage du dispositif d'adressage de lignes ; un sixième chronogramme 46 représente le signal de sortie SN de l'étage N du dispositif d'adressage de lignes.

Les signaux logiques représentés par les différents chronogrammes 41 à 46 présentent par exemple un niveau bas correspondant au niveau VGoff, et un niveau haut correspondant au niveau VGon, ces niveaux permettant de commander respectivement l'état bloqué et l'état passant d'un transistor.

Le balayage d'une trame est déclenché par le signal IN, transmettant une impulsion pour chaque nouvelle trame.

Cette impulsion du signal IN va se "propager" en sortie S₁ du premier étage, puis de ligne en ligne, sur les sorties S₂, S₃, ..., S_n, ..., S_N des étages 1 à N, en sorte que les lignes de la matrice peuvent être sélectionnées l'une après l'autre, pendant une phase de sélection de ligne correspondante, Δt_1 , Δt_2 , ..., Δt_n , ..., Δt_N , une fois par trame, à la cadence des signaux d'horloge.

D'un étage au suivant, les rôles des signaux des horloges Ck et Ck1 sont échangés : par exemple, dans les étages n-1 et n+1, c'est le transistor de sortie T3 qui reçoit le signal de la première horloge Ck et le condensateur de compensation C1 qui reçoit le signal de la seconde horloge Ck1.

Les signaux des horloges Ck et Ck1 sont complémentaires. Le niveau haut Vgon des impulsions d'horloge est défini pour que les transistors de commutation de la matrice soient capables de charger sans perte par exemple les niveaux de tension vidéo à appliquer sur les électrodes des pixels, et pour permettre la commutation à l'état passant, et suffisamment conducteur, des transistors de sortie T3 des étages du dispositif d'adressage de lignes.

La phase de sélection Δt_{n-1} de la ligne n-1 débute à un instant t_{n-1} et se termine à un instant t_n . La phase de sélection Δt_n de la ligne n débute à l'instant t_n et se termine à l'instant t_{n+1} , et ainsi de suite...

Ainsi, le fonctionnement d'un dispositif d'adressage de lignes tel que décrit en référence aux figures 3 et 4 impose que les lignes soient adressées les unes après les autres, sans qu'aucune pause ne soit réalisable entre l'adressage de deux lignes consécutives. En outre, le fonctionnement d'un tel
5 dispositif impose une obligation d'adresser toutes les lignes d'une matrice, et ne permet pas de ne pas adresser certaines lignes.

La figure 5 présente un schéma électrique illustrant la structure d'un dispositif d'adressage de lignes pour une matrice de détection, selon un
10 mode de réalisation de l'invention.

La présente invention propose qu'une structure intégrée telle que décrite précédemment en référence aux figures 1 à 4, illustrant des dispositifs d'adressage de lignes s'appliquant à une matrice d'affichage, soit appliquée à un dispositif d'adressage de lignes pour une matrice de détection
15 pour imagerie par rayonnements ionisants, par exemple par rayons X. La structure intégrée formant un dispositif d'adressage de lignes selon la présente invention peut comprendre essentiellement des transistors TFT de type unique, c'est-à-dire de type P ou bien de type N, le type N pouvant être préféré pour ses meilleures performances. Ainsi, tous les transistors décrits
20 par la suite peuvent être à couches minces (TFT) et de type unique N ou P.

La structure illustrée par la figure 5 correspond à un mode de réalisation avantageux dans lequel chaque étage n du dispositif d'adressage de lignes comprend un étage d'entrée 50 et un étage de sortie 51. Pour un étage n du dispositif d'adressage de lignes, chacun des étages d'entrée et de
25 sortie 50, 51 comprend par exemple la plupart des éléments compris dans un étage n d'adressage de lignes tel que décrit précédemment en référence à la figure 3. Il est à noter que dans les exemples de réalisation décrits, chaque ligne n de la matrice est associée à un étage n du dispositif d'adressage. Il est cependant possible, dans des exemples alternatifs non décrits par les
30 figures, d'envisager des structures de dispositifs d'adressage de lignes dans lesquels un étage donné commande une pluralité de lignes, ou bien dans lesquels certaines lignes ne sont pas commandées par un étage.

Ainsi, l'étage d'entrée 50 d'un étage n du dispositif d'adressage de lignes peut être formé par un registre à décalage comprenant une ligne de
35 sortie restituant en sortie un signal d'activation SAn. L'étage d'entrée 50 peut

comprendre un transistor de sortie de l'étage d'entrée T30, transmettant une impulsion d'un signal d'horloge au niveau de la sortie d'activation SAn. La grille du transistor de sortie de l'étage d'entrée T30 peut être connectée à un nœud interne de l'étage d'entrée du dispositif d'adressage, sa source peut
5 être reliée à la sortie d'activation SAn et son drain peut recevoir le signal d'une première horloge Ck. Un condensateur d'élévation de l'étage d'entrée C20 peut être connecté entre la grille et la source du transistor de sortie de l'étage d'entrée T30. Un premier transistor de commande de l'étage d'entrée T10 est apte à précharger la grille du transistor de sortie de l'étage
10 d'entrée T30. La source du premier transistor de commande de l'étage d'entrée T10 est ainsi connectée à la grille du transistor de sortie de l'étage d'entrée T30. La grille et le drain du premier transistor de commande de l'étage d'entrée T10 sont commandés par la sortie d'activation SAn-1 de l'étage n-1 du dispositif d'adressage de la ligne précédente n-1.

15 Un deuxième transistor de commande de l'étage d'entrée T20 est apte à décharger la grille du transistor de sortie de l'étage d'entrée T30. Le drain du deuxième transistor de commande de l'étage d'entrée T20 est ainsi connecté à la grille du transistor de sortie de l'étage d'entrée T30. Un condensateur de compensation de l'étage d'entrée C10 peut
20 avantageusement être disposé entre le signal d'une seconde horloge Ck1, en opposition de phase du signal de la première horloge Ck.

Avantageusement, un transistor de décharge de l'étage d'entrée T40 peut être connecté à la sortie d'activation SAn de l'étage d'entrée 50 de l'étage n du dispositif d'adressage de lignes. La grille du transistor de
25 décharge de l'étage d'entrée T40 est reliée à la grille du deuxième transistor de commande de l'étage d'entrée T20 ; elle est également reliée au signal de sortie d'activation SAn+1 de l'étage suivant n+1.

D'une manière similaire, l'étage de sortie 51 d'un étage n du dispositif d'adressage de lignes peut être formé par un registre à décalage comprenant
30 une ligne de sortie restituant en sortie un signal Sn. L'étage de sortie 51 peut comprendre un transistor de sortie de l'étage de sortie T31, transmettant une impulsion d'un signal d'horloge au niveau de la sortie Sn. La grille du transistor de sortie de l'étage de sortie T31 peut être connectée à un nœud interne de l'étage de sortie du dispositif d'adressage, sa source peut être
35 reliée à la sortie Sn et son drain peut recevoir le signal d'une troisième

horloge Ck2. Un condensateur d'élévation de l'étage de sortie C21 peut être connecté entre la grille et la source du transistor de sortie de l'étage de sortie T31. Un premier transistor de commande de l'étage de sortie T11 est apte à précharger la grille du transistor de sortie de l'étage de sortie T31. La source
5 du premier transistor de commande de l'étage de sortie T11 est ainsi connectée à la grille du transistor de sortie de l'étage de sortie T31. La grille et le drain du premier transistor de commande de l'étage de sortie T11 sont commandés par la sortie d'activation SAn de l'étage d'entrée 50 de l'étage n du dispositif d'adressage.

10 Un deuxième transistor de commande de l'étage de sortie T21 est apte à décharger la grille du transistor de sortie de l'étage de sortie T31. Le drain du deuxième transistor de commande de l'étage de sortie T21 est ainsi connecté à la grille du transistor de sortie de l'étage de sortie T31. Un condensateur de compensation de l'étage de sortie C11 peut
15 avantageusement être disposé entre le signal d'une quatrième horloge Ck3, en opposition de phase du signal de la troisième horloge Ck2. Une particularité des troisième et quatrième horloges Ck2, Ck3 est que leurs rapports cycliques peuvent être différents, et que la somme de leurs périodes respectives à leur niveau haut correspond à la période des première et
20 deuxième horloges Ck, Ck1.

Avantageusement, un transistor de décharge de l'étage de sortie T41 peut être connecté à la sortie Sn de l'étage de sortie 51 de l'étage n du dispositif d'adressage de lignes, délivrant le signal d'activation de la ligne n. La grille du transistor de décharge de l'étage de sortie T41 est reliée à la
25 grille du deuxième transistor de commande de l'étage de sortie T21 ; elle est également reliée à la sortie d'activation SAn+1 de l'étage suivant n+1.

Selon une autre spécificité de la présente invention, l'étage d'entrée 50 comprend également un transistor de réinitialisation de l'étage d'entrée TR dont la grille est commandée par une impulsion d'un signal de
30 réinitialisation. La source du transistor de réinitialisation de l'étage d'entrée TR peut être connectée aux sources du deuxième transistor de commande de l'étage d'entrée T20. Le drain du transistor de réinitialisation de l'étage d'entrée TR peut être connecté au drain du deuxième transistor de commande de l'étage d'entrée T20.

De la même manière, l'étage de sortie 51 comprend également un transistor de réinitialisation de l'étage de sortie TR dont la grille est, ainsi que la grille du transistor de réinitialisation de l'étage d'entrée, commandée par une impulsion du signal de réinitialisation. La source du transistor de réinitialisation de l'étage de sortie TR peut être connectée aux sources respectivement du deuxième transistor de commande de l'étage de sortie T21 et du transistor de décharge de l'étage de sortie T41, ainsi qu'aux sources respectivement du deuxième transistor de commande de l'étage d'entrée T20 et du transistor de décharge de l'étage d'entrée T40. Le drain du transistor de réinitialisation de l'étage de sortie TR peut être connecté au drain du deuxième transistor de commande de l'étage de sortie T21.

Ainsi, une impulsion de réinitialisation permet de d'imposer aux différents transistors compris dans les étages d'entrée 50 et de sortie 51, leur état bloqué.

De plus, l'étage de sortie 51 peut comprendre un transistor de réinitialisation de ligne TL. Le transistor de réinitialisation de ligne TL est commandé via sa grille par un signal spécifique. Le drain du transistor de réinitialisation de ligne TL est connecté à la source du transistor de sortie de l'étage de sortie T31. La source du transistor de réinitialisation de ligne TL peut être connectée aux sources des transistors T20, T40, T21 et T41. Le transistor de réinitialisation de ligne TL d'un étage n permet de forcer la tension sur la ligne n à l'état bas. Le transistor de réinitialisation de ligne TL permet de contrôler la tension sur les lignes, c'est-à-dire aux sorties des étages de sortie des étages, et d'y appliquer une tension basse impédance, notamment pendant des "temps morts". En effet, d'une manière typique, le pilotage des détecteurs à rayons X, par exemple, comprend une phase de réinitialisation, suivie d'une phase d'application des rayonnements X ou "fenêtre X", puis d'une phase de lecture. Pendant la fenêtre X, les rayons X se transforment en électrons dans les photodiodes ; la durée de la fenêtre X est relativement longue, typiquement jusqu'à 3,2 secondes, ainsi le transistor de réinitialisation de ligne TL permet d'éviter toute dérive de la matrice.

Avantageusement encore, chaque étage de sortie 51 peut comprendre un commutateur de réinitialisation de matrice, par exemple formé par un transistor de réinitialisation de matrice TL_{ON} permettant de réaliser une réinitialisation complète de la matrice. Le transistor de

réinitialisation de matrice TL_{ON} peut être commandé par un signal de réinitialisation de matrice appliqué à sa grille et à son drain. La source du transistor de réinitialisation de matrice TL_{ON} peut être connectée à la source du transistor de sortie de l'étage de sortie T31. Le signal de réinitialisation de matrice commandant le transistor de réinitialisation de matrice TL_{ON} peut être la tension VG_{off} ou la tension d'activation VG_{on} . Lorsque le transistor de réinitialisation de matrice TL_{ON} est actif, c'est-à-dire lorsque la tension d'activation VG_{on} est appliquée, la tension d'activation est alors appliquée à l'ensemble de la matrice.

En pratique, une réinitialisation complète de la matrice peut être réalisée suivant la séquence définie par une activation des transistors de réinitialisation de matrice TL_{ON} pendant une durée suffisante, suivie d'une activation des transistors de réinitialisation de lignes TL permettant de remettre les lignes à la tension VG_{off} .

Un avantage procuré par le dispositif d'adressage de lignes tel que décrit ci-dessus en référence à la figure 5, est qu'il permet d'adresser les lignes en deux temps, en offrant l'opportunité d'une pause entre l'adressage de deux lignes consécutives. Cet avantage est majeur notamment lorsque le dispositif d'adressage de lignes s'insère dans un système où il est nécessaire d'intégrer des charges provenant des pixels de la matrice, par exemple lorsque celle-ci est utilisée comme un capteur, par exemple pour des applications d'imagerie telles que des applications d'imagerie médicale. La sensibilité de la dalle est dans un tel cas d'autant meilleure, que le temps d'intégration des charges est long. En outre, la pause entre l'adressage de deux lignes consécutives permet un pilotage plus robuste aux défauts éventuels de la matrice.

Un autre avantage procuré par le dispositif d'adressage de lignes réside en la possibilité de permettre de ne pas adresser des lignes choisies en tant que de besoin. Cet avantage peut permettre d'augmenter la vitesse globale du système dans lequel le dispositif d'adressage de lignes s'intègre, en autorisant de ne pas adresser certaines lignes. L'étage d'entrée 50 peut par exemple être adressé très rapidement, en augmentant la fréquence des signaux des première et deuxième horloges Ck , $Ck1$ jusqu'à la ligne voulue, pour réactiver les signaux des troisième et quatrième horloges $Ck2$, $Ck3$ dès que ladite ligne voulue est atteinte. Un tel mode de fonctionnement peut

s'avérer particulièrement avantageux pour des applications où un utilisateur, par exemple dans le cadre précité de la réalisation d'imagerie par rayons X, souhaite réaliser un "zoom" sur une zone particulière d'une scène.

Un autre avantage procuré par le dispositif d'adressage de lignes
5 réside en la possibilité de réaliser une réinitialisation simultanée d'une pluralité de lignes de la matrice réparties en groupes, la totalité des lignes de la matrice étant réinitialisée par des réinitialisations successives des différents groupes de lignes. Un tel mode de réalisation peut s'avérer
10 particulièrement avantageux dans des applications où la matrice est formée par une dalle utilisée en guise de capteur, par exemple pour de l'imagerie par rayons X, et permet notamment de diminuer les charges induites sur les conducteurs colonnes de la matrice. Un tel mode de réalisation est notamment décrit dans la demande de brevet FR 2,861,242.

Un autre avantage procuré par un dispositif d'adressage de lignes
15 comprenant un étage d'entrée et un étage de sortie par ligne, est que celui-ci est particulièrement adapté au pilotage de matrices de grandes tailles. En effet, le nombre d'étages par ligne est toujours limité à deux, et le schéma électrique d'un étage donné est indépendant de la taille de la matrice. Cette caractéristique est notamment particulièrement avantageuse dans des
20 application d'imagerie médicale, pour lesquelles le nombre de lignes peut être de l'ordre de plusieurs milliers. Typiquement, le nombre de lignes peut être de 3000 pour des tailles compatibles avec les exigences actuelles.

La figure 6 présente un diagramme des temps illustrant le
25 fonctionnement d'un dispositif d'adressage de lignes, selon un mode de réalisation de l'invention.

Un premier chronogramme 61 représente le signal IN de déclenchement de balayage des lignes, au cours d'une période de temps correspondant à la transmission d'une trame.

30 Un deuxième chronogramme 62 représente pour la même période de temps le signal de la première horloge Ck ; un troisième chronogramme 63 représente le signal de la deuxième horloge Ck1 ; un quatrième chronogramme 64 représente le signal de la quatrième horloge Ck3 ; un cinquième chronogramme 65 représente le signal de la troisième
35 horloge Ck2.

Quatre chronogrammes des sorties d'activation 661, 662, 66100, 66101 représentent pour la même période de temps, les signaux sur les sorties d'activation SA1, SA2, SA100 et SA101 des étages d'entrée correspondant respectivement aux lignes 1, 2, 100 et 101.

- 5 Quatre chronogrammes des sorties des étages de sortie 671, 672, 67100, 67101 représentent pour la même période de temps, les signaux sur les sorties S1, S2, S100 et S101 des étages de sortie correspondant respectivement aux lignes 1, 2, 100 et 101.

10 Un onzième chronogramme 68 représente le signal de la sortie SN du dernier étage N de sortie du dispositif d'adressage de lignes.

Un douzième chronogramme 69 représente le signal de réinitialisation TR des étages d'entrée et de sortie.

Un treizième chronogramme 70 représente le signal de réinitialisation de ligne TL.

- 15 Lorsque des lignes doivent être adressées, comme c'est le cas dans l'exemple illustré par la figure 6, pour les lignes 100, 101 et N, celles-ci sont adressées via les sorties Sn des étages de sortie correspondantes du dispositif d'adressage de lignes.

20 Dans l'exemple illustré par la figure 6, le signal IN de déclenchement de balayage des lignes, déclenche les première et deuxième horloges Ck et Ck1. Ces horloges provoquent alternativement, ainsi que cela est explicité précédemment, le passage à l'état haut des signaux d'activation SAn en sortie des étages n d'entrée du dispositif d'adressage. Dans l'exemple illustré par la figure 6, les sorties d'activation SAn correspondant à toutes les lignes
25 1 à N sont ainsi activées. De la sorte, des "options", parfois désignées "jetons" ou "tokens" suivant la terminologie anglaise, sont prises pour l'adressage des lignes 1 à N.

L'adressage effectif des lignes choisies est alors réalisé via les troisième et quatrième horloges Ck2, Ck3 permettant le passage à l'état haut
30 des sorties Sn des étages de sortie du dispositif d'adressage de lignes correspondant aux lignes choisies. Dans l'exemple illustré par la figure 6, où les lignes choisies sont les lignes 100 et suivantes, les troisième et quatrième horloges Ck2, Ck3 ne sont déclenchées qu'à partir d'un instant correspondant à la ligne 100, c'est-à-dire après cent coups de la première
35 horloge Ck ou de la deuxième horloge Ck1. Dans l'exemple illustré par la

figure 6, un front montant de la quatrième horloge Ck3 coïncide avec le front montant de la sortie d'activation SA100, puis le front descendant de la quatrième horloge Ck3 coïncide avec le front montant de la troisième horloge Ck2, puis le front descendant de la troisième horloge Ck2 coïncide avec le front descendant de la sortie d'activation SA100, etc.

Un autre avantage procuré par le dispositif d'adressage de lignes comprenant un étage d'entrée et un étage de sortie par ligne, est que celui-ci est intrinsèquement protégé contre des phénomènes de perturbations liés à des couplages capacitifs. Une ligne présente une capacité équivalente dont la valeur dépend du nombre de pixels qu'elle contient. Cette ligne va ensuite, lors des lectures des lignes suivantes $n+1$, $n+2$, ..., être perturbée par des couplages capacitifs, car les horloges continuent d'être appliquées sur tous les étages, et ces perturbations en volts dépendent directement de la capacité équivalente de la ligne. Par construction, le dispositif d'adressage de lignes selon la présente invention impose une tension correspondant au niveau bas sur une ligne n pendant une durée contrôlée par les horloges, et laisse ensuite cette même ligne n en haute impédance. Ainsi, plus les lignes sont capacitives, plus la tension correspondant au niveau bas est stable sur ces lignes. En outre, les perturbations sur la tension correspondant au niveau bas sont liées aux couplages entre les horloges et les lignes. Lorsqu'un seul étage est présent par ligne, les couplages sont importants, du fait d'une parité due à l'inversion entre les première et deuxième horloges Ck et Ck1 d'un étage à l'autre. Le fait d'ajouter un étage de sortie ne présentant pas d'inversion entre les troisième et quatrième horloges Ck2, Ck3, implique que les couplages entre les horloges et les lignes ne sont plus affectés par cette parité, et les lignes sont ainsi perturbées de manière homogène. Ainsi, lorsque la matrice est une matrice de détection, pour laquelle il est typiquement procédé à une lecture du signal présent sur les colonnes, la perturbation des lignes se retrouve sur les colonnes et donc s'ajoute au signal lu. L'homogénéité des perturbations due à l'usage d'un étage d'entrée et d'un étage de sortie par ligne, permet d'obtenir une image de meilleure qualité, non affectée de visibilités spatiales ainsi que cela pourrait être le cas en utilisant un étage unique par ligne.

REVENDICATIONS

1- Dispositif d'adressage des lignes d'une matrice de détection pour imagerie par rayonnements ionisants, la matrice de détection
5 comprenant une pluralité N de lignes n de pixels et étant réalisée sur un substrat, le dispositif d'adressage étant également réalisé sur ledit substrat essentiellement à partir de transistors couches minces TFT de type unique N ou P, et comprenant une pluralité d'étages aptes à délivrer en leurs sorties respectives des signaux de commutation entre
10 les niveaux haut et bas, d'un signal appliqué à des dispositifs de commutation sur une ligne correspondante de la matrice de détection, le dispositif d'adressage étant caractérisé en ce qu'il comprend une pluralité d'étages aptes à délivrer en leurs sorties respectives des signaux (Sn) de commutation des niveaux haut et bas d'un signal
15 appliqué à des dispositifs de commutation en sortie sur une ligne correspondante de la matrice et étant caractérisé en ce que chaque étage comprend un étage d'entrée (50) et un étage de sortie (51), l'étage d'entrée (50) délivrant un signal d'activation (SAn) de l'étage de sortie (51), l'étage de sortie (51) délivrant en cas d'activation, ledit signal de commutation (Sn) de la ligne n correspondante..
20

2- Dispositif d'adressage de lignes suivant la revendication 1, caractérisé en ce que chaque étage d'entrée (50) d'une ligne n
25 comprend une sortie restituant le signal d'activation (SAn), un transistor de sortie de l'étage d'entrée (T30), transmettant une impulsion d'un signal d'horloge au niveau de la sortie d'activation (SAn), sa grille étant connectée à un nœud interne de l'étage d'entrée (50), sa source étant reliée à la ligne de sortie d'activation (SAn) et son drain recevant le
30 signal d'une première horloge (Ck), un premier transistor de commande de l'étage d'entrée (T10) étant apte à précharger la grille du transistor de sortie de l'étage d'entrée (T30), sa source étant connectée à la grille du transistor de sortie de l'étage d'entrée (T30), sa grille et son drain étant reliés à la sortie d'activation (SAn-1) de l'étage de la ligne
35 précédente n-1, un deuxième transistor de commande de l'étage

d'entrée (T20) étant apte à décharger la grille du transistor de sortie de l'étage d'entrée (T30), son drain étant connecté à la grille du transistor de sortie de l'étage d'entrée (T30).

5 3- Dispositif d'adressage de lignes suivant l'une quelconque des revendications précédentes, caractérisé en ce que chaque étage de sortie (51) d'une ligne n comprend une sortie restituant le signal de commutation (S_n) de la ligne n, un transistor de sortie de l'étage de sortie (T31), transmettant une impulsion d'un signal d'horloge au niveau
10 de la sortie (S_n), dont la grille est connectée à un nœud interne de l'étage de sortie (51), la source est reliée à la sortie de l'étage de sortie (S_n) et le drain reçoit le signal d'une troisième horloge (Ck2), un premier transistor de commande de l'étage de sortie (T11) étant apte à précharger la grille du transistor de sortie de l'étage de sortie (T31), sa
15 source étant connectée à la grille du transistor de sortie de l'étage de sortie (T31), sa grille et son drain étant reliés à la sortie d'activation (SAn) de l'étage d'entrée (50), un deuxième transistor de commande de l'étage de sortie (T21) étant apte à décharger la grille du transistor de sortie de l'étage de sortie (T31), son drain étant connecté à
20 la grille du transistor de sortie de l'étage de sortie (T31).

4- Dispositif d'adressage de lignes suivant la revendication 3, caractérisé en ce qu'un condensateur de compensation de l'étage d'entrée (C10) est disposé entre le signal d'une seconde horloge (Ck1),
25 en opposition de phase du signal de ladite première horloge (Ck).

5- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 et 4, caractérisé en ce qu'un condensateur d'élévation de l'étage d'entrée (C20) est connecté entre la grille et la source du transistor de sortie de l'étage d'entrée (T30).
30

6- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 5, caractérisé en ce qu'un transistor de décharge de l'étage d'entrée (T40) est connecté à la sortie d'activation (SAn) en
35 sortie de l'étage d'entrée (50), sa grille étant reliée à la grille du

deuxième transistor de commande de l'étage d'entrée (T20) et au signal de sortie d'activation (SAn+1) de l'étage suivant n+1.

- 5 7- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 6, caractérisé en ce qu'un condensateur de compensation de l'étage de sortie (C11) est disposé entre le signal d'une quatrième horloge (Ck3), en opposition de phase du signal de ladite troisième horloge (Ck2).
- 10 8- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 7, caractérisé en ce qu'un condensateur d'élévation de l'étage de sortie (C21) est connecté entre la grille et la source du transistor de sortie de l'étage de sortie (T30).
- 15 9- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 8, caractérisé en ce qu'un transistor de décharge de l'étage de sortie (T41) est connecté à la sortie (Sn) de l'étage de sortie (51), sa grille étant reliée à la grille du deuxième transistor de commande de l'étage de sortie (T21) et au signal de sortie
- 20 d'activation (SAn+1) de l'étage suivant n+1.
- 10- Dispositif d'adressage de lignes suivant l'une quelconque des revendications précédentes, caractérisé en ce que chaque étage d'entrée et de sortie (50, 51) d'une ligne n comprend un commutateur de réinitialisation configuré pour disposer tous les transistors dans leur
- 25 état bloqué.
- 11- Dispositif d'adressage de lignes suivant la revendication 10, dans lequel les commutateurs de réinitialisation sont formés par des transistors de réinitialisation (TR), un transistor de réinitialisation (TR) de l'étage d'entrée (50) présentant une grille commandée par une
- 30 impulsion d'un signal de réinitialisation, sa source étant connectée aux sources du deuxième transistor de commande de l'étage d'entrée (T20), et son drain étant connecté au drain du deuxième transistor de commande de l'étage d'entrée (T20).
- 35

12- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 10 à 11, dans lequel les commutateurs de réinitialisation sont formés par des transistors de réinitialisation (TR), un transistor de réinitialisation (TR) de l'étage de sortie (51) présentant une grille commandée par une impulsion d'un signal de réinitialisation, sa source étant connectée aux sources du deuxième transistor de commande de l'étage de sortie (T21), et son drain étant connecté au drain du deuxième transistor de commande de l'étage de sortie (T21).

10

13- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 12, caractérisé en ce que chaque étage de sortie (51) d'une ligne n comprend un commutateur de réinitialisation de lignes configuré pour imposer un niveau bas aux signaux de commutation (Sn).

15

14- Dispositif d'adressage de lignes suivant la revendication 13, dans lequel le commutateur de réinitialisation de ligne est formé par un transistor de réinitialisation de ligne (TL) commandé via sa grille par un signal de réinitialisation de ligne, son drain étant connecté à la source du transistor de sortie de l'étage de sortie (T31), sa source étant connectée aux sources du deuxième transistor de commande de l'étage d'entrée (T20), du transistor de décharge de l'étage d'entrée (T40), du deuxième transistor de commande de l'étage de sortie (T21) et du transistor de décharge de l'étage de sortie (T41).

20

25

15- Dispositif d'adressage de lignes suivant l'une quelconque des revendications 3 à 14, caractérisé en ce que chaque étage de sortie (51) d'une ligne n comprend un commutateur de réinitialisation de matrice configuré pour imposer un niveau haut ou bas à la matrice de détection.

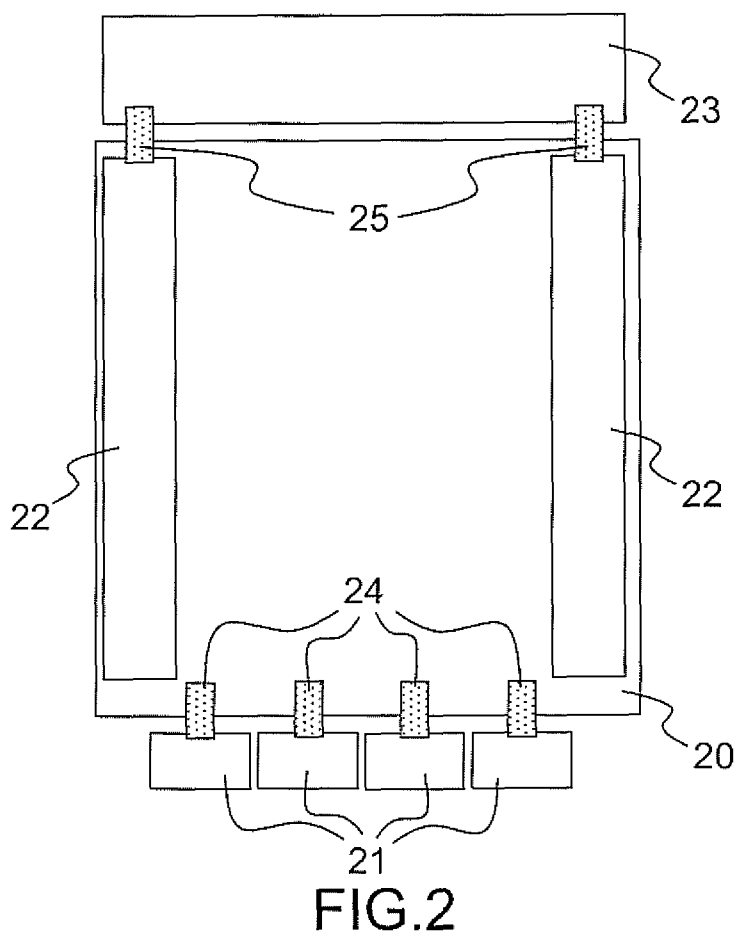
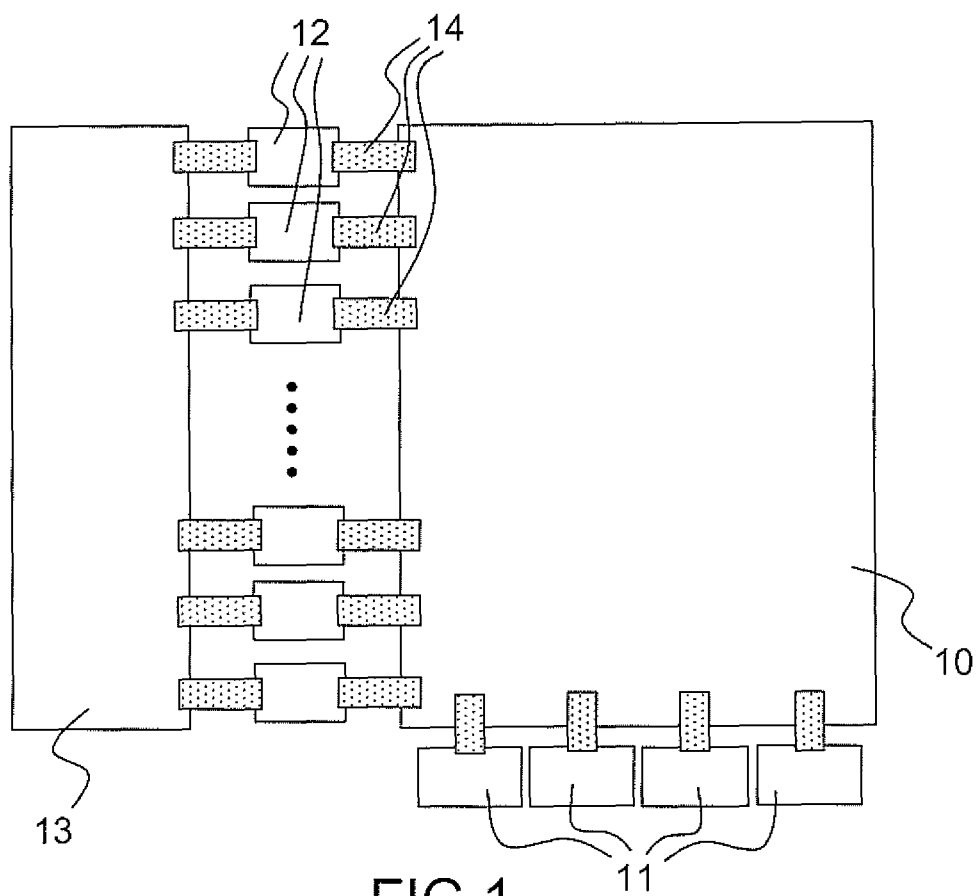
30

16- Dispositif d'adressage de lignes suivant la revendication 15, dans lequel le commutateur de réinitialisation de matrice est formé par un transistor de réinitialisation de matrice (TLON) commandé via sa

35

grille et son drain par un signal de réinitialisation de matrice, sa source étant connectée à la source du transistor de sortie de l'étage de sortie (T31).

1/5



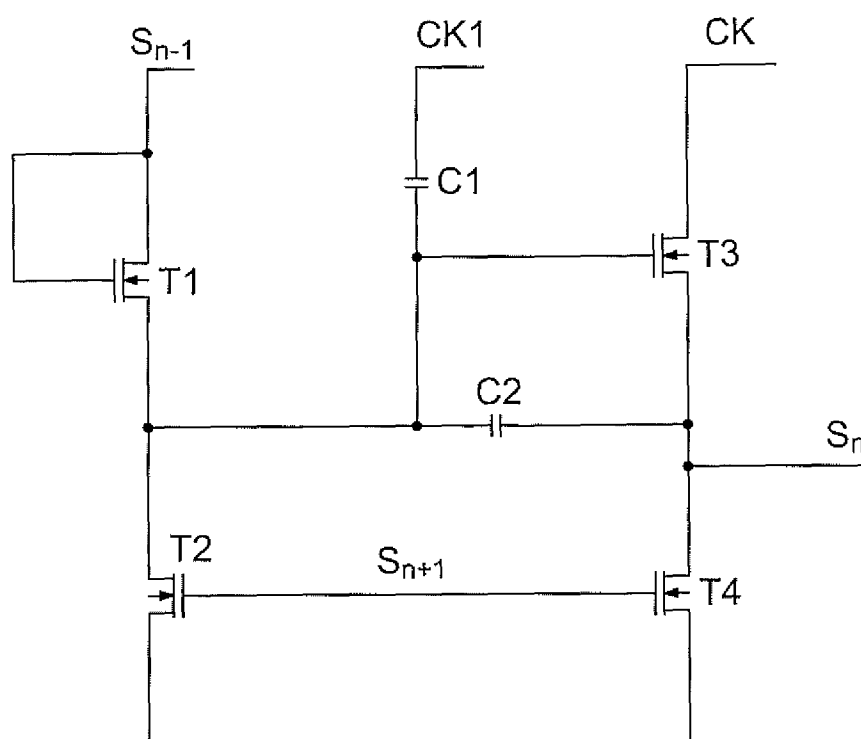


FIG.3

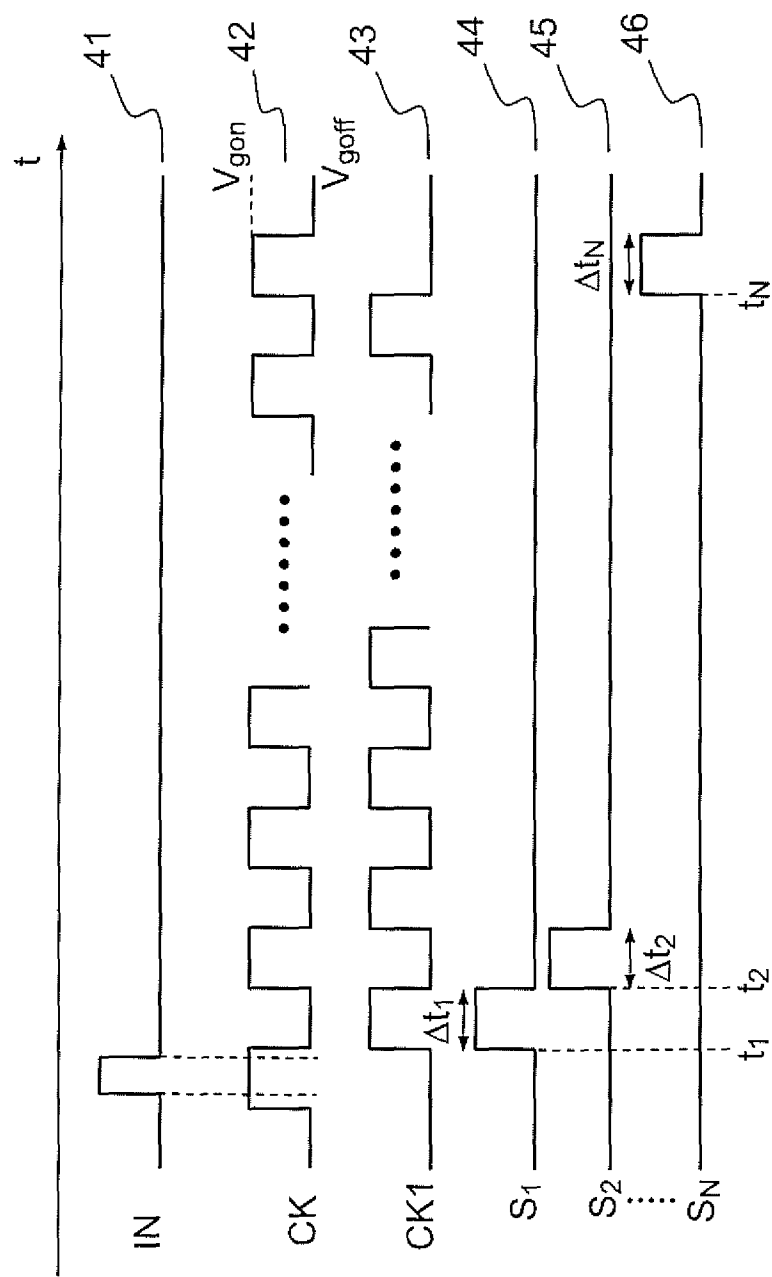


FIG.4

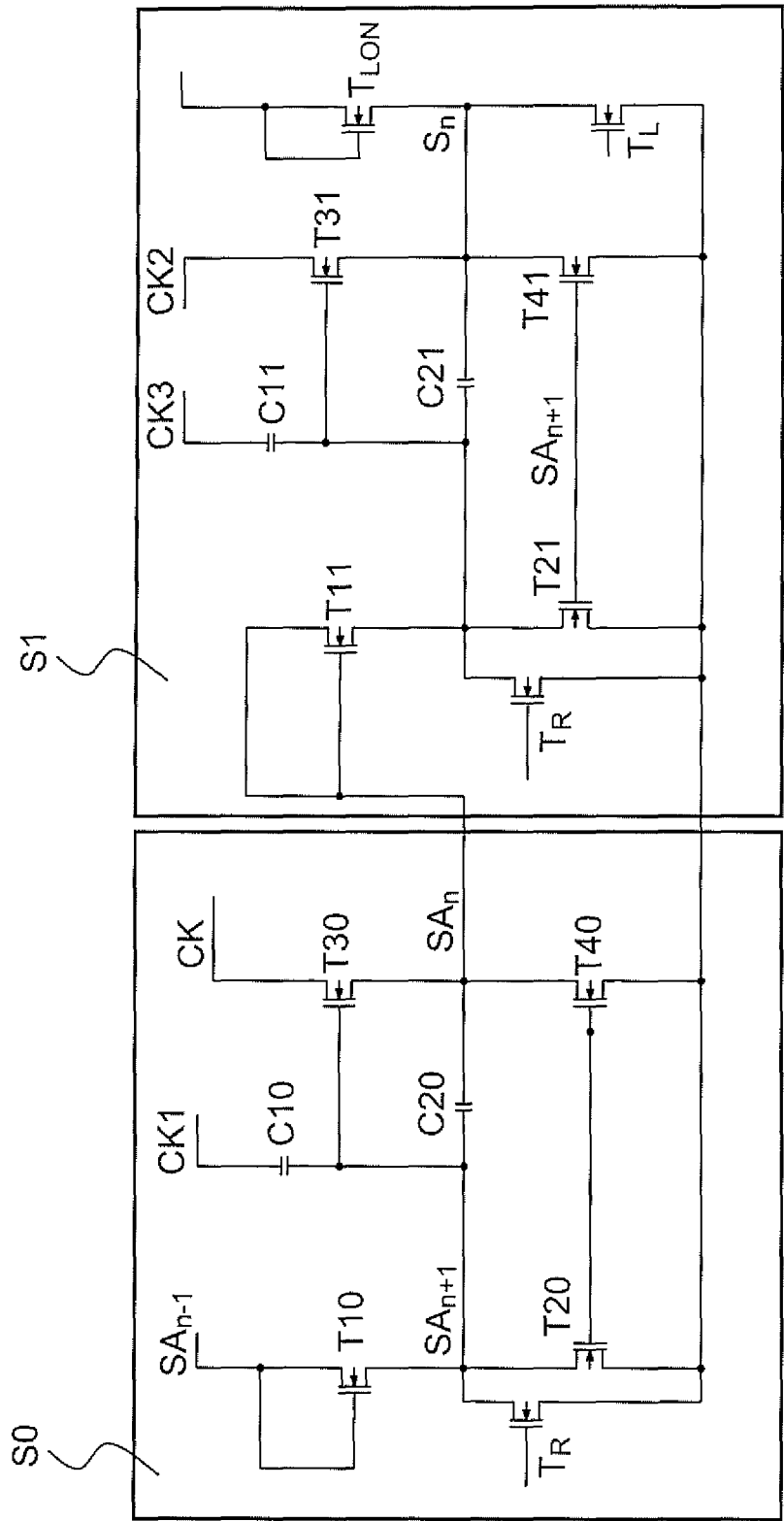


FIG.5

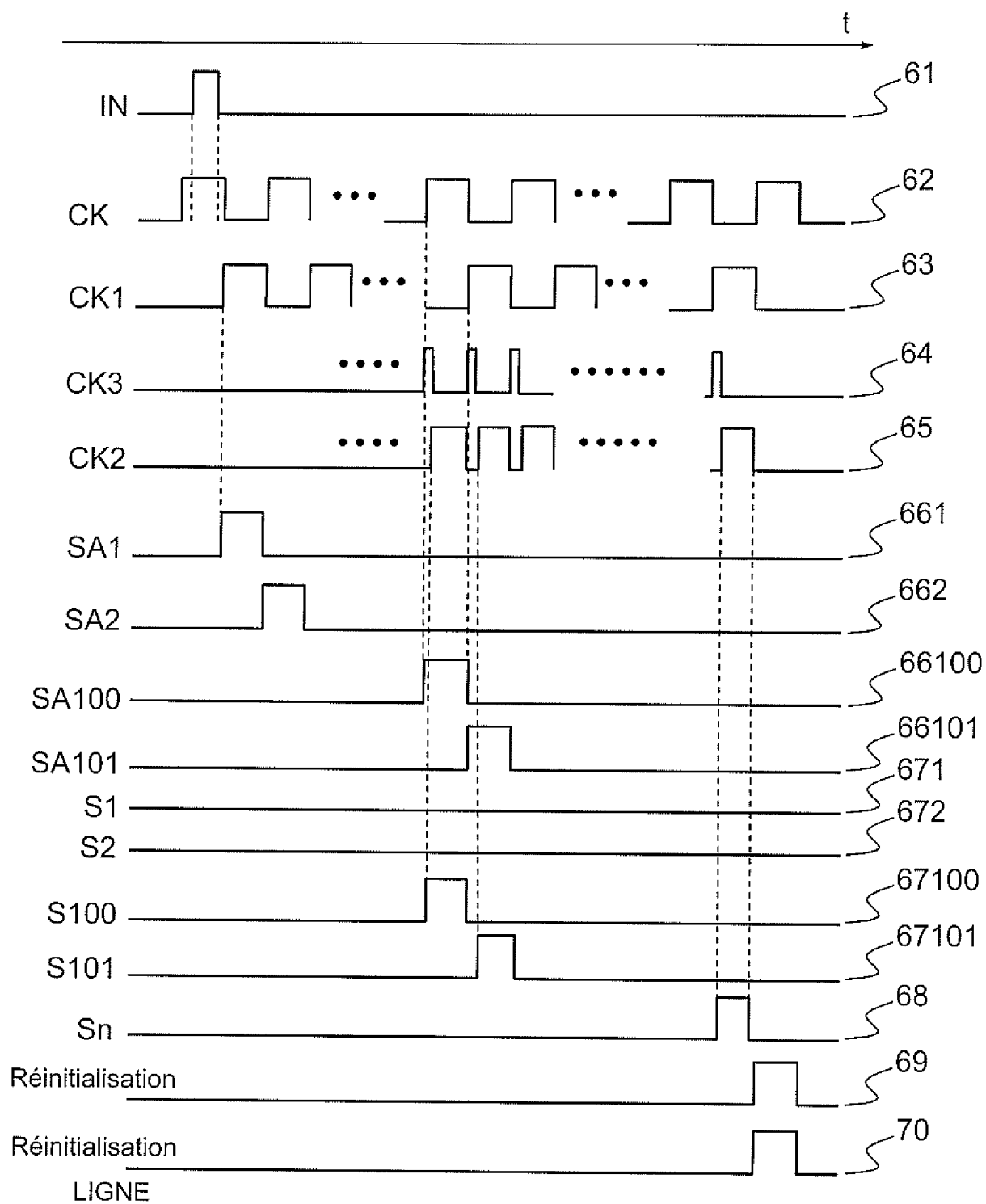


FIG.6

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/058555

A. CLASSIFICATION OF SUBJECT MATTER
INV. H04N5/345 H04N5/376
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 536 932 A (HACK MICHAEL G [US] ET AL) 16 July 1996 (1996-07-16)	1
A	column 6, line 16 - column 8, line 61 figures 4A-6B	4-16
A	----- GB 2 317 742 A (SHARP KK [JP]) 1 April 1998 (1998-04-01) page 4, line 23 - page 5, line 3 page 6, line 17 - line 29 page 8, line 19 - line 24 page 11, line 12 - line 23 page 17, line 15 - line 24	1
A	----- US 2002/172327 A1 (DE GROOT PAUL [FR]) 21 November 2002 (2002-11-21) page 5, paragraph 81 - page 6, paragraph 92 ----- -/-	1



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 July 2012

Date of mailing of the international search report

30/07/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Didierlaurent, P

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2012/058555

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/027661 A1 (SEMICONDUCTOR ENERGY LAB [JP]; YAMAZAKI SHUNPEI [JP]; SAKATA JUNICHIRO) 10 March 2011 (2011-03-10) page 80, line 8 - page 81, line 28 figures 12A-12B -----	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/058555

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5536932	A	16-07-1996	JP 4001648 B2 31-10-2007
		JP 8256292 A 01-10-1996	
		US 5536932 A 16-07-1996	

GB 2317742	A	01-04-1998	NONE

US 2002172327	A1	21-11-2002	DE 60010521 D1 09-06-2004
		DE 60010521 T2 12-05-2005	
		EP 1250705 A1 23-10-2002	
		FR 2803394 A1 06-07-2001	
		US 2002172327 A1 21-11-2002	
		US 2005201518 A1 15-09-2005	
		WO 0150481 A1 12-07-2001	

WO 2011027661	A1	10-03-2011	CN 102498570 A 13-06-2012
		JP 2011077512 A 14-04-2011	
		TW 201128715 A 16-08-2011	
		US 2011210355 A1 01-09-2011	
		WO 2011027661 A1 10-03-2011	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2012/058555

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H04N5/345 H04N5/376 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H04N H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 536 932 A (HACK MICHAEL G [US] ET AL) 16 juillet 1996 (1996-07-16)	1
A	colonne 6, ligne 16 - colonne 8, ligne 61 figures 4A-6B	4-16
A	----- GB 2 317 742 A (SHARP KK [JP]) 1 avril 1998 (1998-04-01) page 4, ligne 23 - page 5, ligne 3 page 6, ligne 17 - ligne 29 page 8, ligne 19 - ligne 24 page 11, ligne 12 - ligne 23 page 17, ligne 15 - ligne 24 -----	1
A	US 2002/172327 A1 (DE GROOT PAUL [FR]) 21 novembre 2002 (2002-11-21) page 5, alinéa 81 - page 6, alinéa 92 ----- -/-	1
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée		Date d'expédition du présent rapport de recherche internationale
20 juillet 2012		30/07/2012
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Didierlaurent, P

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WO 2011/027661 A1 (SEMICONDUCTOR ENERGY LAB [JP]; YAMAZAKI SHUNPEI [JP]; SAKATA JUNICHIRO) 10 mars 2011 (2011-03-10) page 80, ligne 8 - page 81, ligne 28 figures 12A-12B -----	1-16

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2012/058555

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5536932	A	16-07-1996	JP 4001648 B2	31-10-2007
			JP 8256292 A	01-10-1996
			US 5536932 A	16-07-1996

GB 2317742	A	01-04-1998	AUCUN	

US 2002172327	A1	21-11-2002	DE 60010521 D1	09-06-2004
			DE 60010521 T2	12-05-2005
			EP 1250705 A1	23-10-2002
			FR 2803394 A1	06-07-2001
			US 2002172327 A1	21-11-2002
			US 2005201518 A1	15-09-2005
			WO 0150481 A1	12-07-2001

WO 2011027661	A1	10-03-2011	CN 102498570 A	13-06-2012
			JP 2011077512 A	14-04-2011
			TW 201128715 A	16-08-2011
			US 2011210355 A1	01-09-2011
			WO 2011027661 A1	10-03-2011
