

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 23/525 H01L 21/3205	(45) 공고일자 2000년04월 15일 (11) 등록번호 10-0252447 (24) 등록일자 2000년01월 18일
(21) 출원번호 10-1997-0700695 (22) 출원일자 1997년02월01일 번역문제출일자 1997년02월01일 (86) 국제출원번호 PCT/US 96/08263 (86) 국제출원일자 1996년05월31일 (81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 캐나다 일본 대한민국	(65) 공개번호 특 1997-0705182 (43) 공개일자 1997년09월06일 (87) 국제공개번호 WO 96/38861 (87) 국제공개일자 1996년 12월05일
(30) 우선권주장 8/460,417 1995년06월02일 미국(US)	
(73) 특허권자 액텔 코포레이션 아르모 엠. 무센	
(72) 발명자 미국 캘리포니아주 94086 서니베일 207 보르도 드라이브 슈트 1153 홀리 프랭크 더블유. 미국 95008 캘리포니아주 캠벨 카프리 드라이브 1360 매칼럼 존 엘. 미국 95070 캘리포니아주 새러토거 메리브룩 드라이브 19810 고 잉 미국 94306 캘리포니아주 팰러 엘토 카우퍼 코트 3480 엘토키 애브델새피 미국 95136 캘리포니아주 새너제이 처칠 파크 드라이브509	
(74) 대리인 장수길, 주성민	

심사관 : 양희용

(54) 용기된 텅스텐 플러그 앤티퓨즈 및 제조 공정

요약

앤티퓨즈가 마이크로 회로 내의 금속층으로부터 형성된 하부 전극을 포함한다. 이 하부 전극 위에 층간 유전체 층이 배치되며 그 안에 개구가 형성된다. 이 개구 내에 텅스텐과 같은 재료로 형성된 도전성 플러그가 형성된다. 이 층간 유전체의 상면을 에치백하여 플러그의 용기 부분이 생기게 한다. 플러그의 상단 모서리들을 둥그스름하게 한다. 바람직하게는 실리콘 질화물, 비결정성 실리콘, 실리콘 질화물을 포함하고 비결정성 실리콘 층 위에 또는 밑에 얇은 실리콘 이산화물 층을 합체시킨 샌드위치 구조 또는 티타늄 질화물 층에 의해 피복(cover)된 그런 샌드위치 구조로 이루어진 앤티퓨즈 층이 플러그 위쪽에 배치된다. 이 앤티퓨즈 층 위에 바람직하게는 금속층으로 이루어진 상부 전극이 배치된다.

대표도

도 1

명세서

[발명의 명칭]

용기된 텅스텐 플러그 앤티퓨즈 및 제조 공정

[발명의 배경]

[발명의 분야]

본 발명은 사용자 프로그램이 가능한 앤티퓨즈 디바이스(user-programmable antifuse devices)에 관한 것이다. 특히, 본 발명은 용기된 텅스텐 플러그 앤티퓨즈(raised tungsten plug antifuse)의 몇 가지 실시예 및 이러한 앤티퓨즈들의 제조 방법에 관한 것이다.

[종래기술]

여러 가지 앤티퓨즈 구조가 종래 기술에 공지되어 있다. 종래의 앤티퓨즈들은 두 개의 그룹으로 구분될 수 있다. 제1그룹에는 하부 전극은 반도체 기판 내의 도전층으로 이루어지고 상부 전극은 그 기판 위의 층으로 이루어진 앤티퓨즈들이 포함된다. 상부 전극과 하부 전극 사이에 배치된 앤티퓨즈 재료층은 대개 하나의 유전체 층 또는 다수의 유전체 층으로 이루어진다. Mohsen 등에게 허여된 미국 특허 제4,823,181

호 및 Mohsen 등에게 허여된 미국 특허 제4,543,594호에 그런 앤티퓨즈의 일례가 개시되어 있다.

제2그룹의 앤티퓨즈들에는 두 전극 모두가 도전성 재료, 반도체 재료, 또는 절연성 재료일 수 있는 기판의 표면 위의 층들 내에 배치된 앤티퓨즈들이 포함된다. 전극들은 금속층 또는 폴리실리콘 층과 같은 재료로 이루어질 수 있다. 하부 전극과 상부 전극 사이에 배치된 앤티퓨즈 재료층은 하나의 유전체 층, 다수의 유전체층, 비결정성 실리콘(amorphous silicon)과 같은 재료층, 또는 하나 이상의 유전체 층과 조합된 비결정성 실리콘과 같은 재료층으로 이루어질 수 있다. 제2그룹의 앤티퓨즈는 본 발명과 보다 밀접하게 관련되어 있다.

기판 위 앤티퓨즈(above-the-substrate antifuses)의 예들로는 McCollum 등에게 허여된 미국 특허 제 5,070,384호, Husher 등에게 허여된 미국 특허 제5,175,715호, Forouhi에게 허여된 미국 특허 제 5,181,096호, Forouhi 등에게 허여된 미국 특허 제5,272,101호, 및 Gordon 등에게 허여된 미국 특허 제 5,196,724호에 개시된 것들이 있다.

본 발명의 목적은 개선된 기판 위 앤티퓨즈 및 그 제조 방법을 제공하는 것이다.

[본 발명의 간단한 설명]

본 발명에 따른 앤티퓨즈는 마이크로 회로 내의 금속층으로부터 형성된 하부 전극(lower electrode)을 포함한다. 층간 유전체 층(interlayer dielectric layer)이 이 하부 전극 위쪽에 배치되고 그 안에 개구(aperture)가 형성된다. 텅스텐과 같은 재료로 형성된 도전성 플러그가 이 개구 내에 형성된다. 층간 유전체의 상면이 에치백되어 층간 유전체의 상면 위로 약 250 내지 약 1500 옹스트롬 정도 연장된 플러그의 용기 부분이 생긴다. 플러그의 상부 모서리가 둥그스름하게 된다. 이 플러그 위에 바람직하게는 실리콘 질화물, 비결정성 실리콘, 실리콘 질화물을 포함하는 샌드위치 구조 또는 티타늄 질화물 층에 의해 피복된 실리콘 질화물, 비결정성 실리콘, 실리콘 질화물 샌드위치 구조로 이루어진 앤티퓨즈 층이 배치된다. 앤티퓨즈 층의 모서리 주위에 산화물 스페이서가 배치될 수 있다. 이 앤티퓨즈 층 위에 바람직하게는 티타늄 질화물 장벽층(titanium nitride barrier layer)을 포함하는 금속층으로 이루어진 상부 전극이 배치된다.

본 발명의 앤티퓨즈는 본 발명의 다른 국면에 따라 제조될 수도 있다. 먼저, 밑에 있는 절연층(underlying insulating layer) 위에 배치된 금속층으로부터 하부 전극을 형성한다. 이 하부 전극 위에 층간 유전체 층을 형성하고 화학 기계 연마(CMP)와 같은 기술을 이용하여 평탄화한다. 이 층간 유전체 층 내에 개구를 형성한다.

이 개구 내에 텅스텐과 같은 재료를 포함하는 도전성 플러그를 형성한다. 그런 다음 층간 유전체 층의 상면을 에치백하여, 플러그의 일부분을 노출시켜 플러그의 용기 부분이 생기게 한다. 그런 다음 예를 들면 CMP 처리 공정을 이용하여 플러그의 상부 모서리를 둥그스름하게 하고, 상기 처리는 또한 플러그 표면의 거친 점들을 매끄럽게 해준다.

상기 플러그와 층간 유전체 층의 상면의 적어도 일부분 위에, 바람직하게는 실리콘 질화물, 비결정성 실리콘, 실리콘 질화물을 포함하는 샌드위치 구조 또는 티타늄 질화물 층에 의해 피복된 실리콘 질화물, 비결정성 실리콘, 실리콘 질화물 샌드위치 구조로 이루어진 앤티퓨즈 층을 형성하고 정의한다. 이 처리 절차의 변형예에서는, 앤티퓨즈 층 또는 층들을 형성하기에 앞서 플러그와 층간 유전체 층의 상면위에 부가적인 티타늄 질화물 층을 형성한다.

다음에 앤티퓨즈 층의 모서리 주위에 산화물 스페이서들을 형성한다. 그리고 앤티퓨즈 층과 산화물 스페이서 위에 바람직하게는 금속층을 포함하는 상부 전극을 형성한다.

[도면의 간단한 설명]

제1도는 본 발명의 제1실시에 따른 앤티퓨즈의 단면도이다.

제2a도-제2e도는 앤티퓨즈 제조시 선택된 공정들의 종료 후에 보여지는 제1도의 앤티퓨즈의 단면도들이다.

제3도는 본 발명의 제2실시에 따른 앤티퓨즈의 단면도이다.

제4a도-제4b도는 앤티퓨즈 제조시 선택된 공정들의 종료 후에 보여지는 제3도의 앤티퓨즈의 단면도들이다.

제5도는 본 발명의 제3실시에 따른 앤티퓨즈의 단면도이다.

제6도는 앤티퓨즈 제조시 선택된 공정들의 종료 후에 보여지는 제5도의 앤티퓨즈의 단면도이다.

[바람직한 실시예의 상세한 설명]

해당 기술 분야의 통상의 지식을 가진 자라면 이하 본 발명의 설명이 단지 예일 뿐 결코 한정적인 것이 아니라는 사실을 알 것이다. 그런 숙련자들은 본 발명의 다른 실시예도 용이하게 생각해 낼 것이다.

우선 제1도를 보면, 본 발명의 제1실시에 따른 앤티퓨즈(10)의 단면도가 제시되어 있다. 앤티퓨즈(10)는 적당한 기판(12) 위에 제조된다. 기판(12)은 기능 회로(functional circuits) 또는 다른 구조를 함유하는 반도체 기판 위에 배치된 절연층에만 국한된 것은 아니고 그것을 포함한 많은 것들 중 하나일 수 있다. 기판(12)의 성질은 본 발명에 중요하지만 해당 기술 분야의 통상의 지식을 가진 자라면 본 발명의 일반적인 환경이 집적 회로일 것이라는 사실을 알 것이다.

본 발명의 앤티퓨즈(10)의 하부 도전성 전극(14)은 집적 회로 내의 상호 접속층으로 사용되는 금속층 또는 합성 금속층(composite metal layer)의 일부로 이루어질 수 있으며 따라서 그런 용도로 공지되어 있는 재료로부터 제조될 수 있다. 그런 금속층들은 약 5,000 옹스트롬 내지 약 12,000 옹스트롬 범위의, 대표적으로 약 9,000 옹스트롬의 전형적인 두께를 갖지만, 이들 두께는 예일 뿐 한정적인 것은 아니다. 해당 기술 분야의 숙련자라면 집적 회로 상호 접속 금속층을 익히 알고 있고, 따라서 그런 층에 대한 상세한

설명은 불필요할 것이다.

하부 도전성 전극(14)의 표면 위에 층간 유전체 층(16)이 형성되어 있다. 층간 유전체 층(16)은 피착된 실리콘 이산화물(silicon dioxide)과 같은 재료로부터 형성될 수 있다. 본 발명에서 이용될 수 있는 전형적인 층간 유전체 층(16)의 두께는 약 5,000 옹스트롬 내지 약 15,000 옹스트롬의 범위에 있고, 대표적으로는 9,000 옹스트롬이지만, 이 두께는 예일 뿐 한정적인 것은 아니다.

도전성 플러그(18)가 층간 유전체 층(16) 내의 개구 내에 형성되어 그 상면 위로 연장되어 있다. 본 발명의 이 바람직한 실시예에 따르면, 도전성 플러그(18)의 용기된 부분은 층간 유전체 층(16)의 상면 위로 약 250 내지 약 1500 옹스트롬 정도 연장되고 텅스텐 또는 티타늄 질화물과 같은 재료로 형성된다. 텅스텐 플러그 기술은 반도체 기술 분야에 잘 알려져 있다. 여기서는, 텅스텐 플러그의 상단 모서리가 화학 기계 연마(CMP)와 같은 처리에 의해 약간 둥그스름하게 되어, 그렇게 하지 않을 경우 도전성 플러그(18)의 상면의 예리한 모서리에 존재하게 될 지나치게 높은 전계 집중(field concentration)이 저하된다.

용기된 텅스텐 플러그(18)는 프로그래밍 동안 도전성 플러그(81)의 둥그스름하게 된 모퉁이 영역들에서의 전계 집중 때문에 그 모퉁이들을 따라 앤티퓨즈 층 브레이크다운(antifuse layer breakdown)이 일어나게 해준다. 이것은 도전 링크(conductive link)가 형성되는 지점을 제어하는 이점을 제공하여, 프로그램된 디바이스의 신뢰성에 크게 영향을 미칠 수 있는 비대칭 열구조를 초래하는 산화물 층에 인접할 수 있는 앤티퓨즈 층의 모서리로부터 링크가 멀리 떨어지도록 해준다. 플러그의 노출된 상단을 둥그스름하게 하면 프로그래밍 동안 전계 집중의 양이 제어되어 제멋대로의 브레이크다운이 방지된다.

본 발명의 이 제1실시예에 따르면, 층간 유전체 층(16)의 상면 위에 앤티퓨즈 재료(20)가 배치된다. 제1도에 도시된 바와 같이, 앤티퓨즈 재료(20)는 바람직하게는 제1실리콘 질화물 층(22), 비결정성 실리콘 층(24), 및 제2실리콘 질화물 층(26)을 포함한다. 물론 이 층들(22,24,26)의 두께는 원하는 프로그래밍 전압에 좌우될 것이다. 본 발명의 이 바람직한 실시예에 따르면, 예를 들면 1 내지 300 옹스트롬, 바람직하게는 약 30 옹스트롬의 얇은 실리콘 이산화물 층(28)이 제1실리콘 질화물 층(22) 또는 비결정성 실리콘 층(24)의 상면 위에 배치된다. 제1도는 제1실리콘 질화물 층(22)의 상면 상에 배치된 얇은 실리콘 이산화물 층(28)을 도시하고 있지만 이 실리콘 이산화물 층(28)은 비결정성 실리콘 층(24)의 상면 상에도 배치될 수 있음을 알아야 한다. 해당 기술 분야의 통상의 지식을 가진 자라면 얇은 실리콘 이산화물 층(28)을 앤티퓨즈(10)에서 임의로 생략할 수 있다는 사실을 알 것이다.

산화물 층(28)의 목적은 누전(leakage)을 저감하고 한 배향(orientation)으로 인가되는 프로그래밍 전압을 상승시키는 것이다. 만약 산화물 층(28)이 제1실리콘 질화물 층(22)의 상면 상에 위치한다면, 프로그래밍 전압은 하부 도전성 전극(14)에 정전위(positive potential)가 인가될 경우에 더 높을 것이다. 만약 산화물 층(28)이 비결정성 실리콘 층(24)의 상면 상에 위치한다면, 프로그래밍 전압은 상부 전극에 정전위가 인가될 경우에 더 높을 것이다.

제1도의 앤티퓨즈(10)는 제2실리콘 질화물 층(26)의 상면 위에 배치된, 약 500 내지 약 3,000 옹스트롬 범위의, 대표적으로는 약 2,000 옹스트롬의 전형적인 두께를 갖는 티타늄 질화물(30) 층을 포함한다. 티타늄 질화물 층(30)은 도전 링크(conductive link)를 생성해 주며 알루미늄이 그 링크에 도입되지 못하게 막아 준다. 여기서는, 티타늄 질화물 층(30)의 형성 이후, 단일 에칭 공정으로 층들(22,24,26,28)이 정의되며 정의된 구조의 둘레 주위에 산화물 스페이서(32)를 형성하여 위에 있는 층(overlying layer)의 스텝 커버리지(step coverage)를 개선시킨다.

상부 도전성 전극(34)이 앤티퓨즈(10)의 구조를 마무리한다. 하부 도전성 전극(14)의 경우처럼, 상부 도전성 전극(34)은 앤티퓨즈(10)를 포함하는 집적 회로 내의 금속 상호 접속층의 일부로 이루어질 수 있다. 해당 기술 분야의 통상의 지식을 가진 자라면 앤티퓨즈 층(10)을 포함하는 집적 회로 내에 패시베이션 층(passivation layers) 및 콘택트(contacts)와 같은 다른 층들 및 구조들이 형성될 것이라는 사실을 알 것이다. 이들 층과 구조들은 잘 알려져 있으므로 설명이 복잡해지는 것과 아울러 본 발명의 개시 내용이 불명료해지는 것을 피하기 위해 도면에 도시하지 않았다.

해당 기술 분야의 통상의 지식을 가진 자라면 다음의 예로부터 제1도의 앤티퓨즈(10)의 프로그래밍을 이해할 것이다. 실시예의 앤티퓨즈는 본 발명에 따라 제조될 수 있는데, 제1 및 제2실리콘 질화물 층(22,26)은 약 65 옹스트롬의 두께이며, 비결정성 실리콘 층(24)은 약 450 옹스트롬의 두께이며, 산화물 층(28)은 약 30 옹스트롬의 두께이며 제1실리콘 질화물 층(22) 위에 배치된다. 이 경우에, 상부 도전성 전극(34)에 정전위가 인가될 경우 약 10.5 볼트의 전압으로 앤티퓨즈(10)를 프로그래밍해야 한다. 반면에, 하부 도전성 전극(14)에 정전위가 인가될 경우에는 약 12볼트의 전압으로 앤티퓨즈(10)를 프로그래밍해야 한다.

제2a도-제2e도를 보면, 제조 과정에서 선택된 공정들의 종료 후에 보여지는 제1도의 앤티퓨즈(10)의 단면 도들이 도시되어 있다. 우선 제2a도를 참조하여, 종래의 재료 처리 기술을 이용하여 하부 도전성 전극(14)을 기판(12) 상에 형성하였다. 하부 도전성 전극(14)이 그 일부인 층(도시되지 않음)의 부분들을 표준 포토리소그래피 및 에칭 기술을 이용하여 정의하였다. 바람직하게는 저온 피착 기술(low-temperature deposition techniques)을 이용하여 바람직하게는 실리콘 이산화물 층을 포함하는 층간 유전체 층(16)을 하부 도전성 전극(14)의 상면 위에 형성하였으며 그 안에 앤티퓨즈 개구(36)를 형성하였다. 해당 기술 분야에 잘 알려져 있는 바와 같이 블랭킷 CVD 디포지션 기술(blanket CVD deposition techniques)을 이용하여 앤티퓨즈 개구(36) 내에 텅스텐 플러그(18)를 형성한 다음 애치백하여 층간 유전체 층(16)의 상면을 노출시켰다. 제2a도는 이런 처리 공정들의 종료 후의 구조를 도시하고 있다.

제2b도를 보면, 액상 화학(wet chemical) 또는 기상 화학(dry chemical) 에칭과 같은 기술을 이용하여 층간 유전체 층(16)의 표면을 애치백하여 텅스텐 플러그(18)가 층간 유전체 층(16)의 표면 위로 용기되어 있다. 본 발명의 이 바람직한 실시예에 따르면, 에칭 공정의 종료 후에, 텅스텐 플러그(18)가 층간 유전체 층(16)의 상면 위로 약 250 내지 1500 옹스트롬만큼, 바람직하게는 층간 유전체 층(16)의 상면 위로 약 500 옹스트롬 정도 연장된다. 제2b도는 용기된 플러그 에칭 공정의 종료후의 구조를 도시하고 있다.

다음으로, 제2c도에 도시된 바와 같이, 화학 기계 연마(CMP) 공정을 수행하여 텅스텐 플러그(18)의 상단

모통이들을 약간 등그스름하게 한다. 이 공정은 화학 기계 연마 장비를 이용해 약 0.5분 동안 전형적인 평탄화 공정에 사용되는 것과 같은 기계적 실리콘 산화물 연마제(mechanical silicon oxide abrasive)를 사용하여 수행될 수 있다. 제2c도는 CMP 공정의 종료 후의 구조를 도시하고 있다. CMP 공정은 텅스텐 플러그(18)의 예리한 모통이들을 제거하고, 프로그래밍 전압의 인가 중에 불필요하게 높은 전계가 생기지 않게 하고 생산시 불확실한 프로그래밍 전압 분포가 생기게 해준다.

제2d도를 보면, 앤티퓨즈 층(20)이 형성되어 있다. 본 발명의 이 바람직한 실시예에 따르면, CVD 기술을 이용하여 약 1 옴스트롬과 약 300 옴스트롬 사이의, 대표적으로는 약 65 옴스트롬의 두께로 제1실리콘 질화물 층(22)을 형성한다. 그런 다음, 본 발명의 바람직한 실시예가 실시될 경우 바람직하게는 CVD 기술을 이용하여 실리콘 질화물 층(22)의 상면 위에 약 1에서 300 옴스트롬 사이의, 바람직하게는 약 30 옴스트롬의 두께를 갖는 얇은 실리콘 이산화물 층(28)을 형성한다. 그런 다음, CVD 기술을 이용하여 실리콘 이산화물 층(28) 위에 약 100 옴스트롬과 약 1,500 옴스트롬 사이의 대표적으로는 약 450 옴스트롬의 두께로 비결정성 실리콘 층(24)을 형성한다. 비결정성 실리콘 층(24)은 도프되지 않거나 또는 인, 비소, 질소, 또는 산소를 사용하여 약 $1e18$ 미만의 레벨로 도프될 수 있다. 다음으로, CVD 기술을 이용하여 비결정성 실리콘 층(24)의 표면 위에 약 1 옴스트롬과 약 300 옴스트롬 사이의, 대표적으로는 약 65 옴스트롬의 두께를 갖는 제2실리콘 질화물 층(26)을 형성한다. 제1실리콘 질화물 층(22) 위에 얇은 산화물 층(28)을 위치시킨 제2d도의 도시에도 불구하고, 해당 기술 분야의 통상의 지식을 가진 자라면 비결정성 실리콘 층(24) 전에 또는 제2실리콘 질화물 층(26) 전에 얇은 산화물 층(28)이 형성된다는 것을 이해할 것이다.

다음으로, PVD 스퍼터링 또는 CVD 기술을 이용하여 제2실리콘 질화물 층(26) 위에 약 500 옴스트롬과 약 3,000 옴스트롬 사이의, 대표적으로는 약 2,000 옴스트롬의 두께를 갖는 티타늄 질화물 층(30)을 형성한다. 티타늄 질화물 층(30) 위에 종래의 포토마스크 층(38)을 도포하고 종래의 에칭 기술을 이용하여 제1실리콘 질화물 층(22), 얇은 산화물 층(28), 비결정성 실리콘 층(24), 제2실리콘 질화물 층(26), 및 티타늄 질화물 층(30)을 포함하는 스택을 정의한다. 제2d도는 층들(22,24,26,28 및 30)을 포함한 적층 구조 및 스택 정의 에칭 공정의 종료 후의, 그렇지만 포토마스크 층(38)의 제거 전의 구조를 도시하고 있다.

다음 제2e도를 참조하여, 마스크 층(38)을 제거하고 적층 구조의 모서리 주위에 산화물 스페이서(32)를 형성한다. 해당 기술 분야에 공지되어 있는 바와 같이 실리콘 이산화물의 블랭킷 디포지션(즉, 약 3,000 옴스트롬)에 이은 플라즈마 에칭 공정에 의해 산화물 스페이서(32)를 형성할 수 있다. 제2e도는 스페이서 에칭 공정의 종료 후의 구조를 도시하고 있다.

다음 다시 제1도를 참조하여, 적층 구조, 산화물 스페이서(32), 및 층간 유전체 층(16) 위에 상부 도전성 전극(34)을 형성한다. 해당 기술 분야의 통상의 지식을 가진 자라면 이해하겠지만, (알루미늄을 금속층으로 사용할 경우에는 장벽층으로서 티타늄 질화물을 포함하는) 집적 회로 내의 상호 접속 금속층의 일부로부터 상부 도전성 전극(34)을 형성할 수 있고 이 층의 제조는 그런 숙련자들에게 잘 알려져 있다. 그 후 부가적인 종래의 백-엔드 공정(도시되지 않음)을 이용하여 집적 회로 구조를 패시베이트(passivate)하고 마무리한다.

다음 제3도를 보면, 본 발명의 제2실시예에 따른 앤티퓨즈(40)가 단면도로 도시되어 있다. 제3도의 앤티퓨즈(40)는 제1도에 도시된 앤티퓨즈(10)와 유사하기 때문에, 제1도의 앤티퓨즈(10)의 구조에 대응하는 제3도의 앤티퓨즈(40)의 구조는 제1도에 사용된 것과 같은 참조 번호에 의해 표시하겠다. 해당 기술 분야의 통상의 지식을 가진 자라면 기대하겠지만, 제3도의 앤티퓨즈(40)를 위한 재료 및 층 두께는 제1도의 앤티퓨즈(10)의 대응하는 구조들의 것과 같거나 유사할 것이다.

적당한 기판(12) 위에 앤티퓨즈(40)를 제조한다. 본 발명의 앤티퓨즈(40)의 하부 도전성 전극(14)은 집적 회로 내의 상호 접속층으로 사용되는 금속층 또는 합성 금속층의 일부로 이루어질 수 있다.

하부 도전성 전극(14)의 표면 위에 층간 유전체 층(16)을 형성한다. 층간 유전체 층(16) 내의 개구 내에 도전성 플러그(18)가 형성되고 그 층간 유전체 층(16)의 상면 위로 연장된다. 여기서는, 텅스텐 플러그의 상단 모서리를 화학 기계 연마(CMP)와 같은 처리에 의해 약간 등그스름하게 하여, 그렇게 하지 않을 경우 도전성 플러그(18)의 상면의 예리한 모서리에 존재하게 될 지나치게 높은 전계 집중을 저하시킨다.

본 발명의 이 제2실시예에 따르면, 합성 앤티퓨즈 재료층(20)의 형성에 앞서 층간 유전체 층(16)의 상면 위에 약 500 옴스트롬 내지 약 3,000 옴스트롬 범위의, 대표적으로는 약 2,000 옴스트롬의 전형적인 두께를 갖는 제1티타늄 질화물 층(42)을 배치한다.

이 제1티타늄 질화물 층(42)의 상면 위에 앤티퓨즈 재료(20)를 배치한다. 제3도에 도시되어 있는 바와 같이, 앤티퓨즈(40)의 앤티퓨즈 재료(20) 또한 바람직하게는 제1실리콘 질화물 층(22), 비결정성 실리콘 층(24) 및 제2실리콘 질화물 층(26)을 포함한 샌드위치 구조로 이루어진다. 제1도에 도시된 실시예에서처럼, 앤티퓨즈(40)의 앤티퓨즈 재료(20)는 바람직하게는 제1실리콘 질화물 층(22)과 비결정성 실리콘 층(24) 사이에, 또는 비결정성 실리콘 층(24)과 제2실리콘 질화물 층(26) 사이에 위치한 약 1에서 300 옴스트롬 사이의, 바람직하게는 약 30 옴스트롬의 두께를 갖는 얇은 실리콘 이산화물 층(28)을 포함 하되, 반드시 그럴 필요는 없다.

물론 층들(22,24,26 및 28)의 두께는 원하는 프로그래밍 전압에 좌우된다. 예로서, 만약 제1 및 제2실리콘 질화물 층들(22,26)을 약 65 옴스트롬의 두께로 제조하고, 비결정성 실리콘 층(24)을 약 450 옴스트롬의 두께로 제조하고, 얇은 산화물 층(28)을 약 30 옴스트롬의 두께로 제조하는 경우에는, 이미 개시한 것처럼 약 10.5 볼트의 전압으로 앤티퓨즈(40)를 프로그래밍해야 한다.

제2실리콘 질화물 층(26)의 상면 위에 약 500 옴스트롬 내지 약 3,000 옴스트롬 범위의, 대표적으로는 약 2,000 옴스트롬의 전형적인 두께를 갖는 제2티타늄 질화물 층(30)이 배치된다. 제2티타늄 질화물 층(30)은 도전 링크를 형성하는 재료를 제공하고 알루미늄이 링크에 도입되지 않도록 막아 준다. 여기서는, 제2티타늄 질화물 층(30)의 형성 후에, 단일 에칭 공정으로 층들(42,22,24,26,28, 및 30)을 정의하고 정의된 구조의 둘레 주위에 산화물 스페이서(32)를 형성하여 위에 있는 층의 스텝 커버리지를 개선하고 상부 전극이 하부 전극에 쇼트되지 않도록 한다.

상부 도전성 전극(34)이 앤티퓨즈(40)의 구조를 마무리한다. 하부 도전성 전극(14)의 경우처럼, 상부 도전성 전극(34)은 앤티퓨즈(40)를 포함하는 집적 회로 내의 금속 상호 접속층의 일부로 이루어질 수 있다. 해당 기술 분야의 통상의 지식을 가진 자라면 앤티퓨즈 층(40)을 포함하는 집적 회로 내에 패시베이션 층(passivation layers) 및 콘택트(contacts)와 같은 다른 층들 및 구조들이 형성될 것이라는 사실을 알 것이다. 이 층들 및 구조들을 잘 알려져 있으므로 설명이 복잡해지는 것과 아울러 본 발명의 개시 내용이 불명료해지는 것을 피하기 위해 도면에 도시하지 않았다.

제4a도-제4b도와 더불어 다시 제2a도-제2e도를 보면, 제조 과정에서 선택된 공정들의 종료 후에 보여지는 제3도의 앤티퓨즈의 단면도들이 도시되어 있다. 제2a도-제2c도는 하부 도전성 전극(14), 층간 유전체 층(16), 앤티퓨즈 개구(36), 및 텅스텐 플러그의 형성은 물론 층간 유전체 층(16)의 상면 위로 텅스텐 플러그(18)를 용기시키고 그 모퉁이들을 둥그스름하게 하는 처리 공정들을 도시하고 있다. 제2a도는 텅스텐 플러그(18)의 형성과 층간 유전체 층(16) 및 텅스텐 플러그(18)의 평탄화 후의 구조를 도시하고 있다. 제2b도는 용기된 플러그 에칭 공정의 종료 후의 구조를 도시하고, 제2c도는 CMP 공정의 종료 후의 구조를 도시하고 있다.

제4a도를 참조하여, 텅스텐 플러그(18)와 층간 유전체 층(16)의 상면 위에 PVD 또는 CVD 기술을 이용하여 약 500 옹스트롬과 약 3,000 옹스트롬 사이의, 대표적으로는 약 2,000 옹스트롬의 두께로 제1티타늄 질화물 층(42)을 형성한다. 그런 다음 앤티퓨즈 재료층(20)을 형성한다.

제1도의 실시예에서처럼, 앤티퓨즈 재료층(20)을 위해 다층 구조를 이용하는 것이 바람직하다. CVD 기술을 이용하여 약 1 옹스트롬과 약 300 옹스트롬 사이의, 대표적으로는 약 65 옹스트롬의 두께로 제1실리콘 질화물 층(22)을 형성한다. 다음으로, 실리콘 질화물 층(22) 위에 CVD 기술을 이용하여 약 100 옹스트롬과 약 1,500 옹스트롬 사이의, 대표적으로는 약 450 옹스트롬의 두께로 비결정성 실리콘 층(24)을 형성한다. 비결정성 실리콘 층(24)은 도프되지 않거나 또는 인, 비소, 질소, 또는 산소를 사용하여 약 $1e18$ 미만의 레벨로 도프될 수 있다. 다음으로, CVD 기술을 이용하여 비결정성 실리콘 층(24)의 표면 위에 약 1 옹스트롬과 약 300 옹스트롬 사이의, 대표적으로는 약 65 옹스트롬의 두께를 갖는 제2실리콘 질화물 층(26)을 형성한다. 본 발명의 이 바람직한 실시예에 따르면, CVD 기술을 이용하여, 제1실리콘 질화물 층(22)의 형성 직후, 또는 비결정성 실리콘 층(24)의 형성 직후에 약 1 내지 300 옹스트롬의, 바람직하게는 약 30 옹스트롬의 두께를 갖는 얇은 실리콘 이산화물 층(28)을 형성한다.

그런 다음, PVD 또는 CVD 기술을 이용하여 제2실리콘 질화물 층(26) 위에 약 500 옹스트롬과 약 3,000 옹스트롬 사이의, 대표적으로는 약 2,000 옹스트롬의 두께를 갖는 제2티타늄 질화물 층(30)을 형성한다. 제2티타늄 질화물 층(30) 위에 종래의 포토마스크 층(44)을 도포하고 종래의 에칭 기술을 이용하여 제1티타늄 질화물 층(42), 제1실리콘 질화물 층(22), 산화물 층(28), 비결정성 실리콘 층(24), 제2실리콘 질화물 층(26), 및 제2티타늄 질화물 층(30)으로 이루어진 스택을 정의한다. 제4a도는 층들(42,22,24,26,28 및 30)을 포함한 적층 구조 및 스택 정의 에칭 공정의 종료 후의, 그렇지만 포토마스크 층(44)의 제거 전의 구조를 도시하고 있다.

그런 다음 제4b도를 참조하여, 마스크 층(44)을 제거하고 적층 구조의 모서리 주위에 산화물 스페이서(32)를 형성한다. 해당 기술 분야에 공지되어 있는 바와 같이 실리콘 이산화물의 블랭킷 디포지션(즉, 약 3,000 옹스트롬)에 이은 플라즈마 에칭 공정에 의해 산화물 스페이서(32)를 형성할 수 있다. 제4b도는 스페이서 에칭 공정의 종료 후의 구조를 도시하고 있다.

다음 다시 제3도를 참조하여, 적층 구조, 산화물 스페이서(32), 및 층간 유전체 층(16) 위에 상부 도전성 전극(34)을 형성한다. 해당 기술 분야의 통상의 지식을 가진 자라면 이해하겠지만, 집적 회로 내의 상호 접속 금속층의 일부로부터 상부 도전성 전극(34)을 형성할 수 있고 이 층의 제조는 그런 숙련자들에게 잘 알려져 있다. 그 후 부가적인 종래의 백-엔드 공정(도시되지 않음)을 이용하여 집적 회로 구조를 패시베이트(passivate)하고 마무리한다.

제1도의 앤티퓨즈(10)와 제3도의 앤티퓨즈(40)의 주된 차이점은 텅스텐 플러그(18)와 앤티퓨즈 재료(20)의 제1실리콘 질화물 층(22) 사이의 티타늄 질화물 층(42)의 존재이다. 제3도의 앤티퓨즈(40)에는 이 층이 있기 때문에, 프로그램되지 않은 앤티퓨즈는 텅스텐 플러그(18)만으로 이루어진 하부 플레이트(lower plate)를 갖는 제1도의 프로그램되지 않은 앤티퓨즈(10)보다 더 높은 커패시턴스를 가질 것이다. 그러나, 제3도의 앤티퓨즈(40) 내의 이 부가적인 층의 존재는 프로그래밍 전압 극성에 있어서 보다 많은 유연성을 허용한다. 프로그래밍 전압의 극성에 따라, 프로그램된 앤티퓨즈를 위한 링크 재료는 티타늄 질화물 층(30)으로부터(하부 전극(14) 상에 양의 극성) 또는 티타늄 질화물 층(42)으로부터(상부 전극(34) 상에 양의 극성) 생길 것이다.

다음 제5도를 보면, 본 발명의 제3실시예에 따른 앤티퓨즈(50)가 단면도로 도시되어 있다. 제5도의 앤티퓨즈(50)는 제3도에 도시된 앤티퓨즈(40)와 유사하기 때문에, 제3도의 앤티퓨즈(40)의 구조에 대응하는 제5도의 앤티퓨즈(50)의 구조는 제3도에 사용된 것과 같은 참조 번호에 의해 표시하겠다. 해당 기술 분야의 통상의 지식을 가진 자라면 기대하겠지만, 제5도의 앤티퓨즈(50)를 위한 재료 및 층 두께는 제1도의 앤티퓨즈(10) 및 제3도의 앤티퓨즈(40)의 대응하는 구조들의 것과 같거나 유사할 것이다.

적당한 기판(12) 위에 앤티퓨즈(50)를 제조한다. 제1도 및 제3도 각각의 앤티퓨즈들(10,40)처럼, 본 발명의 앤티퓨즈(50)의 하부 도전성 전극(14)은 집적 회로 내의 상호 접속층으로 사용되는 금속층 또는 합성 금속층의 일부로 이루어질 수 있다.

본 발명에 따른 앤티퓨즈의 이전 실시예들에서처럼, 하부 도전성 전극(14)의 표면 위에 층간 유전체 층(16)이 형성되고 층간 유전체 층(16) 내의 개구 내에 도전성 플러그(18)가 형성되어 층간 유전체 층(16)의 상면 위로 연장된다. 여기서는, 텅스텐 플러그의 상단 모서리를 화학 기계 연마(CMP)와 같은 처리에 의해 약간 둥그스름하게 하여, 그렇게 하지 않을 경우 도전성 플러그(18)의 상면의 예리한 모서리에 존재하게 될 지나치게 높은 전계 집중을 저하시킨다.

본 발명의 제2실시예의 앤티퓨즈(40)에서와 같이, 앤티퓨즈(50)는 층간 유전체 층(16)의 상면 위에 약 500 옹스트롬 내지 약 3,000 옹스트롬 범위의, 대표적으로는 약 2,000 옹스트롬의 전형적인 두께를 갖는

제1티타늄 질화물 층(42)을 포함하고, 합성 엔티퓨즈 재료층(20)의 형성에 앞서 층간 유전체 층(16)의 상면 위에 배치된다.

이 제1티타늄 질화물 층(42)의 상면 위에 엔티퓨즈 재료(20)를 배치한다. 제3도의 엔티퓨즈(40)의 경우와 같이, 엔티퓨즈(50)의 엔티퓨즈 재료(20) 또는 바람직하게는 제1실리콘 질화물 층(22), 비결정성 실리콘 층(24) 및 제2실리콘 질화물 층(26)을 포함한 샌드위치 구조로 이루어진다. 제1도에 도시된 실시예에서처럼, 엔티퓨즈(50)의 엔티퓨즈 재료(20)는 바람직하게는 제1실리콘 질화물 층(22)과 비결정성 실리콘 층(24) 사이에, 또는 비결정성 실리콘 층(24)과 제2실리콘 질화물 층(26) 사이에 위치한 약 1에서 300 옹스트롬 사이의, 바람직하게는 약 30 옹스트롬의 두께를 갖는 얇은 실리콘 이산화물 층(28)을 포함하되, 반드시 그럴 필요는 없다.

물론 층들(22,24,26 및 28)의 두께는 원하는 프로그래밍 전압에 좌우된다. 예로서, 만약 제1 및 제2실리콘 질화물 층들(22,26)을 약 65 옹스트롬의 두께로 제조하고, 비결정성 실리콘 층(24)을 약 450 옹스트롬의 두께로 제조하고, 얇은 산화물 층(28)을 약 30 옹스트롬의 두께로 제조하는 경우에는, 이미 개시한 것처럼 약 10.5 볼트의 전압으로 엔티퓨즈(50)를 프로그래밍해야 한다.

제2실리콘 질화물 층(26)의 상면 위에 약 500 옹스트롬 내지 약 3,000 옹스트롬 범위의, 대표적으로는 약 2,000 옹스트롬의 전형적인 두께를 갖는 제2티타늄 질화물 층(30)이 배치된다. 제2티타늄 질화물 층(30)은 도전 링크를 형성하는 재료를 제공하고 알루미늄이 링크에 도입되지 않도록 막아 준다. 여기서는, 제2티타늄 질화물 층(30)의 형성 후에, 단일 에칭 공정으로 층들(42,22,24,26,28, 및 30)을 정의한다.

제5도의 엔티퓨즈(50)와 제3도의 엔티퓨즈(40)의 주된 차이점은, 위에 있는 층의 스텝 커버리지를 개선하고 상부 전극이 하부 전극에 쇼트되지 않도록 하기 위해 제3도의 엔티퓨즈(40)의 정의된 구조(defined structure)의 둘레 주위에 형성된 산화물 스페이서(32)의 부재이다. 제5도에 도시된 바와 같이, 엔티퓨즈(50)는 층들(42,22,24,26,28, 및 30)의 적층 구조 위에 배치된, 바람직하게는 실리콘 이산화물과 같은 재료로 형성된 유전체 층(52)을 채용한다. 유전체 층(52) 내의 개구(54)는 상부 전극(34)이 제2티타늄 질화물 층(30)과 접촉하게 해준다. 해당 기술 분야의 통상의 지식을 가진 자라면 이해하겠지만, 제5도의 엔티퓨즈(50)의 유전체 층(52) 내에 개구(54)를 형성하는 데는 부가적인 마스크 및 에칭 절차가 요구된다.

상부 도전성 전극(34)은 엔티퓨즈(50)의 구조를 마무리함과 동시에 유전체 층(52) 내의 개구(54)를 통하여 상부 제2티타늄 질화물 층(30)과 접촉한다. 하부 도전성 전극(14)의 경우와 같이, 상부 도전성 전극(34)은 엔티퓨즈(50)를 포함하는 집적 회로 내의 금속 상호 접속층의 일부로 이루어질 수 있다. 해당 기술 분야의 통상의 지식을 가진 자라면 엔티퓨즈 층(50)을 포함하는 집적 회로 내에 패시베이션층 및 콘택트와 같은 다른 층들 및 구조들이 형성될 것이라는 사실을 알 것이다. 이 층들 및 구조들은 잘 알려져 있으므로 설명이 복잡해지는 것과 아울러 본 발명의 개시 내용이 불명료해지는 것을 피하기 위해 도면에 도시하지 않았다.

제5도의 엔티퓨즈(50)의 제조는 우선 제2a도-제2c도 및 제4a도를 참조하고, 제조 과정에서 선택된 공정들의 종료 후에 보여지는 제5도의 엔티퓨즈의 단면도인 제6도를 참조하여 이해될 수 있다.

제2a도-제2c도는 하부 도전성 전극(14), 층간 유전체 층(16), 엔티퓨즈 개구(36), 텅스텐 플러그(18)의 형성은 물론, 층간 유전체 층(16)의 상면 위로 텅스텐 플러그(18)를 용기시키고 그 모서리들을 둥그스름하게 하는 처리 공정들을 도시하고 있다. 제2a도는 텅스텐 플러그(18)의 형성과 층간 유전체 층(16) 및 텅스텐 플러그(18)의 평탄화 층의 구조를 도시하고 있다. 제2b도는 용기된 플러그 에칭 공정의 종료 후의 구조를 도시하고, 제2c도는 CMP 공정의 종료 후의 구조를 도시하고 있다.

제4a도를 참조하여, 텅스텐 플러그(18)와 층간 유전체 층(16)의 상면 위에 PVD 또는 CVD 기술을 이용하여 약 500 옹스트롬과 약 3,000 옹스트롬 사이의, 대표적으로는 약 2,000 옹스트롬의 두께로 제1티타늄 질화물 층(42)을 형성한다. 그런 다음 엔티퓨즈 재료층(20)을 형성한다.

제1도 및 제3도의 실시예에서처럼, 엔티퓨즈 재료층(20)을 위해 다층 구조를 이용하는 것이 바람직하다. CVD 기술을 이용하여 약 1 옹스트롬과 약 300 옹스트롬 사이의, 대표적으로는 약 65 옹스트롬의 두께로 제1실리콘 질화물 층(22)을 형성한다. 그 후, 원하는 실시예에 따라, 제1실리콘 질화물 층(22)의 상면 위에 얇은 실리콘 이산화물 층(28)을 형성한다. 제4a도는 이 공정을 예시하고 있다. 다음으로, 실리콘 질화물 층(22) 또는 얇은 산화물 층(28) 위에 CVD 기술을 이용하여 약 100 옹스트롬과 약 1,500 옹스트롬 사이의, 대표적으로는 약 450 옹스트롬의 두께로 비결정성 실리콘 층(24)을 형성한다. 비결정성 실리콘 층(24)은 도프되지 않거나 또는 인, 비소, 질소, 또는 산소를 사용하여 약 $1e18$ 미만의 레벨로 도프될 수 있다. 다음으로, CVD 기술을 이용하여 비결정성 실리콘 층(24)의 표면 위에 약 1 옹스트롬과 약 300 옹스트롬 사이의, 대표적으로는 약 65 옹스트롬의 두께를 갖는 제2실리콘 질화물 층(26)을 형성한다. 해당 기술 분야의 통상의 지식을 가진 자라면 제1실리콘 질화물 층(22)의 형성 후가 아니라, 비결정성 실리콘 층(24)의 형성 후에 그리고 제2실리콘 질화물 층(26)의 형성 전에 얇은 산화물 층(28)을 형성할 수도 있다는 것을 이해하겠지만, 도면에는 이 옵션이 예시되어 있지 않다.

그런 다음, PVD 또는 CVD 기술을 이용하여 제2실리콘 질화물 층(26) 위에 약 500 옹스트롬과 약 3,000 옹스트롬 사이의, 대표적으로는 약 2,000 옹스트롬의 두께를 갖는 제2티타늄 질화물 층(30)을 형성한다. 제2티타늄 질화물 층(30) 위에 종래의 포토마스크 층(44)을 도포하고 종래의 에칭 기술을 이용하여 제1티타늄 질화물 층(42), 제1실리콘 질화물 층(22), 비결정성 실리콘 층(24), 제2실리콘 질화물 층(26), 및 제2티타늄 질화물 층(30)으로 이루어진 스텝을 정의한다. 제4a도는 층들(42,22,24,26,27 및 30)을 포함한 적층 구조 및 스텝 정의 에칭 공정의 종료 후의, 그렇지만 포토마스크 층(44)의 제거 전의 구조를 도시하고 있다.

다음, 제6도를 참조하여, 마스크 층(44)을 제거한 다음 적층 구조 및 층간 유전체 층(16) 위에 유전체 층(52)을 형성한다. 이 유전체 층(52)은 해당 기술 분야에 공지되어 있는 바와 같이 실리콘 이산화물(즉, 약 500 내지 3,000 옹스트롬, 대표적으로는 약 1,000 옹스트롬)의 불랭킷 디포지션에 의해 형성될 수 있다. 유전체 층(52)의 표면 위에 종래의 포토리소그래피 기술을 이용하여 포토마스크(56)를 형성한다. 그런 다음, 유전체 층(52) 내에 제2티타늄 질화물 층(30)의 상면을 노출하도록 개구(54)를 형성한다. 제6도

는 개구 에칭 공정의 종료 후의 그러나 포토마스크(56)를 제거하기 전의 구조를 도시하고 있다.

다음 다시 제5도를 참조하여, 적층 구조, 유전체 층(52), 및 층간 유전체 층(16) 위에 상부 도전성 전극(34)을 형성한다. 해당 기술 분야의 통상의 지식을 가진 자라면 이해하겠지만, 집적 회로 내의 상호 접속 금속층의 일부로부터 상부 도전성 전극(34)을 형성할 수 있고 이 층의 제조는 그런 숙련자들에게 잘 알려져 있다. 그 후 부가적인 종래의 백-엔드 공정 (도시되지 않음)을 이용하여 집적 회로 구조를 패시베이트(passivate)하고 마무리한다.

제3도의 앤티퓨즈(40)와 제5도의 앤티퓨즈(50)의 주된 차이점은 산화물 스페이서(32)의 부재 및 유전체 층(52)의 존재이다. 지적하였듯이, 이 실시예는 유전체 층(52) 내의 개구(54)를 형성하기 위해 부가적인 마스크링 및 에칭 절차를 필요로 한다. 제3도의 실시예에 대한 제5도의 실시예의 이점은 스페이서 측벽 높이를 제어하는 것 보다는 유전체 층(52)의 형성, 패터닝, 에칭이 더 용이하게 제어할 수 있다는 점이다.

본 발명의 실시예 및 응용예를 도시하고 설명하였으나, 해당 기술 분야의 숙련자라면 여기 개시된 본 발명의 개념을 벗어나지 않으면서 상기 실시예들보다 많은 변형이 가능하다는 것을 알 것이다. 따라서, 본 발명은 첨부된 특허 청구의 범위의 의도 내에서만 한정될 수 있다.

(57) 청구의 범위

청구항 1

앤티퓨즈(antifuse)에 있어서,

상면을 갖고 절연층 위에 배치된 하부 도전성 전극;

상기 하부 도전성 전극의 상기 상면 위에 배치되며, 상면을 갖고 상기 하부 도전성 전극과 소통하는 개구(aperture)가 그 안에 형성된 층간 유전체 층;

상기 개구 내에 배치되며, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖고, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그(conductive plug);

상면을 갖고 상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 배치된 앤티퓨즈 층(antifuse layer); 및

상기 앤티퓨즈 층의 상기 상면 위에 배치된 상부 전극을 포함하는 앤티퓨즈.

청구항 2

제1항에 있어서, 상기 앤티퓨즈 층은, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 포함하는 앤티퓨즈.

청구항 3

제2항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을 형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서(oxide spacer)를 더 포함하는 앤티퓨즈.

청구항 4

제2항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 배치된 실리콘 이산화물(silicon dioxide) 층을 더 포함하는 앤티퓨즈.

청구항 5

앤티퓨즈에 있어서,

상면을 갖고 절연층 위에 배치된 하부 도전성 전극;

상기 하부 도전성 전극의 상기 상면 위에 배치되며, 상면을 갖고 상기 하부 도전성 전극과 소통하는 개구가 그 안에 형성된 층간 유전체 층;

상기 개구 내에 배치되며, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖고, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그;

상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 배치된 하면, 및 상면을 갖는 앤티퓨즈 층;

상면 및 상기 앤티퓨즈 층의 상기 상면 위에 배치된 하면을 갖는 티타늄 질화물 층; 및

상기 티타늄 질화물 층의 상기 상면 위에 배치된 상부 전극을 포함하는 앤티퓨즈.

청구항 6

제5항에 있어서, 상기 앤티퓨즈 층은, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 포함하는 앤티퓨즈.

청구항 7

제6항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을

형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서를 더 포함하는 앤티퓨즈.

청구항 8

제6항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 배치된 실리콘 이산화물 층을 더 포함하는 앤티퓨즈.

청구항 9

앤티퓨즈에 있어서,

상면을 갖고 절연층 위에 배치된 하부 도전성 전극;

상기 하부 도전성 전극의 상기 상면 위에 배치되며, 상면을 갖고 상기 하부 도전성 전극과 소통하는 개구가 그 안에 형성된 층간 유전체 층;

상기 개구 내에 배치되며, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖고, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그;

상면을 갖고 상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 배치된 제1티타늄 질화물 층;

상기 제1티타늄 질화물 층의 상기 상면 전체 위에 배치된 하면, 및 상면을 갖는 앤티퓨즈 층;

상면 및 상기 앤티퓨즈 층의 상기 상면 위에 배치된 하면을 갖는 제2티타늄 질화물 층; 및

상기 제2티타늄 질화물 층의 상기 상면 위에 배치된 상부 전극

을 포함하는 앤티퓨즈.

청구항 10

제9항에 있어서, 상기 앤티퓨즈 층은, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 포함하는 앤티퓨즈.

청구항 11

제10항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을 형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서를 더 포함하는 앤티퓨즈.

청구항 12

제10항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 배치된 실리콘 이산화물 층을 더 포함하는 앤티퓨즈.

청구항 13

절연층 상에 형성된 앤티퓨즈 제조 방법에 있어서,

상면을 갖고 상기 절연층 위에 배치된 하부 도전성 전극을 형성하는 단계;

상기 하부 도전성 전극의 상기 상면 위에, 상면을 갖는 층간 유전체 층을 형성하는 단계;

상기 층간 유전체 층 내에 상기 하부 도전성 전극과 소통하는 개구를 형성하는 단계;

상기 개구 내에, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖되, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그를 형성하는 단계;

상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 상면을 갖는 앤티퓨즈 층을 형성하는 단계; 및

상기 앤티퓨즈 층의 상기 상면 위에 상부 전극을 형성하는 단계

를 포함하는 앤티퓨즈 제조 방법.

청구항 14

제13항에 있어서, 상기 앤티퓨즈 층을 형성하는 단계는, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 형성하는 단계들을 더 포함하는 앤티퓨즈 제조 방법.

청구항 15

제14항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을 형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서를 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

청구항 16

제14항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 실리콘 이산화물 층을 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

청구항 17

절연층 상에 형성된 앤티퓨즈 제조 방법에 있어서,

상면을 갖고 상기 절연층 위에 배치된 하부 도전성 전극을 형성하는 단계;

상기 하부 도전성 전극의 상기 상면 위에, 상면을 갖는 층간 유전체 층을 형성하는 단계;

상기 층간 유전체 층 내에 상기 하부 도전성 전극과 소통하는 개구를 형성하는 단계;

상기 개구 내에, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖되, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그를 형성하는 단계;

상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 상면을 갖는 앤티퓨즈 층을 형성하는 단계;

상기 앤티퓨즈 층의 상기 상면 위에 상면 및 하면을 갖는 티타늄 질화물 층을 형성하는 단계; 및

상기 티타늄 질화물 층의 상기 상면 위에 상부 전극을 형성하는 단계

를 포함하는 앤티퓨즈 제조 방법.

청구항 18

제17항에 있어서, 상기 앤티퓨즈 층을 형성하는 단계는, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 형성하는 단계들을 더 포함하는 앤티퓨즈 제조 방법.

청구항 19

제18항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을 형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서를 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

청구항 20

제18항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 실리콘 이산화물 층을 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

청구항 21

절연층 상에 형성된 앤티퓨즈 제조 방법에 있어서,

상면을 갖고 상기 절연층 위에 배치된 하부 도전성 전극을 형성하는 단계;

상기 하부 도전성 전극의 상기 상면 위에, 상면을 갖는 층간 유전체 층을 형성하는 단계;

상기 층간 유전체 층 내에 상기 하부 도전성 전극과 소통하는 개구를 형성하는 단계;

상기 개구 내에, 상기 층간 유전체 층의 상기 상면 위로 용기된 상면을 갖되, 상기 상면의 외측 모서리가 둥그스름하게 되어 있는 도전성 플러그를 형성하는 단계;

상면을 갖고 상기 도전성 플러그의 상기 상면 전체와 상기 층간 유전체 층의 상기 상면의 적어도 일부분 위에 배치된 제1티타늄 질화물 층을 형성하는 단계;

상기 제1티타늄 질화물 층의 상기 상면 전체 위에 하면, 및 상면을 갖는 앤티퓨즈 층을 형성하는 단계;

상면 및 상기 앤티퓨즈 층의 상기 상면 위에 배치된 하면을 갖는 제2티타늄 질화물 층을 형성하는 단계; 및

상기 제2티타늄 질화물 층의 상기 상면 위에 상부 전극을 형성하는 단계를 포함하는 앤티퓨즈 제조 방법.

청구항 22

제21항에 있어서, 상기 앤티퓨즈 층을 형성하는 단계는, 실리콘 질화물을 포함하는 제1층, 비결정성 실리콘을 포함하는 제2층, 및 실리콘 질화물을 포함하는 제3층을 형성하는 단계들을 더 포함하는 앤티퓨즈 제조 방법.

청구항 23

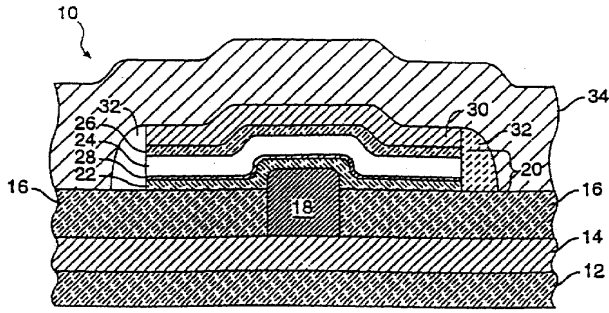
제22항에 있어서, 상기 제1층, 상기 제2층 및 상기 제3층의 외측 모서리들은 실질적인 수직 벽을 형성하며, 상기 수직 벽과 접촉하는 산화물 스페이서를 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

청구항 24

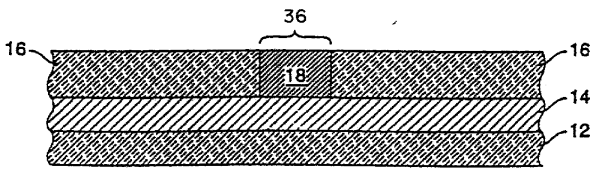
제22항에 있어서, 상기 제2층과 상기 제1층 및 제3층 중의 하나 사이에 실리콘 이산화물 층을 형성하는 단계를 더 포함하는 앤티퓨즈 제조 방법.

도면

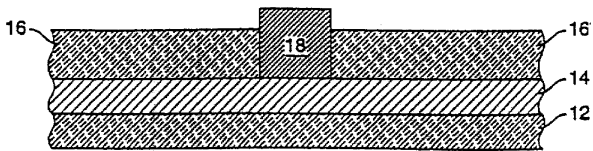
도면1



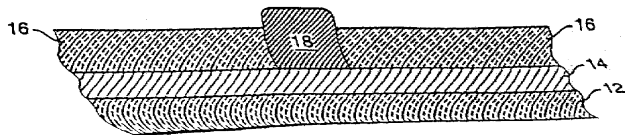
도면2a



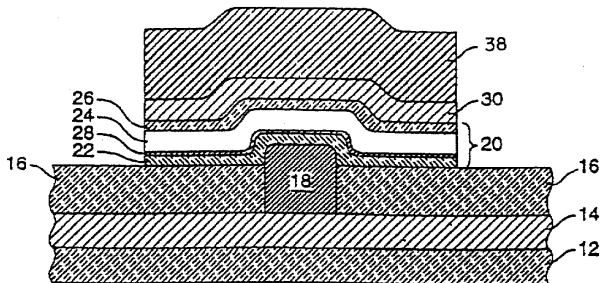
도면2b



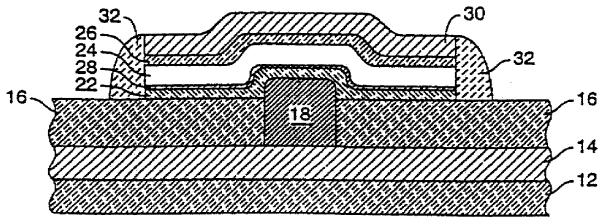
도면2c



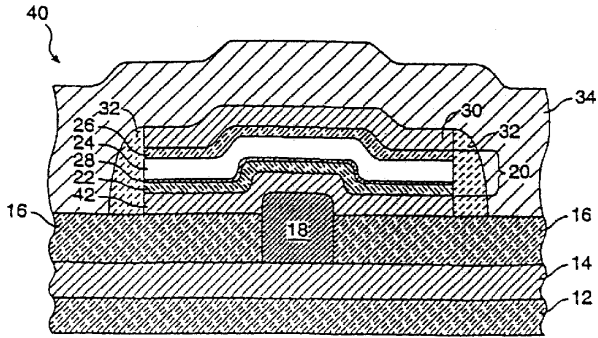
도면2d



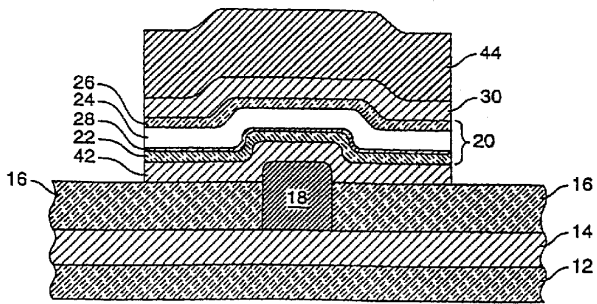
도면2e



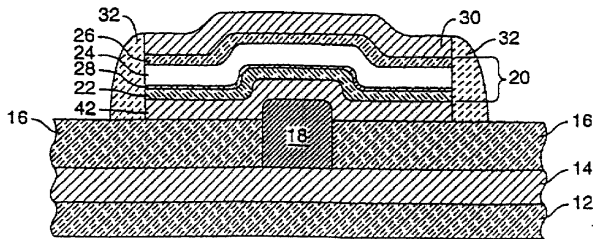
도면3



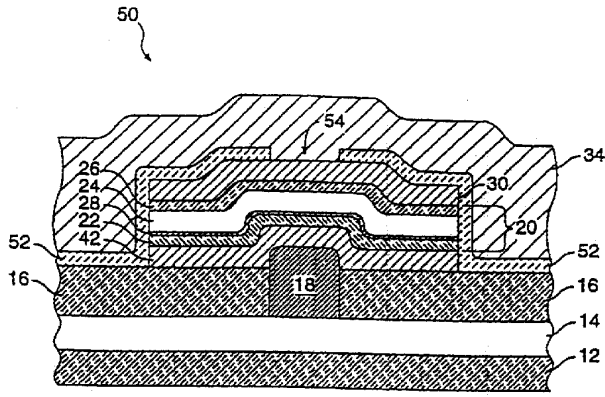
도면4a



도면4b



도면5



도면6

