(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5177551号
(P5177551)

(45)発行日　平成25年4月3日(2013.4.3)　(24)登録日　平成25年1月18日(2013.1.18)

(51)Int.Cl.　　F I
H01L 21/60 (2006.01)　　H01L 21/60　301P
H01L 21/3205 (2006.01)　　H01L 21/88　T
H01L 21/768 (2006.01)
H01L 23/522 (2006.01)

請求項の数 4　(全 10 頁)

(21)出願番号　特願2008-332453 (P2008-332453)
(22)出願日　平成20年12月26日 (2008.12.26)
(65)公開番号　特開2010-153707 (P2010-153707A)
(43)公開日　平成22年7月8日 (2010.7.8)
審査請求日　平成23年12月20日 (2011.12.20)

(73)特許権者　000154325
住友電工デバイス・イノベーション株式会社
神奈川県横浜市栄区金井町１番地
(74)代理人　100087480
弁理士　片山　修平
(74)復代理人　100137615
弁理士　横山　照夫
(74)復代理人　100134511
弁理士　八田　俊之
(72)発明者　菱田　武司
山梨県中巨摩郡昭和町大字紙漉阿原１００００番地　ユーディナデバイス株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
半導体層と、
前記半導体層上に設けられたＡｕからなる電極パッドと、
前記電極パッド上にその端部が位置するように、前記半導体層上及び前記電極パッド上に設けられた窒化シリコン膜と、
前記電極パッドの表面の一部及び前記窒化シリコン膜の前記端部に接し、かつ前記電極パッドの表面の他部が露出するように設けられたＴｉ、Ｔａ及びＰｔのいずれかからなる金属層と、を具備し、
前記金属層は、前記電極パッド表面から前記窒化シリコン膜表面にかけて連続的に、前記電極パッド表面及び前記窒化シリコン膜表面に接して設けられていることを特徴とする半導体装置。
【請求項２】
前記窒化シリコン膜表面に設けられたポリイミド層またはベンゾシクロブテン層を具備することを特徴とする請求項１記載の半導体装置。
【請求項３】
前記金属層と重なるように前記金属層の表面に接して設けられたＡｕ層を具備することを特徴とする請求項１又は２記載の半導体装置。
【請求項４】
前記金属層と離間し、前記露出された電極パッドの表面に接続されたワイヤを具備する

ことを特徴とする請求項１から３いずれか一項記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体装置に関し、特に半導体層上に電極及び保護膜が設けられた半導体装置に関する。
【背景技術】
【０００２】
半導体装置の半導体層をストレスや付着物から保護するため、半導体層の表面、及び半導体層上に設けられたＡｕ等の金属からなる電極パッド上に窒化シリコン（ＳｉＮ）等の絶縁体からなる保護膜が設けられることがある。
【０００３】
特許文献１には、パッド電極上のカバー絶縁膜の上にボンディング線のボール部を設けることで、ボンディング線の密着度を向上させ、水分の浸入を抑止する発明が開示されている。
【特許文献１】特開平５－１３６１９７号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
特許文献１では、ボール部とカバー絶縁膜とのカバレッジが悪い場合には、両者の間に隙間が生じるため、両者の間に水分が浸入してしまう。浸入した水分により長期信頼度の低下、またはパッド電極が腐食し絶縁膜１から剥離する恐れがある。また、ボール部をパッド電極に圧着する際に、カバー絶縁膜にクラックなどが生じる恐れがある。
【０００５】
本発明は、上記課題に鑑み、窒化シリコン膜と電極パッドとの界面から水分が浸入することを抑制することで、半導体装置の信頼性を向上させることを目的とする。
【課題を解決するための手段】
【０００６】
本発明は、半導体層と、前記半導体層上に設けられたＡｕからなる電極パッドと、前記電極パッド上にその端部が位置するように、前記半導体層上及び前記電極パッド上に設けられた窒化シリコン膜と、前記電極パッドの表面の一部及び前記窒化シリコン膜の前記端部に接し、かつ前記電極パッドの表面の他部が露出するように設けられたＴｉ、Ｔａ及びＰｔのいずれかからなる金属層と、を具備し、前記金属層は、前記電極パッド表面から前記窒化シリコン膜表面にかけて連続的に、前記電極パッド表面及び前記窒化シリコン膜表面に接して設けられていることを特徴とする半導体装置である。本発明によれば、窒化シリコン膜と電極パッドとの界面から水分が浸入することを抑制することで、半導体装置の信頼性を向上させることできる。
【０００７】
上記構成において、前記金属層は、前記電極パッド表面から前記窒化シリコン膜表面にかけて連続的に、前記電極パッド表面及び前記窒化シリコン膜表面に接して設けられている構成とすることができる。
【０００８】
上記構成において、前記窒化シリコン膜表面に設けられたポリイミド層またはベンゾシクロブテン層を具備する構成とすることができる。この構成によれば、ポリイミド層またはベンゾシクロブテン層を浸透した水分が、窒化シリコン膜とポリイミド層またはベンゾシクロブテン層との界面から侵入することを抑制することができる。また、半導体装置の最表面を保護することができる。
【００１０】
上記構成において、前記金属層と重なるように前記金属層の表面に接して設けられたＡｕ層を具備する構成とすることができる。この構成によれば、金属層の製造工程において

、Ａｕ層をマスクとすることができるため、金属層を確実に形成することができる。また、金属層を保護することができる。

【００１１】

上記構成において、前記金属層と離間し、前記露出された電極パッドの表面に接続されたワイヤを具備する構成とすることができる。この構成によれば、ワイヤにかかる応力により金属層に亀裂や剥離が発生することを抑制することができる。

【発明の効果】

【００１２】

本発明によれば、窒化シリコン膜と電極パッドとの界面から水分が浸入することを抑制し、半導体装置の信頼性を向上させることが可能となる。

【発明を実施するための最良の形態】

【００１３】

図面を用いて、本発明の実施例について説明する。

【実施例１】

【００１４】

図1は実施例1に係る半導体装置を例示する断面図である。図1に示すように、例えばＧａＡｓからなる半導体層２上に、例えばＡｕＧｅ等の金属を含むオーミック電極８が設けられている。半導体層２上には、例えば厚さ１μｍの第１窒化シリコン膜４が、オーミック電極８の上面が露出するように設けられている。オーミック電極８の露出した上面には、オーミック電極８と電気的に接続されるように、例えばＡｕ等の金属からなる電極パッド１０が設けられている。第１窒化シリコン膜４上、及び電極パッド１０上には、電極パッド１０上に端部６ａが位置し、かつ電極パッド１０の上面が露出するように、例えば厚さ１μｍの第２窒化シリコン膜６が設けられている。すなわち、第２窒化シリコン膜６には、電極パッド１０の上面が露出するように、例えば８０μｍ×８０μｍの開口部５が設けられている。第２窒化シリコン膜６上には、電極パッド１０の上面が露出するように、例えば厚さ３μｍのポリイミド層１２が設けられている。ポリイミド層１２は、半導体装置の最表面を保護する。また、ポリイミド以外にもベンゾシクロブテン（ＢＣＢ）を用いて層を形成してもよい。

【００１５】

例えばスパッタリング法により形成された、例えば厚さ５～２０ｎｍのＴｉ層１４が、電極パッド１０の上面の一部及び第２窒化シリコン膜６の端部６ａに接し、かつ電極パッド１０の上面の他部（Ｔｉ層１４が接している上面の他の部分）が露出するように、電極パッド１０上から第２窒化シリコン膜６上にかけて連続的に設けられている。

【００１６】

Ｔｉは窒化シリコン及び電極パッドを形成するＡｕと密着性が高く、また水分による腐食への耐性にも優れている。このため、実施例１によれば、第２窒化シリコン膜６と電極パッド１０との界面（領域３０：図５参照）から水分が浸入することを抑制することができる。従って、水分によるオーミック電極８の腐食、及び電極を形成する金属が水分へ溶解することによるショートを抑制し、半導体装置の信頼性向上が可能となる。

【００１７】

なお、Ｔｉ層１４上にワイヤ１６が設けられている場合や、Ｔｉ層１４がワイヤ１６に接触している場合、ワイヤボンディング工程において加わる応力によりＴｉ層１４に亀裂や剥離が発生することがある。この場合、水分が第１窒化シリコン膜４と電極パッド１０との界面に浸入し、半導体装置の信頼性低下を招く可能性がある。本発明は、このような知見から、Ｔｉ層１４を電極パッド１０の端部６ａのみに設けたものである。この構成により、ワイヤ１６をＴｉ層１４が設けられない電極パッド１０上の領域にＴｉ層１４と離間してボンディングすることが可能となる。Ｔｉ層１４とワイヤ１６との距離は例えば１０μｍであることが好ましい。

【００１８】

水分の浸入を抑制するためには、Ｔｉ以外に電極パッド１０を形成する金属や窒化シリ

コンと密着性の高い金属、例えばＰｔ、Ｔａを用いてもよい。さらにその他には、Ｒｎ及びＮｂ等の金属を用いて層を形成してもよい。また、電極パッド１０には、Ａｕ以外に例えばＡｕＧｅ等、Ｔｉと密着性の高い金属を用いてもよい。

【００１９】

Ｔｉ層１４は、厚さが均一に形成され、かつ第２窒化シリコン膜６及び電極パッド１０との密着性を十分確保できる程度の厚さであればよい。Ｔｉ層１４の厚さが３ｎｍ以上であれば、Ｔｉ層１４を容易にかつ厚さを均一に成膜でき、また第２窒化シリコン膜６及び電極パッド１０との密着性を十分確保できる。Ｔｉ層１４における段差軽減のためには、Ｔｉ層１４の厚さが２０ｎｍ以下であることが好ましい。Ｔｉ層１４の厚さが１５ｎｍ以下であればより段差が軽減でき、さらに１０ｎｍ以下であるとより好ましい。

【００２０】

半導体層２はＧａＡｓからなるとしたが、例えばＧａＡｓ系半導体、ＩｎＰ系半導体、ＧａＮ系半導体等からなっていてもよい。なお、ＧａＡｓ系半導体とは、Ｇａ及びＡｓを含む半導体であり、例えばＧａＡｓ、ＩｎＧａＡｓ、及びＡｌＧａＡｓ等がある。ＩｎＰ系半導体とは、Ｉｎ及びＰを含む半導体であり、例えばＩｎＰ、ＩｎＧａＡｓＰ、ＩｎＡｌＧａＰ、及びＩｎＡｌＧａＡｓＰ等がある。ＧａＮ系半導体とは、Ｇａ及びＮを含む半導体であり、例えばＧａＮ、ＩｎＧａＮ、ＡｌＧａＮ、及びＩｎＡｌＧａＮ等がある。

【００２１】

次に、実施例１の変形例に係る半導体装置について説明する。図２（ａ）及び図２（ｂ）は、実施例１の変形例に係る半導体装置を例示する断面図である。まず、図２（ａ）に示した例について説明する。なお、既述した構成と同様の構成については説明を省略する。

【００２２】

図２（ａ）に示すように、Ｔｉ層１４が、電極パッド１０の上面及び第２窒化シリコン膜６の端部６ａに接し、かつ電極パッド１０の上面が露出するように、電極パッド１０上に設けられている。このように、Ｔｉ層１４は、第２窒化シリコン膜６上に設けられていなくてもよく、電極パッド１０の上面及び第２窒化シリコン膜６の端部６ａに接していれば、第２窒化シリコン膜６と電極パッド１０との界面から水分が浸入することを抑制することが可能となる。次に、図２（ｂ）に示した例について説明する。

【００２３】

図２（ｂ）に示すように、Ｔｉ層１４が、電極パッド１０の上面及び第２窒化シリコン膜６の端部６ａに接し、かつ電極パッド１０の上面が露出するように、電極パッド１０上からポリイミド層１２上にかけて連続的に設けられている。図２（ｂ）の例によれば、第２窒化シリコン膜６と電極パッド１０との界面だけでなく、第２窒化シリコン膜６とポリイミド層１２との界面から水分が浸入することも抑制することが可能となる。

【実施例２】

【００２４】

実施例２はＴｉの上にＡｕ層を設けた例である。図３は実施例２に係る半導体装置を例示する断面図である。既述した構成と同様の構成については説明を省略する。

【００２５】

図３に示すように、例えば厚さ２００～５００ｎｍのＡｕ層１８が、Ｔｉ層１４と重なるようにＴｉ層１４の上面に設けられている。

【００２６】

Ｔｉはエッチング耐性が高い物質であることから、Ｔｉ層１４を形成するためのパターニングを行う際に、Ｔｉよりもマスクとして用いるレジストの方が早くエッチングされ、Ｔｉ層１４を形成できないことがある。また、電極パッド１０の上面から第２窒化シリコン膜６の上面にかけて、第２窒化シリコン膜６の開口部５に段差が形成されている。このため、第２窒化シリコン膜６の端部６ａ周辺ではＴｉ層１４に段差が生じ、Ｔｉ層１４の厚さが薄くなることがある。このとき、耐湿性が十分に得られない恐れがある。

【００２７】

そこで、Ｔｉ層１４の製造工程において、Ｔｉ層１４となる部分の上に、例えばスパッタリング法によりＡｕ層１８を設け、Ａｕ層１８をマスクとしてＴｉ層１４を形成する。これにより、実施例２によれば、Ｔｉ層１４を確実に形成することができる。また、Ｔｉ層１４を保護することができるため、耐湿性を確保することができる。Ａｕ層１８はメッキ法等で設けられてもよい。

【実施例３】

【００２８】

実施例３は、ＦＥＴ（Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）を用いる例である。図４（ａ）は実施例３に係る半導体装置を例示する断面図であり、図４（ｂ）は実施例３の変形例に係る半導体装置を例示する断面図である。

【００２９】

図４（ａ）に示すように、例えばＧａＡｓからなる半導体層２上には、例えば半導体層２に近い側から順にＡｕＧｅ／Ｎｉ／Ａｕ等の金属からなるドレイン電極７（オーミック電極）、及びソース電極２２（オーミック電極）が設けられている。さらに、半導体層２上であって、ドレイン電極７とソース電極２２との間には、例えば、半導体層２側から順にＷＳｉ／Ｔｉ／Ａｕからなるゲート電極２６が設けられている。ドレイン電極７とゲート電極２６との間、及びソース電極２２とゲート電極２６との間には、例えば厚さ５０ｎｍの窒化シリコン膜２８が設けられている。ドレイン電極７、ソース電極２２、ゲート電極２６及び窒化シリコン膜２８の上には、例えば厚さ１μｍの第１窒化シリコン膜４が設けられている。

【００３０】

ドレイン電極７上には、例えばＴｉＷ／Ａｕ等の金属からなる金属層９が、ドレイン電極７と電気的に接続されるように設けられている。また、金属層９上には、例えばＡｕ等の金属からなる電極パッド１０が、金属層９と電気的に接続されるように設けられている。すなわち、電極パッド１０はＦＥＴと電気的に接続されている。

【００３１】

ソース電極２２上には、例えばＴｉＷ／Ａｕ等の金属からなる金属層２４が、ソース電極２２と電気的に接続されるように設けられている。また、金属層２４上には、例えばＡｕ等の金属からなる電極パッド２０が、金属層２４と電気的に接続されるように設けられている。

【００３２】

第１窒化シリコン膜４、電極パッド１０及び２０の上には例えば厚さ１μｍの第２窒化シリコン膜６が、端部６ａが電極パッド１０上に位置するように設けられている。また、第２窒化シリコン膜６上、及び電極パッド１０上にはポリイミド層１２が設けられている。すなわち、半導体層２にＦＥＴが形成されている。

【００３３】

図３の例と同様に、電極パッド１０の上面及び第２窒化シリコン膜６の端部６ａに接するように、Ｔｉ層１４が電極パッド１０上から第２窒化シリコン膜６上にかけて連続的に設けられている。また、Ｔｉ層１４と重なるように、Ａｕ層１８がＴｉ層１４の上面に設けられている。このため、実施例３によれば、第２窒化シリコン膜６と電極パッド１０との界面から水分が浸入することを抑制することが可能となる。従って、浸入した水分により、ドレイン電極７、ソース電極２２及びゲート電極２６等が腐食することを抑制することができる。また、例えば電極パッド１０の成分が浸入した水分に溶解し、金属層９や電極パッド２０等に析出し、ショートすることも抑制できる。結果的に、半導体装置の信頼性を向上させることができる。

【００３４】

図４（ｂ）は、Ｔｉ層１４の形状を変化させた例である。図４（ｂ）に示すように、Ｔｉ層１４が、電極パッド１０の上面及び第２窒化シリコン膜６の端部６ａに接するように、電極パッド１０上からポリイミド層１２上にかけて連続的に設けられている。このため、図２（ｂ）の例と同様、第２窒化シリコン膜６と電極パッド１０との界面だけでなく、

第２窒化シリコン膜６とポリイミド層１２との界面から水分が浸入することも抑制することが可能となる。

【００３５】

以上のように、実施例３によれば、Ｔｉ層１４を設け、水分の浸入を抑制することで、ドレイン、ソース、ゲートの各電極が腐食すること、及びショートが発生することを抑制できる。従って、耐湿性に優れたＦＥＴを実現できる。

【００３６】

次に、ＦＥＴについて行った耐湿性試験の結果について説明する。まず、試験に用いたサンプルについて説明する。図５は比較例に係る半導体装置を例示する断面図である。図５に示すように、比較例はＴｉ層１４とＡｕ層１８とが設けられていないほかは、図４（ａ）に示した半導体装置と同様の構成である。

【００３７】

サンプルとして、図４（ａ）に示したＦＥＴ、及び図５に示したＦＥＴを用いた。各サンプルにおいて、半導体層２はＧａＡｓからなり、ドレイン電極７及びソース電極はＡｕＧｅ／Ｎｉ／Ａｕからなる。ゲート電極２６は半導体層２側から順にＷＳｉ／Ｔｉ／Ａｕからなる。金属層９及び２４はＴｉＷ／Ａｕからなり、電極パッド１０及び２０はＡｕからなる。

【００３８】

Ｔｉ層１４の厚さは５ｎｍ、Ａｕ層１８の厚さは２００ｎｍであり、Ｔｉ層１４及びＡｕ層１８が第２窒化シリコン膜６と重なる長さは２．６μｍである。また、Ｔｉ層１４及びＡｕ層１８が電極パッド１０と重なる長さは２．０μｍである。次に、試験の条件を説明する。

【００３９】

各サンプルを、温度１３０℃、湿度８５％の環境下に置き、ソース－ドレイン電圧V_{DS}＝２８Ｖ、ゲート－ソース電圧V_{GS}＝－２Ｖを印加する。上記条件下での、各サンプルの寿命を測定した。図６を参照し、試験の結果について説明する。

【００４０】

図６は試験結果を示すワイブルチャートである。横軸が経過時間、縦軸が累積故障率を各々表す。サンプル１～３は比較例、サンプル４及び５は実施例３に係るサンプルである。

【００４１】

図６に示すように、サンプル１～３と比較して、サンプル４及び５では寿命が長く、１００時間を越えていた。また、活性化エネルギーＥａ＝１．０ｅＶ、相対湿度加速係数ｎ＝２を用いて寿命推定を行った結果、温度３０℃、湿度７０％、V_{DS}＝２８Ｖ、V_{GS}＝－３Ｖの条件下において、０．１％寿命は、比較例の２倍以上である１１７年を得た。

【００４２】

図５に矢印で示すように、比較例では、水分が第２窒化シリコン膜６と電極パッド１０との界面（領域３０）から浸入する。また、水分がポリイミド層１２を浸透し、第２窒化シリコン膜６の表面に到達する。窒化シリコンとポリイミドとの密着性は低く、かつポリイミド層１２が第２窒化シリコン膜６を覆っている。このため、水分は第２窒化シリコン膜６を浸透することはなく、水分は、第２窒化シリコン膜６とポリイミド層１２との界面を移動し、第２窒化シリコン膜６と電極パッド１０との界面（領域３０）から浸入する。電極パッド１０を形成するＡｕは浸入した水分に溶解する。Ａｕが溶解した水分が点線で囲った領域３に到達した際に、Ａｕが金属層２４及び電極パッド２０等に析出し、電極パッド１０および２０間のショートが発生したと考えられる。また、領域３０から浸入した水分が電極パッド１０と窒化シリコン膜６との界面を浸透し、ドレイン電極を腐食させてしまう。これにより、比較例に係るＦＥＴの寿命は短くなった。

【００４３】

これに対し、実施例３ではＴｉ層１４及びＡｕ層１８が設けられているため、水分の浸入、及びショートの発生が抑制され、ＦＥＴの寿命が増大した。以上のように、実施例３

によれば、Ｔｉ層１４を設けることにより、耐湿性に優れたＦＥＴを実現できた。

【００４４】

以上、本発明の実施例について詳述したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【００４５】

【図１】図１は実施例１に係る半導体装置を例示する断面図である。

【図２】図２（ａ）及び図２（ｂ）は実施例１の変形例に係る半導体装置を例示する断面図である。

【図３】図３は実施例２に係る半導体装置を例示する断面図である。

【図４】図４（ａ）は実施例３に係る半導体装置を例示する断面図であり、図４（ｂ）は実施例３の変形例に係る半導体装置を例示する断面図である。

【図５】図５は比較例に係る半導体装置を例示する断面図である。

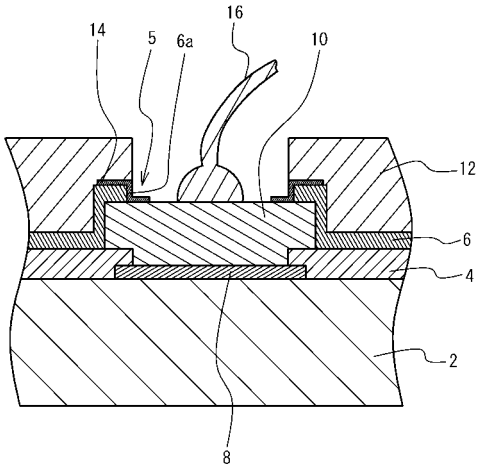
【図６】図６は耐湿性試験の結果を示すワイブルチャートである。

【符号の説明】

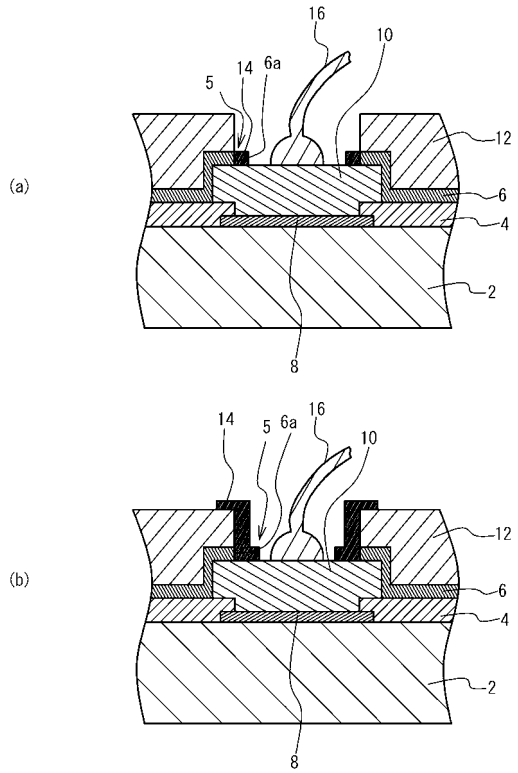
【００４６】

半導体層	2
第１窒化シリコン膜	4
第２窒化シリコン膜	6
ドレイン電極	7
オーミック電極	8
電極パッド	１０、２０
ポリイミド層	１２
Ｔｉ層	１４
ワイヤ	１６
Ａｕ層	１８
ソース電極	２２
ゲート電極	２６

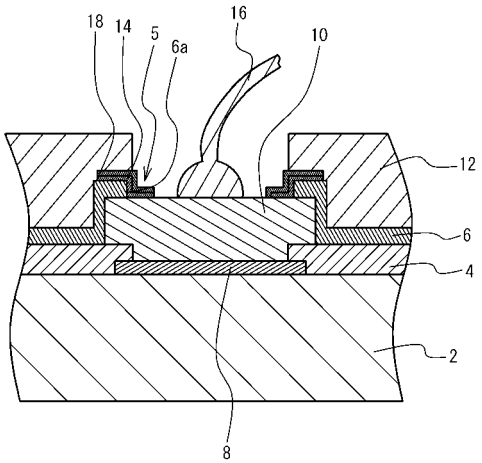
【図１】


14
5
6a
16
10
12
6
4
2
8

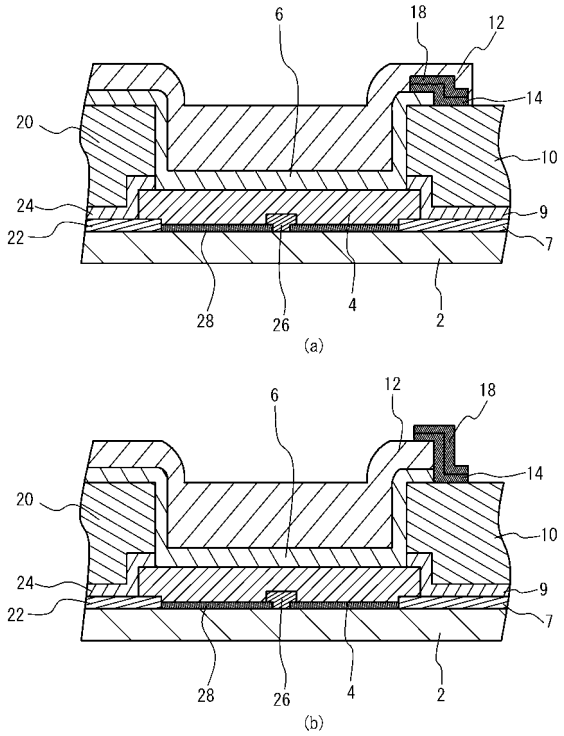
【図２】


(a)
16
10
14
6a
5
12
6
4
2
8
(b)
14
5
6a
16
10
12
6
4
2
8

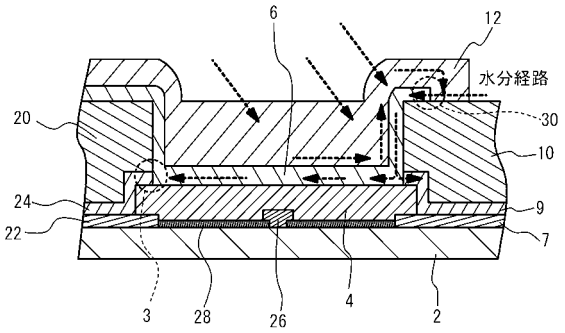
【図３】


18
14
5
6a
16
10
12
6
4
2
8

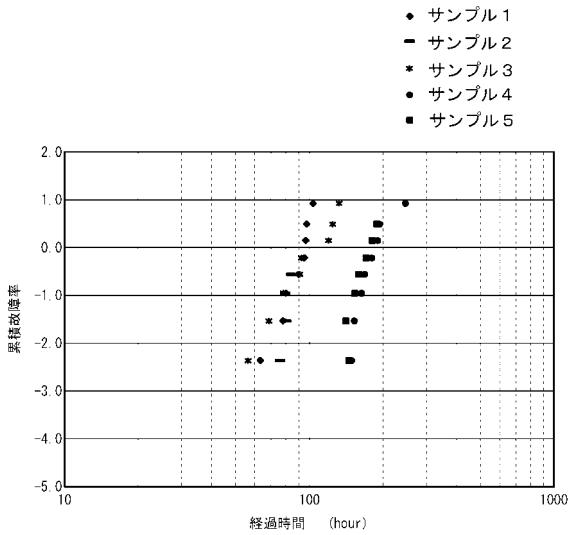
【図４】


6
18
12
14
20
10
24
9
22
7
28
26
4
2
(a)
6
12
18
14
20
10
24
9
22
7
28
26
4
2
(b)

【図５】


6
12
水分経路
20
30
10
24
9
22
7
3
28
26
4
2

【図６】


サンプル１
サンプル２
サンプル３
サンプル４
サンプル５
2.0
1.0
0.0
-1.0
-2.0
-3.0
-4.0
-5.0
累積故障率
10
100
1000
経過時間 (hour)

フロントページの続き

(72)発明者　五十嵐　勉
山梨県中巨摩郡昭和町大字紙漉阿原１０００番地　ユーディナデバイス株式会社内

審査官　関根　崇

(56)参考文献　特開平０４－１９２３３３（ＪＰ，Ａ）
特開２００１－１９６４１３（ＪＰ，Ａ）
特開平０５－２４３３２３（ＪＰ，Ａ）
特開昭５２－１４３７８５（ＪＰ，Ａ）
特開２００６－３０３４５２（ＪＰ，Ａ）
特開平１１－３１２６７０（ＪＰ，Ａ）
特開平０６－０４５３１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／６０
Ｈ０１Ｌ　２１／３２０５
Ｈ０１Ｌ　２１／７６８
Ｈ０１Ｌ　２３／５２２