

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-38306  
(P2009-38306A)

(43) 公開日 平成21年2月19日(2009.2.19)

(51) Int.Cl. F I テーマコード(参考)  
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 8 1 C 5 F 0 8 3  
 HO 1 L 27/108 (2006.01)

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願2007-203316(P2007-203316)  
 (22) 出願日 平成19年8月3日(2007.8.3)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100123788  
 弁理士 宮崎 昭夫  
 (74) 代理人 100106138  
 弁理士 石橋 政幸  
 (74) 代理人 100127454  
 弁理士 緒方 雅昭  
 (72) 発明者 成井 誠司  
 東京都中央区八重洲2-2-1 エルピー  
 ダメモリ株式会社内  
 (72) 発明者 大神 武士  
 東京都中央区八重洲2-2-1 エルピー  
 ダメモリ株式会社内

最終頁に続く

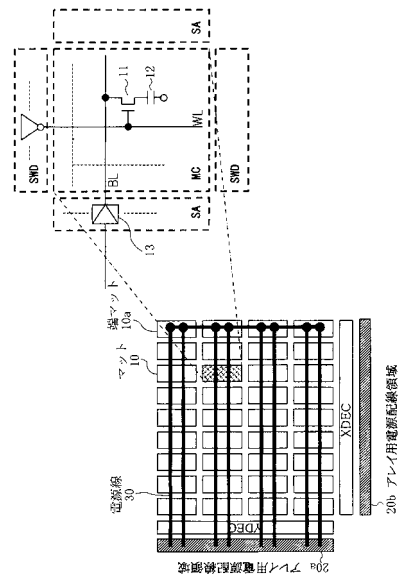
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】チップサイズを削減することができ、かつ、安定した動作を得ることのできる、半導体記憶装置を提供する。

【解決手段】情報として電荷が蓄積される複数のメモリセルを備える、アレイ状に配置された複数のマット10と、一端が外部電源から供給される電圧を降圧または昇圧する内部電源に共通に接続された複数の電源線30とを有する半導体記憶装置であって、各電源線30は、複数のマット10が形成された領域上に、一定方向に延伸するように配線されており、各電源線30の他端が端マット10a上で共通に接続されている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

情報として電荷が蓄積される複数のメモリセルを備える、アレイ状に配置された複数のマットと、

一端が外部電源から供給される電圧を降圧または昇圧する内部電源に共通に接続された複数の電源線と、を有し、

前記複数の電源線は、前記複数のマットが形成された領域上に、一定方向に延伸するように配線されており、該電源線の他端が、前記複数のマットのうちの前記一定方向において最も端に位置するマット上で共通に接続されている、ことを特徴とする、半導体記憶装置。

10

**【請求項 2】**

前記複数のマットのそれぞれは、前記複数のメモリセルから情報を読み出すための複数のセンスアンプを有し、

前記複数の電源線が、前記複数のセンスアンプに駆動電圧を供給する電源線である、請求項 1 に記載の半導体記憶装置。

**【請求項 3】**

前記端に位置するマット上に形成された電源線の幅が端以外のマット上に形成された電源線の幅より大きい、請求項 1 または 2 に記載の半導体記憶装置。

**【発明の詳細な説明】****【技術分野】**

20

**【0001】**

本発明は、D R A M (Dynamic Random Access Memory) に代表される半導体記憶装置に関する。

**【背景技術】****【0002】**

それぞれが独立した動作を行う複数のバンクから構成される D R A M が知られている (特許文献 1 参照)。図 6 に、D R A M のレイアウトを示す。

**【0003】**

図 6 を参照すると、D R A M は、4 つの独立した動作を行うバンク B 0 ~ B 3 からなる。バンク B 0 ~ B 3 の各々には、ワード線 (W L) を選択するための X デコーダ (XDEC) と、ビット線 (B L) を選択するための Y デコーダ (YDEC) が設けられている。バンク B 0 ~ B 3 の各々は、行列状に配置された複数のマットを有する。バンク B 0 ~ B 3 の各々では、行方向 (ビット線の延伸方向) に 3 3 個、列方向 (ワード線の延伸方向) に 1 6 個のマットが配置されている。

30

**【0004】**

マット 1 0 は、メモリセルアレイ、センスアンプ部およびサブワードドライバを有する。メモリセルアレイは、一定の間隔で平行に配線された複数のビット線と、これらビット線と交差する、一定の間隔で平行に配線されたワード線と、これらビット線とワード線の各交差部に形成された、スイッチ素子と容量素子とからなる複数のメモリセルとを有する。

40

**【0005】**

センスアンプ部は、ビット線毎に設けられた複数のセンスアンプからなり、メモリセルアレイの両側に配置されている。サブワードドライバは、ワード線毎に設けられた複数の駆動トランジスタからなり、メモリセルアレイを挟むように上下に配置されている。これらセンスアンプ部およびサブワードドライバは、隣接するマット 1 0 間で共用される。

**【0006】**

バンクを構成する、複数のマットからなるメモリセルアレイ部上には、各マットのセンスアンプに電源を供給するためのセンスアンプ駆動電源線が形成される。図 7 に、センスアンプ駆動電源線のレイアウトを示す。

**【0007】**

50

図7に示すレイアウトは、図6に示したバンクB1の行方向に配置された複数のマット10と、これらマット10上に形成されるセンスアンプ駆動電源線とを模式的に示したものである。なお、図7では、マットの数を5つに省略している。

【0008】

隣接するマット10の間には、4つのセンスアンプグループ(SAG)100が列方向に配置されている。これらSAG100は、センスアンプ部を4つに分割したものである。センスアンプには、駆動電圧として第1の電圧(ハイレベル)と第2の電圧(ロウレベル)が供給される。センスアンプは、これら電圧に基づいてメモリセルに保持した電荷の情報判定を行う。

【0009】

第1の電圧をセンスアンプに供給するためのセンスアンプ駆動電源線101および第2の電圧をセンスアンプに供給するためのセンスアンプ駆動電源線102がそれぞれ、SAG100の行ごとに設けられている。

【0010】

各センスアンプ駆動電源線101は、一端がアレイ電源配線領域20aにおいて共通に接続され、そこから行方向に延伸するように形成されている。また、各センスアンプ駆動電源線101は、行方向に並ぶマット10を全て貫通するように形成されており、その他端はどこにも接続されていない。

【0011】

各センスアンプ駆動電源線102も同様に、一端がアレイ電源配線領域20aにおいて共通に接続され、そこから行方向に延伸するように形成されている。また、各センスアンプ駆動電源線102も、行方向に並ぶマット10を全て貫通するように形成されており、その他端はどこにも接続されていない。

【0012】

内部電圧発生回路1、2はそれぞれ、不図示の外部電源から供給された電圧を降圧して第1、第2の電圧を発生する。内部電圧発生回路1には、各センスアンプ駆動電源線101が接続され、内部電圧発生回路2には、各センスアンプ駆動電源線102が接続されている。

【0013】

バンクを構成するメモリセルアレイ部に周囲には、メモリセルに対するデータの書き込みや読み出しを行う際のアドレスを指定する、不図示のXデコーダ(XDEC)およびYデコーダ(YDEC)が配置されており、内部電圧発生回路1、2は、メモリセルアレイ部の、Yデコーダが配置された側に形成される。アレイ電源配線領域20aは、内部電圧発生回路1、2が形成される領域とYデコーダが配置される領域の間に形成される。

【0014】

以上は、センスアンプの駆動電源線についてのレイアウトの説明であるが、サブワードドライバを駆動する電源線も、センスアンプの駆動電源線の場合と同様なレイアウトとされる。この場合、内部電圧発生回路は、外部電源から供給される電圧を昇圧したり、場合によっては、負電圧を生成したりして、サブワードドライバを駆動するための電圧を生成する。

【特許文献1】特開平11-007762号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

外部電源からの電圧を内部電圧生成回路で降圧してセンスアンプの駆動電圧を得る場合、センスアンプ駆動電源線の抵抗が高いと、センスアンプの負荷容量が極めて大きいため、センスアンプ駆動の際にセンスアンプ駆動電源線に供給される電圧が一時的に大きく低下する場合がある。この結果、センスアンプによる信号レベルの判定処理に時間がかかり、場合によっては、所定の時間に判定処理が終了しないことになる。判定処理が所定の時間に終了しないと、メモリセルからの信号読み出しを正確に行うことができなくなり、D

10

20

30

40

50

R A Mの動作が不安定になる。したがって、D R A Mの安定した動作を実現するためには、センスアンプ駆動電源線の低抵抗化の対策が必須とされている。

【0016】

これまで、バンクを構成するメモリセルアレイ部の、マット（メモリセルアレイ）とセンスアンプ駆動電源線のレイアウト設計では、レイアウト設計システムで使用するマスクデータ量を削減することを目的として、通常、1つのレイアウトパターン（メモリセルのブロックと配線のブロックの組み合わせ）の繰り返しで、メモリセルとセンスアンプ駆動電源線のレイアウトを作成する。このレイアウトによれば、センスアンプ駆動電源線のパターンも含め、ビット線、ワード線等メモリセル近傍に配置された各種配線のパターンについて各マットを完全同一にすることができ、メモリセルの読み出し書き込み動作時の各種配線間のクロストークノイズも同一にすることができる。このことは、各マットでクロストークノイズの最適化設計が容易となるため半導体装置全体のノイズ耐性も向上する。このようにして作成したメモリセルとセンスアンプ駆動電源線のレイアウトが、図7に示したレイアウトである。

10

【0017】

しかし、図7に示したレイアウトでは、センスアンプ駆動電源線101、102の他端はどこにも接続されていないため、センスアンプ駆動電源線101、102の抵抗値が大きくなる。このため、図7に示したレイアウトを有するD R A Mでは、センスアンプ駆動電源線の抵抗値が大きいため、D R A Mの動作が不安定になる、という問題が生じる。

【0018】

20

なお、図7に示したレイアウトにおいて、センスアンプ駆動電源線101、102の他端を共通に接続することで、センスアンプ駆動電源線101、102の抵抗値を下げるることができる。しかし、この場合は、以下のような問題が生じる。

【0019】

図8に、センスアンプ駆動電源線101の他端を共通に接続した場合のレイアウトを模式的に示す。

【0020】

同じレイアウトパターンの繰り返しで、マット10（メモリセルアレイ）とセンスアンプ駆動電源線101のレイアウトを作成した場合、センスアンプ駆動電源線101は、行方向に並ぶマット10を全て貫通する状態とされる。この場合、センスアンプ駆動電源線101の他端は、端のマット10aよりもさらに外側に位置することとなる。このため、センスアンプ駆動電源線101の他端を共通に接続するアレイ用電源配線領域20cは、端のマット10aの列よりも、さらに外側（メモリセルアレイ部の領域の外側）に形成される。つまり、メモリセルアレイ部の両側には、アレイ用電源配線領域20a、20cが形成されることになる。

30

【0021】

アレイ用電源配線領域がメモリセルアレイ部の両側に設けられるD R A Mにおいては、隣接するメモリセルアレイ部の間の領域において、一方のメモリセルアレイ部のアレイ用電源配線領域20aと他方のメモリセルアレイ部のアレイ用電源配線領域20cが形成されることになる。このように、隣接するメモリセルアレイ部の間に2つのアレイ用電源配線領域を形成することは、チップサイズの削減の妨げとなる。

40

【0022】

本発明の目的は、上記問題を解決し、チップサイズを削減することができ、かつ、安定した動作を得ることのできる、半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0023】

上記目的を達成するため、本発明の半導体記憶装置は、情報として電荷が蓄積される複数のメモリセルを備える、アレイ状に配置された複数のマットと、一端が外部電源から供給される電圧を降圧または昇圧する内部電源に共通に接続された複数の電源線と、を有し、前記複数の電源線は、前記複数のマットが形成された領域上に、一定方向に延伸するよ

50

うに配線されており、該電源線の他端が、前記複数のマットのうちの前記一定方向において最も端に位置するマット上で共通に接続されている、ことを特徴とする。

【発明の効果】

【0024】

本発明によれば、電源線の他端を共通に接続したことにより、電源線の抵抗値が小さくなるので、動作の安定した半導体記憶装置(DRAM)を提供することができる。

【0025】

また、電源線の他端は端のマット上で共通に接続されているので、アレイ用電源配線領域をメモリセルアレイ部の両側に配置する必要がない。よって、アレイ用電源配線領域がメモリセルアレイ部の両側に配置されるものに比べて、チップサイズを削減することができる。

10

【発明を実施するための最良の形態】

【0026】

次に、本発明の実施形態について図面を参照して説明する。

【0027】

図1は、本発明の一実施形態である半導体記憶装置の構成を示す模式図である。

【0028】

図1を参照すると、半導体記憶装置は、それぞれが独立した動作を行う複数のバンクから構成されるDRAMに代表される半導体メモリであって、マトリクス状に配置された複数のマット10よりなるメモリセルアレイ部を有する。この例では、マット10の配置は、4行9列の簡易的な配置とされているが、これに限定されるものではない。

20

【0029】

マット10はいずれも同じ構成であって、メモリセルアレイMC、センスアンプ部SAおよびサブワードドライバSWDを有する。

【0030】

メモリセルアレイMCは、一定の間隔で平行に配線された複数のビット線BLと、これらビット線BLと交差する、一定の間隔で平行に配線された複数のワード線WLと、これらビット線BLとワード線WLの各交差部に形成された、スイッチ素子11と容量素子12とからなる複数のメモリセルとを有する。スイッチ素子11は、例えばMOS(Metal Oxide Semiconductor)トランジスタである。容量素子12はコンデンサである。スイッチ素子11の一方の端子はビット線BLに接続され、他方の端子は容量素子12に接続されている。スイッチ素子11の制御端子は、ワード線WLに接続されている。

30

【0031】

センスアンプ部SAは、ビット線BL毎に設けられた複数のセンスアンプ13からなり、メモリセルアレイ部の両側に配置されている。サブワードドライバSWDは、ワード線毎に設けられた複数の駆動トランジスタからなり、メモリセルアレイMCを挟むように上下に配置されている。隣接するマット10間でセンスアンプ部SAを共用できるように、ビット線BLとこれに接続されるセンスアンプは、所謂、千鳥状に形成されている。これと同様に、サブワードドライバSWDについても、隣接するマット10間で共用できるように、ワード線WLとこれに接続される駆動トランジスタは、千鳥状に形成されている。なお、センスアンプ部SAとビット線、サブワードドライバSWDとワード線の配置は、千鳥状の配置に限定されるものではなく、他の配置であってもよい。

40

【0032】

メモリセルアレイ部上には、メモリセルの制御に用いる信号線の他、不図示の内部電圧発生回路で生成した電圧をセンスアンプに供給するための電源線30が形成されている。電源線30は、行方向に延伸する複数の電源線からなり、各電源線の一端はアレイ用電源配線領域20aにおいて共通に接続され、各電源線の他端は、メモリセルアレイ部の、アレイ用電源配線領域20aが形成された側とは反対の辺部に位置する端のマット10a上の領域において共通に接続されている。

【0033】

50

アレイ用電源配線領域 20 a は、電源線 30 をメモリセルアレイ部の周辺部にある外部電源パッドや内部電源発生回路と接続するための領域であって、ワード線の延伸方向に沿って形成されている。

【0034】

図 1 には示されていないが、サブワードドライバ SWD を駆動するための電源線もメモリセルアレイ部上に複数形成されており、各電源線の一端はアレイ用電源配線領域 20 b において共通に接続され、各電源線の他端は、メモリセルアレイ部の、アレイ用電源配線領域 20 b が形成された側とは反対の辺部に位置する端のマトの列の領域上で共通に接続されている。アレイ用電源配線領域 20 b も、電源線をメモリセルアレイ部の周辺部にある外部電源パッドや内部電源発生回路と接続するための領域であって、ビット線の延伸方向に沿って形成されている。

10

【0035】

メモリセルアレイ部の周りには、メモリセルに対するデータの書き込みや読み出しを行う場合のアドレス指定を行うための、Xデコーダ (XDEC) および Yデコーダ (YDEC) が設けられている。Yデコーダは、ワード線の延伸方向に沿って形成されている。Xデコーダは、ビット線の延伸方向に沿って形成されている。

【0036】

上記のとおりレイアウト構造によれば、電源線 30 の他端を共通に接続したことにより、電源線 30 の抵抗値が小さくなり、その結果、DRAM の安定した動作を実現することができる。

20

【0037】

また、電源線 30 の他端は、端マット 10 a 上で共通に接続されているので、アレイ用電源配線領域をメモリセルアレイ部の両側に配置する必要がない。よって、チップサイズは、アレイ用電源配線領域がメモリセルアレイ部の両側に配置されるものよりも小さくなる。

【0038】

なお、電源線 30 のレイアウト設計では、端マット 10 a と他の端マット 10 とで異なるレイアウトパターンを用いる。端マット 10 a では、電源線のパターンが鉤状のパターンとされることから、電源線からメモリセルアレイ側へのノイズのクロストークが生じることが予想される。しかし、最近のメモリセルの微細化に伴い、メモリセルアレイ上に形成される格子状のメタル配線 (ワード線、ビット線などの種々の信号線) の間隔 (隙間) も非常に小さくなっている。このような隙間の小さな格子状のメタル配線の層は、電源線からのノイズ (電磁放射ノイズ) を遮蔽する作用があり、その遮蔽効果は非常に高いものとなっている。よって、鉤状のパターンを用いても、電源線からメモリセルアレイ側へのノイズのクロストークが問題になることはない。

30

【0039】

また、センスアンプの駆動電源線だけでなく、サブワードドライバを駆動するための電源線においても、内部の電源線の抵抗値が大きくなると、やはり負荷容量が大きいために選択ワード線の電位の立ち上がりが極端に遅くなるなどの原因で DRAM の動作が不安定になる場合がある。本実施形態では、サブワードドライバを駆動するための電源線も、他端を共通に接続しているので、DRAM の安定した動作を実現することができる。また、アレイ用電源配線領域をメモリセルアレイ部の両側に設ける必要がないので、チップサイズの削減も可能である。

40

【0040】

次に、本実施形態の半導体記憶装置のメモリセルアレイ部の詳細な構造について説明する。

【0041】

図 2 に、メモリセルアレイ部上に形成される電源線のレイアウトの模式図である。図 2 に示す電源線のレイアウトは、センスアンプ駆動電源線の他端を端マット 10 a 上で共通に接続した点以外は、図 7 に示したレイアウトと同じものである。

50

## 【 0 0 4 2 】

各マット間には、4つのSAG100が形成されている。これら4つのSAG100は、図1に示したセンスアンブ部SAを構成する複数のセンスアンブ13を4つのグループに纏めたものである。SAG100は、複数のセンスアンブ13からなる。

## 【 0 0 4 3 】

センスアンブ駆動電源線101、102がそれぞれ、SAG100の行ごとに設けられている。各センスアンブ駆動電源線101は、一端がアレイ電源配線領域20aにおいて共通に接続され、そこから行方向に延伸するように形成されている。各センスアンブ駆動電源線101の他端は、端マット10a上で共通に接続されている。各センスアンブ駆動電源線102も、一端がアレイ電源配線領域20aにおいて共通に接続され、そこから行方向に延伸するように形成されている。各センスアンブ駆動電源線102の他端も、端マット10a上で共通に接続されている。

10

## 【 0 0 4 4 】

内部電圧発生回路1、2はそれぞれ、不図示の外部電源から供給された電圧を降圧して第1、第2の電圧を発生する。内部電圧発生回路1には、各センスアンブ駆動電源線101が接続され、内部電圧発生回路2には、各センスアンブ駆動電源線102が接続されている。第1の電圧が、内部電圧発生回路1からセンスアンブ駆動電源線101を通じてSAG100に供給される。第2の電圧が、内部電圧発生回路2からセンスアンブ駆動電源線102を通じてSAG100に供給される。SAG100内のセンスアンブ13は、内部電圧発生回路1、2から供給された第1、第2の電圧に基づいて、メモリセルに保持した電荷の信号レベルの判定を行う。

20

## 【 0 0 4 5 】

図3に、センスアンブ駆動電源線101、102に接続されるSAG100およびマット10の構成を示す。

## 【 0 0 4 6 】

図3を参照すると、SAG100は4つのセンスアンブ13を有する。各センスアンブ13の第1の電圧入力端子は第1の配線に共通に接続され、各センスアンブ13の第2の電圧入力端子は第2の配線に共通に接続されている。第1の配線の一端はスイッチ素子(pMOS)103を介してセンスアンブ駆動電源線101に接続されている。第2の配線の一端はスイッチ素子(nMOS)104を介してセンスアンブ駆動電源線102に接続されている。スイッチ素子103、104を制御することで、各センスアンブ13への第1、第2の電圧の供給を制御することができる。

30

## 【 0 0 4 7 】

図4に、センスアンブの構成を示す。図4を参照すると、センスアンブ13は、互いの端子(ドレイン/ソース)および制御端子が接続されたpMOSおよびnMOSトランジスタからなる回路を左右対称に配置したものであり、端子(ドレイン/ソース)の接続ラインが一方の側に配置されたメモリセルのビット線に接続され、制御端子の接続ラインが他方の側に配置されたメモリセルのビット線に接続されている。各pMOSトランジスタのもう一方の端子(ドレイン/ソース)は図3に示した第1の配線に接続されている。各nMOSトランジスタのもう一方の端子(ドレイン/ソース)は図3に示した第2の配線に接続されている。このような構成のセンスアンブは、フリップフロップ回路で構成されるセンスアンブとして知られている。

40

## 【 0 0 4 8 】

センスアンブ13の列の両側には、ワード線WLと平行に配置された第1および第2のI/O配線がそれぞれ配置されている。センスアンブ13の間には、コラム選択線105がビット線と平行に配置されている。

## 【 0 0 4 9 】

上述したとおりのレイアウト構造によれば、センスアンブ駆動電源線101、102の他端を共通に接続したことにより、センスアンブ駆動電源線101、102の抵抗値が小さくなり、その結果、DRAMの安定した動作を実現することができる。

50

## 【 0 0 5 0 】

また、センスアンプ駆動電源線 1 0 1、1 0 2 の他端は、端マット 1 0 a 上で共通に接続されているので、アレイ用電源配線領域をメモリセルアレイ部の両側に配置する必要がない。よって、チップサイズは、アレイ用電源配線領域がメモリセルアレイ部の両側に配置されるものよりも小さくなる。

## 【 0 0 5 1 】

なお、図 2 に示した構成において、第 2 の電圧を接地電位とする場合は、センスアンプ駆動電源線 1 0 2 を接地する。この場合は、内部電源発生回路 2 は不要となる。

## 【 0 0 5 2 】

本実施形態によれば、上述の効果に加えて、電源線の低抵抗化による以下のような効果も奏する。

## 【 0 0 5 3 】

図 6 に示した D R A M において、バンクを構成する各マットのセンスアンプは、ワード線方向に複数選択されて活性化される（活性化マット列 1 0 1 0）。この場合の消費電流は、その選択方向である活性化方向（ワード線の延伸方向に同じ）に集中する。本実施形態によれば、メモリセルアレイ部上に形成される電源線は、消費電流が集中する活性化方向と交差（例えば直交）する方向（ビット線の延伸方向に同じ）に多く配線されており、しかも、低抵抗化がなされているので、シグナル・インテグリティのさらなる向上を図ることが可能である。

## 【 0 0 5 4 】

活性化方向と交差する方向へより多くの電源線を形成するためには、多層配線が有効せる。図 1 に示した電源線や図 2 に示したセンスアンプ駆動電源線 1 0 1、1 0 2 が形成される配線層を、多層配線とすることで、さらなる低抵抗化を行うことが可能である。

## 【 0 0 5 5 】

図 5 に、図 1 に示したメモリセルアレイ部における電源線の多層構造における配線方向を示す模式図である。

## 【 0 0 5 6 】

図 5 を参照すると、電源線 3 0 が形成される配線層は、第 1 乃至第 3 のアルミ配線層からなる。メモリセルアレイ部の、端マット 1 0 a の領域を除く領域上において、第 2 および第 3 のアルミ配線層は、行方向に延伸するように配線され、第 1 のアルミ配線層は、列方向に延伸するように配線される。このような多層配線構造によれば、活性化方向と交差する方向へより多くの電源線を形成することができるので、例えば第 2 および第 3 のアルミ配線を電源線に割り当てて並列接続するなどして電源線のさらなる低抵抗化を図ることができる。

## 【 0 0 5 7 】

また、端マット 1 0 a の列の領域上においては、第 1 および第 3 のアルミ配線層は、列方向に延伸するように配線され、第 2 のアルミ配線層は、行方向に延伸するように配線される。これにより、電源線を端マット 1 0 a 上で共通に接続する構造を容易に実現することができる。

## 【 0 0 5 8 】

端マット 1 0 a 上に形成される電源線の幅を、端マット 1 0 a 以外のマット上に形成される電源線の幅より大きくしてもよい。このように構成することで、電源線の抵抗をさらに小さくすることができる。

## 【 図面の簡単な説明 】

## 【 0 0 5 9 】

【 図 1 】 本発明の一実施形態である半導体記憶装置の構成を示す模式図である。

【 図 2 】 メモリセルアレイ部上に形成される電源線のレイアウトを示すブロック図である。

【 図 3 】 図 2 に示すレイアウトにおけるセンスアンプ駆動電源線と S A G およびマットの接続を示すブロック図である。

10

20

30

40

50



【図4】 センスアンプの構成を示す回路図である。

【図5】 図1に示すメモリセルアレイ部における電源線の多層構造における配線方向を説明するための模式図である。

【図6】 DRAMのレイアウトを示す模式図である。

【図7】 センスアンプ駆動電源線のレイアウトを示すブロック図である。

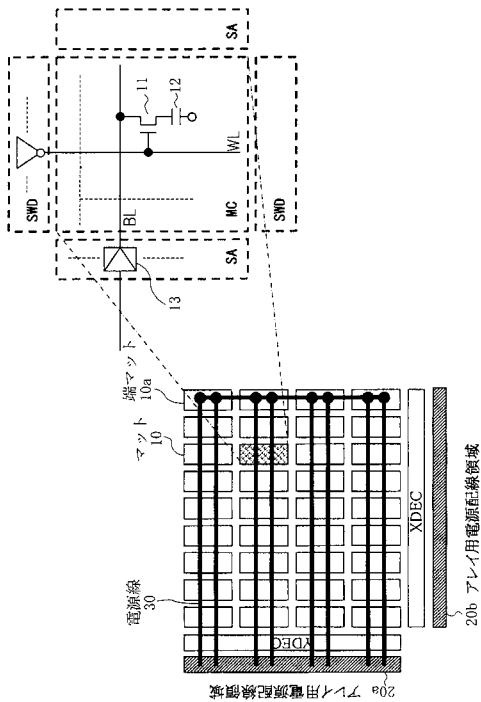
【図8】 図7に示すレイアウトにおけるセンスアンプ駆動電源線他端を共通に接続した状態を説明するための模式図である。

【符号の説明】

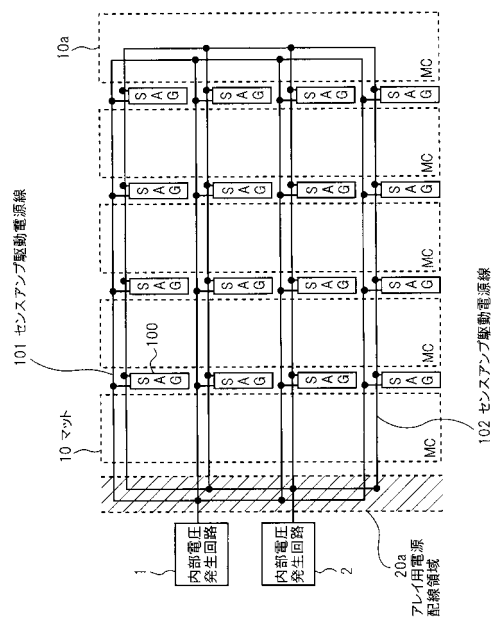
【0060】

- 11 スイッチ素子
- 12 容量素子
- 13 センスアンプ
- 10 マット
- 10a 端マット
- 20a、20b アレイ用電源配線領域
- 30 電源線

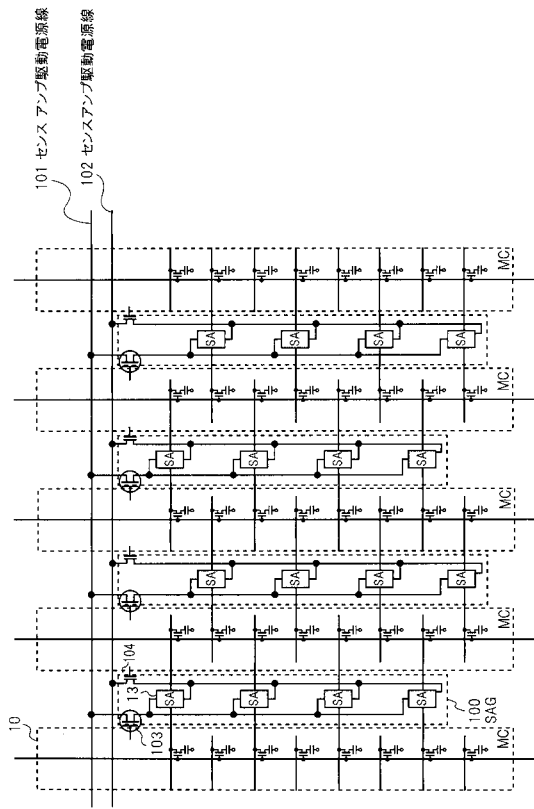
【図1】



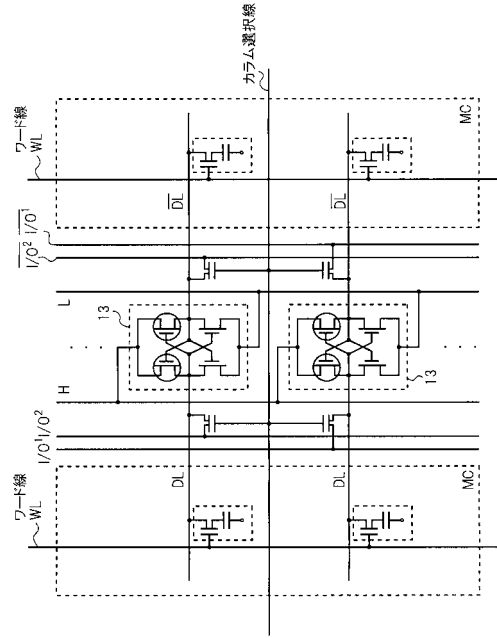
【図2】



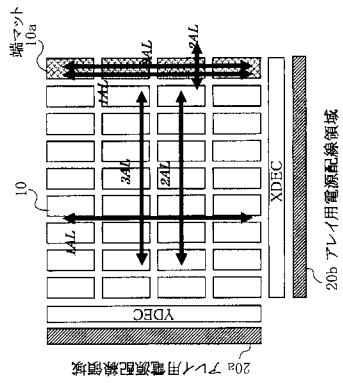
【図 3】



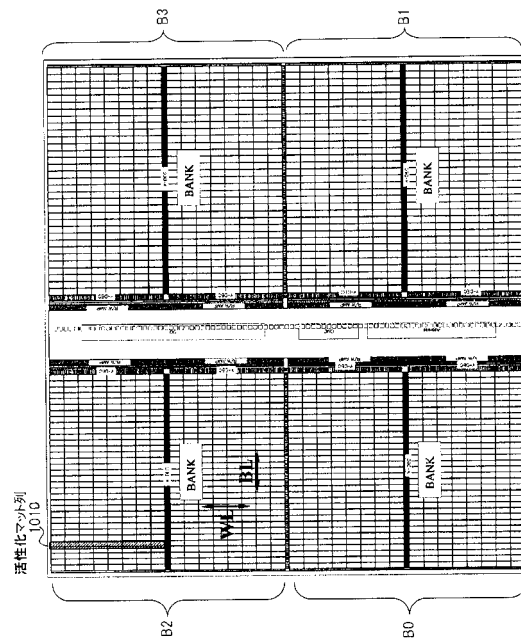
【図 4】



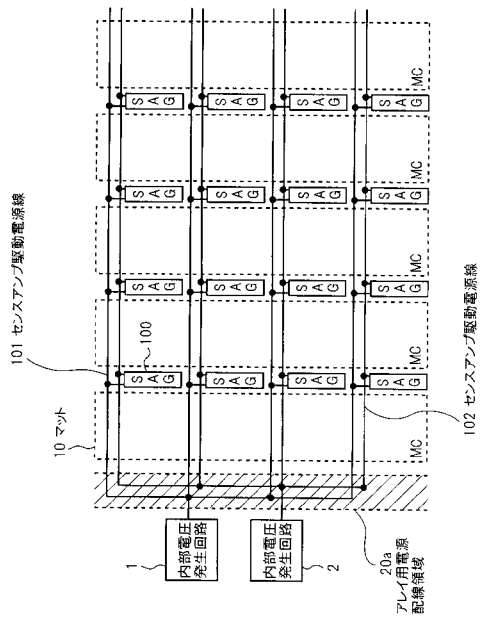
【図 5】



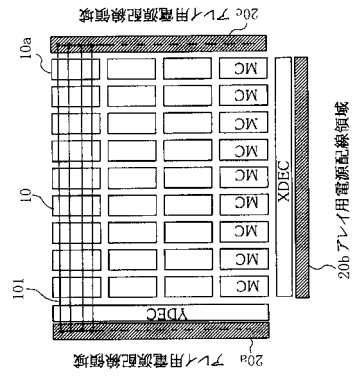
【図 6】



【 図 7 】



【 図 8 】



---

フロントページの続き

Fターム(参考) 5F083 AD00 GA09 GA11 JA36 LA03 LA04 LA05 LA13 LA17 LA25  
LA29