



(12)发明专利申请

(10)申请公布号 CN 107863352 A

(43)申请公布日 2018.03.30

(21)申请号 201710742723.2

(22)申请日 2017.08.25

(30)优先权数据

2016-169448 2016.08.31 JP

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 远藤佑太

(74)专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 何欣亭 刘春元

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

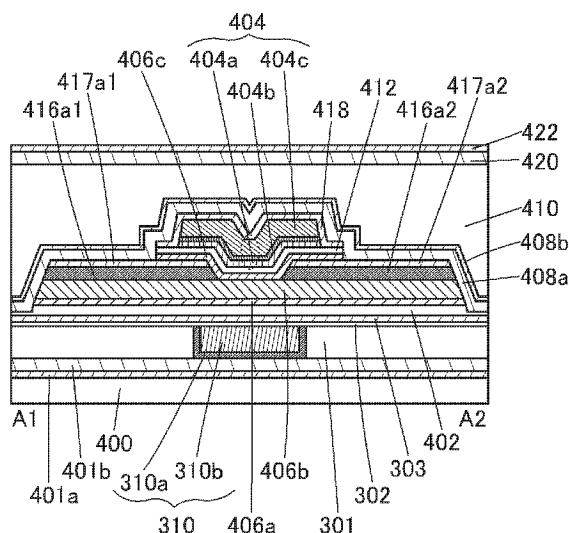
权利要求书3页 说明书37页 附图26页

(54)发明名称

半导体装置

(57)摘要

本发明的一个方式提供一种性能高且可靠性高的半导体装置。本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;覆盖第一晶体管的至少一部分的第一金属氧化物;第一晶体管及第二晶体管上的绝缘膜;以及绝缘膜上的第二金属氧化物。第一晶体管包括:第一栅电极;第一栅极绝缘膜;第一氧化物;第一源电极及第一漏电极;第二栅极绝缘膜;以及第二栅电极。第二晶体管包括:第三栅电极;第三栅极绝缘膜;第二氧化物;第二源电极及第二漏电极;第四栅极绝缘膜;以及第四栅电极。第一栅极绝缘膜及第二栅极绝缘膜与第一金属氧化物接触,第三栅极绝缘膜及第四栅极绝缘膜与绝缘膜接触。并且,绝缘膜包含过剩氧。



1. 一种半导体装置,包括:

第一晶体管;

第二晶体管;

覆盖所述第一晶体管的至少一部分的第一金属氧化物;

所述第一晶体管及所述第二晶体管上的绝缘膜;以及

所述绝缘膜上的第二金属氧化物,

其中,所述第一晶体管包括:

第一栅电极;

所述第一栅电极上的第一栅极绝缘膜;

所述第一栅极绝缘膜上的第一氧化物;

与所述第一氧化物电连接的第一源电极及第一漏电极;

所述第一氧化物上的第二栅极绝缘膜;以及

所述第二栅极绝缘膜上的第二栅电极,

所述第二晶体管包括:

第三栅电极;

所述第三栅电极上的第三栅极绝缘膜;

所述第三栅极绝缘膜上的第二氧化物;

与所述第二氧化物电连接的第二源电极及第二漏电极;

所述第二氧化物上的第四栅极绝缘膜;以及

所述第四栅极绝缘膜上的第四栅电极,

所述第一栅极绝缘膜及所述第二栅极绝缘膜与所述第一金属氧化物接触,

所述第三栅极绝缘膜及所述第四栅极绝缘膜与所述绝缘膜接触,

并且,所述绝缘膜包含过剩氧。

2. 一种半导体装置,包括:

第一晶体管;

第二晶体管;

覆盖所述第一晶体管的至少一部分和所述第二晶体管的至少一部分的第一金属氧化物;

所述第一晶体管及所述第二晶体管上的绝缘膜;以及

所述绝缘膜上的第二金属氧化物,

其中,所述第一晶体管包括:

第一栅电极;

所述第一栅电极上的第一栅极绝缘膜;

所述第一栅极绝缘膜上的第一氧化物;

与所述第一氧化物电连接的第一源电极及第一漏电极;

所述第一氧化物上的第二栅极绝缘膜;以及

所述第二栅极绝缘膜上的第二栅电极,

所述第二晶体管包括:

第三栅电极;

- 所述第三栅电极上的第三栅极绝缘膜；  
所述第三栅极绝缘膜上的第二氧化物；  
与所述第二氧化物电连接的第二源电极及第二漏电极；  
所述第二氧化物上的第四栅极绝缘膜；以及  
所述第四栅极绝缘膜上的第四栅电极，  
所述第一栅极绝缘膜与所述绝缘膜接触，  
所述第二栅极绝缘膜与所述第一金属氧化物及所述绝缘膜接触，  
所述第三栅极绝缘膜及所述第四栅极绝缘膜与所述绝缘膜接触，  
并且，所述绝缘膜包含过剩氧。
3. 根据权利要求1所述的半导体装置，  
其中所述第一金属氧化物抑制氧透过。
4. 根据权利要求1所述的半导体装置，  
其中所述第一金属氧化物及所述第二金属氧化物包含铝及氧。
5. 根据权利要求1所述的半导体装置，还包括：  
第一电路；以及  
第二电路，  
其中所述第一电路包括多个所述第一晶体管，  
并且所述第二电路包括多个所述第二晶体管。
6. 根据权利要求5所述的半导体装置，  
其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道宽度为所述多个第一晶体管的每一个的沟道长度的2倍以上且1000倍以下。
7. 根据权利要求5所述的半导体装置，  
其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道长度为所述多个第一晶体管的每一个的沟道宽度的2倍以上且1000倍以下。
8. 根据权利要求5所述的半导体装置，  
其中所述第二电路所包括的所述多个第二晶体管的密度为 $0.01$ 个/ $\mu\text{m}^2$ 以上且 $2500$ 个/ $\mu\text{m}^2$ 以下。
9. 根据权利要求5所述的半导体装置，  
其中所述第一电路所包括的所述多个第一晶体管的密度低于所述第二电路所包括的所述多个第二晶体管的密度。
10. 根据权利要求5所述的半导体装置，  
其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道宽度大于所述第二电路所包括的所述多个第二晶体管的每一个的沟道宽度。
11. 根据权利要求5所述的半导体装置，  
其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道长度大于所述第二电路所包括的所述多个第二晶体管的每一个的沟道长度。
12. 根据权利要求2所述的半导体装置，  
其中所述第一金属氧化物抑制氧透过。
13. 根据权利要求2所述的半导体装置，

其中所述第一金属氧化物及所述第二金属氧化物包含铝及氧。

14. 根据权利要求2所述的半导体装置,还包括:

第一电路;以及

第二电路,

其中所述第一电路包括多个所述第一晶体管,

并且所述第二电路包括多个所述第二晶体管。

15. 根据权利要求14所述的半导体装置,

其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道宽度为所述多个第一晶体管的每一个的沟道长度的2倍以上且1000倍以下。

16. 根据权利要求14所述的半导体装置,

其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道长度为所述多个第一晶体管的每一个的沟道宽度的2倍以上且1000倍以下。

17. 根据权利要求14所述的半导体装置,

其中所述第二电路所包括的所述多个第二晶体管的密度为 $0.01$ 个/ $\mu\text{m}^2$ 以上且 $2500$ 个/ $\mu\text{m}^2$ 以下。

18. 根据权利要求14所述的半导体装置,

其中所述第一电路所包括的所述多个第一晶体管的密度低于所述第二电路所包括的所述多个第二晶体管的密度。

19. 根据权利要求14所述的半导体装置,

其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道宽度大于所述第二电路所包括的所述多个第二晶体管的每一个的沟道宽度。

20. 根据权利要求14所述的半导体装置,

其中所述第一电路所包括的所述多个第一晶体管的每一个的沟道长度大于所述第二电路所包括的所述多个第二晶体管的每一个的沟道长度。

## 半导体装置

### 技术领域

[0001] 本发明的一个方式涉及一种半导体装置以及半导体装置的驱动方法。另外，本发明的一个方式涉及一种电子设备。

[0002] 注意，本说明书等中的半导体装置是指通过利用半导体特性而能够工作的所有装置。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置及电子设备等有时包括半导体装置。

[0003] 注意，本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

### 背景技术

[0004] 使用半导体薄膜构成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜，硅类半导体材料被广泛地周知。但是，作为其他材料，氧化物半导体受到关注。

[0005] 例如，公开了作为氧化物半导体使用以氧化锌或In-Ga-Zn类氧化物为活性层的晶体管来制造显示装置的技术(参照专利文献1及专利文献2)。

[0006] 近年来，公开了使用包含氧化物半导体的晶体管来制造存储装置的集成电路的技术(参照专利文献3)。此外，除了存储装置之外，运算装置等也使用包含氧化物半导体的晶体管制造。

[0007] [专利文献1]日本专利申请公开第2007-123861号公报

[专利文献2]日本专利申请公开第2007-96055号公报

[专利文献3]日本专利申请公开第2011-119674号公报

### 发明内容

[0008] 本发明的一个方式的目的是之一提供一种具有良好的电特性的半导体装置。此外，本发明的一个方式的目的是之一提供一种能够实现微型化或高集成化的半导体装置。此外，本发明的一个方式的目的是之一提供一种生产率高的半导体装置。

[0009] 此外，本发明的一个方式的目的是之一提供一种能够长期间保持数据的半导体装置。此外，本发明的一个方式的目的是之一提供一种数据的写入速度快的半导体装置。此外，本发明的一个方式的目的是之一提供一种设计自由度高的半导体装置。此外，本发明的一个方式的目的是之一提供一种能够抑制功耗的半导体装置。此外，本发明的一个方式的目的是之一提供一种新颖的半导体装置。

[0010] 此外，这些目的的记载不妨碍其他目的的存在。此外，本发明的一个方式并不需要实现所有上述目的。另外，从说明书、附图、权利要求书等的记载中可明显看出这些目的以外的目的，而可以从说明书、附图、权利要求书等的记载中抽取这些目的以外的目的。

[0011] 半导体装置有时在同一衬底上包括由具有各种形状的晶体管构成的电路以及高

密度地配置有晶体管的电路。作为具有各种形状的晶体管的例子,有沟道长度(L长度)或/及沟道宽度(W宽度)、栅电极的宽度、栅电极的厚度等不同的晶体管。注意,配置晶体管密度是指每单位面积的晶体管的个数。例如,将晶体管密度定义为每 $1\mu\text{m}^2$ 的晶体管的个数,可以以“个/ $\mu\text{m}^2$ ”或“个 $\cdot\mu\text{m}^{-2}$ ”等单位表示。

[0012] 此外,在由具有各种形状的晶体管构成的电路中,有时因晶体管的形状不同而晶体管的电特性也不同。此外,在高密度地配置有晶体管的电路中,晶体管的电特性的不均匀有时变大。

[0013] 通过本发明的一个方式,可以制造包括两种以上的具有不同结构的晶体管的半导体装置。就是说,通过在每个电路中分别形成具有不同结构的晶体管,可以抑制各电路所包括的晶体管的电特性的不均匀,可以实现高性能的半导体装置。典型的是,本发明的一个方式是一种包括具有第一晶体管的第一电路及具有第二晶体管的第二电路的半导体装置,其中,第一晶体管被具有抑制氧透过的功能的金属氧化物(典型地是,氧化铝)覆盖,第二晶体管被包含过剩氧的绝缘物覆盖。

[0014] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;覆盖第一晶体管的至少一部分的第一金属氧化物;第一晶体管及第二晶体管上的绝缘膜;以及绝缘膜上的第二金属氧化物。第一晶体管包括:第一栅电极;第一栅电极上的第一栅极绝缘膜;第一栅极绝缘膜上的第一氧化物;与第一氧化物电连接的第一源电极及第一漏电极;第一氧化物上的第二栅极绝缘膜;以及第二栅极绝缘膜上的第二栅电极。第二晶体管包括:第三栅电极;第三栅电极上的第三栅极绝缘膜;第三栅极绝缘膜上的第二氧化物;与第二氧化物电连接的第二源电极及第二漏电极;第二氧化物上的第四栅极绝缘膜;以及第四栅极绝缘膜上的第四栅电极。第一栅极绝缘膜及第二栅极绝缘膜与第一金属氧化物接触,第三栅极绝缘膜及第四栅极绝缘膜与绝缘膜接触。并且,绝缘膜包含过剩氧。

[0015] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;覆盖第一晶体管的至少一部分和第二晶体管的至少一部分的第一金属氧化物;第一晶体管及第二晶体管上的绝缘膜;以及绝缘膜上的第二金属氧化物。第一晶体管包括:第一栅电极;第一栅电极上的第一栅极绝缘膜;第一栅极绝缘膜上的第一氧化物;与第一氧化物电连接的第一源电极及第一漏电极;第一氧化物上的第二栅极绝缘膜;以及第二栅极绝缘膜上的第二栅电极。第二晶体管包括:第三栅电极;第三栅电极上的第三栅极绝缘膜;第三栅极绝缘膜上的第二氧化物;与第二氧化物电连接的第二源电极及第二漏电极;第二氧化物上的第四栅极绝缘膜;以及第四栅极绝缘膜上的第四栅电极,第一栅极绝缘膜与绝缘膜接触。第二栅极绝缘膜与第一金属氧化物及绝缘膜接触,第三栅极绝缘膜及第四栅极绝缘膜与绝缘膜接触。并且,绝缘膜包含过剩氧。

[0016] 此外,第一金属氧化物也可以具有抑制氧透过的功能。

[0017] 此外,第一金属氧化物及第二金属氧化物可以包含铝及氧。

[0018] 此外,本发明的一个方式是一种包括第一电路和第二电路的半导体装置,其中第一电路包括多个第一晶体管,并且第二电路包括多个第二晶体管。

[0019] 此外,第一电路所包括的多个第一晶体管的每一个的沟道宽度为多个第一晶体管的每一个的沟道长度的2倍以上且1000倍以下。

[0020] 或者,第一电路所包括的多个第一晶体管的每一个的沟道长度为多个第一晶体管

的每一个的沟道宽度的2倍以上且1000倍以下。

[0021] 此外,第二电路所包括的第二晶体管的密度为 $0.01$ 个/ $\mu\text{m}^2$ 以上且 $2500$ 个/ $\mu\text{m}^2$ 以下。

[0022] 此外,第一电路所包括的多个第一晶体管的密度低于第二电路所包括的多个第二晶体管的密度。

[0023] 此外,第一电路所包括的多个第一晶体管的每一个的沟道宽度大于第二电路所包括的多个第二晶体管的每一个的沟道宽度。

[0024] 此外,第一电路所包括的多个第一晶体管的每一个的沟道长度大于第二电路所包括的多个第二晶体管的每一个的沟道长度。

[0025] 根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式,可以提供一种能够实现微型化或高集成化的半导体装置。根据本发明的一个方式,可以提供一种生产率高的半导体装置。

[0026] 另外,根据本发明的一个方式,可以提供一种能够长期间保持数据的半导体装置。另外,根据本发明的一个方式,可以提供一种数据的写入速度快的半导体装置。另外,根据本发明的一个方式,可以提供一种设计自由度高的半导体装置。另外,根据本发明的一个方式,可以提供一种能够抑制功耗的半导体装置。另外,根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0027] 注意,这些效果的记载不妨碍其他效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。另外,从说明书、附图、权利要求书等的记载中可明显看出这些效果以外的效果,而可以从说明书、附图、权利要求书等的记载中抽取这些效果以外的效果。

## 附图说明

[0028] 图1A至图1C是根据本发明的一个方式的晶体管的俯视图及说明截面结构的图;  
图2A至图2C是根据本发明的一个方式的晶体管的俯视图及说明截面结构的图;  
图3A至图3C是根据本发明的一个方式的晶体管的俯视图及说明截面结构的图;  
图4A至图4C是根据本发明的一个方式的晶体管的俯视图及说明截面结构的图;  
图5A至图5C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图6A至图6C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图7A至图7C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图8A至图8C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图9A至图9C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图10A至图10C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图11A至图11C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图12A至图12C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图13A至图13C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图14A至图14C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图15A至图15C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图16A至图16C是示出根据本发明的一个方式的晶体管的制造方法的俯视图及截面图;  
图17是根据本发明的一个方式的半导体装置的电路图;  
图18是根据本发明的一个方式的半导体装置的截面图;

图19A至图19G是示出根据本发明的一个方式的电子设备的图；  
图20A至图20C是说明根据本发明的氧化物的原子个数比的范围的图；  
图21A至图21C是氧化物的叠层结构的能带图；  
图22A和图22B是示出实施例的晶体管的 $V_{sh}$ 的对于晶体管尺寸的依赖性的图表；  
图23A和图23B是示出实施例的晶体管的 $V_{sh}$ 的对于晶体管密度的依赖性的图表。

### 具体实施方式

[0029] 下面,参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0030] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于上述尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。另外,在附图中,在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0031] 此外,在本说明书等中,为方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0032] 在本说明书中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于本说明书中说明的词句,可以根据情况适当地更换。

[0033] 此外,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

[0034] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道形成区域,并且电流能够通过沟道形成区域流过漏极与源极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0035] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时相互调换。因此,在本说明书等中,源极和漏极可以相互调换。

[0036] 另外,在本说明书等中,“氧氮化硅膜”是指在其组成中氧含量多于氮含量的物质,优选为具有如下浓度范围的物质:氧浓度为55原子%以上且65原子%以下,氮浓度为1原子%以上且20原子%以下,硅浓度为25原子%以上且35原子%以下,并且氢浓度为0.1原子%以上且10原子%以下。另外,“氮氧化硅膜”是指在其组成中氮含量多于氧含量的物质,优选为具有如下浓度范围的物质:氮浓度为55原子%以上且65原子%以下,氧浓度为1原子%以上且20原子%以下,硅浓度为25原子%以上且35原子%以下,并且氢浓度为0.1原子%以上且10原子%以下。

[0037] 另外,在本说明书等中,可以将“膜”和“层”相互调换。例如,有时可以将“导电层”变换为“导电膜”。此外,例如,有时可以将“绝缘膜”变换为“绝缘层”。

[0038] 另外,除非特别叙述,本说明书等所示的晶体管为场效应晶体管。此外,除非特别叙述,本说明书等所示的晶体管为n沟道型晶体管。由此,除非特别叙述,其阈值电压(也称为“ $V_{th}$ ”)大于0V。

[0039] 在本说明书等中,“平行”是指两条直线形成的角度为 $-10^\circ$ 以上且 $10^\circ$ 以下的状态。因此,也包括该角度为 $-5^\circ$ 以上且 $5^\circ$ 以下的状态。“大致平行”是指两条直线形成的角度为 $-30^\circ$ 以上且 $30^\circ$ 以下的状态。另外,“垂直”是指两条直线的角度为 $80^\circ$ 以上且 $100^\circ$ 以下的状态。因此,也包括该角度为 $85^\circ$ 以上且 $95^\circ$ 以下的状态。“大致垂直”是指两条直线形成的角度为 $60^\circ$ 以上且 $120^\circ$ 以下的状态。

[0040] 另外,在本说明书中,六方晶系包括三方晶系和菱方晶系。

[0041] 例如,在本说明书等中,当明确地记载为“X与Y连接”时,意味着如下情况:X与Y电连接;X与Y在功能上连接;X与Y直接连接。因此,不局限于规定的连接关系(例如,附图或文中所示的连接关系),附图或文中所示的连接关系以外的连接关系也包含于附图或文中所记载的内容中。

[0042] 这里,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0043] 作为X与Y直接连接的情况的一个例子,可以举出在X与Y之间没有连接能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等),并且X与Y没有通过能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)连接的情况。

[0044] 作为X与Y电连接的情况的一个例子,例如可以在X与Y之间连接一个以上的能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件及负载等)。另外,开关具有控制开启和关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。或者,开关具有选择并切换电流路径的功能。另外,X与Y电连接的情况包括X与Y直接连接的情况。

[0045] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号生成电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,也可以说X与Y在功能上是连接着的。另外,X与Y在功能上连接的情况包括X与Y直接连接的情况及X与Y电连接的情况。

[0046] 此外,当明确地记载为“X与Y电连接”时,在本说明书等中公开了如下情况:X与Y电连接(即,以中间夹有其他元件或其他电路的方式连接X与Y);X与Y在功能上连接(即,以中间夹有其他电路的方式在功能上连接X与Y);X与Y直接连接(即,以中间不夹有其他元件或其他电路的方式连接X与Y)。即,当明确地记载为“电连接”时,在本说明书等中公开了与只明确地记载为“连接”时的情况相同的内容。

[0047] 注意,例如,在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接,

晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接,Z1的另一部分与X直接连接,晶体管的漏极(或第二端子等)与Z2的一部分直接连接,Z2的另一部分与Y直接连接的情况下,可以表示为如下。

[0048] 例如,可以表示为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次电连接”。或者,可以表示为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次电连接”。或者,可以表示为“X通过晶体管的源极(或第一端子等)及漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这种例子相同的表示方法规定电路结构中的连接顺序,可以区别晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。

[0049] 另外,作为其他表示方法,例如可以表示为“晶体管的源极(或第一端子等)至少经过第一连接路径与X电连接,所述第一连接路径不具有第二连接路径,所述第二连接路径是晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)之间的路径,所述第一连接路径是经过Z1的路径,晶体管的漏极(或第二端子等)至少经过第三连接路径与Y电连接,所述第三连接路径不具有所述第二连接路径,所述第三连接路径是经过Z2的路径”。或者,也可以表示为“晶体管的源极(或第一端子等)至少经过第一连接路径,通过Z1与X电连接,所述第一连接路径不具有第二连接路径,所述第二连接路径具有通过晶体管的连接路径,晶体管的漏极(或第二端子等)至少经过第三连接路径,通过Z2与Y电连接,所述第三连接路径不具有所述第二连接路径”。或者,也可以表示为“晶体管的源极(或第一端子等)至少经过第一电路路径,通过Z1与X电连接,所述第一电路路径不具有第二电路路径,所述第二电路路径是从晶体管的源极(或第一端子等)到晶体管的漏极(或第二端子等)的电路路径,晶体管的漏极(或第二端子等)至少经过第三电路路径,通过Z2与Y电连接,所述第三电路路径不具有第四电路路径,所述第四电路路径是从晶体管的漏极(或第二端子等)到晶体管的源极(或第一端子等)的电路路径”。通过使用与这种例子同样的表示方法规定电路结构中的连接路径,可以区别晶体管的源极(或第一端子等)和漏极(或第二端子等)来决定技术范围。

[0050] 注意,这种表示方法只是一个例子而已,不局限于上述表示方法。在此,X、Y、Z1及Z2为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0051] 另外,即使附图示出在电路图上独立的构成要素彼此电连接,也有一个构成要素兼有多个构成要素的功能的情况。例如,在布线的一部分被用作电极时,一个导电膜兼有布线和电极的两个构成要素的功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0052] 注意,在本说明书中,阻挡膜是指具有抑制氢等杂质及氧的透过的功能的膜,在该阻挡膜具有导电性的情况下,有时被称为导电阻挡膜。

[0053] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的活性层的情况下,有时将该氧化物称为氧化物半导体。换言之,可以将OS FET称为包含氧化物或氧

化物半导体的晶体管。

#### [0054] 实施方式1

根据本发明的一个方式,通过分别形成具有不同结构的晶体管,即包括具有不同尺寸的晶体管的电路中的晶体管100及包括具有高密度地配置的晶体管的电路中的晶体管200,可以抑制各电路所包括的晶体管的电特性的不均匀,可以实现高性能的半导体装置。在本实施方式中,对在同一衬底上设置在电路中具有不同尺寸的晶体管100及在电路中高密度地配置的晶体管200的实施方式的一个例子进行说明。

#### [0055] <晶体管的结构实例1>

以下,对根据本发明的一个方式的晶体管100及晶体管200的结构进行说明。

[0056] 图1A是晶体管100的俯视图。此外,图1B是沿着图1A中的点划线A1-A2所示的部分的截面图。此外,图1C是沿着图1A中的点划线A3-A4所示的部分的截面图。在图1B中,沿着A1-A2的截面图是晶体管100的沟道长度方向上的截面图,在图1C中,沿着A3-A4的截面图是晶体管100的沟道宽度方向上的截面图。在图1A的俯视图中,为明确起见而省略构成要素的一部分。

[0057] 在图1B及图1C中,晶体管100设置在衬底400上的氧化物401a及氧化物401a上的氧化物401b上。此外,晶体管100包括:氧化物401b上的导体310a、导体310b及绝缘体301;导体310a、导体310b及绝缘体301上的绝缘体302;绝缘体302上的绝缘体303;绝缘体303上的绝缘体402;绝缘体402上的氧化物406a;氧化物406a上的氧化物406b;具有与氧化物406b的顶面接触的区域导体416a1及导体416a2;导体416a1上的阻挡膜417a1;导体416a2上的阻挡膜417a2;具有与导体416a1的侧面、导体416a2的侧面、阻挡膜417a1的侧面、阻挡膜417a2的侧面及氧化物406b的顶面接触的区域氧化物406c;氧化物406c上的绝缘体412;以及具有与氧化物406b的顶面隔着氧化物406c及绝缘体412彼此重叠的区域的导体404。此外,绝缘体301包括开口,在开口中配置有导体310a及导体310b。

[0058] 在晶体管100上配置有:氧化物418;氧化物418上的氧化物408a;氧化物408a上的氧化物408b;氧化物408b上的绝缘体410;绝缘体410上的氧化物420;以及氧化物420上的氧化物422。

[0059] 在图1B所示的沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于阻挡膜417a1及阻挡膜417a2上,并且在图1C所示的沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上。此外,氧化物408a具有与氧化物406a的侧面、氧化物406b的侧面及绝缘体402的顶面接触的区域。

[0060] 在晶体管100中,导体404被用作第一栅电极。导体404可以具有导体404a、导体404b及导体404c的叠层结构。例如,通过将具有抑制氧透过的功能的导体404a或导体404b形成在导体404c的下层,可以防止导体404c的氧化所导致的电阻值的增加。绝缘体412被用作第一栅极绝缘体。

[0061] 导体416a1及导体416a2被用作源电极或漏电极。导体416a1及导体416a2可以具有叠层结构,该叠层结构包括具有抑制氧透过的功能的导体。例如,通过作为上层形成具有抑制氧透过的功能的导体,可以防止导体416a1及导体416a2的氧化所导致

的电阻值的增加。可以通过2端子法等测量出导电体的电阻值。

[0062] 另外,阻挡膜417a1及阻挡膜417a2具有抑制氢或水等杂质以及氧的透过的功能。导电体416a1上的阻挡膜417a1防止氧扩散到导电体416a1中。导电体416a2上的阻挡膜417a2防止氧扩散到导电体416a2中。

[0063] 在晶体管100中,氧化物406b被用作沟道形成区域。换言之,晶体管100可以由施加到导电体404的电位控制氧化物406b的电阻。换言之,可以由施加到导电体404的电位控制导电体416a1与导电体416a2之间的导通·非导通。

[0064] 如图1C所示,氧化物406c以覆盖氧化物406b整体的方式配置。再者,被用作第一栅电极的导电体404以隔着被用作第一栅极绝缘体的绝缘体412覆盖氧化物406b整体的方式配置。因此,可以由被用作第一栅电极的导电体404的电场电围绕氧化物406b整体。将由第一栅电极的电场电围绕沟道形成区域的晶体管结构称为“surrounded channel (s-channel) 结构”。因为可以在氧化物406b整体中形成沟道,所以可以使大电流流过源极与漏极之间,由此可以增大导通时的电流(通态电流)。此外,由于氧化物406b被导电体404的电场围绕,所以能够减少非导通时的电流(关态电流)(off-state current)。

[0065] 另外,当晶体管包括被用作第一栅电极的导电体404重叠于被用作源电极或漏电极的导电体416a1及导电体416a2的区域时,晶体管具有由导电体404和导电体416a1形成的寄生电容及由导电体404和导电体416a2形成的寄生电容。

[0066] 通过使晶体管具有在导电体404与导电体416a1之间除了绝缘体412、氧化物406c之外还包括阻挡膜417a1的结构,可以减小上述寄生电容。与此同样,通过使晶体管具有在导电体404与导电体416a2之间除了绝缘体412、氧化物406c之外还包括阻挡膜417a2的结构,可以减小上述寄生电容。因此,晶体管成为频率特性良好的晶体管。

[0067] 另外,通过使晶体管具有上述结构,当晶体管工作时,例如当在导电体404与导电体416a1或导电体416a2之间产生电位差时,可以减少或防止导电体404与导电体416a1或导电体416a2之间的泄漏电流。

[0068] 导电体310(导电体310a及导电体310b)设置在形成于绝缘体301中的开口中。以接触于绝缘体301的开口的内壁的方式形成导电体310a,其内侧形成有导电体310b。在此,导电体310a及导电体310b的顶面的高度可以与绝缘体301的顶面的高度大致相同。导电体310被用作第二栅电极。此外,导电体310也可以为包含具有抑制氧透过的功能的导电体的多层膜。例如,通过作为导电体310a使用具有抑制氧透过的功能的导电体,可以防止导电体310b的氧化所导致的导电率的降低。

[0069] 绝缘体302、绝缘体303及绝缘体402被用作第二栅极绝缘膜。可以使用施加到导电体310的电位控制晶体管的阈值电压。

[0070] 在此,作为氧化物408a优选使用利用溅射法形成的金属氧化物,例如优选使用氧化铝。通过使用这种氧化物408a,可以将氧添加到氧化物408a与绝缘体402彼此接触的面,使绝缘体402成为氧过剩的状态。可以将该氧通过加热处理等穿过绝缘体402,有效地供应到氧化物406b中的形成沟道的区域(被称为沟道形成区域)及氧化物406a。由此,该氧被供应到氧化物406a及氧化物406b,可以减少氧化物406a及氧化物406b的氧缺陷。当氧过剩的绝缘体402与氧化物406a接触地配置时,无论晶体管尺寸如何,都可以将氧均匀地供应到氧化物406a及氧化物406b。因此,无论尺寸如何,晶体管100都可以获得良好的特性。

[0071] 此外,通过作为氧化物408a使用氧化铝等具有抑制氧透过的功能的金属氧化物,可以抑制添加到绝缘体402的氧在成膜时向上方扩散。由此,可以更高效地对绝缘体402添加氧。此外,也可以在氧化物408a上配置氧化物408b。作为氧化物408b优选使用利用原子层沉积(ALD:Atomic Layer Deposition)法形成的金属氧化物,例如优选使用氧化铝。因为利用ALD法的成膜可以实现优良的覆盖性,所以进一步抑制添加到绝缘体402的氧在成膜时向上方扩散。作为绝缘体402,使用与氧化物408a或氧化物408b相比更容易透过氧的绝缘材料。例如,可以使用氧化硅或氧氮化硅。

[0072] 如上所述,可以获得无论晶体管尺寸如何都不均匀少的电特性。晶体管100的沟道宽度为晶体管100的沟道长度的2倍以上且1000倍以下。或者,晶体管100的沟道长度为晶体管100的沟道宽度的2倍以上且1000倍以下。

[0073] 图2A是晶体管200的俯视图。此外,图2B是沿着图2A中的点划线A1-A2所示的部分的截面图。此外,图2C是沿着图2A中的点划线A3-A4所示的部分的截面图。在图2B中,沿着A1-A2的截面图是晶体管200的沟道长度方向上的截面图,在图2C中,沿着A3-A4的截面图是晶体管200的沟道宽度方向上的截面图。在图2A的俯视图中,为明确起见而省略构成要素的一部分。

[0074] 晶体管200与晶体管100的不同之处在于:晶体管200不包括氧化物408a及氧化物408b。晶体管200的其他结构与晶体管100同样。

[0075] 在此,作为氧化物420优选使用利用溅射法形成的金属氧化物,例如优选使用氧化铝。此外,通过使用氧化物420,可以将氧从氧化物420穿过绝缘体410添加到绝缘体412,使绝缘体412成为氧过剩的状态。可以将该氧通过加热处理等穿过绝缘体412,供应到氧化物406b中的沟道形成区域。因为绝缘体412和氧化物406b的沟道形成区域彼此相邻,所以可以对氧化物406b的沟道形成区域供应充分的氧。此外,可以将氧穿过绝缘体410添加到绝缘体402,使绝缘体402成为氧过剩的状态。可以将该氧通过加热处理等穿过氧化物406a,供应到氧化物406b中的沟道形成区域。因此,即使高密度地配置晶体管200,也可以将充分的氧供应到晶体管的沟道形成区域,所以无论晶体管密度如何都可以获得良好的电特性。作为绝缘体410,使用与氧化物420相比容易透过氧的绝缘材料。例如,可以使用氧化硅或氧氮化硅。

[0076] 如上所述,可以获得无论晶体管密度如何都不均匀少的电特性。晶体管200的密度为0.01个/ $\mu\text{m}^2$ 以上且2500个/ $\mu\text{m}^2$ 以下,优选为0.1个/ $\mu\text{m}^2$ 以上且2500个/ $\mu\text{m}^2$ 以下,更优选为1个/ $\mu\text{m}^2$ 以上且2500个/ $\mu\text{m}^2$ 以下,进一步优选为10个/ $\mu\text{m}^2$ 以上且2500个/ $\mu\text{m}^2$ 以下,更进一步优选为100个/ $\mu\text{m}^2$ 以上且2500个/ $\mu\text{m}^2$ 以下。

[0077] 晶体管200的密度高于晶体管100的密度。此外,晶体管100的尺寸大于晶体管200的尺寸。

[0078] 如上所述,在由尺寸彼此不同的晶体管构成的电路中,优选采用晶体管100的结构,在晶体管密度高,换言之,在具有每单位面积的晶体管的个数多的结构的电路中,优选采用晶体管200的结构。此外,晶体管100及晶体管200可以设置在同一层上。

[0079] <晶体管的结构实例2>

图3A是晶体管100A的俯视图。此外,图3B是沿着图3A中的点划线A1-A2所示的部分的截面图。此外,图3C是沿着图3A中的点划线A3-A4所示的部分的截面图。在图3B中,沿着A1-A2

的截面图是晶体管100A的沟道长度方向上的截面图,在图3C中,沿着A3-A4的截面图是晶体管100A的沟道宽度方向上的截面图。在图3A的俯视图中,为明确起见而省略构成要素的一部分。

[0080] 在图3B及图3C中,晶体管100A设置在衬底400上的氧化物401a及氧化物401a上的氧化物401b上。此外,晶体管100A包括:氧化物401b上的导电体310a、导电体310b及绝缘体301;导电体310a、导电体310b及绝缘体301上的绝缘体302;绝缘体302上的绝缘体303;绝缘体303上的绝缘体402;绝缘体402上的氧化物406a;氧化物406a上的氧化物406b;具有与氧化物406b的顶面接触的区域导电体416a1及导电体416a2;导电体416a1上的阻挡膜417a1;导电体416a2上的阻挡膜417a2;具有与导电体416a1的侧面、导电体416a2的侧面、阻挡膜417a1的侧面、阻挡膜417a2的侧面及氧化物406b的顶面接触的区域氧化物406c;氧化物406c上的绝缘体412;以及具有与氧化物406b的顶面隔着氧化物406c及绝缘体412彼此重叠的区域的导电体404。此外,绝缘体301包括开口,在开口中配置有导电体310a及导电体310b。

[0081] 在晶体管100A上配置有:氧化物418;氧化物418上的绝缘体410;绝缘体410上的氧化物420;以及氧化物420上的氧化物422。

[0082] 在图3B所示的沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上,并且在图3C所示的沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上。此外,氧化物406c覆盖阻挡膜417a1及阻挡膜417a2且具有与氧化物406a的侧面、氧化物406b的侧面及绝缘体402的顶面接触的区域。

[0083] 在此,作为氧化物420优选使用利用溅射法形成的金属氧化物,例如优选使用氧化铝。通过使用这种氧化物420,可以将氧从氧化物420穿过绝缘体410添加到绝缘体402,使绝缘体402成为氧过剩的状态。可以将该氧通过加热处理等穿过绝缘体402,有效地供应到氧化物406a及氧化物406b中的沟道形成区域。

[0084] 此外,与氧化物408a同样,通过作为氧化物418使用氧化铝等具有抑制氧透过的功能的金属氧化物,从绝缘体410到绝缘体412的氧的添加得到抑制。绝缘体412中的氧添加到具有沟道形成区域的氧化物406b的效果取决于晶体管尺寸。换言之,氧的添加在沟道宽度小的晶体管与沟道宽度大的晶体管之间不均匀,导致尺寸彼此不同的晶体管的电特性的不均匀。因此,通过抑制对绝缘体412添加氧,晶体管特性的对于晶体管尺寸依赖性变小。即使晶体管尺寸不同,例如,通过使氧化物418的尺寸大致相同,氧的添加变均匀,有时晶体管特性的对于晶体管尺寸依赖性变小。如上所述,无论晶体管尺寸如何,晶体管100A都可以获得良好的特性。

[0085] 晶体管100A的其他功能及效果参照晶体管100的记载。

[0086] 图4A是晶体管200A的俯视图。此外,图4B是沿着图4A中的点划线A1-A2所示的部分的截面图。此外,图4C是沿着图4A中的点划线A3-A4所示的部分的截面图。在图4B中,沿着A1-A2的截面图是晶体管200A的沟道长度方向上的截面图,在图4C中,沿着A3-A4的截面图是晶体管200A的沟道宽度方向上的截面图。在图4A的俯视图中,为明确起见而省略构成要素的一部分。

[0087] 在图4B及图4C中,与晶体管200同样,晶体管200A设置在衬底400上的氧化物401a

及氧化物401a上的氧化物401b上。此外,晶体管200A包括:氧化物401b上的导电体310a、导电体310b及绝缘体301;导电体310a、导电体310b及绝缘体301上的绝缘体302;绝缘体302上的绝缘体303;绝缘体303上的绝缘体402;绝缘体402上的氧化物406a;氧化物406a上的氧化物406b;具有与氧化物406b的顶面接触的区域导电体416a1及导电体416a2;导电体416a1上的阻挡膜417a1;导电体416a2上的阻挡膜417a2;具有与导电体416a1的侧面、导电体416a2的侧面、阻挡膜417a1的侧面、阻挡膜417a2的侧面及氧化物406b的顶面接触的区域氧化物406c;氧化物406c上的绝缘体412;以及具有与氧化物406b的顶面隔着氧化物406c及绝缘体412彼此重叠的区域导电体404。此外,绝缘体301包括开口,在开口中配置有导电体310a及导电体310b。

[0088] 在晶体管200A上配置有:氧化物418;氧化物418上的绝缘体410;绝缘体410上的氧化物420;以及氧化物420上的氧化物422。

[0089] 在图4B所示的沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于阻挡膜417a1及阻挡膜417a2上,并且在图4C所示的沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上。

[0090] 在此,作为氧化物420优选使用利用溅射法形成的氧化物,例如优选使用氧化铝。通过使用氧化物420,可以将氧从氧化物420穿过绝缘体410添加到绝缘体412,使绝缘体412成为氧过剩的状态。可以将该氧通过加热处理等穿过绝缘体412,供应到氧化物406b中的沟道形成区域。因为绝缘体412和沟道形成区域彼此相邻,所以可以对沟道形成区域供应充分的氧。因此,无论晶体管的密度如何,都可以将充分的氧供应到晶体管的沟道形成区域,所以无论晶体管密度如何都可以获得良好的电特性。

[0091] 晶体管200A的其他功能及效果参照晶体管200的记载。

[0092] 如上所述,在由尺寸彼此不同的晶体管构成的电路中,优选采用晶体管100A的结构,在晶体管密度高,换言之,在具有每单位面积的晶体管的个数多的结构的电路中,优选采用晶体管200A的结构。此外,晶体管100A及晶体管200A可以设置在同一层上。

[0093] <衬底>

作为衬底400例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如有玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。作为半导体衬底,例如有由硅或锗等构成的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。此外,可以举出在上述半导体衬底内部具有绝缘区域的半导体衬底,例如SOI(Silicon on Insulator:绝缘体上硅)衬底等。作为导电体衬底,有石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,有包含金属氮化物的衬底、包含金属氧化物的衬底等。再者,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在上述衬底上设置有元件的衬底。作为设置在衬底上的元件,有电容器、电阻元件、开关元件、发光元件、存储元件等。

[0094] 衬底400也可以为柔性衬底。作为在柔性衬底上设置晶体管的方法,可以举出如下方法:在非柔性衬底上形成晶体管之后,剥离晶体管而将该晶体管转置到具有柔性的衬底400上。在此情况下,优选在非柔性衬底与晶体管之间设置剥离层。作为衬底400,也可以使

用包含纤维的薄片、薄膜或箔等。衬底400也可以具有伸缩性。衬底400可以具有在停止弯曲或拉伸时恢复为原来的形状的性质。或者,也可以具有不恢复为原来的形状的性质。衬底400具有厚度例如为5 $\mu\text{m}$ 以上且700 $\mu\text{m}$ 以下,优选为10 $\mu\text{m}$ 以上且500 $\mu\text{m}$ 以下,更优选为15 $\mu\text{m}$ 以上且300 $\mu\text{m}$ 以下的区域。通过将衬底400形成得薄,可以实现包括晶体管的半导体装置的轻量化。另外,通过将衬底400形成得薄,即便在使用玻璃等的情况下也有时会具有伸缩性或停止弯曲或拉伸时恢复为原来的形状的性质。因此,可以缓解因掉落等而对衬底400上的半导体装置产生的冲击等。即,能够提供一种耐久性高的半导体装置。

[0095] 作为具有柔性的衬底400,例如可以使用金属、合金、树脂、玻璃或其纤维等。具有柔性的衬底400的线性膨胀系数越低,因环境而发生的变形越得到抑制,所以是优选的。作为具有柔性的衬底400,例如使用线性膨胀系数为 $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下或 $1 \times 10^{-5}/\text{K}$ 以下的材料即可。作为树脂,例如有聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。尤其是芳族聚酰胺的线性膨胀系数较低,因此适用于具有柔性的衬底400。

[0096] <绝缘体>

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0097] 通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕晶体管,能够使晶体管的电特性稳定。例如,作为绝缘体303、氧化物401a、氧化物401b、氧化物408a、氧化物408b、氧化物418、氧化物420及氧化物422,可以使用具有抑制氢等杂质及氧的透过的功能的绝缘体。

[0098] 作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、铋、铅、镧、铈、铉或铊的绝缘体的单层或叠层。

[0099] 此外,例如,作为绝缘体303、氧化物401a、氧化物401b、氧化物408a、氧化物408b、氧化物418、氧化物420及氧化物422可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化铋、氧化铈、氧化镧、氧化铉或氧化铊等金属氧化物或者氮氧化硅或氮化硅等。注意,绝缘体303、氧化物401a、氧化物401b、氧化物408a、氧化物408b、氧化物418、氧化物420及氧化物422优选包含氧化铝。

[0100] 此外,例如,当通过溅射法使用含氧的等离子体形成氧化物408a或氧化物422时,可以对将成为该氧化物的基底层的绝缘体添加氧。

[0101] 作为绝缘体301、绝缘体302、绝缘体402及绝缘体412,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、铋、铅、镧、铈、铉或铊的绝缘体的单层或叠层。例如,绝缘体301、绝缘体302、绝缘体402及绝缘体412优选包含氧化硅、氧氮化硅或氮化硅。

[0102] 尤其是,绝缘体402及绝缘体412优选包括相对介电常数高的绝缘体。例如,绝缘体402及绝缘体412优选包含氧化镓、氧化铈、氧化铈、含有铝及铈的氧化物、含有铝及铈的氧氮化物、含有硅及铈的氧化物、含有硅及铈的氧氮化物或者含有硅及铈的氮化物等。或者,绝缘体402及绝缘体412优选具有氧化硅或氧氮化硅与相对介电常数高的绝缘体的叠层结构。因为氧化硅及氧氮化硅对热稳定,所以通过与相对介电常数高的绝缘体组合,可以实现热稳定且相对介电常数高的叠层结构。例如,在绝缘体402及绝缘体412中,当在氧化物406c一侧有氧化铝、氧化镓或氧化铈时,能够抑制氧化硅或氧氮化硅所含有的硅混入氧化物

406b。此外,例如,在绝缘体402及绝缘体412中,当在氧化物406c一侧有氧化硅或氧氮化硅时,有时在氧化铝、氧化镓或氧化铟与氧化硅或氧氮化硅的界面处形成陷阱中心。该陷阱中心有时可以通过俘获电子而使晶体管的阈值电压向正方向漂移。

[0103] 绝缘体410优选包括相对介电常数低的绝缘体。例如,绝缘体410优选包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。或者,绝缘体410优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅与树脂的叠层结构。因为氧化硅及氧氮化硅对热稳定,所以通过与树脂组合,可以实现热稳定且相对介电常数低的叠层结构。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯或丙烯酸等。

[0104] 作为阻挡膜417a1及阻挡膜417a2,可以使用具有抑制氢等杂质及氧的透过的功能的绝缘体。阻挡膜417a1及阻挡膜417a2能够防止绝缘体410中的过剩氧扩散到导体416a1及导体416a2中。

[0105] 例如,作为阻挡膜417a1及阻挡膜417a2可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化铈、氧化镧、氧化钕、氧化钐或氧化铪等金属氧化物或者氮氧化硅或氮化硅等。

[0106] <导体>

作为导体404a、导体404b、导体404c、导体310a、导体310b、导体416a1及导体416a2,可以使用如下材料,该材料包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟等金属元素中的一种以上。另外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0107] 此外,也可以使用包含后面说明的能够用于氧化物406a、氧化物406b及氧化物406c的金属氧化物所包含的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,也可以使用氮化钛、氮化钽等包含氮的导电材料。另外,也可以使用铟锡氧化物(ITO:Indium Tin Oxide)、包含氧化钨的铟氧化物、包含氧化钨的铟锡氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、添加有硅的铟锡氧化物。另外,也可以使用包含氮的铟镓锡氧化物。通过采用这种材料,有时可以俘获包含在氧化物406a、氧化物406b及氧化物406c中的氢。或者,有时可以俘获从外方的绝缘体等侵入的氢。

[0108] 另外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0109] 此外,在将氧化物用于晶体管的沟道形成区域的情况下,作为栅电极优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0110] <能够用于氧化物406a、氧化物406b及氧化物406c的金属氧化物>

作为氧化物406a、氧化物406b及氧化物406c,优选使用金属氧化物。但是,有时可以使用硅(包含应变硅)、锗、硅锗、碳化硅、砷化镓、砷化铝镓、磷化铟、氮化镓或有机半导体等代

替氧化物406a、氧化物406b及氧化物406c。

[0111] 接着,对能够用于氧化物406a、氧化物406b及氧化物406c的金属氧化物进行说明。

[0112] 金属氧化物优选至少包含镧或铈。特别优选包含镧及铈。另外,优选的是,除此之外,还包含铝、镓、铊或锡等。另外,也可以包含选自硼、硅、钛、铁、镍、锆、钼、镉、铟、铪、铌、钽、钨或镁等中的一种或多种。

[0113] 在此考虑金属氧化物包含镧、元素M及铈的 $\text{InMZnO}$ 的情况。注意,元素M为铝、镓、铊或锡等。作为其他的能够用于元素M的元素,除了上述元素以外,还有硼、硅、钛、铁、镍、锆、钼、镉、铟、铪、铌、钽、钨、镁等。注意,作为元素M有时可以组合多个上述元素。

[0114] <结构>

氧化物被分为单晶氧化物和非单晶氧化物。作为非单晶氧化物,例如有CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多晶氧化物、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物等。

[0115] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0116] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形及七角形等晶格排列。另外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的氧原子的排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等。

[0117] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中层叠有包含镧及氧的层(下面称为In层)和包含元素M、铈及氧的层(下面称为(M,Zn)层)。另外,镧和元素M彼此可以取代,在用镧取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的镧的情况下,也可以将该层表示为(In,M)层。

[0118] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物没有差别。

[0119] a-like OS是具有介于nc-OS与非晶氧化物之间的结构的氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0120] 氧化物具有各种结构及各种特性。本发明的一个方式的氧化物也可以包括非晶氧化物、多晶氧化物、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0121] <原子个数比>

下面,参照图20A、图20B及图20C对根据本发明的氧化物所包含的镧、元素M及铈的原子个数比的优选的范围进行说明。注意,在图20A至图20C中,不示出氧的原子个数比。另外,将氧化物所包含的镧、元素M及铈的原子个数比的各项分别称为[In]、[M]、[Zn]。

[0122] 在图20A、图20B及图20C中,虚线表示 $[\text{In}]:[\text{M}]:[\text{Zn}] = (1+\alpha):(1-\alpha):1$ 的原子个数

比 $(-1 \leq a \leq 1)$ 的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = (1+a):(1-a):2$ 的原子个数比的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = (1+a):(1-a):3$ 的原子个数比的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = (1+a):(1-a):4$ 的原子个数比的线及 $[\text{In}]:[\text{M}]:[\text{Zn}] = (1+a):(1-a):5$ 的原子个数比的线。

[0123] 点划线表示 $[\text{In}]:[\text{M}]:[\text{Zn}] = 5:1:\beta$ 的原子个数比的 $(\beta \geq 0)$ 的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 2:1:\beta$ 的原子个数比的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:1:\beta$ 的原子个数比的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:2:\beta$ 的原子个数比的线、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:3:\beta$ 的原子个数比的线及 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:4:\beta$ 的原子个数比的线。

[0124] 此外,图20A、图20B及图20C所示的 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:2:1$ 的原子个数比及其附近值的氧化物容易具有尖晶石型结晶结构。

[0125] 有时在氧化物中,多个相共存(例如,二相共存、三相共存等)。例如,当原子个数比接近 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:2:1$ 时,尖晶石型结晶结构和层状结晶结构的二相容易共存。当原子个数比接近 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:0:0$ 时,方铁锰矿型结晶结构和层状结晶结构的二相容易共存。当在氧化物中多个相共存时,可能在不同的结晶结构之间形成晶界。

[0126] 图20A所示的区域A示出氧化物所包含的铟、元素M及锌的优选的原子个数比范围的一个例子。

[0127] 在氧化物中,通过提高铟的含量,可以提高氧化物的载流子迁移率(电子迁移率)。因此,铟含量高的氧化物的载流子迁移率比铟含量低的氧化物高。

[0128] 另一方面,氧化物的铟含量及锌含量变低时,载流子迁移率变低。因此,当原子个数比为 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:1:0$ 或接近 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:1:0$ 时(例如,图20C中的区域C),绝缘性变高。

[0129] 因此,本发明的一个方式的氧化物优选具有图20A的以区域A表示的原子个数比,此时该氧化物容易具有载流子迁移率高且晶界少的层状结构。

[0130] 具有区域A的原子个数比的氧化物,尤其是具有图20B所示的区域B的原子个数比的氧化物更容易成为CAAC-OS且具有较高的载流子迁移率。

[0131] CAAC-OS是结晶性高的氧化物。另一方面,在CAAC-OS中无法确认到明确的晶界,所以可以说不容易发生起因于晶界的电子迁移率的降低。此外,氧化物的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧缺陷等)少的氧化物。因此,具有CAAC-OS的氧化物的物理性质稳定。因此,具有CAAC-OS的氧化物具有耐热性及高可靠性。

[0132] 区域B包括 $[\text{In}]:[\text{M}]:[\text{Zn}] = 4:2:3$ 至 $4:2:4.1$ 的原子个数比及其附近值。附近值例如包括 $[\text{In}]:[\text{M}]:[\text{Zn}] = 5:3:4$ 的原子个数比。另外,区域B包括 $[\text{In}]:[\text{M}]:[\text{Zn}] = 5:1:6$ 的原子个数比及其附近值以及 $[\text{In}]:[\text{M}]:[\text{Zn}] = 5:1:7$ 的原子个数比及其附近值。

[0133] 注意,氧化物所具有的性质不是仅由原子个数比决定的。即使在原子个数比相同的情况下,根据形成条件,氧化物的性质有时不同。例如,当使用溅射装置形成氧化物膜时,形成其原子个数比与靶材的原子个数比不同的膜。此外,根据成膜时的衬底温度,有时膜的 $[\text{Zn}]$ 小于靶材的 $[\text{Zn}]$ 。因此,图示的区域是表示具有氧化物倾向于具有特定特性的原子个数比的区域,区域A至区域C的边界不清楚。

[0134] [具有氧化物的晶体管]

在此,对将上述氧化物用于晶体管的情况进行说明。

[0135] 通过将上述氧化物用于晶体管,可以减少晶界中的载流子散射等,因此可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0136] 另外,优选将载流子密度低的氧化物用于晶体管。在以降低氧化物膜的载流子密度为目的的情况下,可以降低氧化物膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,氧化物的载流子密度可以低于 $8 \times 10^{11}/\text{cm}^3$ ,优选低于 $1 \times 10^{11}/\text{cm}^3$ ,更优选低于 $1 \times 10^{10}/\text{cm}^3$ 且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0137] 另外,因为高纯度本征或实质上高纯度本征的氧化物膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0138] 此外,被氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物中形成有沟道区域的晶体管的电特性不稳定。

[0139] 因此,为了使晶体管的电特性稳定,降低氧化物中的杂质浓度是有效的。为了降低氧化物中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0140] <杂质>

在此,说明氧化物中的各杂质的影响。

[0141] 在氧化物包含第14族元素之一的硅或碳时,氧化物中形成缺陷能级。因此,以具有如下区域的方式形成氧化物:氧化物中或氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)被控制为 $2 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0142] 另外,当氧化物包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物的晶体管容易具有常开启特性。由此,优选降低氧化物中的碱金属或碱土金属的浓度。具体而言,以具有如下区域的方式形成氧化物:利用SIMS测得的碱金属或碱土金属的浓度被控制为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16}\text{atoms}/\text{cm}^3$ 以下。

[0143] 当氧化物包含氮时,产生作为载流子的电子,并载流子密度增加,而氧化物容易被n型化。其结果,将含有氮的氧化物用于半导体的晶体管容易具有常开启型特性。因此,优选尽可能地减少氧化物中的氮,例如,利用SIMS测得的氧化物中的氮浓度为小于 $5 \times 10^{19}\text{atoms}/\text{cm}^3$ ,优选为 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0144] 包含在氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧缺陷。当氢进入该氧缺陷时,有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含氢的氧化物的晶体管容易具有常开启特性。由此,优选尽可能地减少氧化物中的氢。具体而言,在氧化物中,利用SIMS测得的氢浓度低于 $1 \times 10^{20}\text{atoms}/\text{cm}^3$ ,优选低于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$ ,更优选低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ ,进一步优选低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 。

[0145] 通过将杂质被充分降低的氧化物用于晶体管的沟道区域,可以使晶体管具有稳定的电特性。

## [0146] &lt;能带图&gt;

接着,对该氧化物采用双层结构或三层结构的情况进行说明。参照图21A至图21C对如下能带图进行说明:氧化物S1、氧化物S2和氧化物S3的叠层结构及与该叠层结构接触的绝缘体的能带图;氧化物S2和氧化物S3的叠层结构及与该叠层结构接触的绝缘体的能带图;以及氧化物S1和氧化物S2的叠层结构及与该叠层结构接触的绝缘体的能带图。

[0147] 图21A是包括绝缘体I1、氧化物S1、氧化物S2、氧化物S3及绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。另外,图21B是包括绝缘体I1、氧化物S2、氧化物S3及绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。图21C是包括绝缘体I1、氧化物S1、氧化物S2及绝缘体I2的叠层结构的厚度方向上的能带图的一个例子。注意,为便于理解,能带图示出绝缘体I1、氧化物S1、氧化物S2、氧化物S3及绝缘体I2的导带底的能级( $E_c$ )。

[0148] 优选的是,氧化物S1、氧化物S3的导带底的能级比氧化物S2更靠近真空能级,典型的是,氧化物S2的导带底的能级与氧化物S1、氧化物S3的导带底的能级的差为0.15eV以上或者0.5eV以上且2eV以下或者1eV以下。就是说,氧化物S1、氧化物S3的电子亲和势与氧化物S2的电子亲和势的差为0.15eV以上或者0.5eV以上且2eV以下或者1eV以下。

[0149] 如图21A、图21B和图21C所示,在氧化物S1、氧化物S2、氧化物S3中,导带底的能级平缓地变化。换言之,也可以将上述情况表达为导带底的能级连续地变化或者连续地接合。为了实现这种能带图,优选降低形成在氧化物S1与氧化物S2的界面或者氧化物S2与氧化物S3的界面的混合层的缺陷态密度。

[0150] 具体而言,通过使氧化物S1和氧化物S2、氧化物S2和氧化物S3包含氧之外的共同元素(主要成分),可以形成缺陷态密度低的混合层。例如,在氧化物S2为In-Ga-Zn氧化物的情况下,作为氧化物S1、氧化物S3优选使用In-Ga-Zn氧化物、Ga-Zn氧化物、氧化镓等。

[0151] 此时,氧化物S2成为载流子的主要路径。因为可以降低氧化物S1与氧化物S2的界面以及氧化物S2与氧化物S3的界面的缺陷态密度,所以界面散射对载流子传导的影响小,从而可以得到大通态电流。

[0152] 在电子被陷阱能级俘获时,被俘获的电子像固定电荷那样动作,导致晶体管的阈值电压向正方向漂移。通过设置氧化物S1、氧化物S3,可以使陷阱能级远离氧化物S2。通过采用该结构,可以防止晶体管的阈值电压向正方向漂移。

[0153] 作为氧化物S1、氧化物S3,使用其导电率比氧化物S2充分低的材料。此时,氧化物S2、氧化物S2与氧化物S1的界面以及氧化物S2与氧化物S3的界面主要被用作沟道区域。例如,氧化物S1、氧化物S3可以使用具有在图20C中以绝缘性高的区域C表示的原子个数比的氧化物。注意,图20C所示的区域C表示 $[In]:[M]:[Zn]=0:1:0$ 及其附近值、 $[In]:[M]:[Zn]=1:3:2$ 及其附近值以及 $[In]:[M]:[Zn]=1:3:4$ 及其附近值的原子个数比。

[0154] 尤其是,当作为氧化物S2使用具有以区域A表示的原子个数比的氧化物时,作为氧化物S1及氧化物S3优选使用 $[M]/[In]$ 为1以上,优选为2以上的氧化物。另外,作为氧化物S3,优选使用能够得到充分高的绝缘性的 $[M]/([Zn]+[In])$ 为1以上的氧化物。

[0155] 本实施方式可以与其他实施方式或实施例等所记载的结构适当地组合而实施。

## [0156] 实施方式2

## &lt;晶体管的制造方法1&gt;

以下,参照图1A至图1C、图2A至图2C及图5A至图14C对根据本发明的晶体管100及晶体

管200的制造方法进行说明。此外,图5A至图12C示出晶体管100和晶体管200之间共同的制造方法,图13A至图13C示出晶体管100的制造方法,图14A至图14C示出晶体管200的制造方法。此外,在图1A至图1C、图2A至图2C及图5A至图14C中,各附图的A是俯视图。在图1A至图1C、图2A至图2C及图5A至图14C中,各附图的B是沿着各附图的A中的点划线A1-A2所示的部分的截面图。在图1A至图1C、图2A至图2C及图5A至图14C中,各附图的C是沿着各附图的A中的点划线A3-A4所示的部分的截面图。在各附图的B中,沿着A1-A2的截面图是晶体管的沟道长度方向上的截面图,在各附图的C中,沿着A3-A4的截面图是晶体管的沟道宽度方向上的截面图。

[0157] 首先,准备衬底400。

[0158] 接着,形成氧化物401a。可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积(ALD:Atomic Layer Deposition)法等形成氧化物401a。

[0159] 注意,CVD法可以分为利用等离子体的等离子体CVD(PECVD:Plasma Enhanced CVD)法、利用热量的热CVD(TCVD:Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,CVD法可以根据使用的源气体被分为金属CVD(MCVD:Metal CVD)法及有机金属CVD(MOCVD:Metal Organic CVD)法。

[0160] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。另外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而会产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生这种等离子体损伤,所以能够提高半导体装置的成品率。另外,在热CVD法中,不生成膜时的等离子体损伤,因此能够得到缺陷较少的膜。

[0161] 另外,ALD法也是能够减少对被处理物造成的等离子体损伤的成膜方法。此外,在利用ALD法的成膜时不产生等离子体损伤,所以能够得到缺陷较少的膜。

[0162] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的成膜方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0163] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为可以省略传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以使其成膜时所需的时间缩短。因此,有时可以提高半导体装置的生产率。

[0164] 接着,在氧化物401a上形成氧化物401b。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成氧化物401b。接着,在氧化物401b上形成绝缘体301。可以利用溅射法、CVD法、

MBE法、PLD法或ALD法等形成绝缘体301。

[0165] 接着,在绝缘体301中形成到达氧化物401b的槽。槽例如在其范畴内包括孔或开口等。在形成槽时,可以使用湿蚀刻,但是对微型加工来说干蚀刻是优选的。作为氧化物401b,优选选择在对绝缘体301进行蚀刻形成槽时被用作蚀刻阻挡膜的绝缘体。例如,当作为被形成槽的绝缘体301使用氧化硅膜时,作为氧化物401b优选使用氮化硅膜、氧化铝膜、氧化钪膜。

[0166] 在本实施方式中,作为氧化物401a,利用溅射法形成氧化铝,作为氧化物401b,利用ALD法形成氧化铝。此外,作为绝缘体301,利用CVD法形成氧化硅。

[0167] 在形成槽之后,形成将成为导电体310a的导电体。将成为导电体310a的导电体优选包含具有抑制氧透过的功能的导电体。例如,可以使用氮化钽、氮化钨、氮化钛等。或者,可以使用该导电体与钽、钨、钛、钼、铝、铜或钼钨合金的叠层膜。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成将成为导电体310a的导电体。

[0168] 在本实施方式中,作为将成为导电体310a的导电体,利用溅射法形成氮化钽膜。

[0169] 接着,在将成为导电体310a的导电体上形成将成为导电体310b的导电体。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成将成为导电体310b的导电体。

[0170] 在本实施方式中,作为将成为导电体310b的导电体,利用CVD法形成氮化钛膜,且在该氮化钛膜上利用CVD法形成钨膜。

[0171] 接着,通过进行化学机械抛光(Chemical Mechanical Polishing: CMP)去除绝缘体301上的将成为导电体310a的导电体以及将成为导电体310b的导电体。其结果是,只在槽残留将成为导电体310a的导电体以及将成为导电体310b的导电体,所以可以形成包括其顶面平坦的导电体310a及导电体310b的导电体310。

[0172] 接着,在绝缘体301及导电体310上形成绝缘体302。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体302。

[0173] 接着,在绝缘体302上形成绝缘体303。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体303。

[0174] 接着,在绝缘体303上形成绝缘体402。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体402。

[0175] 接着,优选进行第一加热处理。第一加热处理以250℃以上且650℃以下的温度,优选以450℃以上且600℃以下的温度,更优选以520℃以上且570℃以下的温度进行即可。第一加热处理在氮或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。第一加热处理也可以在减压状态下进行。或者,也可以以如下方法进行第一加热处理:在氮或惰性气体气氛下进行加热处理之后,为了填补脱离了氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行另一个加热处理。通过进行第一加热处理,可以去除绝缘体402所包含的氢或水等杂质。或者,在第一加热处理中,也可以在减压状态下进行包含氧的等离子体处理。包含氧的等离子体处理例如优选采用包括使用微波的用来产生高密度等离子体的电源的装置。或者,也可以包括对衬底一侧施加RF(Radio Frequency: 射频)的电源。通过使用高密度等离子体可以生成高密度氧自由基,且通过对衬底一侧施加RF可以将由高密度等离子体而生成的氧自由基高效地导入绝缘体402中。或者,也可以在使用这种装置进行包含惰性气体的等离子体处理之后,为了填补脱离了氧而进

行包含氧的等离子体处理。注意,有时也可以不进行第一加热处理。

[0176] 此外,也可以分别在形成绝缘体302之后、在形成绝缘体303之后以及在形成绝缘体402之后进行该加热处理。作为该加热处理,可以采用第一加热处理条件,但是优选在包含氮的气氛下进行形成绝缘体302之后的加热处理。

[0177] 在本实施方式中,作为第一加热处理,在形成绝缘体402之后,在包含氮的气氛下以400℃的温度进行1小时的处理。

[0178] 接着,在绝缘体402上形成氧化物406a1。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成氧化物406a1。

[0179] 接着,也可以进行对氧化物406a1添加氧的处理。作为添加氧的处理,例如有离子注入法、等离子体处理法等。另外,添加到氧化物406a1的氧成为过剩氧。接着,在氧化物406a1上形成氧化物406b1。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成氧化物406b1。

[0180] 接着,也可以进行第二加热处理。作为第二加热处理,可以利用第一加热处理条件。通过进行第二加热处理,可以去除氧化物406b1中的氢或水等杂质。作为第二加热处理,也可以在氮气氛下以400℃的温度进行1小时的处理,接下来连续地在氧气氛下以400℃的温度进行1小时的处理。

[0181] 接着,在氧化物406b1上形成导电体416。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成导电体416。作为导电体416,也可以形成具有导电性的氧化物诸如铟锡氧化物(ITO:Indium Tin Oxide)、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物或者包含氮的铟镓锌氧化物,并且在该氧化物上形成包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钼、钒、铌、锰、镁、锆、铍、铟等金属元素中的一种以上的材料或者以包含磷等杂质元素的多晶硅为代表的导电率高的半导体、镍硅化物等硅化物。

[0182] 该氧化物有时具有吸收氧化物406a1及氧化物406b1中的氢的功能以及俘获从外方扩散的氢的功能,因此晶体管100及晶体管200的电特性及可靠性得到提高。此外,有时在使用钛代替该氧化物时也可以具有同样的功能。在本实施方式中,作为导电体416,形成氮化钽。

[0183] 接着,在导电体416上形成阻挡膜417。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成阻挡膜417。在本实施方式中,作为阻挡膜417形成氧化铝膜。

[0184] 接着,在阻挡膜417上形成导电体411。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成导电体411。在本实施方式中,作为导电体411,形成氮化钽(参照图5A、图5B及图5C)。

[0185] 接着,利用光刻法对导电体411及阻挡膜417进行加工,来形成导电体411a及阻挡膜417a。在该加工中,截面形状优选为锥形形状。该锥形角度对于与衬底底面平行的面为30度以上且小于75度,优选为30度以上且小于70度。通过具有这种锥形角度,以后的成膜工序中的膜的覆盖性得到提高。此外,该加工优选利用干蚀刻法。利用干蚀刻法的加工适合于微细加工及上述锥形形状的加工(参照图6A、图6B及图6C)。

[0186] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。接着,通过该抗蚀剂掩模进行蚀刻处理来将导电体、半

导体或绝缘体等加工为所希望的形状。例如,使用KrF受激准分子激光、ArF受激准分子激光、EUV (Extreme Ultraviolet:极紫外) 光等对抗蚀剂进行曝光来形成抗蚀剂掩模,即可。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。另外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。另外,可以进行灰化处理等干蚀刻处理或湿蚀刻处理,可以在进行干蚀刻处理之后进行湿蚀刻处理,或者可以在进行湿蚀刻处理之后进行干蚀刻处理,来去除抗蚀剂掩模。

[0187] 作为干蚀刻装置,可以使用包括平行平板型电极的电容耦合型等离子体(CCP:Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合型等离子体蚀刻装置也可以对平行平板型电极中的一个施加高频电源;也可以对平行平板型电极中的一个施加不同的多个高频电源;也可以对平行平板型电极的各个施加相同的高频电源;或者对各个平行平板型电极施加频率不同的高频电源。此外,也可以使用包括高密度等离子体源的干蚀刻装置。作为包括高密度等离子体源的干蚀刻装置,例如可以使用感应耦合型等离子体(ICP:Inductively Coupled Plasma)蚀刻装置等。

[0188] 接着,通过光刻法,形成抗蚀剂421。

[0189] 接着,以抗蚀剂421为蚀刻掩模对导电体411a、阻挡膜417a及导电体416进行蚀刻,形成导电体411a1、导电体411a2、阻挡膜417a1、阻挡膜417a2及导电体416a(参照图7A、图7B及图7C)。

[0190] 接着,在去除抗蚀剂421之后,以导电体411a1、导电体411a2及导电体416a的表面露出的部分为蚀刻掩模,对氧化物406a1及氧化物406b1进行蚀刻,形成氧化物406a及氧化物406b。在本实施方式中,作为导电体411a1、导电体411a2及导电体416a使用氮化钽,所以优选利用相对于氮化钽的蚀刻速度的氧化物406a1及氧化物406b1的蚀刻速度快的蚀刻条件进行加工。在氮化钽的蚀刻速度为1的情况下,氧化物406a1及氧化物406b1的蚀刻速度为3以上且50以下,优选为5以上且30以下(参照图8A、图8B及图8C)。

[0191] 接着,对导电体411a1、导电体411a2及导电体416a的表面露出的部分进行蚀刻,形成导电体416a1、导电体416a2(参照图9A、图9B及图9C)。

[0192] 接着,也可以使用用碳酸水或纯水稀释氢氟酸的水溶液(稀氟化氢液)进行洗涤处理。在本实施方式中,使用碳酸水和氢氟酸的混合溶液进行洗涤处理。氢氟酸的浓度大约为70ppm。

[0193] 接着,也可以进行第三加热处理。作为加热处理的条件,可以利用上述第一加热处理的条件。在本实施方式中,在氮气氛下以400℃的温度进行30分钟的处理,连续地在氧气氛下以400℃的温度进行30分钟的处理。

[0194] 由于上述工序中进行的干蚀刻而有时起因于蚀刻气体的杂质附着于或扩散于氧化物406a及氧化物406b等的表面或内部。作为杂质,例如有氟或氯等。

[0195] 通过进行上述处理,可以减少杂质浓度。再者,可以减少氧化物406a膜中及氧化物406b膜中的水分浓度及氢浓度。

[0196] 接着,形成氧化物406c1。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成氧化物406c1。尤其优选利用溅射法进行成膜。此外,作为溅射条件,优选在氧分压高的条件下,更优选在只使用氧的条件下,使用氧和氩的混合气体以室温或100℃以上且200℃以下的温度进行成膜。

[0197] 通过利用上述条件形成氧化物406c1,能够向氧化物406a、氧化物406b及绝缘体402添加过剩氧,所以是优选的。

[0198] 接着,在氧化物406c1上形成绝缘体412a。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体412a(参照图10A、图10B及图10C)。

[0199] 在此,可以进行第四加热处理。作为第四加热处理,可以利用第一加热处理条件。通过该加热处理,能够减少绝缘体412a中的水分浓度及氢浓度。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。

[0200] 接着,形成将成为导电体404的导电体。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成将成为导电体404的导电体。

[0201] 导电体404例如可以为包括导电体404a、导电体404b及导电体404c的多层膜。例如,通过作为将成为导电体404a的导电体利用与上述氧化物406c1同样的条件形成氧化物,可以对绝缘体412a添加氧。添加到绝缘体412a的氧成为过剩氧。

[0202] 接着,在该氧化物上,通过溅射法形成将成为导电体404b的导电体,降低该氧化物的电阻值,由此该氧化物可以为将成为导电体404a的导电体。再者,也可以在将成为导电体404b的导电体上通过溅射法等形成将成为导电体404c的导电体。在本实施方式中,作为将成为导电体404a的导电体通过溅射法形成氧化物,作为将成为导电体404b的导电体通过溅射法形成氮化钛,作为将成为导电体404c的导电体通过溅射法形成钨。

[0203] 在此,可以进行第五加热处理。作为第五加热处理,可以采用第一加热处理条件。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。

[0204] 通过光刻法对将成为导电体404a的导电体、将成为导电体404b的导电体及将成为导电体404c的导电体进行加工,形成导电体404a、导电体404b及导电体404c(参照图11A、图11B及图11C)。

[0205] 接着,也可以形成将成为氧化物418的氧化物。在形成将成为氧化物418的氧化物时,优选使用金属氧化物,可以利用溅射法、CVD法、MBE法、PLD法或ALD法等。例如,通过利用ALD法形成氧化铝,可以在导电体404的顶面及侧面形成针孔少且厚度均匀的膜,所以可以防止导电体404的氧化。在本实施方式中,通过ALD法形成氧化铝。

[0206] 接着,通过光刻法对将成为氧化物418的氧化物、绝缘体412a及氧化物406c1进行加工,形成氧化物418、绝缘体412及氧化物406c。在此,在沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于阻挡膜417a1及阻挡膜417a2上,并且在沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上(参照图12A、图12B及图12C)。

[0207] 接着,形成氧化物408a及氧化物408b。在形成氧化物408a及氧化物408b时,优选使用金属氧化物,可以利用溅射法、CVD法、MBE法、PLD法或ALD法等。

[0208] 作为氧化物408a,通过利用使用氧等离子体的溅射法形成氧化铝,可以将氧添加到绝缘体402。被添加的氧在绝缘体402中成为过剩氧,通过在形成氧化物408a之后进行加热处理,该过剩氧从绝缘体402有效地添加到具有沟道形成区域的氧化物406b,由此可以修复沟道形成区域的缺陷。

[0209] 作为氧化物408b,通过形成利用ALD法的氧化铝,可以形成针孔少且厚度均匀的膜,所以可以防止氢等杂质从外方侵入。此外,也可以防止添加到氧化物406b的氧扩散到外

方。在本实施方式中,作为氧化物408a通过溅射法形成氧化铝,作为氧化物408b通过ALD法形成氧化铝(参照图13A、图13B及图13C)。

[0210] 以上的工序是晶体管100和晶体管200之间共同的制造方法。接着,通过光刻法,在晶体管100上形成抗蚀剂掩模,只对晶体管200上的氧化物408a及氧化物408b进行蚀刻(参照图14A、图14B及图14C)。

[0211] 接着,形成绝缘体410。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体410。或者,可以使用旋涂法、浸渍法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)、刮刀(doctor knife)法、辊涂(roll coater)法或帘式涂布(curtain coater)法等形成。

[0212] 可以以其顶面具有平坦性的方式形成绝缘体410。例如,在成膜刚结束后,绝缘体410的顶面可以具有平坦性。或者,例如,在成膜后,可以从顶面去除绝缘体等以使绝缘体410的顶面平行于衬底背面等基准面,而绝缘体410具有平坦性。将这种处理称为平坦化处理。作为平坦化处理,有CMP处理、干蚀刻处理等。注意,绝缘体410的顶面也可以不具有平坦性。

[0213] 接着,在绝缘体410上形成氧化物420及氧化物422。在形成氧化物420及氧化物422时,优选使用金属氧化物,可以利用溅射法、CVD法、MBE法、PLD法或ALD法等。

[0214] 作为氧化物420,通过利用使用氧等离子体的溅射法形成氧化铝,可以对绝缘体410添加氧。被添加的氧在绝缘体410中成为过剩氧。

[0215] 因为晶体管200不包含氧化物408a及氧化物408b,所以通过在形成氧化物420之后进行加热处理,该过剩氧通过如下两种路径被添加:从绝缘体410经过绝缘体412及氧化物406c添加到具有沟道形成区域的氧化物406b的路径1;以及从绝缘体410经过绝缘体402及氧化物406a添加到具有沟道形成区域的氧化物406b的路径2。通过这两种路径,过剩氧添加到氧化物406b,由此可以修复沟道形成区域的缺陷。

[0216] 作为氧化物422,通过形成利用ALD法的氧化铝,可以形成针孔少且厚度均匀的膜,所以可以防止氢等杂质从外方侵入。此外,也可以防止添加到沟道形成区域的氧经过氧化物420扩散到外方。在本实施方式中,作为氧化物420通过溅射法形成氧化铝,作为氧化物422通过ALD法形成氧化铝。

[0217] 如上所述,可以在同一衬底上制造具有氧化物408a及氧化物408b的晶体管100以及不具有氧化物408a及氧化物408b的晶体管200(参照图1A至图2C)。

[0218] <晶体管的制造方法2>

以下,参照图3A至图3C、图4A至图4C、图5A至图11A至图11C、图15A至图16C对本发明的晶体管100A及晶体管200A的制造方法进行说明。此外,图5A至图11C示出晶体管100A和晶体管200A之间共同的制造方法,图15A至图15C示出晶体管100A的制造方法,图16A至图16C示出晶体管200A的制造方法。此外,在图3A至图3C、图4A至图4C、图5A至图11A至图11C、图15A至图16C中,各附图的A是俯视图。在图3A至图3C、图4A至图4C、图5A至图11A至图11C、图15A至图16C中,各附图的B是沿着各附图的A中的点划线A1-A2所示的部分的截面图。在图3A至图3C、图4A至图4C、图5A至图11A至图11C、图15A至图16C中,各附图的C是沿着各附图的A中的点划线A3-A4所示的部分的截面图。在各附图的B中,沿着A1-A2的截面图是晶体管的沟道长度方向上的截面图,在各附图的C中,沿着A3-A4的截面图是晶体管的沟道宽度方向

上的截面图。

[0219] 图11A至图11C所示的到形成导电体404a、导电体404b及导电体404c为止的工序与上述晶体管100及晶体管200的制造方法同样(参照图11A、图11B及图11C)。

[0220] 接着,形成将成为氧化物418的氧化物。在形成将成为氧化物418的氧化物时,优选使用金属氧化物,可以利用溅射法、CVD法、MBE法、PLD法或ALD法等。例如,通过利用ALD法形成氧化铝,可以在导电体404的顶面及侧面形成针孔少且厚度均匀的膜,所以可以防止导电体404的氧化。在本实施方式中,通过ALD法形成氧化铝。

[0221] 接着,通过光刻法形成蚀刻掩模。在此,在晶体管100A和晶体管200A中,形成不同的蚀刻掩模。

[0222] 在晶体管100A中,在沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上,并且在沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上。此外,氧化物406c覆盖阻挡膜417a1及阻挡膜417a2且具有与氧化物406a的侧面、氧化物406b的侧面及绝缘体402的顶面接触的区域。通过采用上述结构,可以在导电体404的顶面及侧面形成针孔少且厚度均匀的膜,所以可以防止导电体404的氧化。再者,可以防止氢等杂质从外方侵入到沟道形成区域(参照图15A、图15B及图15C)。

[0223] 在晶体管200A中,在沟道长度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于阻挡膜417a1及阻挡膜417a2上,并且在沟道宽度方向上的截面图中,氧化物418的端部、绝缘体412的端部及氧化物406c的端部对齐,上述端部位于绝缘体402上。通过采用上述结构,可以在导电体404的顶面及侧面形成针孔少且厚度均匀的膜,所以可以防止导电体404的氧化(参照图16A至图16C)。

[0224] 如此,通过一次的光刻,在晶体管100A和晶体管200A中形成具有彼此不同的形状的氧化物418。

[0225] 接着,形成绝缘体410。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等形成绝缘体410。或者,可以使用旋涂法、浸渍法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)、刮刀(doctor knife)法、辊涂(roll coater)法或帘式涂布(curtain coater)法等形成。

[0226] 可以以其顶面具有平坦性的方式形成绝缘体410。例如,在成膜刚结束后,绝缘体410的顶面可以具有平坦性。或者,例如,在成膜后,可以从顶面去除绝缘体等以使绝缘体410的顶面平行于衬底背面等基准面,而绝缘体410具有平坦性。将这种处理称为平坦化处理。作为平坦化处理,有CMP处理、干蚀刻处理等。注意,绝缘体410的顶面也可以不具有平坦性。

[0227] 接着,在绝缘体410上形成氧化物420及氧化物422。在形成氧化物420及氧化物422时,优选使用金属氧化物,可以利用溅射法、CVD法、MBE法、PLD法或ALD法等。

[0228] 作为氧化物420,通过利用使用氧等离子体的溅射法形成氧化铝,可以对绝缘体410添加氧。被添加的氧在绝缘体410中成为过剩氧。

[0229] 在晶体管100A中,氧化物418以覆盖氧化物406b整体的方式形成。因此,通过在形成氧化物420之后进行加热处理,绝缘体410中的过剩氧经过绝缘体402添加到具有沟道形成区域的氧化物406b,由此可以修复沟道形成区域的缺陷。

[0230] 另一方面,在晶体管200A中,氧化物418以覆盖导电体404的方式形成。因此,通过在形成氧化物420之后进行加热处理,绝缘体410中的过剩氧通过如下两种路径被添加:从绝缘体410经过绝缘体412及氧化物406c添加到具有沟道形成区域的氧化物406b的路径1;以及从绝缘体410经过绝缘体402及氧化物406a添加到具有沟道形成区域的氧化物406b的路径2。通过这两种路径,过剩氧添加到氧化物406b,由此可以修复沟道形成区域的缺陷。

[0231] 作为氧化物422,通过形成利用ALD法的氧化铝,可以形成针孔少且厚度均匀的膜,所以可以防止氢等杂质从外方侵入。此外,也可以防止添加到沟道形成区域的氧经过氧化物420扩散到外方。在本实施方式中,作为氧化物420通过溅射法形成氧化铝,作为氧化物422通过ALD法形成氧化铝。

[0232] 如上所述,可以在同一衬底上形成包括具有彼此不同的形状的氧化物418的晶体管100A及晶体管200A(参照图3A至图4C)。

[0233] 本实施方式可以与其他实施方式或实施例等所记载的结构适当地组合而实施。

[0234] 实施方式3

<半导体装置的结构>

在本实施方式中,对使用本说明书等所公开的晶体管的半导体装置的一个例子进行说明。

[0235] 图17示出半导体装置1000所包括的存储单元阵列的一部分的电路图。在图17中,示出存储单元A和存储单元B这两个存储单元的电路图,存储单元A相当于存储单元阵列中的右端部的存储单元。半导体装置1000所包括的存储单元在上、下及左方向上反复地配置(在图17中,以虚线示出)。

[0236] 存储单元A包括:包括第一栅电极及第二栅电极的晶体管200a;晶体管600a;电容器700a;以及节点FN1。存储单元B包括:包括第一栅电极及第二栅电极的晶体管200b;晶体管600b;电容器700b;以及节点FN2。可以将晶体管200a的源电极和漏电极中的一个与电容器700a的一个电极的连接区域称为节点FN1。可以将晶体管200b的源电极和漏电极中的一个电极与电容器700b的一个电极的连接区域称为节点FN2。

[0237] 在存储单元A中,晶体管200a的第一栅电极与布线WL电连接,晶体管200a的第二栅电极与布线BGL电连接,晶体管200a的源电极和漏电极中的另一个与布线BL1电连接,晶体管200a的源电极和漏电极中的一个与节点FN1电连接。电容器700a的另一个电极与布线RL电连接,电容器700a的一个电极与节点FN1电连接。晶体管600a的栅电极与节点FN1电连接,晶体管600a的源电极和漏电极中的一个与布线SL1电连接,晶体管600a的源电极和漏电极中的另一个与布线BL1电连接。

[0238] 在存储单元B中,晶体管200b的第一栅电极与布线WL电连接,晶体管200b的第二栅电极与布线BGL电连接,晶体管200b的源电极和漏电极中的另一个与布线BL2电连接,晶体管200b的源电极和漏电极中的一个与节点FN2电连接。电容器700b的另一个电极与布线RL电连接,电容器700b的一个电极与节点FN2电连接,晶体管600b的栅电极与节点FN2电连接,晶体管600b的源电极和漏电极中的一个与布线SL2电连接,晶体管600b的源电极和漏电极中的另一个与布线BL2电连接。

[0239] 存储单元A的晶体管200a的第一栅电极、与其相邻的存储单元B的晶体管200b的第一栅电极都与布线WL电连接。存储单元A的晶体管200a的第二栅电极、与其相邻的存储单元

B的晶体管200b的第二栅电极都与布线BGL电连接。存储单元A的电容器700a的另一个电极、与其相邻的存储单元B的电容器700b的另一个电极都与布线RL电连接。

[0240] 晶体管200a及晶体管200b优选为关态电流小的晶体管。例如,晶体管200a及晶体管200b的关态电流优选为 $10^{-18}\text{A}/\mu\text{m}$ 以下,更优选为 $10^{-21}\text{A}/\mu\text{m}$ 以下,进一步优选为 $10^{-24}\text{A}/\mu\text{m}$ 以下。作为关态电流小的晶体管,可以举出氧化物半导体晶体管。

[0241] 晶体管600a及晶体管600b优选使用阈值电压的不均匀小的晶体管。具体而言,可以举出使用单晶硅的晶体管。

[0242] 通过利用可以保持节点FN1及节点FN2的电荷的特征,存储单元A及存储单元B可以进行如下的数据的写入、保持和读出。

[0243] 使用存储单元A对数据的写入及保持进行说明。首先,对布线WL供应电位以使晶体管200a处于导通状态。由此,布线BL1的电位供应到节点FN1。换言之,对节点FN1施加规定的电荷(写入)。这里,施加赋予两种不同电位电平的电荷(以下,称为低电平、高电平)中的任一种。然后,通过使晶体管200a处于关闭状态(off-state),保持施加到节点FN1的电荷(保持)。

[0244] 因为晶体管200a的关态电流极小,长时间保持晶体管600a的栅极的电荷。在此,通过对晶体管200a的第二栅电极经过布线BGL供应负电位,晶体管200a的阈值向正方向漂移,因此可以使晶体管200a的关态电流更小。

[0245] 接着,对数据的读出进行说明。当在对布线SL1供应规定的电位(恒电位)的状态下对布线RL供应适当的电位(读出电位)时,根据保持在晶体管600a的栅极中的电荷量,布线BL1的电位发生变动。这是因为如下缘故:一般来说,在晶体管600a为p沟道型晶体管的情况下,对节点FN1施加高电平时的外观上的阈值电压 $V_{\text{th}_H}$ 低于对节点FN1施加低电平时的外观上的阈值电压 $V_{\text{th}_L}$ 。在此,外观上的阈值电压是指为了使晶体管600a处于“导通状态”所需要的布线RL的电位。因此,通过将布线RL的电位设定为 $V_{\text{th}_H}$ 与 $V_{\text{th}_L}$ 之间的电位 $V_0$ ,可以辨别施加到晶体管600a的栅极的电荷。例如,在写入时被供应低电平的情况下,如果节点FN1的电位为 $V_0 (< V_{\text{th}_L})$ ,晶体管600a则处于“导通状态”。当被供应高电平时,即使节点FN1的电位为 $V_0 (> V_{\text{th}_H})$ ,晶体管600a还保持“关闭状态”。因此,通过辨别布线BL1的电位,可以读出所保持的数据。

[0246] 注意,在上述说明中,晶体管600a为p沟道型晶体管,但是不局限于此,也有晶体管600a为n沟道型晶体管的情况。

[0247] <截面图>

图18是半导体装置1000的截面图。半导体装置1000包括晶体管100、晶体管200、晶体管600、电容器700。晶体管200、晶体管600及电容器700分别相当于图17所示的晶体管200a、晶体管600a及电容器700a。晶体管200是存储单元所包括的晶体管。此外,晶体管100是控制存储单元的电路所包括的晶体管的一个例子。晶体管100是其尺寸与晶体管200不同的晶体管,并是比晶体管200大的晶体管。

[0248] 在半导体装置1000中,作为衬底501使用n型半导体。晶体管600包括沟道形成区域283、高浓度p型杂质区域285、绝缘体286、导体287和侧壁288。此外,在隔着绝缘体286与侧壁288重叠的区域中具有低浓度p型杂质区域284。绝缘体286可以被用作栅极绝缘体。导体287可以被用作栅极导体。在晶体管600中,沟道形成区域283形成在衬底501的一部

分。

[0249] 在形成导电体287之后且在形成侧壁288之前,以导电体287为掩模引入杂质元素,由此可以形成低浓度p型杂质区域284。换言之,低浓度p型杂质区域284可以以自对准方式形成。在形成侧壁288之后,形成高浓度p型杂质区域285。低浓度p型杂质区域284具有与高浓度p型杂质区域285相同的导电型,并且其赋予导电型的杂质的浓度低于高浓度p型杂质区域285。根据情况或状况,也可以不设置低浓度p型杂质区域284。

[0250] 晶体管600与其他晶体管由元件分离区域514电分离。元件分离区域514可以使用LOCOS(Local Oxidation of Silicon:硅局部氧化)法、STI(Shallow Trench Isolation:浅沟槽隔离)法等形成。

[0251] 半导体装置1000在覆盖晶体管600的绝缘体504上包括绝缘体505及绝缘体534。此外,半导体装置1000在绝缘体505上包括导电体522。

[0252] 导电体522通过设置在绝缘体504及绝缘体505中的导电体521与晶体管600电连接。

[0253] 此外,半导体装置1000在绝缘体534上隔着氧化物401a、氧化物401b、绝缘体301、绝缘体302、绝缘体303及绝缘体402包括晶体管100、晶体管200及电容器700。在晶体管100上包括氧化物408a及氧化物408b,但是在晶体管200上不包括氧化物408a及氧化物408b。即,以具有不同结构的方式分别形成晶体管100和晶体管200。

[0254] 此外,在晶体管100、晶体管200及电容器700上包括绝缘体410、氧化物420、氧化物422及绝缘体539,在绝缘体539上包括导电体527。此外,包括覆盖导电体527的绝缘体537。

[0255] 晶体管200的源电极和漏电极中的一个被用作电容器700的一个电极,导电体404b被用作电容器700的另一个电极。晶体管200的源电极和漏电极中的一个与导电体404b重叠的区域被用作电容器700。

[0256] 导电体527通过设置在绝缘体539、氧化物422、氧化物420、绝缘体410及阻挡膜417a1的一部分的导电体526与晶体管200的源电极或漏电极电连接。此外,导电体527通过设置在绝缘体539、氧化物422、氧化物420、绝缘体410、氧化物408b、氧化物408a及阻挡膜417a1的一部分的导电体526与晶体管100的源电极或漏电极电连接。

[0257] 此外,在绝缘体537上包括导电体529,在导电体529上包括绝缘体538。导电体529通过设置在绝缘体537的一部分中的导电体528与导电体527电连接。

[0258] 氧化物401a、氧化物401b、绝缘体301、绝缘体302、绝缘体303、绝缘体402、氧化物420、氧化物422、绝缘体534、绝缘体539、绝缘体537及绝缘体538可以使用与上述实施方式等所示的氧化物及绝缘体同样的材料及方法形成。另外,导电体521、导电体522、导电体525、导电体526、导电体527及导电体529可以与上述实施方式等所示的导电体同样的材料及方法形成。

[0259] 导电体521、导电体522、导电体525、导电体526、导电体527、导电体528及导电体529也可以通过镶嵌法或双镶嵌法等形成。

[0260] 根据本发明的一个方式,通过分别形成具有不同结构的两个晶体管,即包括其尺寸大于晶体管200的晶体管的电路中的晶体管100以及高密度地配置晶体管的电路中的晶体管200,可以减少晶体管100及晶体管200的特性的不均匀,可以抑制各电路所包括的晶体管的电特性的不均匀,由此能够实现高性能的半导体装置1000。

[0261] 本实施方式可以与其他实施方式或实施例等所记载的结构适当地组合而实施。

[0262] 实施方式4

<电子设备>

本发明的一个方式的半导体装置可以应用于各种电子设备。图19A至图19G示出使用根据本发明的一个方式的半导体装置的电子设备的具体例子。

[0263] 图19A所示的便携式游戏机2900包括框体2901、框体2902、显示部2903、显示部2904、麦克风2905、扬声器2906、操作开关2907等。另外，便携式游戏机2900在框体2901的内侧具有天线、电池等。虽然图19A所示的便携式游戏机包括显示部2903和显示部2904这两个显示部，但是显示部的个数不局限于此。显示部2903设置有作为输入装置的触摸屏，能够利用触屏笔2908等进行操作。

[0264] 图19B所示的信息终端2910在框体2911中包括显示部2912、麦克风2917、扬声器部2914、照相机2913、外部连接部2916及操作开关2915等。显示部2912设置有使用柔性衬底的显示面板及触摸屏。另外，信息终端2910在框体2911的内侧具有天线、电池等。信息终端2910例如可以被用作智能手机、移动电话、平板信息终端、平板电脑或电子书阅读器终端等。

[0265] 图19C所示的笔记本型个人计算机2920包括框体2921、显示部2922、键盘2923及指向装置2924等。另外，笔记本型个人计算机2920在框体2921的内侧具有天线、电池等。

[0266] 图19D所示的摄像机2940包括框体2941、框体2942、显示部2943、操作开关2944、透镜2945及连接部2946等。操作开关2944及透镜2945设置在框体2941中，显示部2943设置在框体2942中。另外，摄像机2940在框体2941的内侧具有天线、电池等。并且，框体2941和框体2942由连接部2946连接，由连接部2946可以改变框体2941和框体2942之间的角度。另外，可以根据框体2942与框体2941所形成的角度而改变显示在显示部2943中的图像的方向并切换图像的显示/非显示。

[0267] 图19E示出手镯型信息终端的一个例子。信息终端2950包括框体2951及显示部2952等。另外，信息终端2950在框体2951的内侧具有天线、电池等。显示部2952由具有曲面的框体2951支撑。因为显示部2952具备使用柔性衬底的显示面板，所以可以提供一种具有柔性、轻量且方便性良好的信息终端2950。

[0268] 图19F示出手表型信息终端的一个例子。信息终端2960包括框体2961、显示部2962、腕带2963、表扣2964、操作开关2965、输入输出端子2966等。另外，信息终端2960在框体2961的内侧具有天线、电池等。信息终端2960可以执行移动电话、电子邮件、文章的阅读及编写、音乐播放、网络通讯、电脑游戏等各种应用程序。

[0269] 显示部2962的显示面弯曲，能够沿着弯曲的显示面进行显示。另外，显示部2962具备触摸传感器，可以用手指或触屏笔等触摸屏幕来进行操作。例如，通过触摸显示于显示部2962的图标2967，可以启动应用程序。操作开关2965除了时刻设定之外，还可以具有电源开关、无线通讯的开关、静音模式的设置及取消、省电模式的设置及取消等各种功能。例如，通过利用组装在信息终端2960中的操作系统，也可以设定操作开关2965的功能。

[0270] 另外，信息终端2960可以执行依据通信标准的近距离无线通讯。例如，通过与可无线通讯的耳麦通信，可以进行免提通话。另外，信息终端2960具备输入输出端子2966，可以通过连接器直接与其他信息终端进行数据的交换。另外，也可以通过输入输出端子2966进

行充电。另外,充电动作也可以利用无线供电进行,而不通过输入输出端子2966进行。

[0271] 图19G示出汽车的一个例子的外观图。汽车2980包括车体2981、车轮2982、仪表盘2983及灯2984等。另外,汽车2980具有天线、电池等。

[0272] 例如,使用本发明的一个方式的半导体装置的存储装置可以在长期间保持上述电子设备的控制数据和控制程序等。通过使用根据本发明的一个方式的半导体装置,可以实现高可靠性的电子设备。

[0273] 本实施方式可以与其他实施方式或实施例等所记载的结构适当地组合而实施。

#### 实施例1

[0274] 在本实施例中,制造作为本发明的一个方式的图1A至图1C所示的晶体管100及图2A至图2C所示的晶体管200,对各晶体管的电特性进行测量,对晶体管尺寸给电特性带来的影响进行比较。此外,作为晶体管100的衬底及晶体管200的衬底,使用不同的衬底。

[0275] 在制造晶体管100及晶体管200时,通过热氧化法在硅单晶片上形成厚度为400nm的氧化硅膜。接着,通过CVD法在该氧化硅膜上形成厚度为50nm的氮化硅膜。接着,通过ALD法形成厚度为10nm的第一氧化铝膜。接着,通过溅射法形成厚度为40nm的第二氧化铝膜。

[0276] 接着,通过CVD法在第二氧化铝膜上形成厚度为160nm的第一氧氮化硅膜,通过溅射法在第一氧氮化硅膜上形成厚度为35nm的第一钨膜。接着,通过光刻法对第一钨膜进行加工,由此形成包括第一钨膜的硬掩模。

[0277] 接着,对第一氧氮化硅膜进行加工,形成到达第二氧化铝膜的槽。接着,通过溅射法在该槽中形成第一氮化钽膜,通过ALD法及CVD法在第一氮化钽膜上形成第一氮化钛膜以及第二钨膜。接着,通过第一CMP处理,直到到达第一氧氮化硅膜的顶面为止对第二钨膜、第一氮化钛膜、第一氮化钽膜及第一钨膜进行抛光,在槽中埋入第二钨膜、第一氮化钛膜及第一氮化钽膜,由此形成布线层及第二栅电极。

[0278] 接着,通过CVD法形成厚度为10nm的第二氧氮化硅膜。通过ALD法形成厚度为20nm的氧化钪膜。通过CVD法形成厚度为30nm的第三氧氮化硅膜。第二氧氮化硅膜、氧化钪膜及第三氧氮化硅膜被用作第二栅极绝缘膜。接着,进行第一加热处理。作为第一加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理。

[0279] 接着,作为第一氧化物(S1)通过溅射法形成厚度为5nm的In-Ga-Zn氧化物。S1的形成条件为如下:使用In:Ga:Zn=1:3:4[原子个数比]的靶材;氧气体流量为45sccm;压力为0.7Pa;衬底温度为200℃。

[0280] 接着,作为第二氧化物(S2),通过溅射法在S1上形成厚度为20nm的In-Ga-Zn氧化物。S2的形成条件为如下:使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材;氩气体流量为40sccm;氧气体流量为5sccm;压力为0.7Pa;衬底温度为130℃。

[0281] 接着,进行第二加热处理。作为第二加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理,然后在包含氧的气氛下以400℃的温度进行1小时的处理。

[0282] 接着,通过溅射法在S2上形成厚度为30nm的第二氮化钽膜。接着,通过ALD法在第二氮化钽膜上形成厚度为5nm的第三氧化铝膜。接着,通过溅射法在第三氧化铝膜上形成厚度为15nm的第三钽膜。

[0283] 接着,通过光刻法对被形成沟道的部分的第三钨膜及第三氧化铝膜进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0284] 接着,通过光刻法形成抗蚀剂掩模,以该抗蚀剂掩模为蚀刻掩模对第三钨膜进行蚀刻。作为该蚀刻,利用干蚀刻法。接着,通过氧等离子体去除该抗蚀剂掩模,依次对第三氧化铝膜、第二氮化钽膜、S2及S1的不需要的部分进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0285] 对被形成沟道的部分的第二氮化钽膜进行蚀刻。在该蚀刻中,第三氧化铝膜上的第三钨膜也同时被蚀刻。作为该蚀刻,利用干蚀刻法。

[0286] 接着,进行第三加热处理。作为第三加热处理,在包含氮的气氛下以400℃的温度进行30分钟的处理,接着在包含氧的气氛下以400℃的温度进行30分钟的处理。

[0287] 接着,作为第三氧化物(S3),通过溅射法形成厚度为5nm的In-Ga-Zn氧化物。S3的形成条件为如下:使用In:Ga:Zn=1:3:2[原子个数比]的靶材;氧气体流量为45sccm;压力为0.7Pa;衬底温度为室温。

[0288] 通过CVD法形成厚度为13nm的被用作第一栅极氧化膜的第四氧氮化硅膜。

[0289] 接着,进行第四加热处理。作为第四加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理。

[0290] 接着,作为第四氧化物(S4),通过溅射法形成厚度为10nm的In-Ga-Zn氧化物。第四氧化物的形成条件为如下:使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材;氧气体流量为45sccm;压力为0.7Pa;衬底温度为200℃。

[0291] 通过溅射法在第四氧化物上形成厚度为5nm的第二氮化钛膜,通过溅射法在第二氮化钛膜上形成厚度为50nm的第四钨膜。连续地形成第二氮化钛膜和第四钨膜。

[0292] 接着,进行第五加热处理。作为第五加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理。

[0293] 通过光刻法依次对第四钨膜、第二氮化钛膜及S4进行蚀刻来形成栅电极。在第四钨膜及第二氮化钛膜的蚀刻中利用干蚀刻法,在第四氧化物的蚀刻中利用湿蚀刻法。

[0294] 通过光刻法对第四氧氮化硅膜及S3的一部分进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0295] 通过ALD法形成厚度为7nm的第四氧化铝膜。衬底温度为250℃。

[0296] 通过光刻法对第四氧化铝膜的一部分进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0297] 通过溅射法在如下条件下形成厚度为20nm的第五氧化铝膜作为将成为晶体管100的样品:氩气体流量为25sccm,氧气体流量为25sccm;压力为0.4Pa;衬底温度为250℃。

[0298] 通过ALD法在第五氧化铝膜上形成厚度为5nm的第六氧化铝膜作为将成为晶体管100的样品。衬底温度为250℃。

[0299] 注意,在晶体管200中,没有形成第五氧化铝膜及第六氧化铝膜。

[0300] 从此之后,在将成为晶体管100的样品和将成为晶体管200的样品中进行同一工序。

[0301] 接着,通过CVD法形成厚度为450nm的第五氧氮化硅膜。接着,进行第二CMP处理对第五氧氮化硅膜进行抛光,使第五氧氮化硅膜的表面平坦化。

[0302] 通过溅射法在如下条件下在第五氧氮化硅膜上形成厚度为40nm的第七氧化铝膜:氩气体流量为25sccm,氧气体流量为25sccm;压力为0.4Pa;衬底温度为250℃。

[0303] 接着,进行第六加热处理。作为第六加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理,然后在包含氧的气氛下以400℃的温度进行1小时的处理。

[0304] 接着,通过CVD法形成厚度为150nm的第六氧氮化硅膜。

[0305] 接着,通过光刻法形成到达第二钨膜(第二栅电极)的接触孔、到达第四钨膜(第一栅电极)的接触孔及到达第二氮化钽膜(源电极及漏电极)的接触孔,通过溅射法形成厚度为40nm的第三氮化钽膜,通过ALD法形成厚度为5nm的第三氮化钛膜,通过CVD法形成厚度为250nm的第五钨膜。

[0306] 接着,进行第三CMP处理,直到到达第六氧氮化硅膜的顶面为止对第五钨膜、第三氮化钛膜及第三氮化钽膜进行抛光,形成在各接触孔中埋入第五钨膜、第三氮化钛膜及第三氮化钽膜的插头。

[0307] 通过溅射法依次连续地形成第一钛膜(厚度为20nm)、第四氮化钛膜(厚度为30nm)、铝膜(厚度为100nm)、第二钛膜(厚度为5nm)、第五氮化钛膜(厚度为45nm)。接着,通过光刻法对第一钛膜、第四氮化钛膜、铝膜、第二钛膜及第五氮化钛膜的一部分进行蚀刻,由此形成布线层。

[0308] 接着,通过涂敷法形成厚度为1.6 $\mu\text{m}$ 的具有感光性的聚酰亚胺膜。接着,通过光刻法去除成为测量端子(测量焊盘)的部分的聚酰亚胺膜。然后,以300 $^{\circ}\text{C}$ 进行1小时的加热处理,来对聚酰亚胺膜进行焙烧。

[0309] 如上所述,制造晶体管100及晶体管200。

[0310] 接着,对晶体管100及200的电特性进行测量。各晶体管配置在5英寸方的衬底中。

[0311] 此外,在晶体管100及晶体管200的电特性的测量中,测量将源极-漏极间电压(以下,称为漏极电压 $V_d$ )设定为0.1V、3.3V并对于每个 $V_d$ 将源极-栅极间电压(以下,称为栅极电压 $V_g$ )从-3.3V改变为+3.3V时的源极-漏极间电流(以下,称为漏极电流 $I_d$ )的变化。即,测量 $I_d$ - $V_g$ 特性。以后,栅极电压 $V_g$ 是指第一栅电极(顶栅电极)的电压。在本测量中,将第二栅电极(背栅电极)的电压设定为0V。此外,在本测量中,测量衬底中的18个晶体管的 $I_d$ - $V_g$ 特性。

[0312] 从所获得的 $I_d$ - $V_g$ 特性的测量数据求出 $V_d=0.1\text{V}$ 时的 $V_{sh}$ 。将 $V_{sh}$ 定义为 $I_d=1.0\times 10^{-12}\text{A}$ 时的 $V_g$ 。 $V_{sh}$ 可以示出晶体管从关闭状态转移到开启状态时的 $V_g$ 值。

[0313] 图22A和图22B示出表示 $V_{sh}$ 的对于晶体管尺寸的依赖性的图表。在本实施例中,将沟道宽度看作物体尺寸。将晶体管的沟道长度固定为设计值,即0.3 $\mu\text{m}$ ,对沟道宽度不同的晶体管的 $V_{sh}$ 进行比较。图表的纵轴表示 $V_{sh}$ ,横轴表示沟道宽度。横轴所示的数值的01、02、03、04、05和06分别示出设定值为0.35 $\mu\text{m}$ 、0.5 $\mu\text{m}$ 、1.5 $\mu\text{m}$ 、3.0 $\mu\text{m}$ 、5.0 $\mu\text{m}$ 、10.0 $\mu\text{m}$ 的晶体管的 $V_{sh}$ 。

[0314] 图22A是晶体管100的 $V_{sh}$ 的对于沟道宽度依赖性的图表。可知:无论沟道宽度的大小如何, $V_{sh}$ 位于-0.1V左右至0.2V左右的范围内,即沟道宽度依赖性小。另外可知,具有各沟道宽度的晶体管的 $V_{sh}$ 的不均匀也小。例如,以不均匀为最大值-最小值的值,该值为0.07V左右至0.15V左右。另一方面,图22B是示出晶体管200的 $V_{sh}$ 的对于沟道宽度依赖性的图表,在沟道宽度为3.0 $\mu\text{m}$ 以上的晶体管中不均匀大,有的晶体管的纵轴 $V_{sh}$ 的值超过-2.0V至2.0V的范围,并且不能测量其他晶体管的 $V_{sh}$ 的值。另外可知,设定值为0.35 $\mu\text{m}$ 及0.5 $\mu\text{m}$ 的各晶体管的 $V_{sh}$ 的不均匀也大。由此可知,晶体管200的结构具有对于晶体管尺寸的依赖性。如上所述,通过采用晶体管100的结构,可以抑制根据晶体管尺寸的晶体管的电特性的不均匀。

## 实施例2

[0315] 在本实施例中,制造作为本发明的一个方式的图1A至图1C所示的晶体管100及图2A至图2C所示的晶体管200,对各晶体管的电特性进行测量,对晶体管密度给电特性带来的影响进行比较。此外,作为晶体管100的衬底及晶体管200的衬底,使用不同的衬底。

[0316] 在制造晶体管100及晶体管200时,通过热氧化法在硅单晶片上形成厚度为400nm的氧化硅膜。接着,通过溅射法形成厚度为40nm的第一氧化铝膜。

[0317] 接着,通过CVD法在第一氧化铝膜上形成厚度为150nm的第一氮化硅膜,通过溅射法在第一氮化硅膜上形成厚度为35nm的第一钨膜。接着,通过光刻法对第一钨膜进行加工,由此形成包括第一钨膜的硬掩模。

[0318] 接着,对第一氮化硅膜进行加工,形成到达第一氧化铝膜的槽。接着,通过溅射法在该槽中形成第一氮化钽膜,通过ALD法及CVD法在第一氮化钽膜上形成第一氮化钛膜以及第二钨膜。接着,通过第一CMP处理,直到到达第一氮化硅膜的顶面为止对第二钨膜、第一氮化钛膜、第一氮化钽膜及第一钨膜进行抛光,在槽中埋入第二钨膜、第一氮化钛膜及第一氮化钽膜,由此形成布线层及第二栅电极。

[0319] 接着,通过CVD法形成厚度为10nm的第二氮化硅膜。通过ALD法形成厚度为20nm的氧化钪膜。通过CVD法形成厚度为30nm的第三氮化硅膜。第二氮化硅膜、氧化钪膜及第三氮化硅膜被用作第二栅极绝缘膜。接着,进行第一加热处理。作为第一加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理,接着在包含氧的气氛下以400℃的温度进行1小时的处理。

[0320] 接着,作为第一氧化物(S1)通过溅射法形成厚度为5nm的In-Ga-Zn氧化物。S1的形成条件为如下:使用In:Ga:Zn=1:3:4[原子个数比]的靶材;氧气体流量为45sccm;压力为0.7Pa;衬底温度为200℃。

[0321] 接着,作为第二氧化物(S2),通过溅射法在S1上形成厚度为20nm的In-Ga-Zn氧化物。S2的形成条件为如下:使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材;氩气体流量为40sccm;氧气体流量为5sccm;压力为0.7Pa;衬底温度为130℃。

[0322] 接着,进行第二加热处理。作为第二加热处理,在包含氮的气氛下以400℃的温度进行1小时的处理,然后在包含氧的气氛下以400℃的温度进行1小时的处理。

[0323] 接着,通过溅射法在S2上形成厚度为20nm的第二氮化钽膜。接着,通过ALD法在第二氮化钽膜上形成厚度为5nm的第二氧化铝膜。接着,通过溅射法在第二氧化铝膜上形成厚度为15nm的第三氮化钽膜。

[0324] 接着,通过光刻法对被形成沟道的部分的第三氮化钽膜及第二氧化铝膜进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0325] 接着,通过光刻法形成抗蚀剂掩模,以该抗蚀剂掩模为蚀刻掩模对第三氮化钽膜进行蚀刻。作为该蚀刻,利用干蚀刻法。接着,通过氧等离子体去除该抗蚀剂掩模,依次对第二氧化铝膜、第二氮化钽膜、S2及S1的不需要的部分进行蚀刻。作为该蚀刻,利用干蚀刻法。

[0326] 对被形成沟道的部分的第二氮化钽膜进行蚀刻。在该蚀刻中,第二氧化铝膜上的第三氮化钽膜也同时被蚀刻。作为该蚀刻,利用干蚀刻法。

[0327] 接着,作为第三氧化物(S3),通过溅射法形成厚度为5nm的In-Ga-Zn氧化物。

[0328] 通过CVD法形成厚度为10nm的被用作第一栅极氧化膜的第四氮化硅膜。

[0329] 通过溅射法形成厚度为10nm的第二氮化钛膜,通过溅射法在第二氮化钛膜上形成厚度为30nm的第三钨膜。连续地形成第二氮化钛膜和第三钨膜。

[0330] 通过光刻法依次对第三钨膜及第二氮化钛膜进行蚀刻来形成栅电极。作为蚀刻,利用干蚀刻法。

[0331] 通过ALD法形成厚度为7nm的第三氧化铝膜。衬底温度为250℃。

[0332] 接着,通过光刻法对第三氧化铝膜的一部分及第四氧氮化硅膜的一部分进行蚀刻。作为该蚀刻,利用干蚀刻法。接着,对S3进行蚀刻。在S3的蚀刻中,使用稀磷酸液。

[0333] 通过溅射法在如下条件下形成厚度为5nm的第四氧化铝膜作为将成为晶体管100的样品:氩气体流量为25sccm,氧气体流量为25sccm;压力为0.4Pa;衬底温度为130℃。

[0334] 通过ALD法在第四氧化铝膜上形成厚度为5nm的第五氧化铝膜作为将成为晶体管100的样品。衬底温度为250℃。

[0335] 注意,在晶体管200中,没有形成第四氧化铝膜及第五氧化铝膜。

[0336] 从此之后,在将成为晶体管100的样品和将成为晶体管200的样品中进行同一工序。

[0337] 接着,通过CVD法形成厚度为310nm的第五氧氮化硅膜。接着,进行第二CMP处理对第五氧氮化硅膜进行抛光,使第五氧氮化硅膜的表面平坦化。

[0338] 通过溅射法在如下条件下在第五氧氮化硅膜上形成厚度为40nm的第六氧化铝膜:氩气体流量为25sccm,氧气体流量为25sccm;压力为0.4Pa;衬底温度为250℃。

[0339] 接着,进行第三加热处理。作为第三加热处理,在包含氧的气氛下以350℃的温度进行1小时的处理。

[0340] 接着,通过CVD法形成厚度为100nm的第六氧氮化硅膜。

[0341] 接着,通过光刻法形成到达第二钨膜(第二栅电极)的接触孔、到达第三钨膜(第一栅电极)的接触孔及到达第二氮化钽膜(源电极及漏电极)的接触孔,通过溅射法形成厚度为40nm的第四氮化钽膜,通过ALD法形成厚度为10nm的第三氮化钛膜,通过CVD法形成厚度为150nm的第四钨膜。

[0342] 接着,进行第三CMP处理,直到到达第六氧氮化硅膜的顶面为止对第四钨膜、第三氮化钛膜及第四氮化钽膜进行抛光,形成在各接触孔中埋入第四钨膜、第三氮化钛膜及第四氮化钽膜的插头。

[0343] 接着,通过溅射法形成厚度为50nm的第五钨膜。接着,通过光刻法对第五钨膜的一部分进行蚀刻,由此形成布线层。

[0344] 接着,进行第四加热处理。第四加热处理以250℃的温度进行1小时。

[0345] 接着,通过涂敷法形成厚度为1.0μm的光致抗蚀剂膜。接着,通过光刻法去除成为测量端子(测量焊盘)的部分的光致抗蚀剂膜。

[0346] 如上所述,制造晶体管100及晶体管200。

[0347] 接着,对晶体管100及200的电特性进行测量。各晶体管配置在5英寸方的衬底中。

[0348] 此外,在晶体管100及晶体管200的电特性的测量中,测量将源极-漏极间电压(以下,称为漏极电压Vd)设定为0.1V、1.2V并对于每个Vd将源极-栅极间电压(以下,称为栅极电压Vg)从-4.0V改变为+4.0V时的源极-漏极间电流(以下,称为漏极电流Id)的变化。即,测量Id-Vg特性。以后,栅极电压Vg是指第一栅电极(顶栅电极)的电压。在本测量中,将第二栅

电极(背栅电极)的电压设定为0V。此外,在本测量中,测量衬底中的9个晶体管的 $I_d-V_g$ 特性。

[0349] 从所获得的 $I_d-V_g$ 特性的测量数据求出 $V_d=0.1V$ 时的 $V_{sh}$ 。

[0350] 图23A和图23B是示出 $V_{sh}$ 的对于晶体管密度的依赖性的图表。作为晶体管尺寸,沟道长度为60nm,沟道宽度为60nm。图表的纵轴表示 $V_{sh}$ ,横轴表示晶体管密度。将晶体管密度定义为每单位面积的晶体管的个数。横轴所示的数值的01、02和03分别表示 $0.02$ 个/ $\mu m^2$ 、 $1$ 个/ $\mu m^2$ 、 $2.9$ 个/ $\mu m^2$ 的晶体管密度。

[0351] 图23A是示出晶体管100的 $V_{sh}$ 的对于晶体管密度的依赖性的图表,确认到有如下倾向,即晶体管密度越高, $V_{sh}$ 越向负方向漂移。另外可知,各密度的晶体管的 $V_{sh}$ 的不均匀也大。由此可知,晶体管100的结构具有对于晶体管密度的依赖性。另一方面,图23B是示出晶体管200的 $V_{sh}$ 的对于晶体管密度的依赖性的图表,根据晶体管密度的 $V_{sh}$ 的变动小。此外,各密度的晶体管的不均匀也小。例如,以不均匀为最大值-最小值的值,该值为 $0.14V$ 左右至 $0.20V$ 左右。如上所述,通过采用晶体管200的结构,可以抑制晶体管密度所引起的晶体管的电特性的不均匀。

#### 符号说明

[0352] I1 绝缘体

I2 绝缘体

S1 氧化物

S2 氧化物

S3 氧化物

100 晶体管

100A 晶体管

200 晶体管

200a 晶体管

200A 晶体管

200b 晶体管

283 沟道形成区域

284 低浓度p型杂质区域

285 高浓度p型杂质区域

286 绝缘体

287 导电体

288 侧壁

301 绝缘体

302 绝缘体

303 绝缘体

310 导电体

310a 导电体

310b 导电体

400 衬底

401a 氧化物  
401b 氧化物  
402 绝缘体  
404 导电体  
404a 导电体  
404b 导电体  
404c 导电体  
406a 氧化物  
406a1 氧化物  
406b 氧化物  
406b1 氧化物  
406c 氧化物  
406c1 氧化物  
408 氧化物  
408a 氧化物  
408b 氧化物  
410 绝缘体  
411 导电体  
411a 导电体  
411a1 导电体  
411a2 导电体  
412 绝缘体  
412a 绝缘体  
416 导电体  
416a 导电体  
416a1 导电体  
416a2 导电体  
417 阻挡膜  
417a 阻挡膜  
417a1 阻挡膜  
417a2 阻挡膜  
417b1 阻挡膜  
417b2 阻挡膜  
418 氧化物  
420 氧化物  
421 抗蚀剂  
422 氧化物  
501 衬底  
504 绝缘体

505 绝缘体  
514 元件分离区域  
521 导电体  
522 导电体  
525 导电体  
526 导电体  
527 导电体  
528 导电体  
529 导电体  
534 绝缘体  
537 绝缘体  
538 绝缘体  
539 绝缘体  
600 晶体管  
600a 晶体管  
600b 晶体管  
700 电容器  
700a 电容器  
700b 电容器  
1000 半导体装置  
2900 便携式游戏机  
2901 框体  
2902 框体  
2903 显示部  
2904 显示部  
2905 麦克风  
2906 扬声器  
2907 操作开关  
2908 触屏笔  
2910 信息终端  
2911 框体  
2912 显示部  
2913 照相机  
2914 扬声器部  
2915 操作开关  
2916 外部连接部  
2917 麦克风  
2920 笔记本型个人计算机  
2921 框体

2922 显示部  
2923 键盘  
2924 指向装置  
2940 摄像机  
2941 框体  
2942 框体  
2943 显示部  
2944 操作开关  
2945 透镜  
2946 连接部  
2950 信息终端  
2951 框体  
2952 显示部  
2960 信息终端  
2961 框体  
2962 显示部  
2963 腕带  
2964 表扣  
2965 操作开关  
2966 输入输出端子  
2967 图标  
2980 汽车  
2981 车体  
2982 车轮  
2983 仪表盘  
2984 灯

100

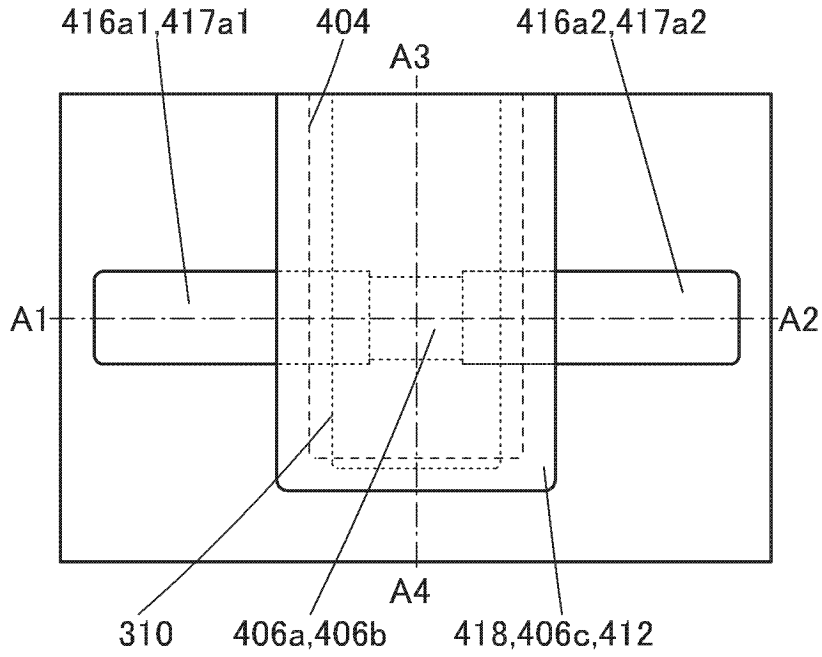


图1A

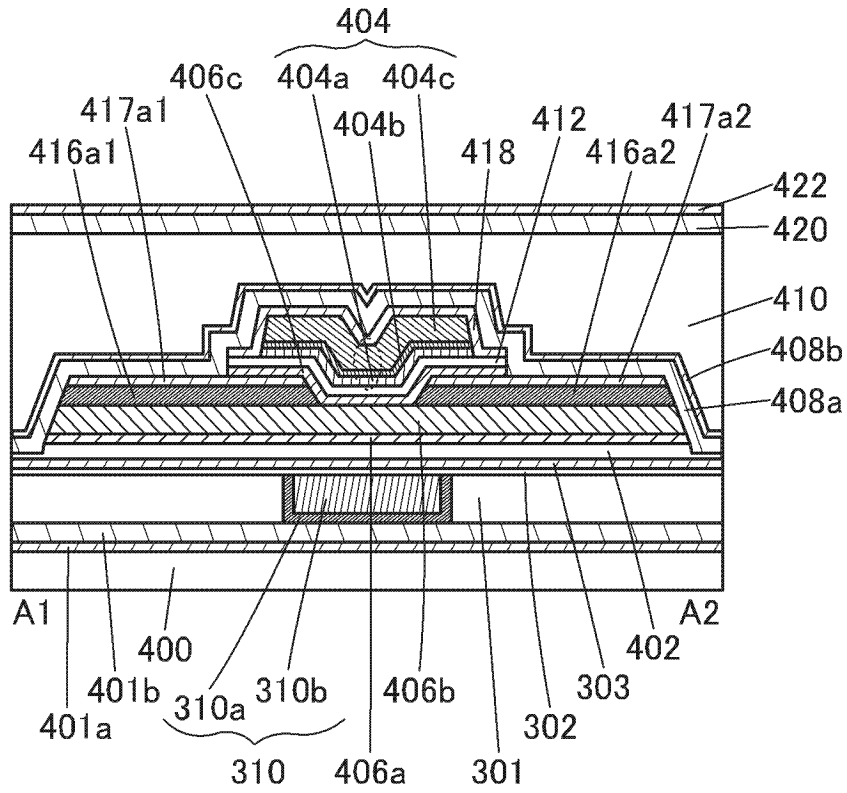


图1B

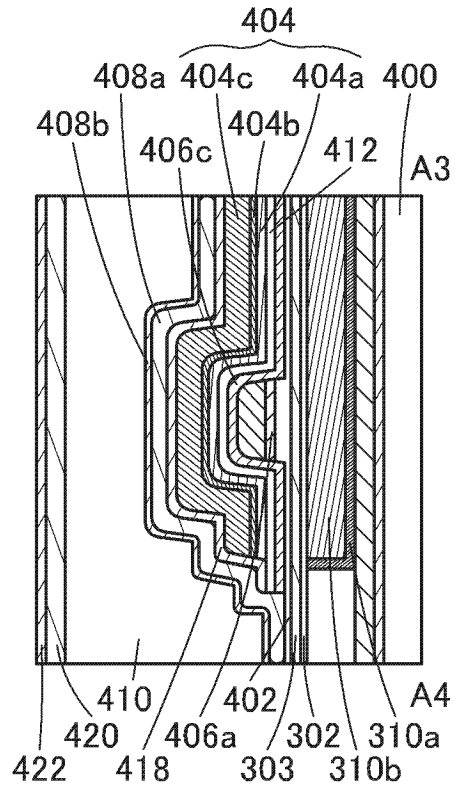


图1C

200

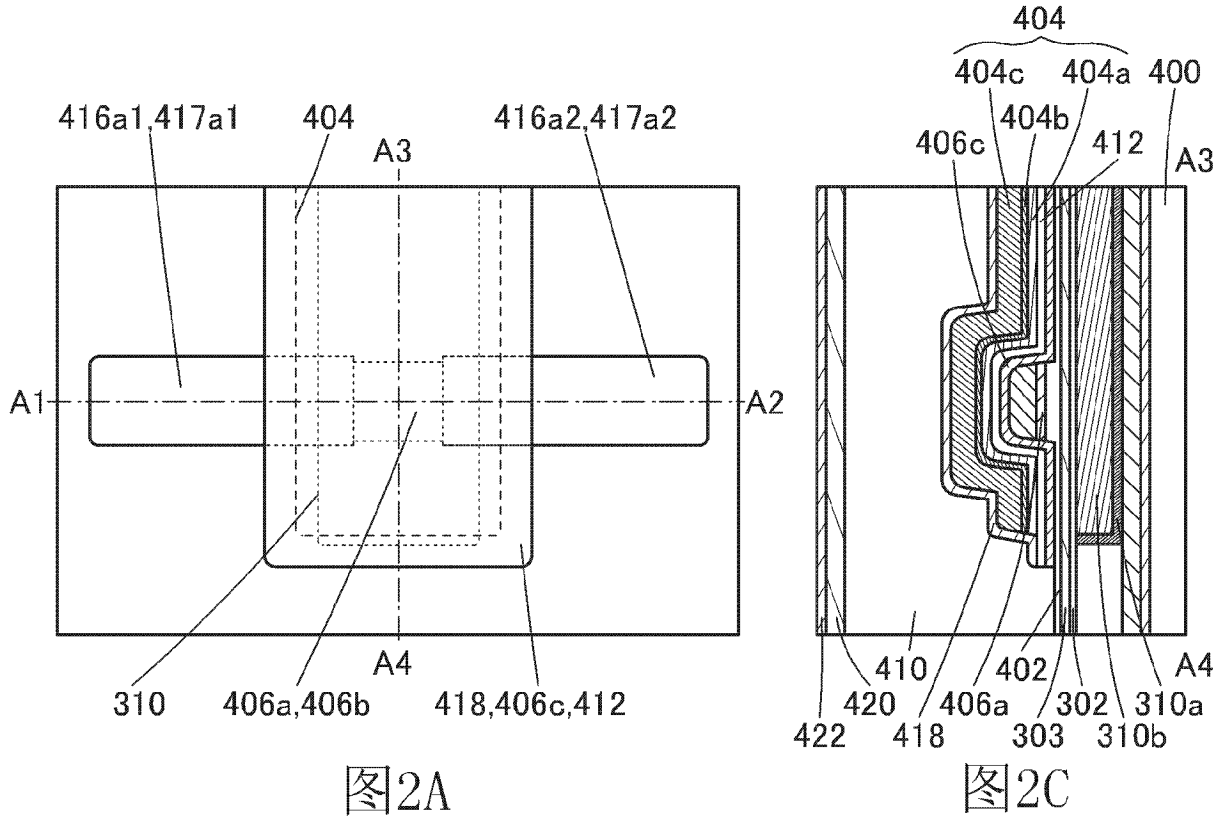


图2A

图2C

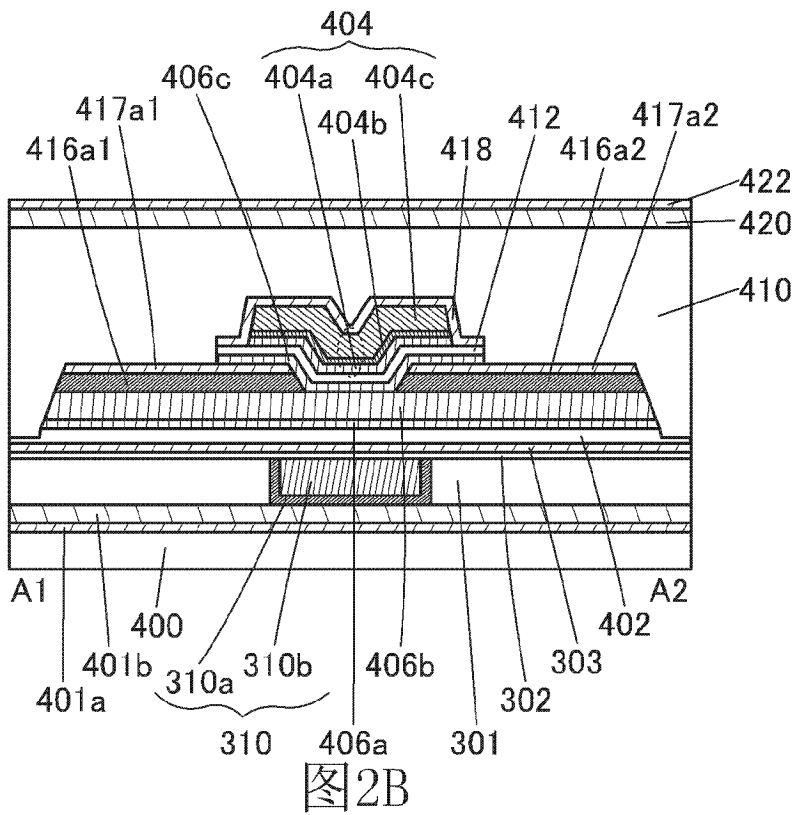


图2B

100A

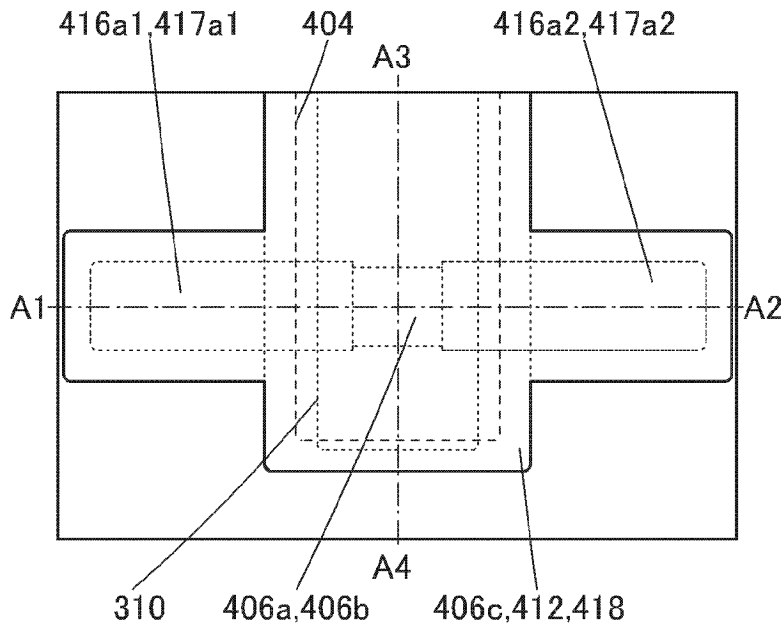


图3A

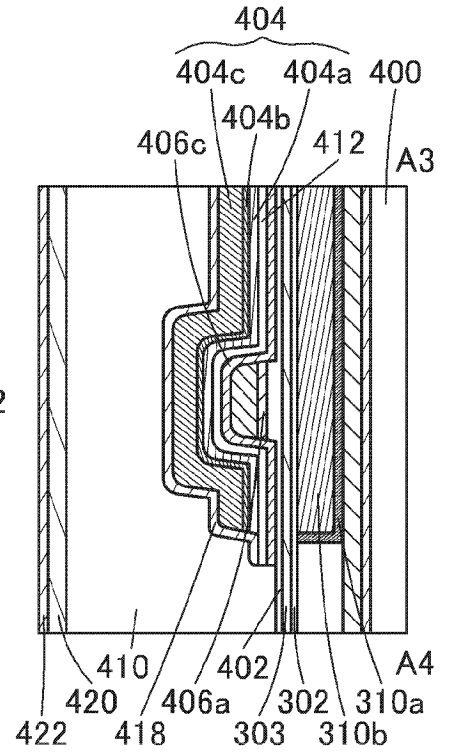


图3C

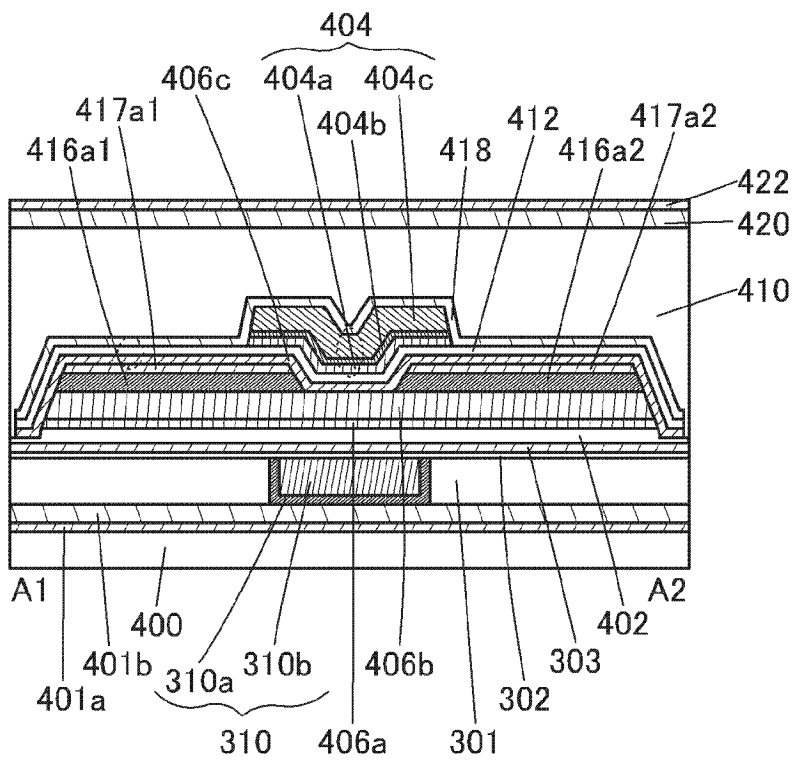


图3B

200A

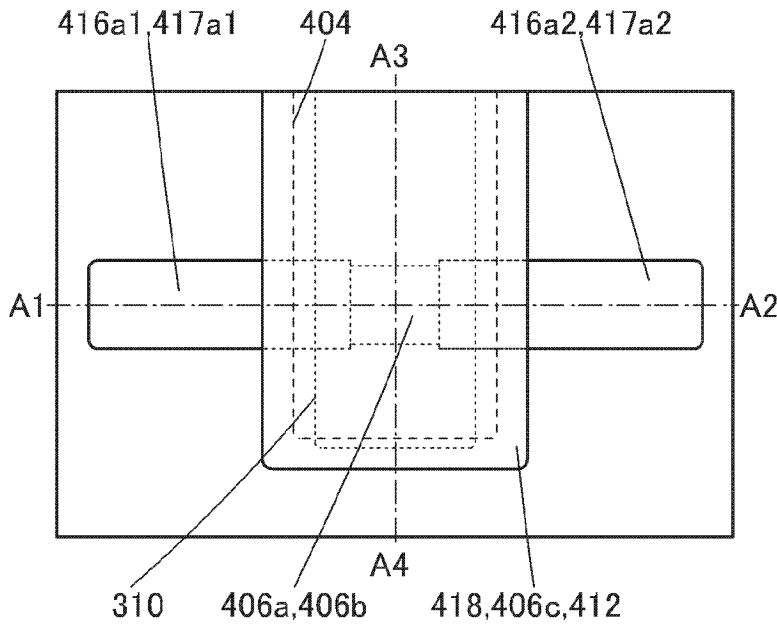


图4A

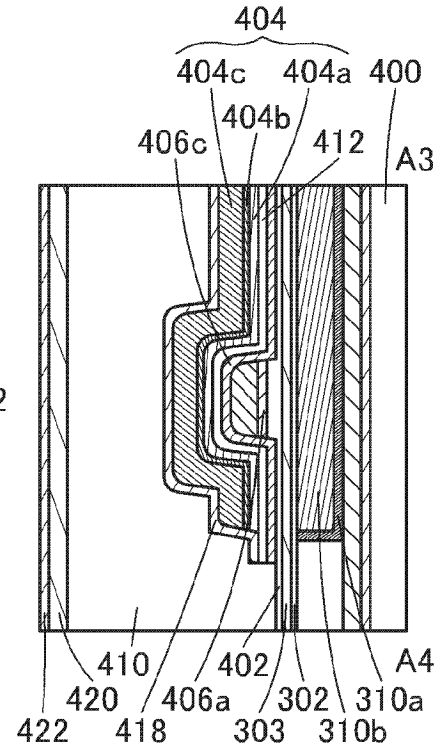


图4C

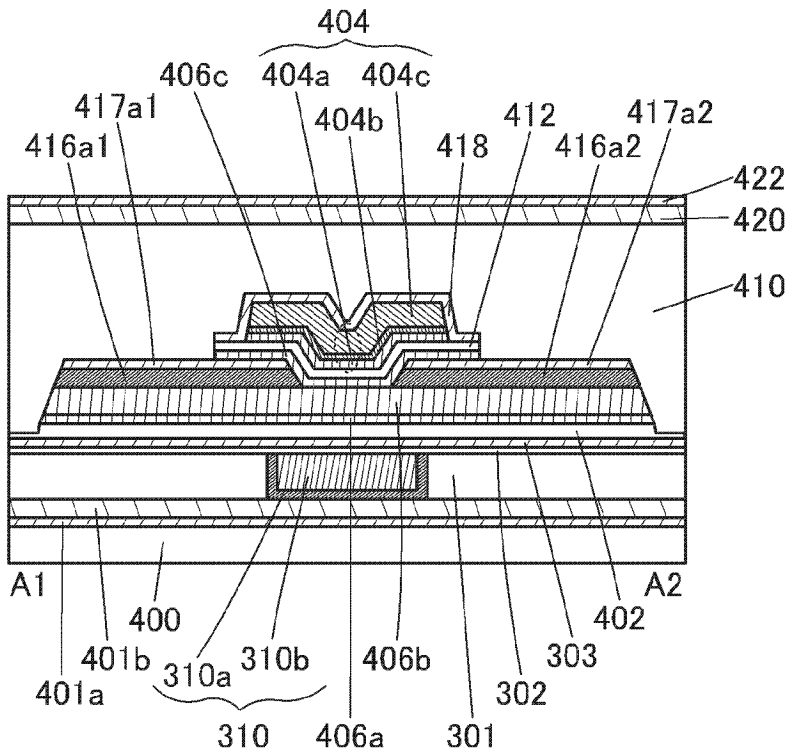


图4B

100 200

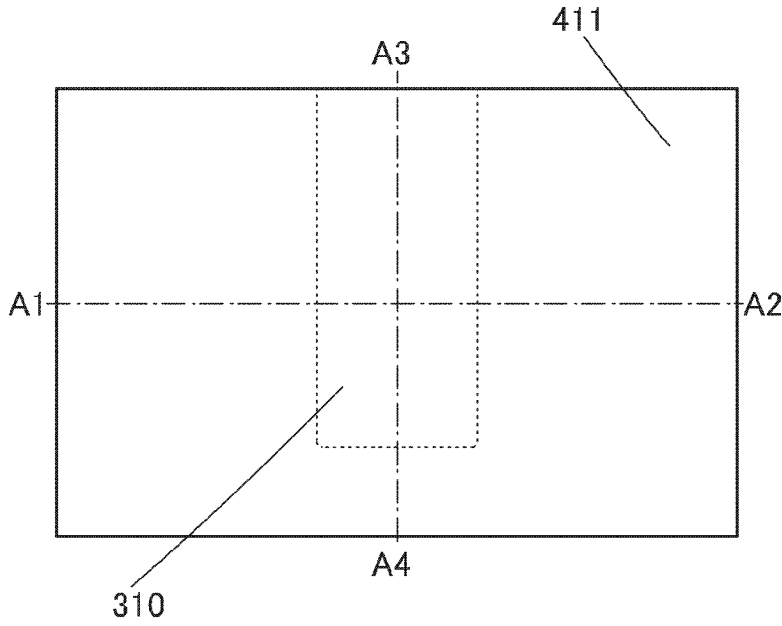


图5A

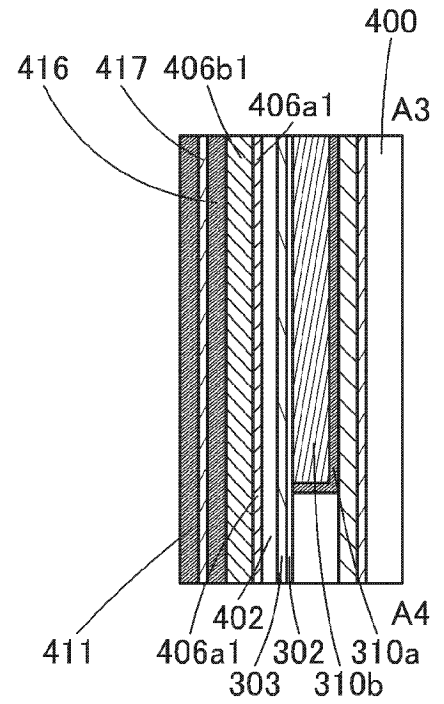


图5C

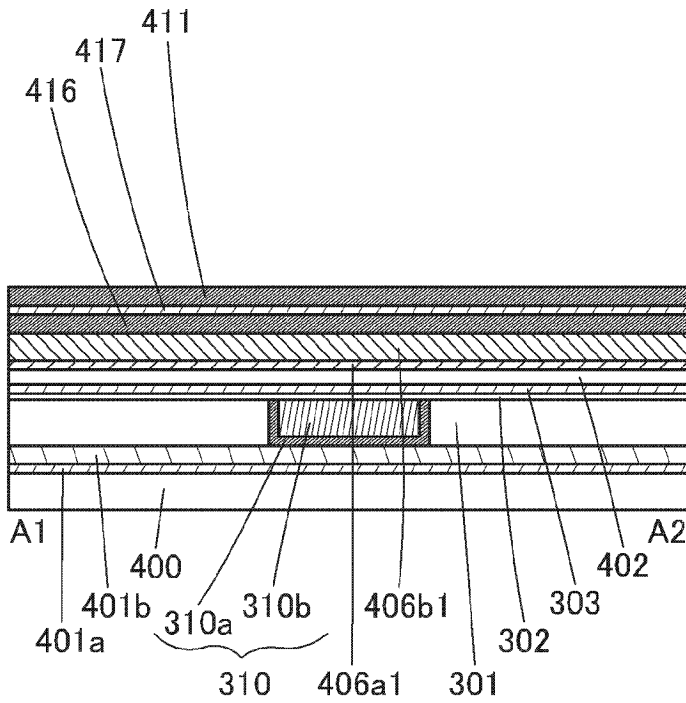


图5B

100 200

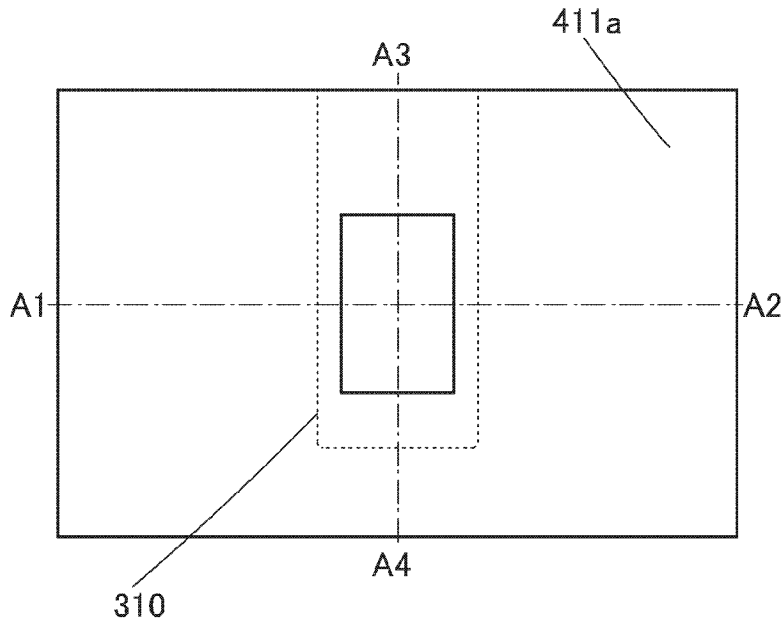


图6A

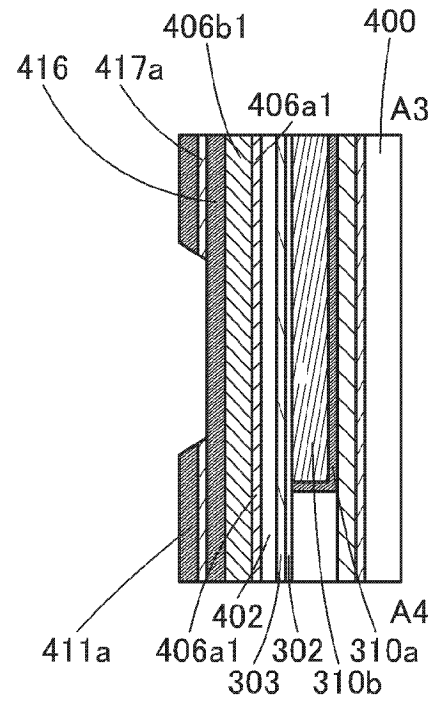


图6C

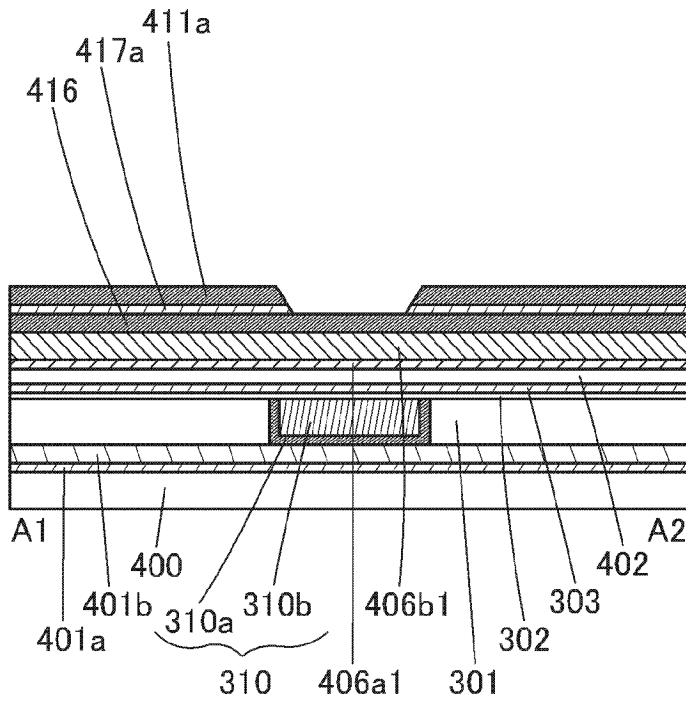


图6B

100 200

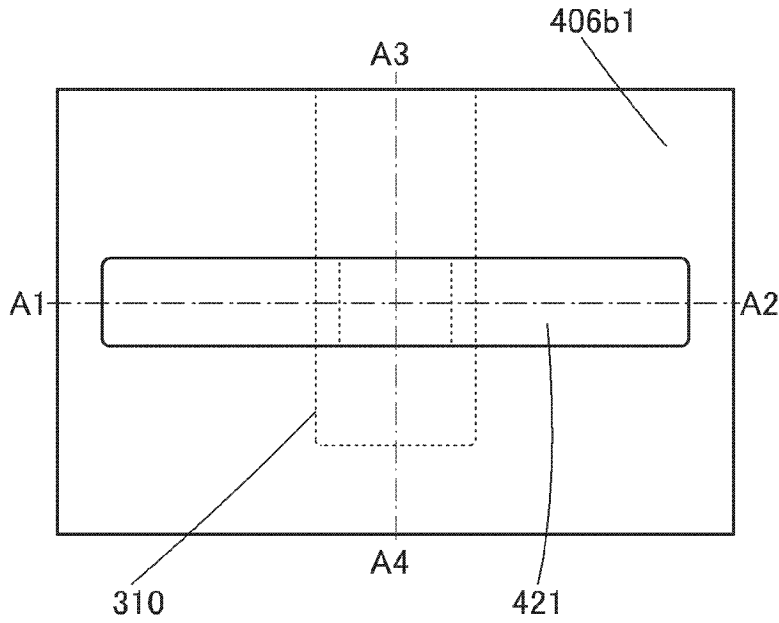


图7A

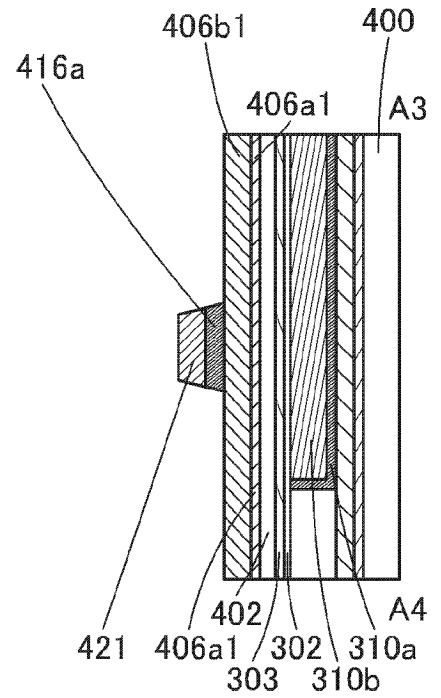


图7C

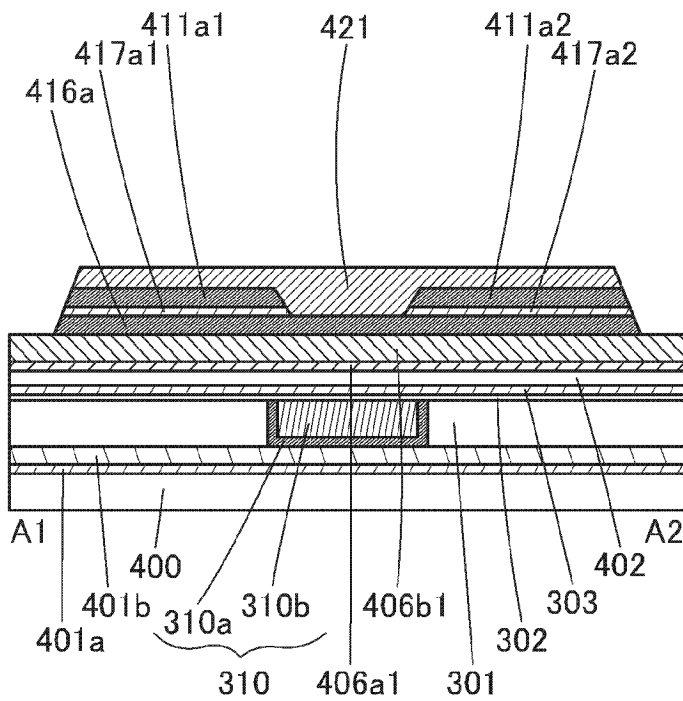


图7B

100 200

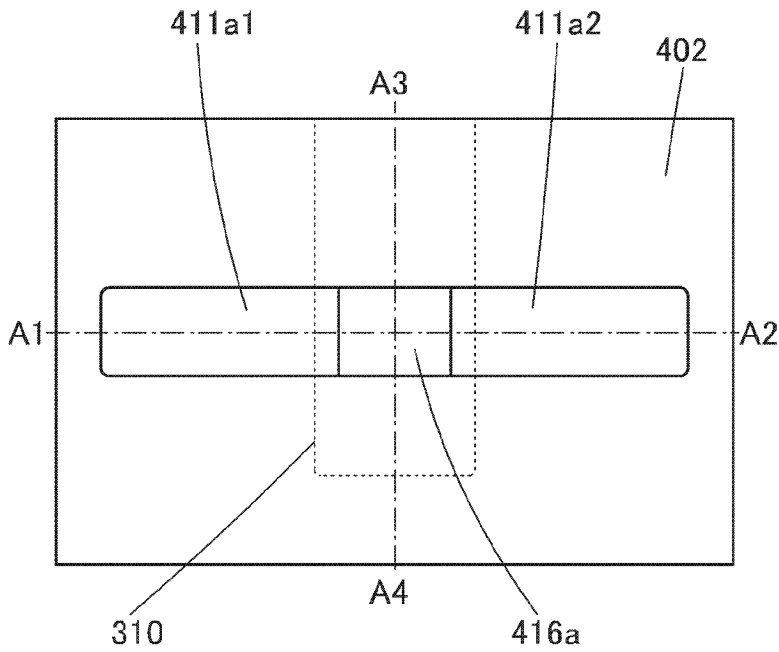


图8A

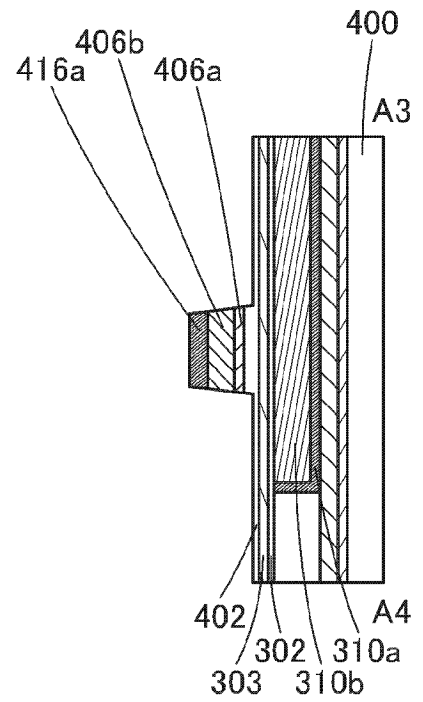


图8C

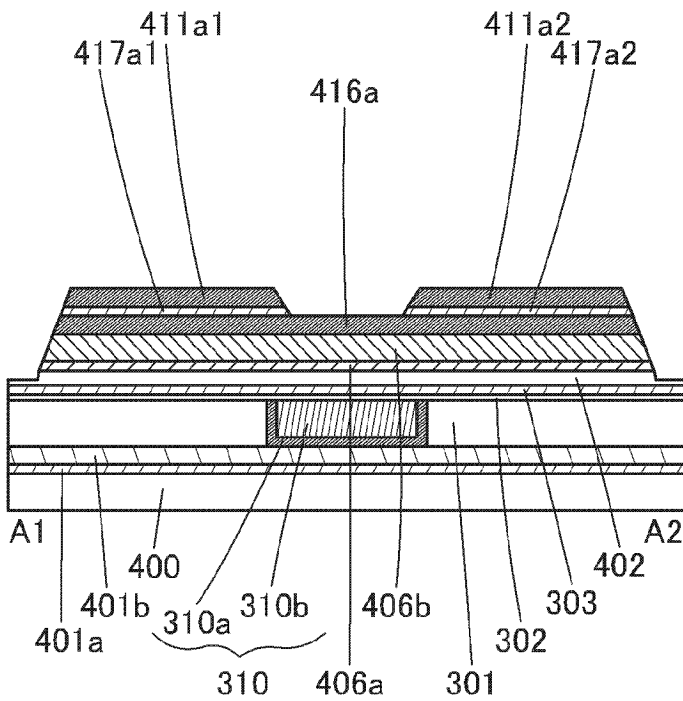


图8B

100 200

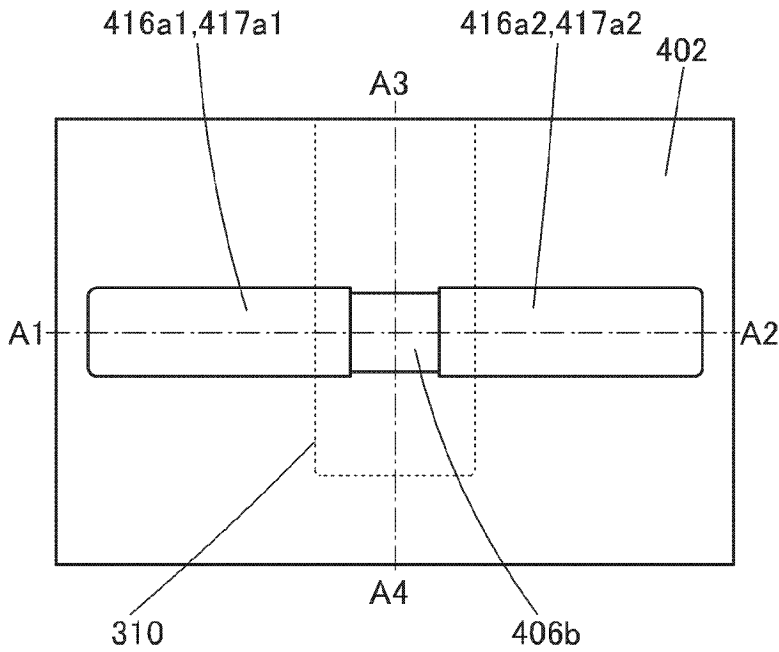


图9A

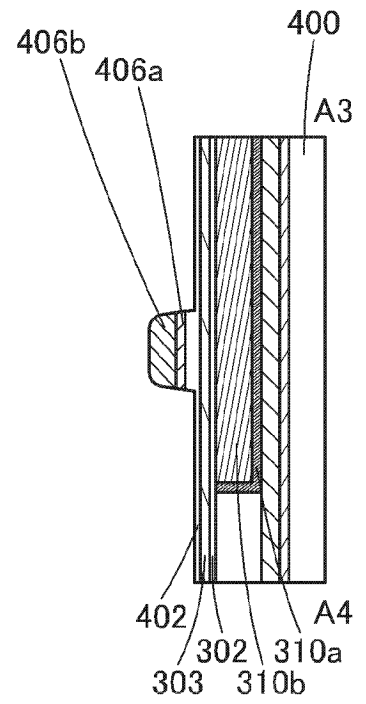


图9C

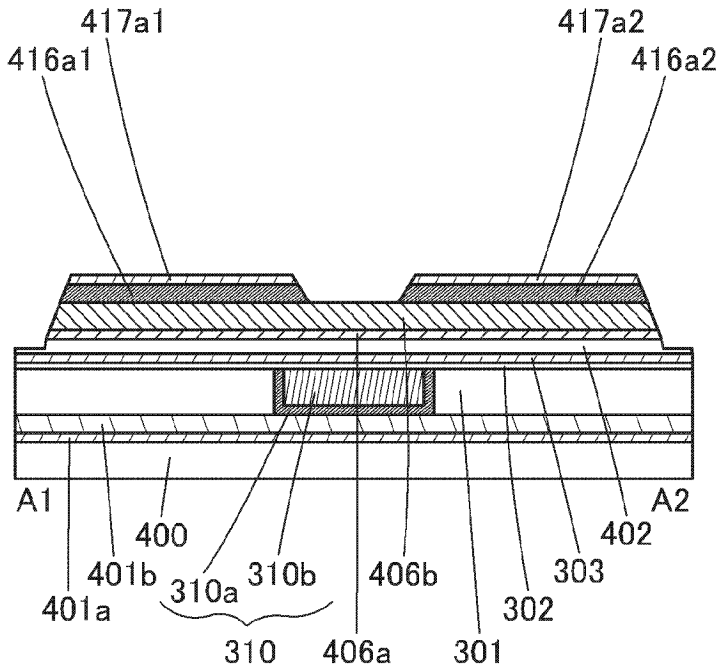


图9B

100 200

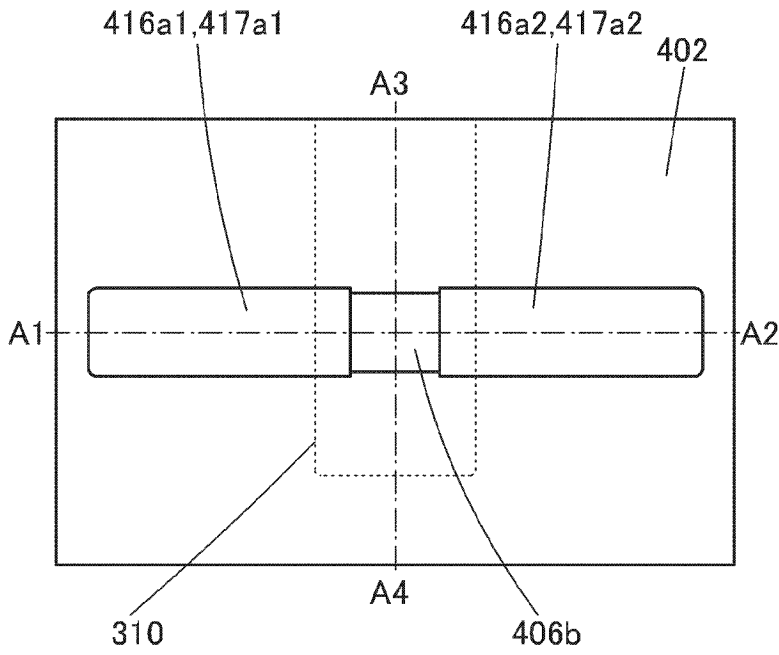


图10A

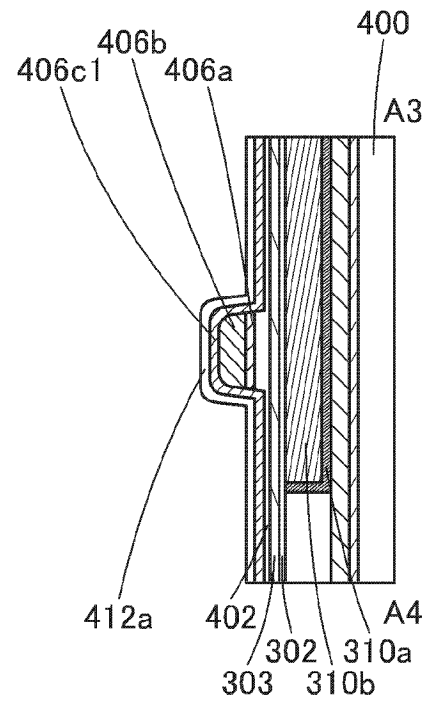


图10C

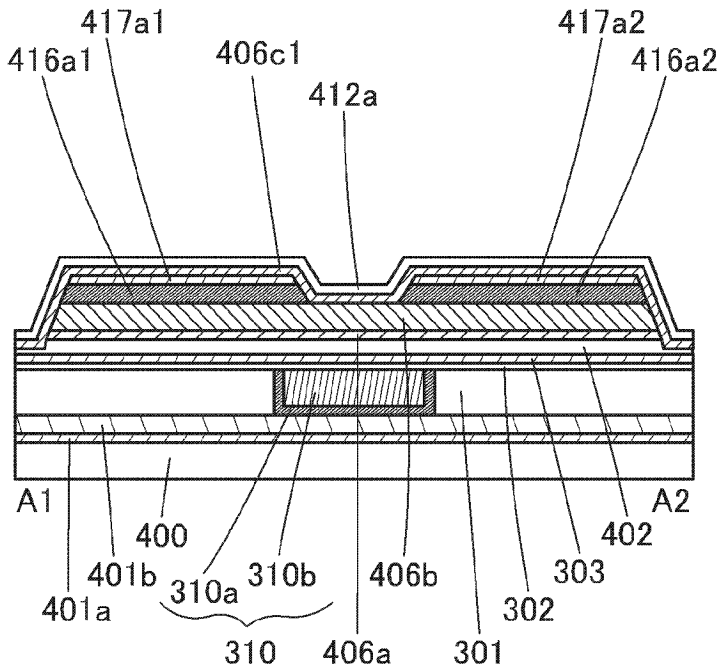


图10B

100 200

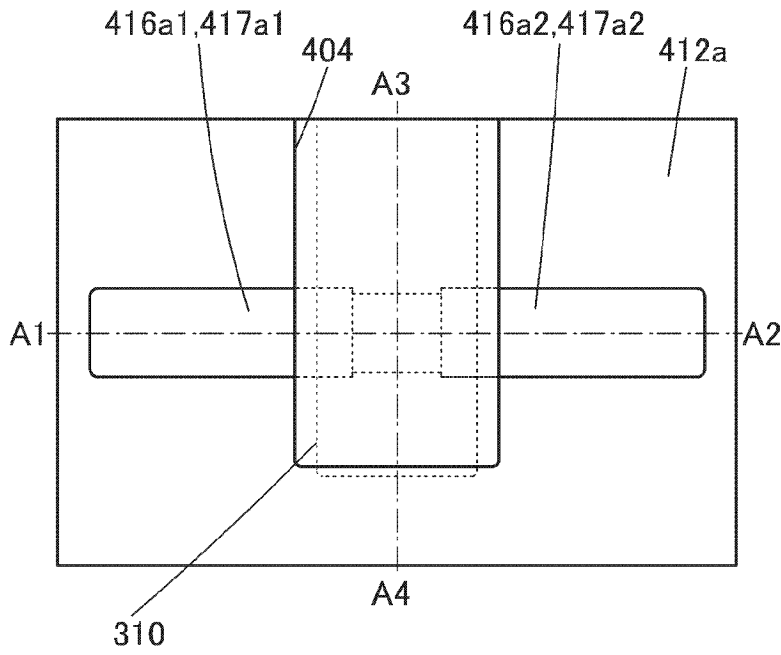


图11A

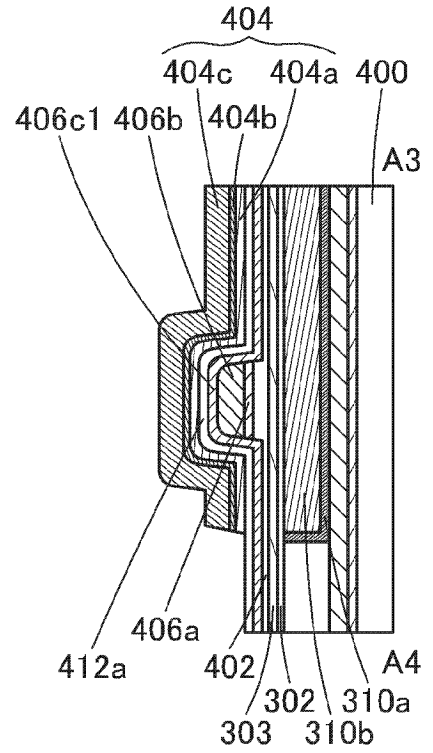


图11C

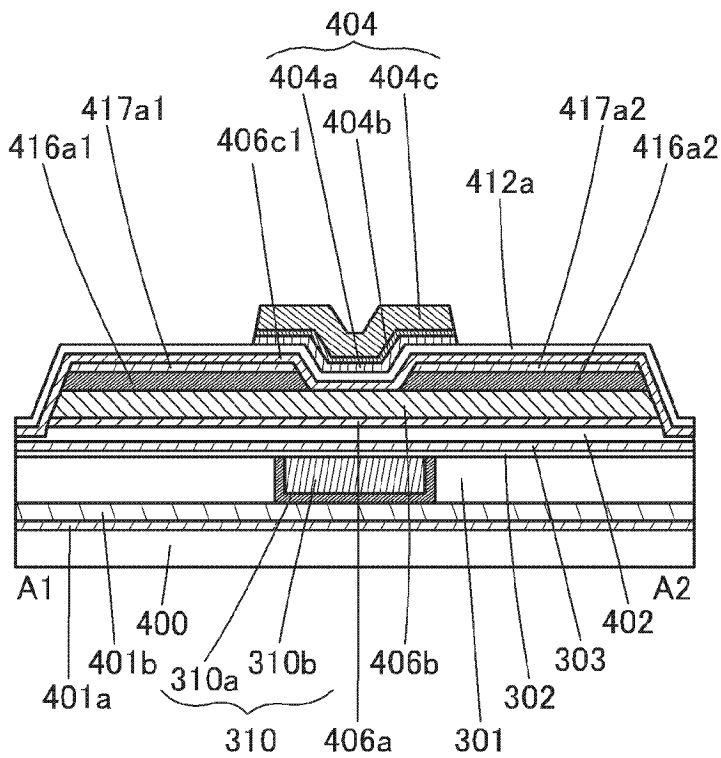


图11B

100 200

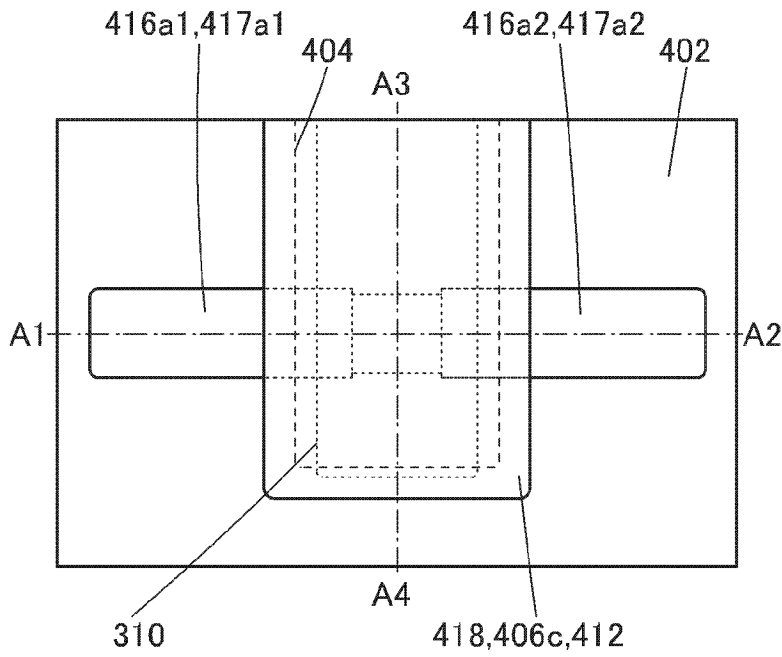


图12A

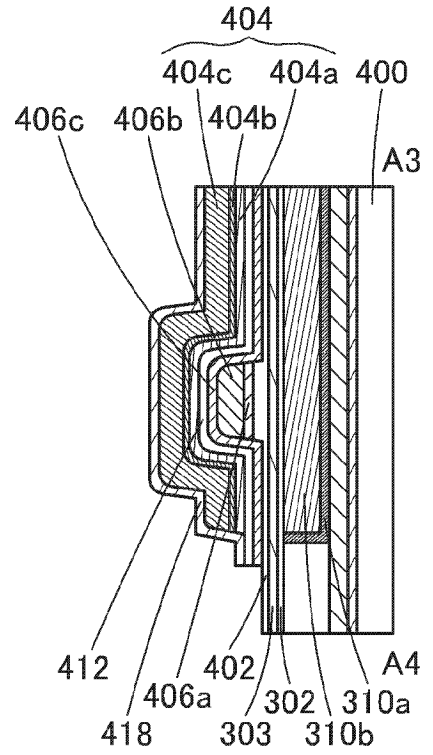


图12C

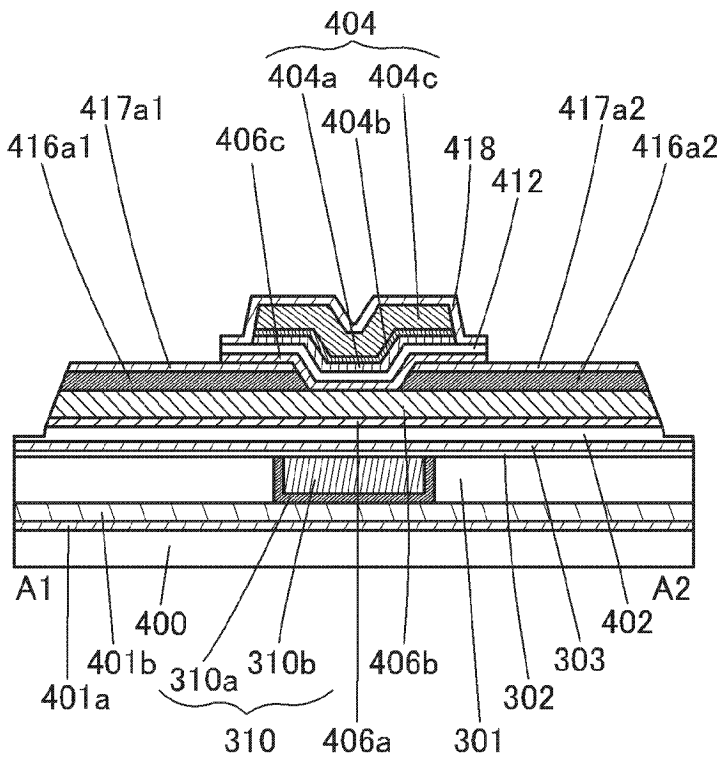


图12B

100

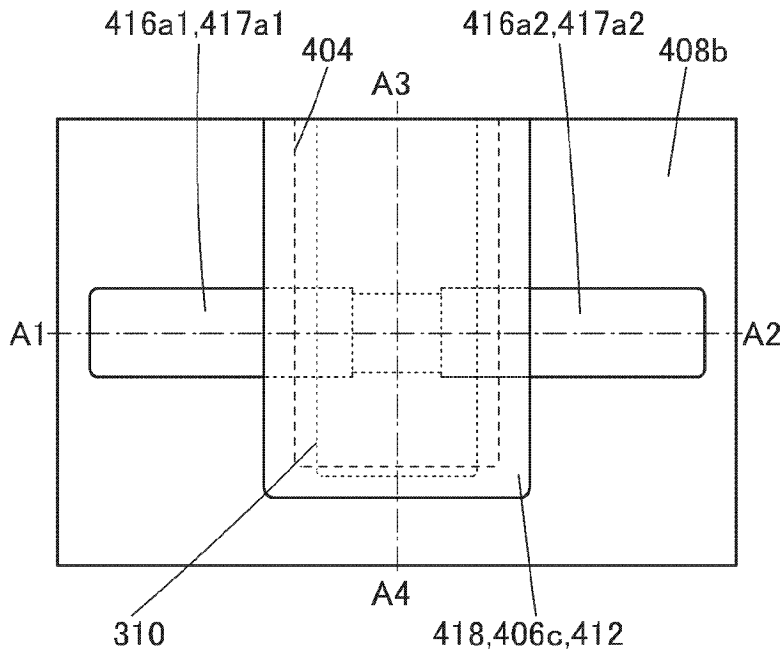


图13A

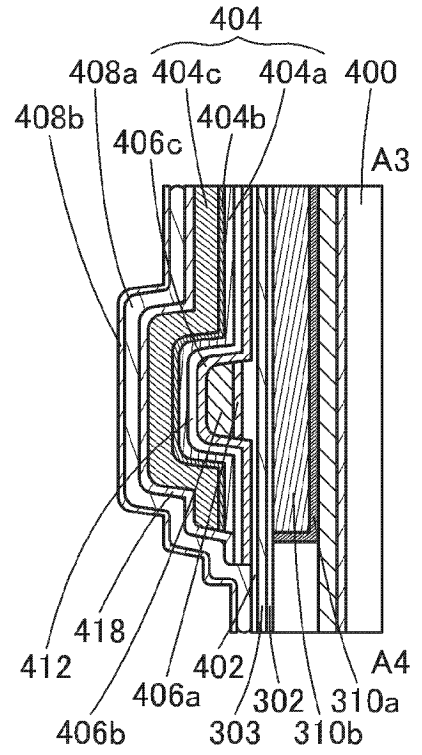


图13C

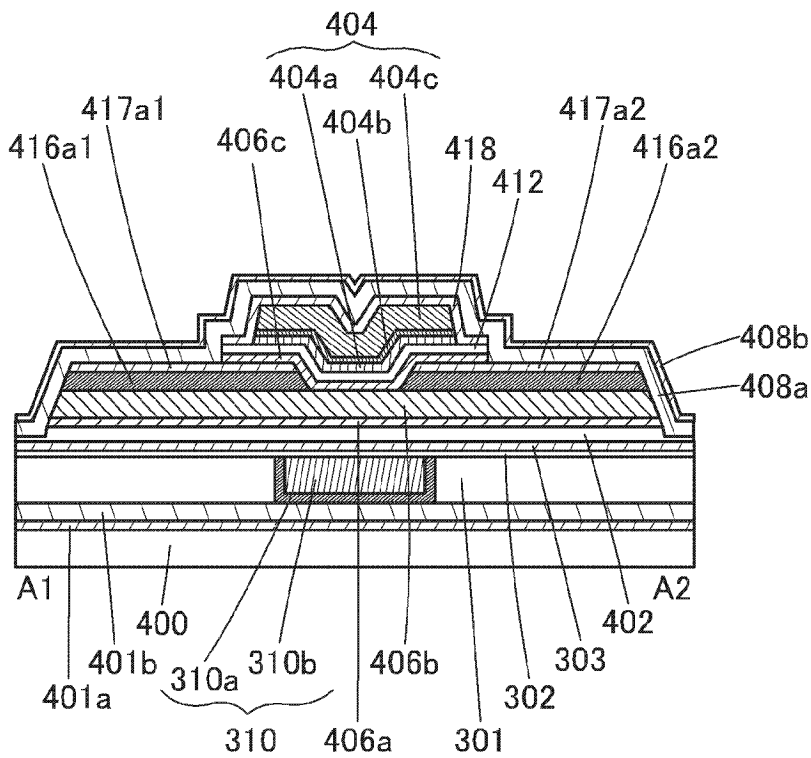


图13B

200

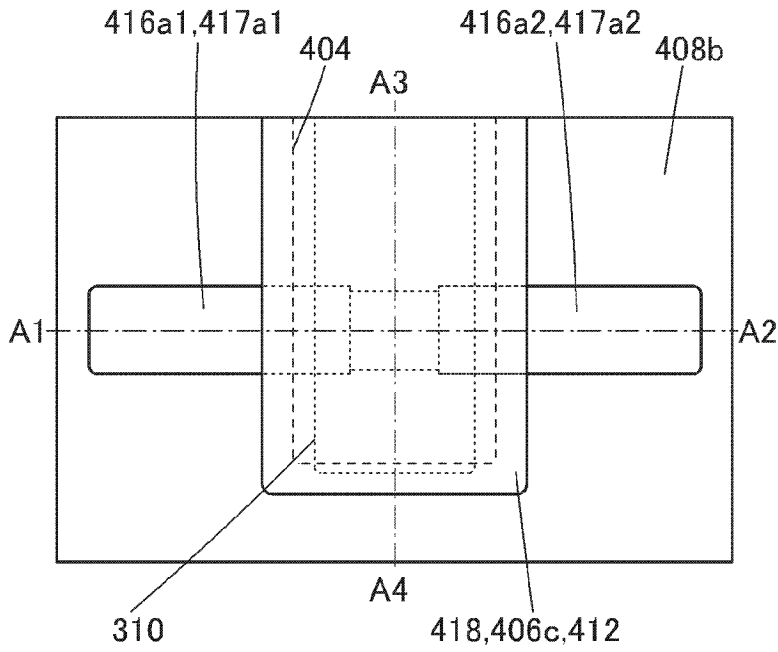


图14A

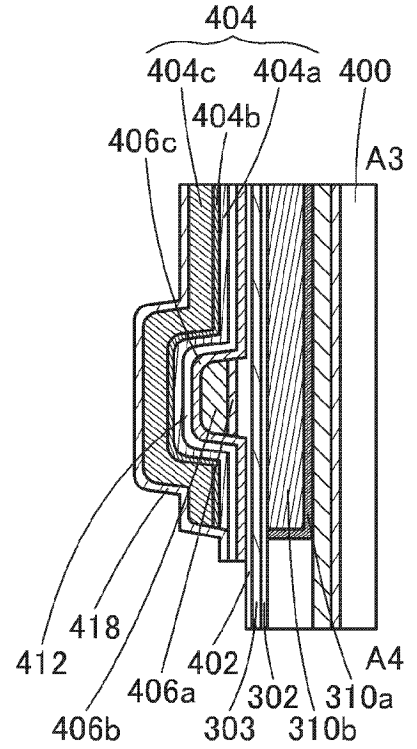


图14C

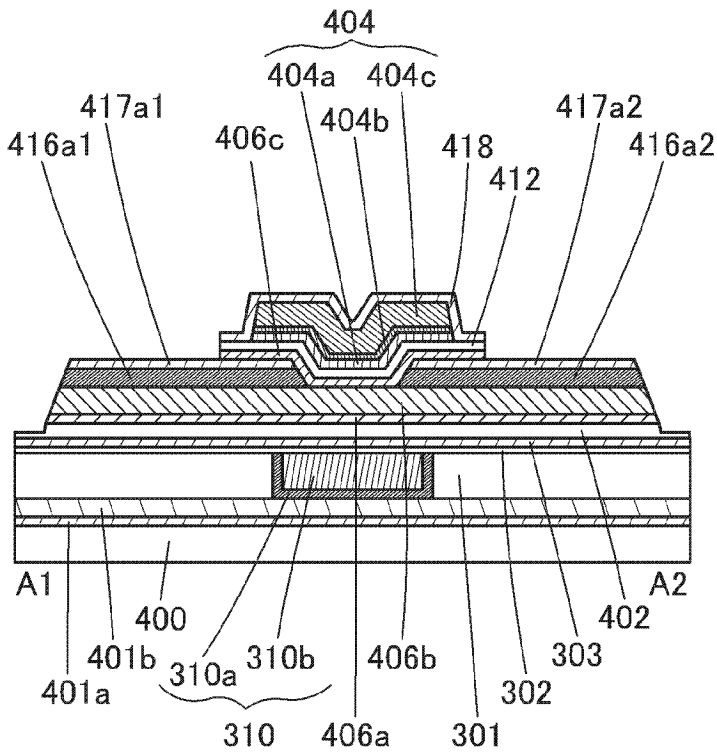


图14B

100A

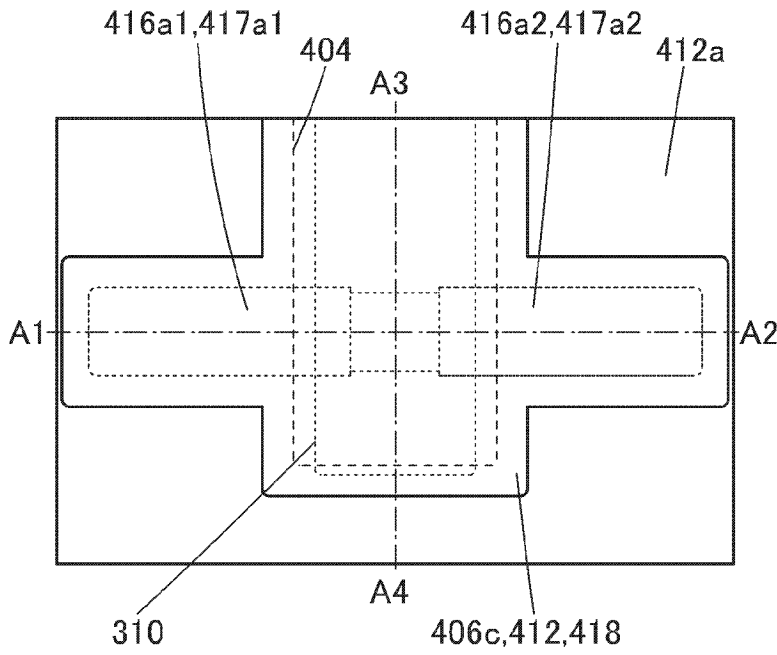


图15A

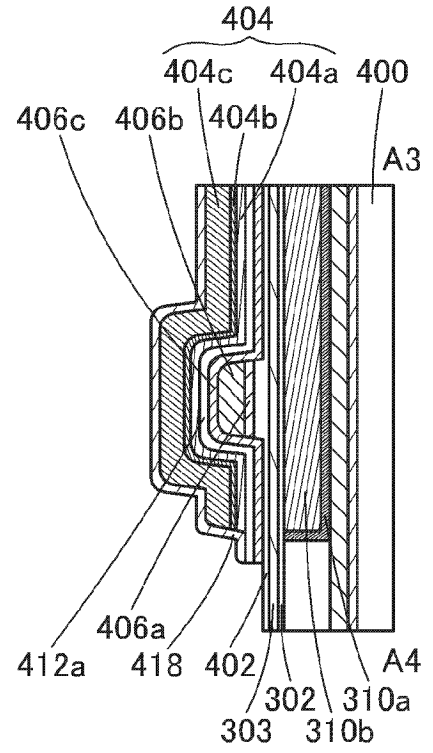


图15C

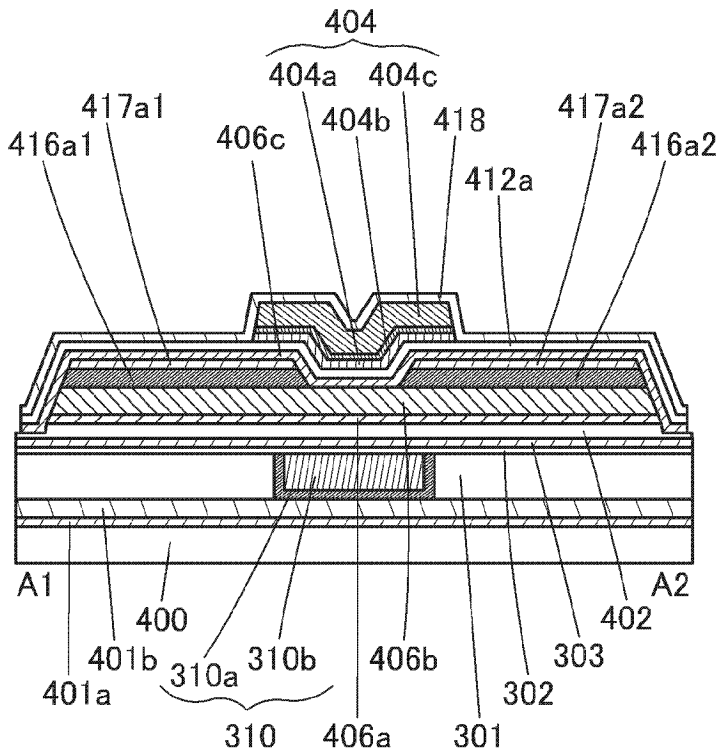


图15B

200A

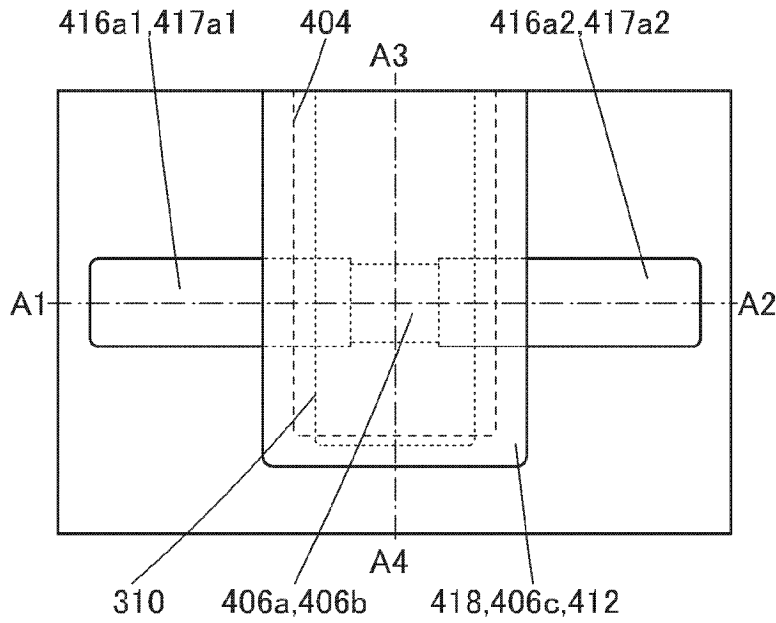


图16A

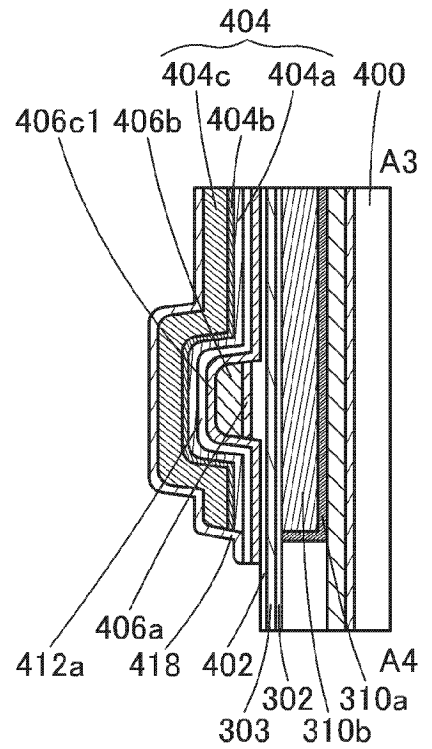


图16C

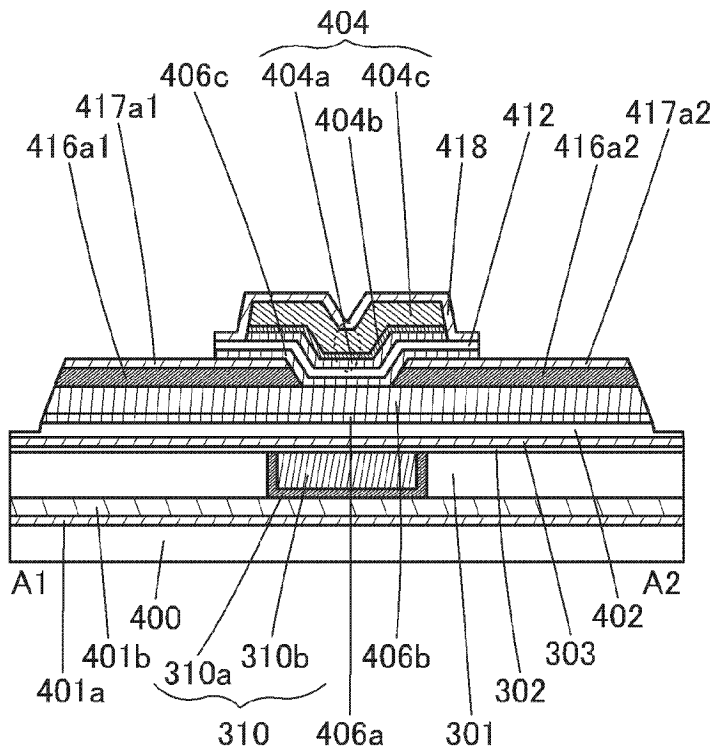


图16B

1000

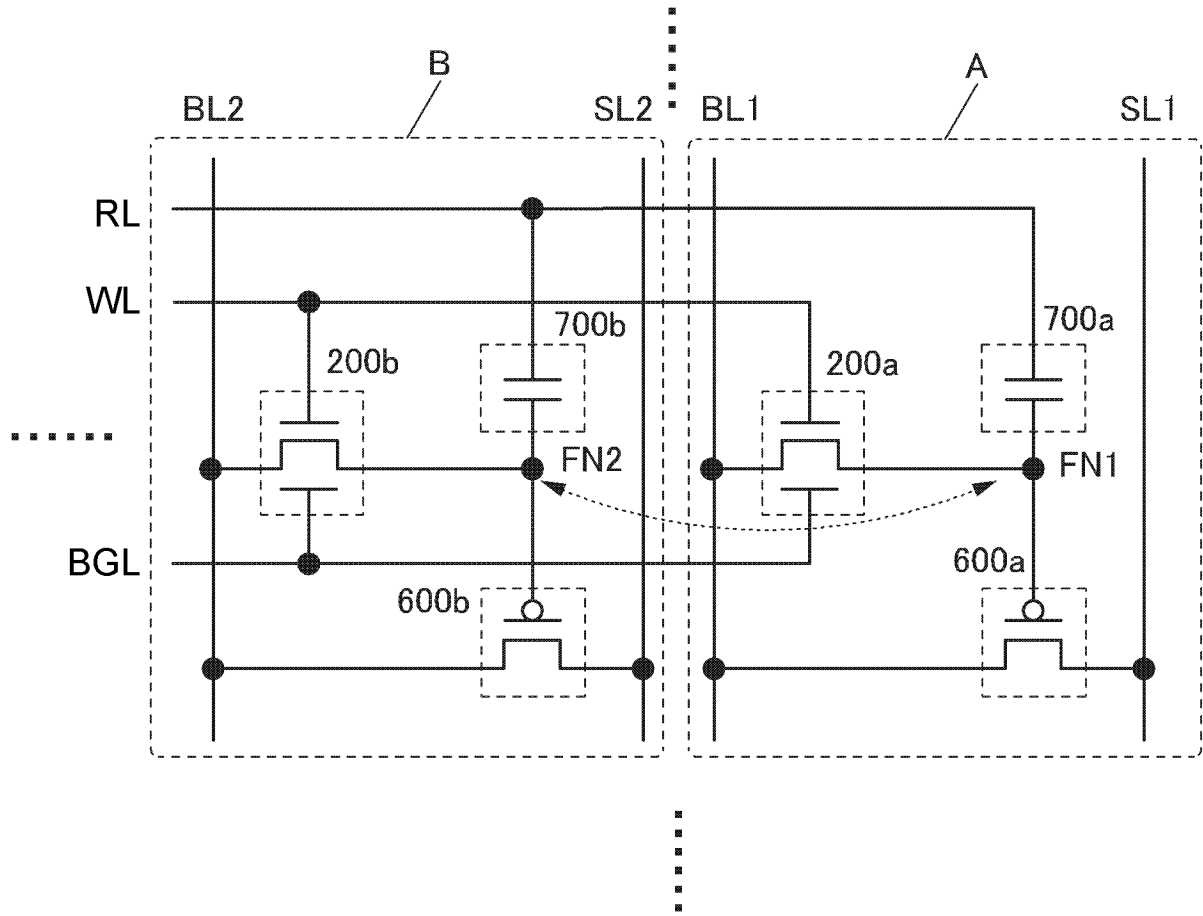


图17

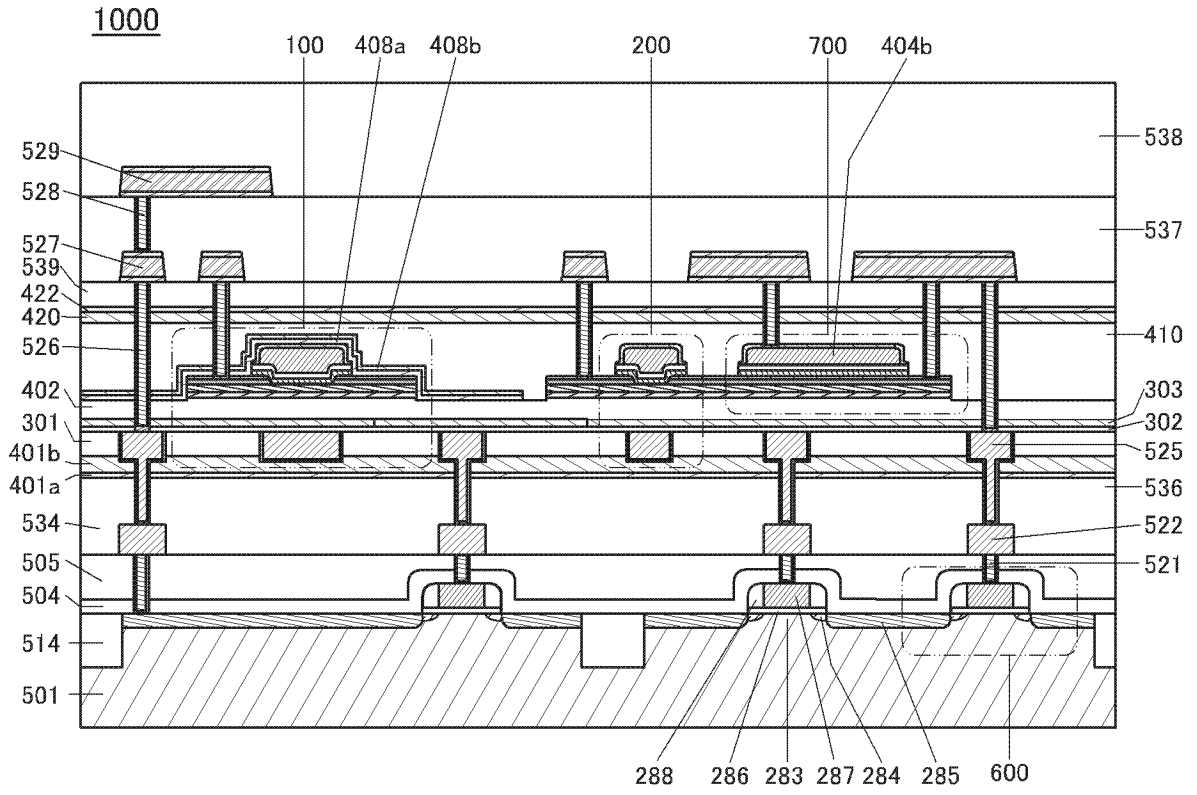


图18

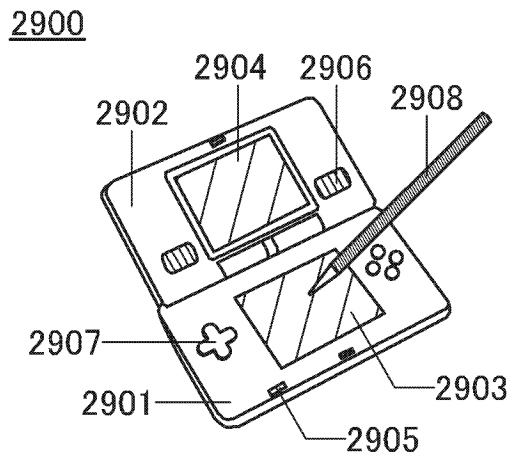


图19A

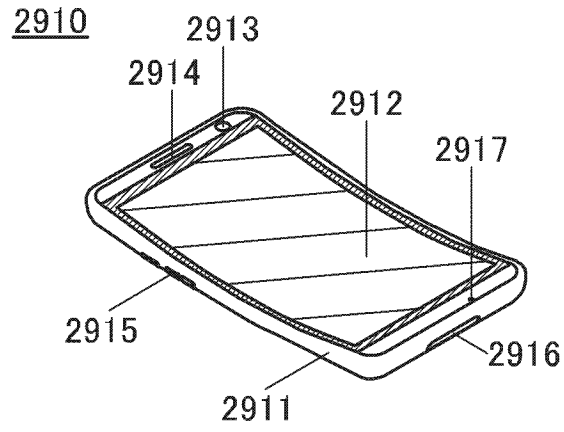


图19B

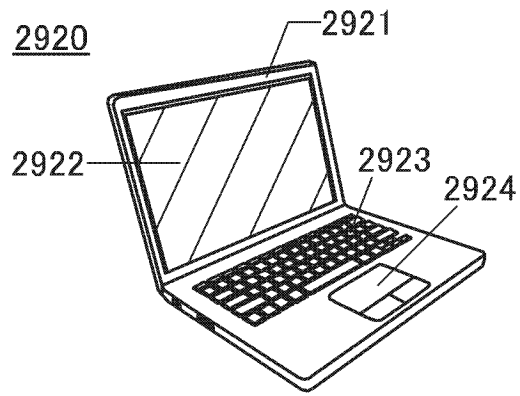


图19C

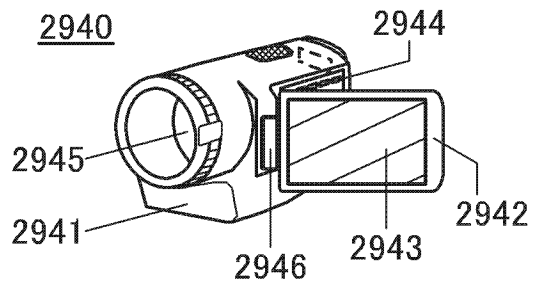


图19D

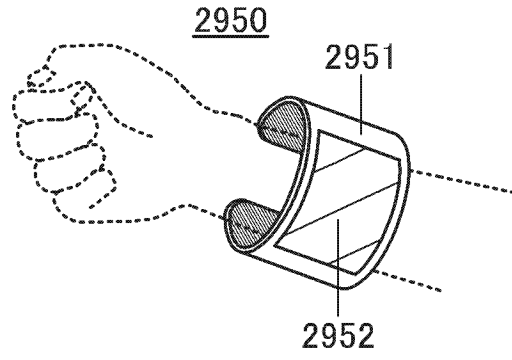


图19E

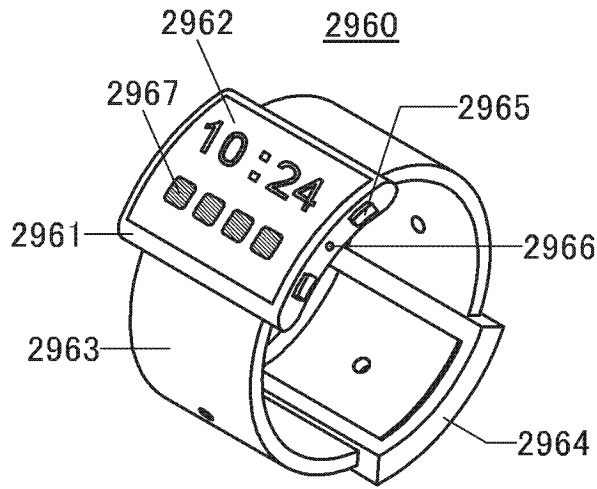


图19F

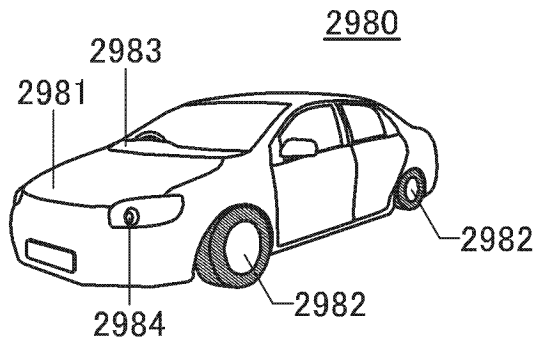


图19G

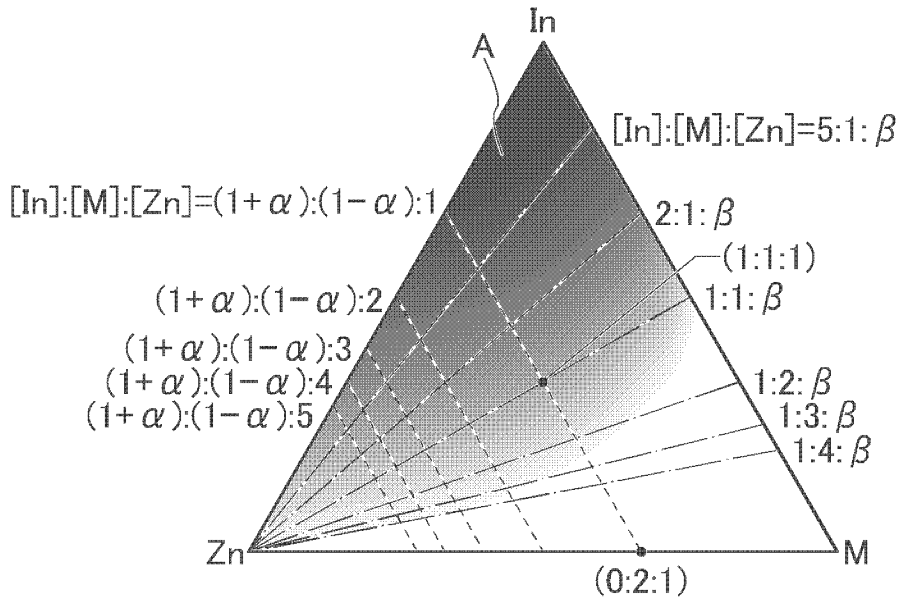


图20A

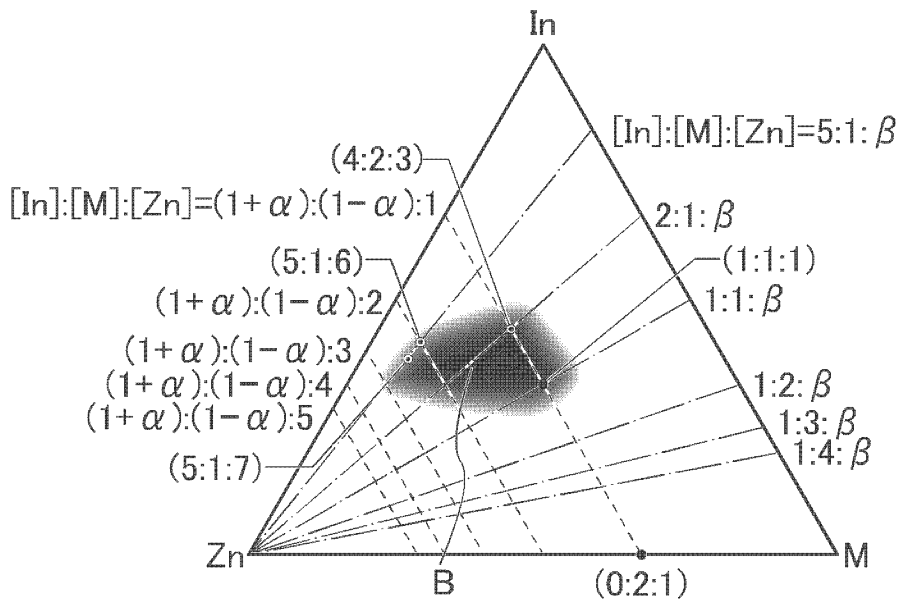


图20B

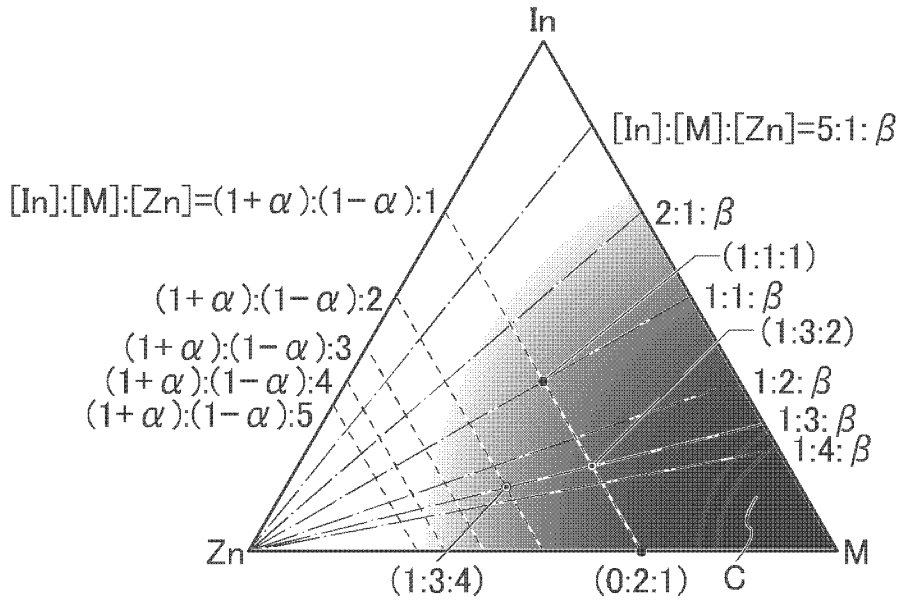


图20C

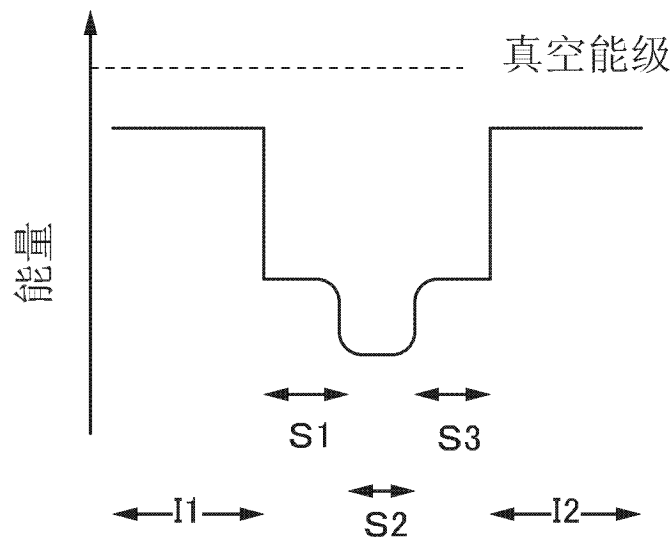


图21A

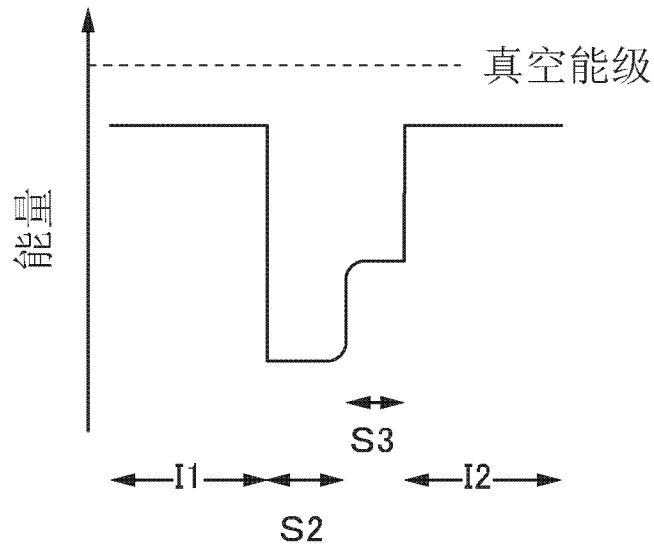


图21B

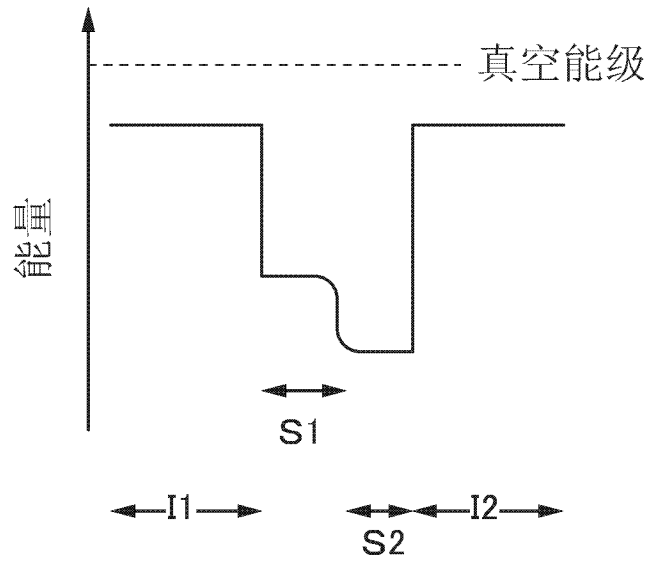


图21C

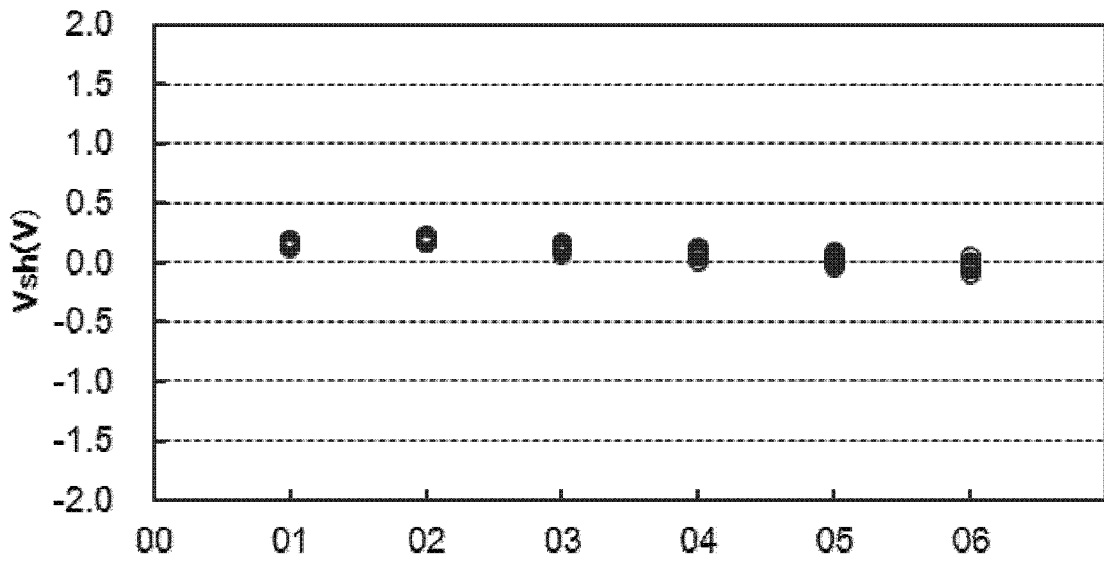


图22A

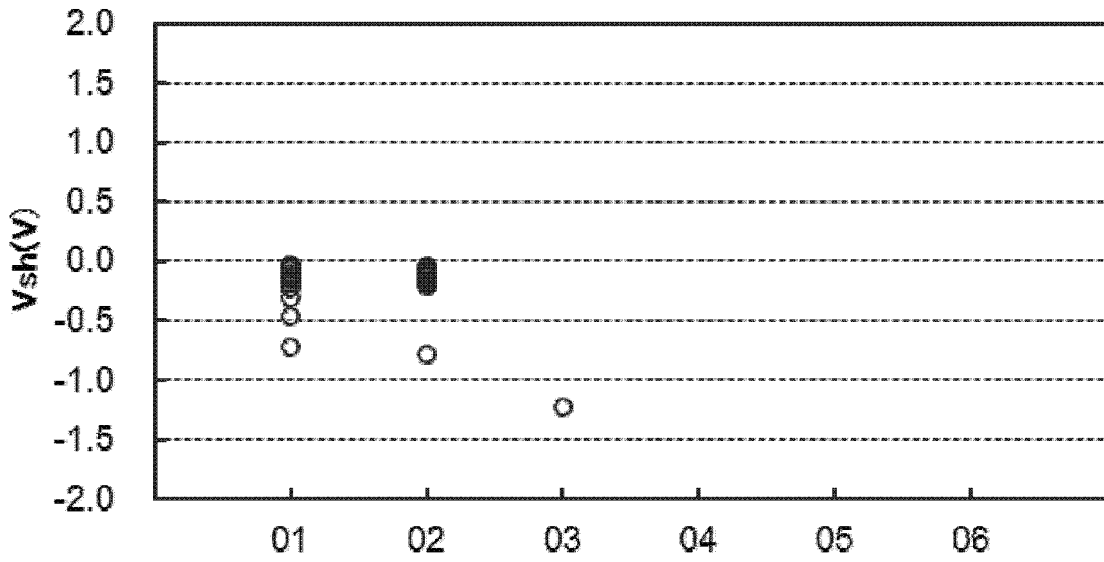


图22B

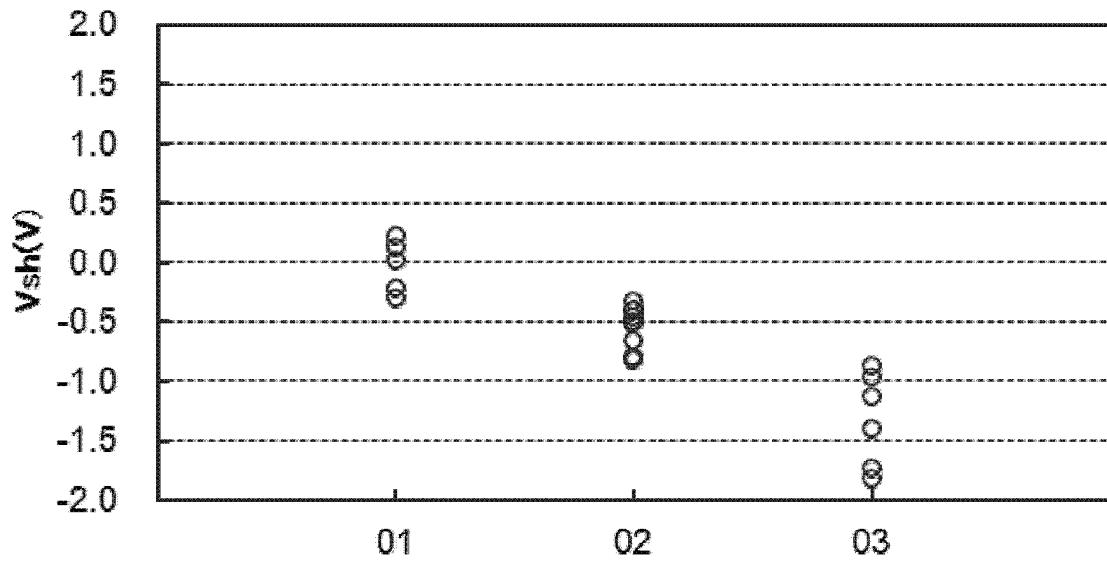


图23A

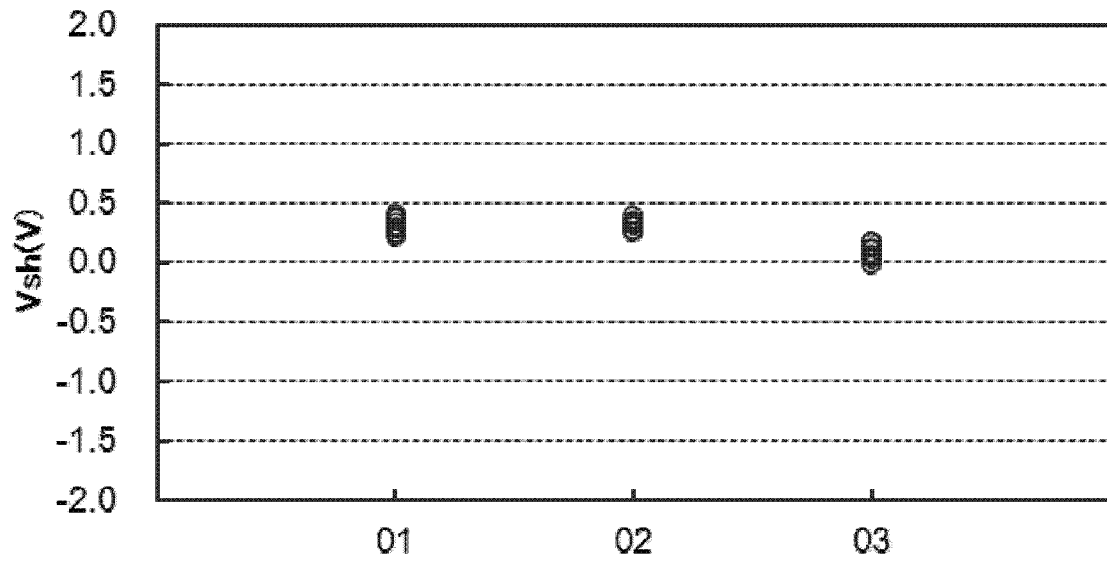


图23B