

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/20

G09G 3/36 G09G 5/10



[12] 发明专利说明书

[21] ZL 专利号 99807051.3

[45] 授权公告日 2004 年 5 月 19 日

[11] 授权公告号 CN 1150502C

[22] 申请日 1999.5.7 [21] 申请号 99807051.3

[30] 优先权

[32] 1998.5.8 [33] US [31] 09/074,998

[86] 国际申请 PCT/US1999/010017 1999.5.7

[87] 国际公布 WO99/059126 英 1999.11.18

[85] 进入国家阶段日期 2000.12.5

[71] 专利权人 奥罗拉系统公司

地址 美国加利福尼亚州

[72] 发明人 W·斯潘塞·沃利第三 周永康

审查员 田虹

[74] 专利代理机构 北京市柳沈律师事务所

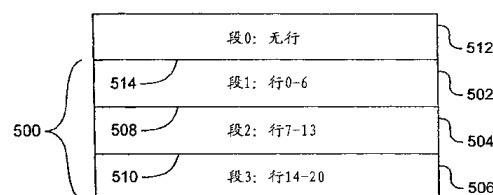
代理人 邵亚丽

权利要求书 3 页 说明书 12 页 附图 12 页

[54] 发明名称 动态重新定义显示段边界以减少像素间失真的系统和方法

[57] 摘要

一种将数据写到显示器的方法，其中，逻辑段(512, 502, 504, 506)被动态地重新定义以使段间边界(514, 508, 510)位移并避免出现横穿段间边界(514, 508, 510)的像素间电场。一个具体方法包括如下步骤：将显示器(500)的行分组以定义逻辑段(512, 502, 504, 506)；将数据写到逻辑段(512, 502, 504, 506)中的至少一个；将显示器(500)的行重新分组以重新定义逻辑段(512, 502, 504, 506)；将数据写到重新定义的段(512, 502, 504, 506)中的至少一个。存放在电可读媒介例如存储器件中的代码使显示驱动电路根据所描述的方法将数据写到显示器。



ISSN 1008-4274

1. 一种用于将数据写到显示器的方法, 所述显示器有排列在多个行中的多个像素, 所述方法包括如下步骤:
- 5 将所述显示器的所述行分组以定义逻辑段和各逻辑段之间的段间边界;
 将数据写到至少一个所述逻辑段;
 将预定值写到每个还不包含所述预定值的所述逻辑段;
 将所述显示器的所述行重新分组以重新定义所述逻辑段并将所述段间边界位移; 并且,
- 10 将数据写到至少一个所述重新定义的逻辑段。
2. 如权利要求 1 所述的用于将数据写到显示器的方法, 其中, 将所述显示器的所述行分组以定义逻辑段的所述步骤包括: 定义所述逻辑段包含的行数为能在最低有效位时间内被写入两次的最大行数。
3. 如权利要求 1 所述的用于将数据写到显示器的方法, 其中, 将数据写
- 15 到至少一个所述的逻辑段的步骤包括: 将少于一整帧的数据写到所述显示器。
4. 如权利要求 1 所述的用于将数据写到显示器的方法, 其中, 写所述预定值的所述步骤包括: 将同样的预定值写到每一个所述段。
5. 如权利要求 4 所述的用于将数据写到显示器的方法, 其中, 所述预定值是关断状态。
- 20 6. 如权利要求 1 所述的用于将数据写到显示器的方法, 其中, 将所述显示器的所述行重新分组以使所述段间边界位移的所述步骤包括: 将所述行重新分组以使所述段间边界位移一行。
7. 如权利要求 1 所述的用于将数据写到显示器的方法, 还包括如下步骤:
 将第二个预定值写到还不包含该第二个预定值的每一个所述逻辑段;
- 25 将所述显示器的所述行第二次重新分组以重新定义所述逻辑段并使所述段间边界第二次位移; 并且
 将数据写到至少一个所述重新定义的逻辑段。
8. 如权利要求 7 所述的用于将数据写到显示器的方法, 其中,
 所述预定值和所述第二个预定值之一包括关断状态; 并且
- 30 所述预定值和所述第二个预定值的另一个包括导通状态。
9. 如权利要求 7 所述的用于将数据写到显示器的方法, 还包括如下步骤:

每次当一帧数据被写到显示器之后，将所述预定值和所述第二个预定值之一写到每一个还不包含所述预定值和所述第二个预定值之一的所述逻辑段；并且

- 5 每次当每个所述逻辑段包含了所述预定值和所述第二个预定值之一之后，将所述显示器的所述行重新分组以重新定义所述逻辑段并将所述段间边界位移。

10 10. 如权利要求 7 所述的用于将数据写到显示器的方法，还包括步骤：每次在每个所述逻辑段包含了所述预定值和所述第二个预定值之一以后，将所述显示器的所述行重新分组以重新定义所述逻辑段并将所述段间边界位移。

11. 如权利要求 1 所述的用于将数据写到显示器的方法，其中：

将所述显示器的所述行分组的所述步骤包括：定义第一个逻辑段以包含所述行的第一组，和定义第二个逻辑段以包含所述行的第二组，所述第一组中的一行与所述第二组中的一行定义一条位于它们之间的段间边界；

- 15 将数据写到至少一个所述逻辑段的所述步骤包括：将数据写到至少一个所述逻辑段的每一行；以及

将所述显示器的所述行重新分组的所述步骤包括：重新定义所述第一个逻辑段和所述第二个逻辑段，以使所述段间边界位于不同于所述第一组的所述一行和所述第二组的所述一行的两行之间。

- 20 12. 一种用于将数据写到显示器的显示驱动器电路，所述显示器具有排列在多个行中的多个象素，所述显示驱动器电路包括：

一存储器，用于存储可执行码；和

- 25 一控制器，其响应于所述可执行码，并用于将所述显示器的所述行分组以定义逻辑段和各逻辑段之间的段间边界，将数据写到至少一个所述逻辑段，将预定值写到每个还不包含所述预定值的所述逻辑段，将所述显示器的所述行重新分组以重新定义所述逻辑段并将所述段间边界位移，以及，将数据写到至少一个所述重新定义的逻辑段。

13. 如权利要求 12 所述的用于将数据写到显示器的显示驱动器电路，其中，所述逻辑段包含的数为能在最低有效位时间内被写入两次的最大行数。

- 30 14. 如权利要求 12 所述的用于将数据写到显示器的显示驱动器电路，其中，少于一整帧的数据被写到所述显示器。

15. 如权利要求 12 所述的用于将数据写到显示器的显示驱动器电路，其中，同样的预定值被写到每一个所述段。

16. 如权利要求 15 所述的用于将数据写到显示器的显示驱动器电路，其中，所述预定值是关断状态。

动态重新定义显示段边界以减少
像素间失真的系统和方法

5

技术领域

本发明一般涉及电子驱动电路，更具体讲，涉及一种新颖的减小平板式显示器中像素间电场的系统和方法。

10

背景技术

图 1 示出了典型的液晶显示器的一个像素元(pixel cell)100。像素元 100 包括一个包含在透明公共电极 104 和像素存储电极 106 之间的液晶层 102，以及一个存储单元 108。存储单元 108 包括互补数据输入端 110 和 112，数据输出端 114，以及控制端 116。作为对控制端 116 上写信号的响应，存储单元
15 108 读取已被置于一对位线(B+和 B-)118 和 120 上的互补数据信号，同时将该信号锁存在输出端 114 和与之相连的像素电极 106 上。

液晶层 102 旋转通过它的光的偏振，旋转的角度取决于加在液晶层 102 上的均方根(root-mean-square, RMS)电压。如下所述，旋转偏振的能力被用于调节反射光的亮度。入射光束 122 被偏振镜 124 偏振。然后，被偏振的光束
20 穿过液晶层 102，被像素电极 106 反射，再穿过液晶层 102。在两次穿过液晶层 102 的过程中，光束的偏振被旋转的大小取决于加在像素存储电极 106 上的数据信号。然后，光束中只有特定偏振的部分穿过偏振镜 126。这样，穿过偏振镜 126 的反射光束的强度取决于液晶层 102 所引起的偏振旋转的大小，而偏振旋转的大小取决于加在像素储存电极 106 上的数据信号。

25

存储单元 108 可以是模拟存储单元(例如，电容)或是数字存储单元(例如，SRAM 锁存器)。对于数字存储单元，驱动像素存储电极 106 的常用方式是利用脉冲宽度调制(PWM)。在 PWM 中，不同的灰度级由一个多位字(即，二进制数)代表。该多位字被转换为一个脉冲序列，脉冲序列的按时平均
(time-average)均方根(RMS)电压相当于获得理想灰度级所需要的模拟电压。

30

举例来说，在一个 4 位 PWM 方案中，帧时间(将灰度级写到每个像素的时间)被分为 15 个时间段。在每个时间段中，信号(高，例如，5 伏或低，例

如, 0 伏)被加在象素存储电极 106 上。因此, 根据在帧时间中施加“高”脉冲的个数, 有 16(0~15)个可能的不同灰度级。施加 0 个高脉冲对应的灰度级为 0(RMS 0V), 而施加 15 个高脉冲对应的灰度级为 15(RMS 5V)。居中的脉冲数对应于居中的灰度级。

5 图 2 示出了对应于 4 位灰度级(1010)的脉冲序列, 其中最有效位是很靠左边的位。在这个二进制加权脉宽调制的例子当中, 对应二进制灰度级的位对脉冲进行分组。具体讲, 第一组 B3 包括 8 个(2^3)时间段, 与灰度级(1010)的最高有效位对应。相似地, B2 组包括 4 个(2^2)时间段, 对应第二有效位, B1 组包括 2 个(2^1)时间段, 对应第三有效位, B0 组包括 1 个(2^0)时间段, 对应
10 最低有效位。这样分组使所需要的脉冲数由 15 减少到 4, 一个脉冲代表二进制灰度级的一位, 每个脉冲的宽度对应于该脉冲相应位的有效性。这样, 对于灰度级(1010), 第一个脉冲 B3(宽度为 8 个时间段)为高, 第二个脉冲 B2(宽度为 4 个时间段)为低, 第三个脉冲 B1(宽度为 2 个时间段)为高, 最后一个脉冲 B0(宽度为 1 个时间段)为低。这个脉冲序列产生的 RMS 电压约为满电压值
15 (5V)的 $\sqrt{2}/3$ (15 个时间段中的 10 个), 或约为 4.1V。

图 3 示出了象在典型的平板式显示器中那样布置的 3 个彼此相邻的象素元 100(a-c)。由于在相邻象素元上施加不同的信号会在显示图象中引起可视痕迹, 因此在这样的显示器中出现一些问题。例如, 电场线 302 表明逻辑高信号正在被加在每个象素电极 106(a 和 c)上。没有穿过象素元 100(b)的电场表明逻辑低信号被加在象素电极 106(b)上。注意到除了电场 302 穿过液晶层
20 102(a 和 c)以外, 在带逻辑高信号的象素电极 106(a 和 c)与带逻辑低信号的象素电极 106(b)之间存在横向电场(transverse field)304。横向电场 304 影响穿过液晶层 102(a-c)的光的偏振旋转, 并因此潜在地引起可视的痕迹。相邻象素元之间是否产生可视痕迹以及到什么程度取决于加在相邻象素电极上的逻辑反
25 信号(即高和低)时间的长短。相邻象素元带相反的信号称为反相。

横向电场问题在用二进制加权脉宽调制数据驱动显示器的系统中尤其值得注意。在这样的系统中, 由于最低有效位(LSB)时间太短, 以至不允许驱动电路去写显示器的所有行, 显示器的行必须被分组为多个段, LSB 必须在不同的时间被写到各段的行中。这种方案的例子包括在较大有效位里或在较大有效位之间写入 LSB, 将相互有关的 LSB 移位, 将“关断(off)”写入段中以提供将剩余的 LSB 写到显示器所需的外加时间。但是, 这些方案中的每一个都
30

显著地增加了沿着相邻显示段的边界发生可视的痕迹的可能性。

图 4 是一个时序图 400, 图中说明了一个 LSB(即, B0)被写在两个较大有效位(即, B5 和 B4)之间的情况。在时序图 400 中, 垂直轴 402 对应一个显示器上两个相邻段(多个行的组)X404 和 Y406 的物理位置。段 X404 和段 Y406 各包含一组显示行, 并且段 X404 和段 Y406 被位于段 X404 的底行和段 Y406 的顶行之间的段间边界 408 分开。

图 400 中水平方向的位置对应于时间的进程。在时序图 400 所显示的时间段之前的某个时间, 位 B5 被写到段 X404 和 Y406。然后, 在时刻 t_0 , 数据的最低有效位(B0)被写到段 X404 的第一行的像素(图中没示出)上, 并继续按顺序地被写到段 X404 的后续行直至时刻 t_1 , 段 X404 的每行的每个像素都含有要写到各个像素的数据的 B0 位。然后, 从时刻 t_2 到时刻 t_3 , 位 B4 取代位 B0 被写到段 X404, 紧接着, 从时刻 t_3 到时刻 t_4 , 位 B0 取代位 B5 被写到段 Y406, 然后, 从时刻 t_5 到时刻 t_6 , 位 B4 取代位 B0 被写到段 Y406。

注意到从时刻 t_1 到时刻 t_3 , 以及从时刻 t_3 到时刻 t_5 , 不同的位被置于段间边界 408 两侧的行的像素上。特别是, 从时刻 t_1 到时刻 t_2 , B0 被置于段 X404 的最后一行并且 B5 被置于段 Y406 的第一行。另外, 从时刻 t_3 到时刻 t_5 , B4 被置于段 X404 的最后一行并且 B0 被置于段 Y406 的第一行。当置于段间边界 408 两边的数据位有不同值(即, 一个为高而另一个为低)时, 就会产生穿过段间边界 408 的横向电场。当在段间边界 408 处显示的图象亮度的强度均匀时, 横向电场被加强, 这是由于很可能位于段间边界 408 两侧的行的所有像素正在显示相同的值(即, 所有的 B5 位有相同的值, 所有的 B4 位有相同的值, 所有的 B0 位有相同的值)。在这种情况下, 穿过段间边界 408 的横向电场将导致出现一条可视的令人不悦的穿过显示图象的水平线。

我们所需要的是一种能够减小穿过显示器段间边界的横向电场以消除由此引起的可视痕迹的系统和方法。

发明内容

本发明减小了平板式显示器中的像素间电场及其导致的视觉痕迹。在某些显示器驱动方案中, 显示器具有排列在多行中的多个像素, 数据以在一次写一段(行的逻辑分组)的方式被写到显示器, 从而引起穿过段间边界的横向电场。本发明描述了一种用于将数据写到显示器的新颖方法, 其中, 段被动态

地重新定义以使段间边界位移并避免(delocalize)象素间电场。

本发明的一种方法包括如下步骤：将显示器的行分组以定义逻辑段和段之间的段间边界；将数据写入至少一个逻辑段；将预定值(例如，关断状态(off state))写入每一个还不含有该预定值的逻辑段；将显示器的行重新分组以重新定义逻辑段并使段间边界位移；将数据写入至少一个重新定义的逻辑段。逻辑段的重新定义导致了由于逻辑段的排列而出现在相邻段之间的横向电场(lateral electrical field)的位移，从而减少显示图象中的视觉痕迹。

可选择的是，该方法还包括如下步骤：将第二个预定值(例如，导通(on)状态)写入每个还不包含该第二个预定值的逻辑段，将显示器的行第二次重新分组以重新定义逻辑段并且第二次使段间边界位移，以及将数据写入至少一个被重新定义的段。

在一个具体的方法中，在一整帧数据被写入显示器之前段已被重新定义。在另一个(alternate)方法中，只在一整帧数据被写入显示器之后，段才被重新定义。

在另一个具体的方法中，每一段含有的行数被定义为可以在最低有效位(LSB)时间内被写入两次的最大显示行数。

在另一个具体的方法中，每次重新定义段，段间边界被位移一行。或者，每次重新定义段，段间边界被位移多行。

本发明的各种方法可以由一个含有可编程控制器的显示驱动电路实现。可执行代码位于(is embodied)电可读媒介(例如，存储器件)中，当可执行码被控制器执行时，可执行码使得显示器驱动电路根据本发明的方法将数据写到显示器。

因此，按照本发明的另一个方面，提供了一种用于将数据写到显示器的显示驱动器电路，所述显示器具有排列在多个行中的多个象素，所述显示驱动器电路包括：一存储器，用于存储可执行码；和一控制器，其响应于所述可执行码并执行：将所述显示器的所述行分组以定义逻辑段和各逻辑段之间的段间边界，将数据写到至少一个所述逻辑段，将预定值写到每个还不包含所述预定值的所述逻辑段，将所述显示器的所述行重新分组以重新定义所述逻辑段并将所述段间边界位移，以及，将数据写到至少一个所述重新定义的逻辑段。

按照本发明的另一个方面，还提供了一种用于将数据写到显示器的方法，

- 所述显示器有排列在多个行中的多个像素，所述方法包括如下步骤：定义第一个逻辑段以包含所述行的第一组；定义第二个逻辑段以包含所述行的第二组，所述第一组中的一行与所述第二组中的一行定义一条位于它们之间的段间边界；将数据写到至少一个所述逻辑段的每一行；将预定值写到每一个还不包含所述预定值的所述段；重新定义所述第一个逻辑段和所述第二个逻辑段，以使所述段间边界位于不同于所述第一组的所述一行和所述第二组的所述一行的两行之间；并且将数据写到至少一个所述重新定义的逻辑段。

附图说明

- 下面将参照后面的附图描述本发明，附图中相同的标号表示基本上类似的单元。
- 图 1 示出了液晶显示器的一个像素元；
- 图 2 示出了一帧 4 位二进制加权脉宽调制数据；
- 图 3 示出了液晶显示器的三个相邻像素元；
- 图 4 是一个时序图，示出了将数据写到显示器的两个段；
- 图 5 是一个框图，示出了在一个有 21 行的显示器当中将行分组以定义逻辑段；
- 图 6 是一个时序图，示出了将三个数据位写到图 5 所示的显示器的段中；
- 图 7 是一个时序图，示出了动态重新定义图 5 所示的显示器的段间边界；
- 图 8A 是一个流程图，概述了根据本发明动态重新定义显示器段间边界的方法；
- 图 8B 是一个流程图，概述了另一个根据本发明动态重新定义显示器段间边界的方法；
- 图 9 是一个图表，描述了根据本发明重新定义段间边界引起的段间边界的位移；
- 图 10 是一个框图，示出了在一个有 768 行的显示器中将行分组以定义逻辑段；
- 图 11A 示出了详述将十个数据位写到图 10 所示的显示器的时序图的第一部分；
- 图 11B 示出了详述将十个数据位写到图 10 所示的显示器的时序图的第二部分；

图 11C 示出了详述将十个数据位写到图 10 所示的显示器的时序图的第三部分；并且，

图 12 是一个表格，示出了图 10 所示的显示器的段的动态重新定义。

5 具体实施方式

本发明利用在将数据写到显示器时动态重新定义显示段边界的方法解决了与现有技术有关的问题。具体来说，本发明描述了一个用于重新定义显示段的系统和方法，使段间边界被周期性地移位，因而避免出现显示段之间的水平电场。为了提供对本发明的全面理解，在后面的描述中提到许多特定的
10 细节(例如，一段中的显示行数和在一个显示器中的段数)。但是，本领域技术人员将认识到本发明可以不按这些特定的细节实施。在其它的例子中，显示驱动电路中为人熟知的细节和方法被省略，以免不必要地掩盖本发明。例如，本领域技术人员将认识到本发明的各种实施例可以由基于显示驱动电路的可编程控制器实施。因此，本发明可以被体现(embody)在含有供该可编程控制
15 器执行的代码的电可读媒介(例如，存储器件)中。

图 5 示出了将显示器 500 的行逻辑分组以定义三个逻辑显示段 502、504 和 506。显示器 500 包含 21 行(0~20)。定义段(1)502 包含行(0~6)，定义段(2)504 包含行(7~13)，定义段(3)506 包含行(14~20)。根据上述段的定义，段(1)502 和段(2)504 定义了一条位于段(1)502 的行(6)与段(2)504 的行(7)之间的段间边
20 界 508。相似地，段(2)504 和段(3)506 定义了一条位于段(2)504 的行(13)与段(3)506 的行(14)之间的段间边界 510。

一个附加的逻辑段(0)512 被设置在显示器 500 的顶部，并且被初始定义为不包含行。段(0)512 和段(1)502 定义了一条位于它们之间的一条段间边界 514，这条段间边界被初始设置在显示器 500 的顶部，正好在行(0)之上。根据
25 本发明，当数据被写入显示器 500 时，段(0)512 将被重新定义为包含部分或全部行(0~6)。

图 6 示出了将数据的三位(B2-B0)写到图 5 所示的显示器 500 的时序图 600。在一帧时间 602 中，位(B2-B0)中的每一位被写到显示器 500 的段 502、504 和 506 中的每一段。回想起位标志 B2、B1 和 B0 代表各个位的有效性(即，
30 该位被显示多长时间)而不是位值。例如，在同一段中，最高有效位(B2)对一个像素可以有逻辑高值而对另一个像素可以有逻辑低值。

数据按下述被写到显示器 500。从时刻 t_0 (帧 602 的开始)到时刻 t_1 ,位 B2 被写到段(0)512、(1)502、(2)504 以及(3)506。然后,从时刻 t_2 到时刻 t_3 ,预定值(例如,关断状态)被写到段(0)512、(1)502、(2)504 以及(3)506。虽然在图 6 中将 B2 写到每一段需要相同的时间,实际将某一位写到某一段所需要的时间取决于该段包含的行数,这是因为数据是以一次一行的方式被写到一段的。这样,由于段(0)512 初始时不含有行,因此将一位写到该段时不需要时间。

接着,从时刻 t_3 到时刻 t_4 ,位 B1 被写到段(0)512 以及段(1)502。然后,从时刻 t_5 到时刻 t_6 ,关断状态被写到段(0)512 以及段(1)502,并且位 B1 被写到段(2)504 和段(3)506。接着,从时刻 t_7 到时刻 t_8 到时刻 t_9 ,关断状态被写到段(2)504 和段(3)506。从时刻 t_8 到时刻 t_9 ,位 B0 被写到段(0)512。然后,从时刻 t_9 到时刻 t_{10} ,关断状态被写到段(0)512,并且位 B0 被写到段(1)502。从时刻 t_{10} 到时刻 t_{11} ,关断状态被写到段(1)502,并且位 B0 被写到段(2)504。接着,从时刻 t_{11} 到时刻 t_{12} ,关断状态被写到段(2)504,并且位 B0 被写到段(3)506。最后,从时刻 t_{12} 到时刻 t_{13} ,关断状态被写到段(3)506。在将数据的后续帧写到显示器 500 时,重复由时序图 600 示出的将数据和预定状态写到显示器 500 的典型例子。

在帧时间 602 的不同时段,不同的位被显示在段间边界 508 和 510 的相对侧。例如,从时刻 t_4 到时刻 t_7 ,位 B1 被包含在段间边界 508 的一侧的段中,而关断状态被包含在另一侧的段中。此外,每当位 B0 被包含在段(0)512、(1)502、(2)504 或(3)506 之中的任一段时,关断状态则被包含在该段的相邻段。

象现有的有关技术描述的那样,段间边界 508 和 510 两边的数据失配(mismatch)能导致在被显示的图象中出现令人不悦的可视痕迹。在本发明的这个特殊实施例中,这个问题通过将显示器 500 的行重新分组来解决,在时刻 t_3 以及时刻 t_8 ,重新定义段(0)512、(1)502、(2)504 和(3)506,这样使得段间边界 508、510 和 512 位移。尤其应当注意的是,段的定义和重新定义并不改变数据的目的地(即,数据要被写到哪个象素),而只改变将数据写到显示器 500 的行的顺序。

图 7 是帧时间 602 更详细的时序图,分别显示了显示器 500 的每一行。在时刻 t_0 到 t_3 之间,段(0)512 被定义为不含有行,段(1)502 被定义为包含行(0~6),段(2)504被定义为包含行(7~13),以及段(3)506被定义为包含行(14~20)。

这种特殊的行分组的结果是，段间边界 514 被置于显示器 500 的顶部，段间边界 508 被置于行(6)和行(7)之间，以及段间边界 510 被置于行(13)和行(14)之间。

在时刻 t_3 ，显示器 500 的行被重新分组，段(0)512 被定义为包含行(0)，
5 段(1)502 被定义为包含行(1~7)，段(2)504 被定义为包含行(8~14)，以及段(3)506 被定义为包含行(15~20)。这样重新定义段的结果是，段间边界 512、508 以及 510 被移动了一行，分别位于(0)和(1)、行(7)和(8)以及行(14)和(15)之间。

在时刻 t_8 ，显示器 500 的行被再次重新分组，段(0)512 被定义为包含行(0-1)，段(1)502 被定义为包含行(2-8)，段(2)504 被定义为包含行(9-15)，以及
10 段(3)506 被定义为包含行(16-20)。这样重新定义段的结果是，段间边界 512、508 以及 510 又被移动了一行，分别位于行(1)和(2)、行(8)和(9)以及行(15)和(16)之间。

显示器 500 的行在时刻 t_{16} 被再次重新分组，段间边界 512、508 和 510 被再次移位，为下一帧数据作好准备。在后续的帧中，对行周期性地重新分
15 组，使段间边界 512、508 以及 510 不断移位，有益于将任两段之间的横向电场减小到不致产生可视痕迹的水平。

在重新定义段的次数达到一个预定数之后，段又回到初始定义。在一个实施例
20 中，段间边界在穿过了一个段之后回到了初始位置。例如，当段间边界 514 位于行(5)和行(6)之间时，下一次重新定义段使段间边界 514 回到显示器 500 的顶部(它的初始位置)。在另一个实施例中，连续地重新定义段使段间边界重复地从顶部到底部穿过整个显示器。当每一段间边界到达显示器 500 的底部时，下一次重新定义段将使该段间边界回到显示器 500 的顶部。

图 8A 是一个流程图，图中详细介绍了一个根据本发明提出的用于减小
25 像素间失真(distortion)的方法 800。在第一步骤 802 中，显示驱动电路(没示出)将显示器的行逻辑分组以定义逻辑段以及段之间的段间边界。然后，在第二步骤 804 中，显示驱动电路将数据写到至少一个逻辑段。接着，在第三步骤 806 中，显示驱动电路将预定值(例如，导通状态或关断状态)写到显示器的所有段。本领域的技术人员应该理解，没有必要将预定值写到已经含有该值的段中。因此，显示驱动电路只需将预定值写到还不含有该预定值的段中。接
30 着，在第四步骤 808 中，显示驱动电路将显示器的行重新逻辑分组以重新定义逻辑段并将段间边界移位，这之后，该方法回到第二步骤 804，显示驱动

电路将后面的数据写到至少一个被重新定义的显示器的段。

不必只为重新定义逻辑段而将预定值写到显示器。例如，在同时等审的美国专利申请序列号 No.08/970,878 中，为提高显示器的灰度性能将预定值(例如，强迫开和强迫关状态)写到显示器的象素中，所述的美国专利申请序列号
5 No.08/970,878 是由 W.Spencer Worley, III 和 Raymond Pinkham 于 1997 年 11 月 14 日提交的，其题目为《用强迫状态改进显示器灰度性能的系统和方法 (System and Method for Using Forced States to Improve Gray scale Performance of a Display)》。在这样的系统中，每次当预定值之一被置于显示器的某一段时，可以方便地重新定义段。在本文中，将美国专利申请序列号 No.08/970,878
10 的全部内容引用为参考文献，如同本文包含了其全部内容一样。

图 8B 是一个流程图，图中详细介绍了一个根据本发明提出的用于减小象素间失真的另一个方法 820，其中，所用的预定值多于一个。在第一步骤 822 中，显示驱动电路(没示出)将显示器的行逻辑分组以定义逻辑段以及段之间的段间边界。然后，在第二步骤 824 中，显示驱动电路将数据写到至少一个逻辑段。接着，在第三步骤 826 中，显示驱动电路将预定值(例如，关断状态)写到显示器的所有段。然后，在第四步骤 828 中，显示驱动电路将显示器的行重新逻辑分组以重新定义逻辑段并使段间边界移位，这之后，在第五步骤 830 中，显示驱动电路将后面的数据写到至少一个被重新定义的显示器的段。接着，在第六步骤 832 中，显示驱动电路将第二个预定值(例如，导通状态)写到显示器的所有段中，然后，在第七步骤 834 中，将显示器的行重新逻辑分组以再次重新定义逻辑段并使段间边界移位。在步骤 834 重新定义逻辑段之后，该方法回到第二步骤 824。
15
20

除了不同的预定值(例如，关断状态和导通状态)以交替的方式在重新定义段之前被写入显示器之外，方法 820 与方法 800 是相似的。本领域的技术人员应该理解，用导通和关断的特定顺序来准备段的重新定义，对于获取本发明的优点来说是不必要的。例如，如果一个特定的显示驱动算法要求的关断状态多于导通状态，那么重新定义显示段时，关断状态的使用频率高于导通状态。
25

图 9 是图表 900，说明一个象方法 800 的步骤 808 以及方法 820 的步骤 828 和 834 那样，重新定义显示器逻辑段的特定方法。图表 900 中并排的左右两列分别提供了该特定方法的一般说明和一个特例。在左列顶部的第一段
30

(N)和第二段(N+1)被定义为分别包含行(a-b)和行(c-d)，这样，一个段间边界被定义在行(b)和行(c)之间。沿该列向下，在第一次重新定义段之后，段(N)被定义为包括行(a+k)到(b+k)，段(N+1)被定义为包括行(c+k)到(d+k)，其中 k 是任意的行数。第一次重新定义段的结果是段间边界被移了 k 行，位于行(b+k)和(c+k)之间。接着，在第二次重新定义段之后，段间边界又被位移 k 行，位于行(b+2k)和(c+2k)之间。一般来说，经过(r)次重新定义段之后，段间边界总共被位移了(rk)行，位于行(b+rk)和(c+rk)之间。

在图表 900 右列中示出的一个具体例子中，a=0，b=6，c=7，d=13，则段间边界被定义在行(6)和行(7)之间。(k)值被选为(+1)，那么如果将显示器的行从显示器的顶部至显示器的底部按增加的顺序进行编号，则每次重新定义段都会使段间边界向屏幕下方移动一行。因此，第一次重新定义段之后，段间边界位于行(7)和(8)之间。第二次重新定义段之后，段间边界位于行(8)和(9)之间。最后，例如，经过十次重新定义段之后，段间边界位于行(16)和(17)之间。

本领域技术人员应该理解，在重新定义的次数达到一个预定值之后，段的定义可以返回其初始定义，因而段间边界回到其初始位置。举例来说，如果上述例子中的显示器每段包含 10 行，那么第十次重新定义段将恢复段的初始定义，段间边界将回到位于行(6)和(7)之间的初始位置，而不是位于行(16)和(17)之间。

反之，重新定义段可以不按照段的定义周期性重复的方式进行。因此，在重新定义的次数达到一个预定值之后，段间边界将从显示器的一个边界(例如，底部)移到显示器的另一个边界(例如，顶部)，因而周期性的穿过显示器。例如，设上述例中的显示器有 70 行。那么，70 次重新定义段之后，段间边界将位于其初始位置(位于行(6)和(7)之间)。进一步举例，80 次重新定义段之后，段间边界将位于其初始位置之下 10 行，在行(16)(即，6+80-70)和行(17)(即，7+80-70)之间。

值(k=1)的选取不应被认为会限制本发明的范围。任何理想的(k)都可以被选用。例如，如果(k=2)，则每次重新定义段将使段间边界向屏幕下方移两行。反之，如果(k)被选为(k=-2)，则每次重新定义段将使段间边界向屏幕上方移两行。

图 10 示出了一个较为复杂的显示器 1000 的行的逻辑分组。显示器 1000

有 768 行，是目前显示器的典型。将显示器 1000 的行分组，定义为 25 个逻辑段 1002(0-24)。初始时，段 1002(0)不包含行。其它的段 1002(1-24)各含有 32 行。虽然显示器 1000 的行比显示器 500 多得多，本发明的实施至少在有效性上是相同的。

5 图 11A-C 示出了将一帧数据写到显示器 1000 的时序图。数据的十位 (B9-B0)被写到显示器 1000 的每一段。位 B9-B5 的权相等(即，作用在像素上的时间相等)，位 B4-B0 是二进制加权位(即，作用在像素上的时间与其二进制有效性(binary significance)对应)。在 1998 年 2 月 27 日由 W.Spencer Worley,III 等人提交的美国专利申请序列号为 No.09/032,174(其代理人案卷号为
10 16527-0011)，题目为《用复合数据字减小相邻像素电极之间的数据相位差的系统和方法(System And Method for Using Compound Data Words To Reduce The Data Phase Difference Between Adjacent Pixel Electrodes)》的文献中对这种复合数据方案进行了阐述，并且，在此将该文件的全部内容引用为参考文献，如同本文本包含了其全部内容一样。在所包含的同时等审的申请中描述的复
15 合数据方案也能有效地减小像素之间的失真，并且该方案可以与本发明相结合而实现。

如图 11A 所示，在时刻 t_0 ，一帧开始，前一帧遗留在所有行(0-24)的状态为导通状态。在时刻 t_0 到时刻 t_1 之间，位 B9-B6 相继被写到段(0-24)中的每一段。这些位中的每一位的有效性(持续时间)足以使该位有足够的时间在必须
20 被下一位覆盖之前被写到所有段中。在位 B6 被置于段(0-24)之后经过一段适当的时间，关断状态被写入段(0-24)。然后，在时刻 t_1 ，显示器 1000 的行被重新分组以重新定义段(0-24)。

图 11B 示出了该帧的下一段时间。如图所示，在时刻 t_1 到时刻 t_2 之间，位 B2 和 B4 以轮流的方式被写到重新定义的段(0-24)。写完位 B2 和 B4 之后，
25 关断状态被写到各段(0-24)。然后，在时刻 t_2 ，段(0-24)被再次重新定义。接着，如图所示，从时刻 t_2 到时刻 t_3 ，位 B1 和 B3 以轮流的方式被写到两次重新定义的段(0-24)。写完位 B1 和 B3 之后，关断状态被写到段(0-24)的各段。然后，在时刻 t_3 ，段(0-24)被第三次重新定义。

图 11C 示出了该时间帧的最后一段时间。在时刻 t_3 到时刻 t_4 之间，位
30 B0 被相继写到被重新定义的段(0-24)。位 B0 写完之后，关断状态被写到段(0-24)的各段。然后，在时刻 t_4 ，段(0-24)再次被重新定义。接着，从时刻 t_4

到时刻 t_5 ，位 B5 被相继写到被重新定义的段(0-24)。写完位 B5 后，导通状态被写到段(0-24)的各段。然后，在时刻 t_5 ，段(0-24)再次被重新定义，为下一帧数据做好准备。如图 11A-C 中所描述的，对显示器 1000 写入数据和预定状态的过程被重复地用于将后续帧数据写到显示器 1000。

- 5 图 12 是表格 1200，示出了显示器 1000 的段(0-24)1002(0-24)后续的重新定义。注意到在这个具体的方法中，每次对段(0-24)的重新定义将使段间边界从显示器的顶部向显示器的底部推进一行。初始时，段(0)1002(0)不包含行并且段(24)1002(24)包含 32 行。段 1002(0-24)每被重新定义一次，使段(0)1002(0)增加一行而段(24)1002(24)减少一行。第 32 次重新定义段则恢复为段的初始
- 10 定义，在后续数据的帧被写到显示器 1000 的时候，将重复表格 1200 的示例。

- 关于本发明的具体实施例的阐述现已完成。在不脱离本发明的范围的情况下，许多所描述的特征可以被替换、改变或省略。例如，本发明可以在有较多行或较少行的显示器中实施。另外，根据具体实施例的需要，重新定义段的时间以及次数可以改变。例如，段可以在一帧时间内被重新定义多次或
- 15 只在连续的两帧之间被重新定义。进一步说，本发明的应用不局限于液晶显示器。在想要减小相邻电极之间的横向电场的任何场合，本发明都可以被使用。

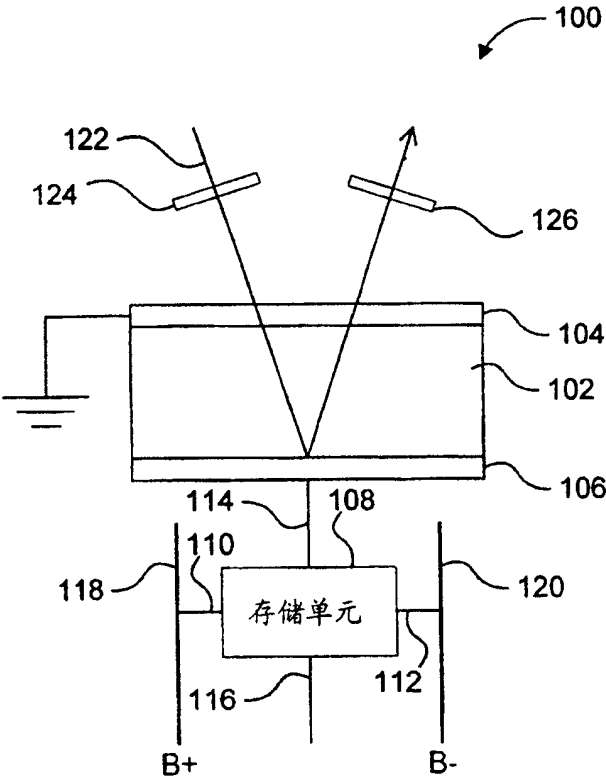


图 1

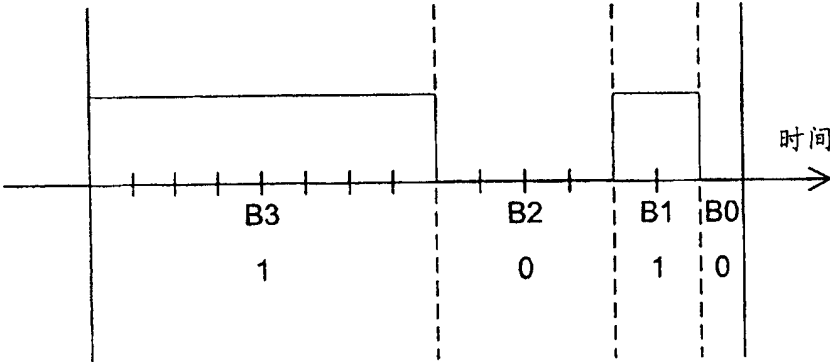


图 2

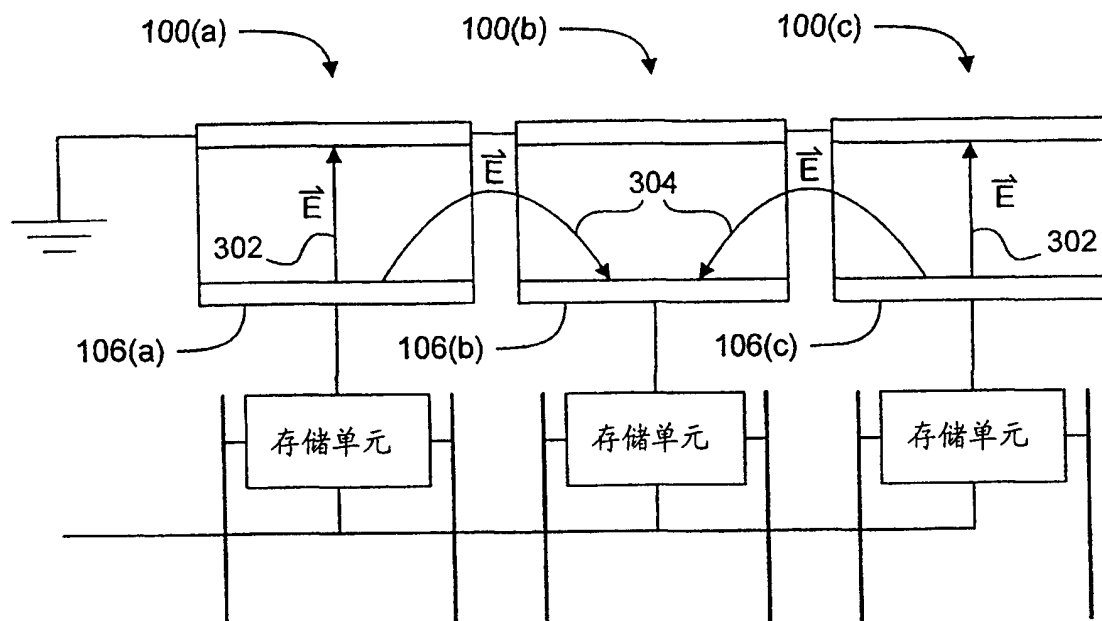


图 3

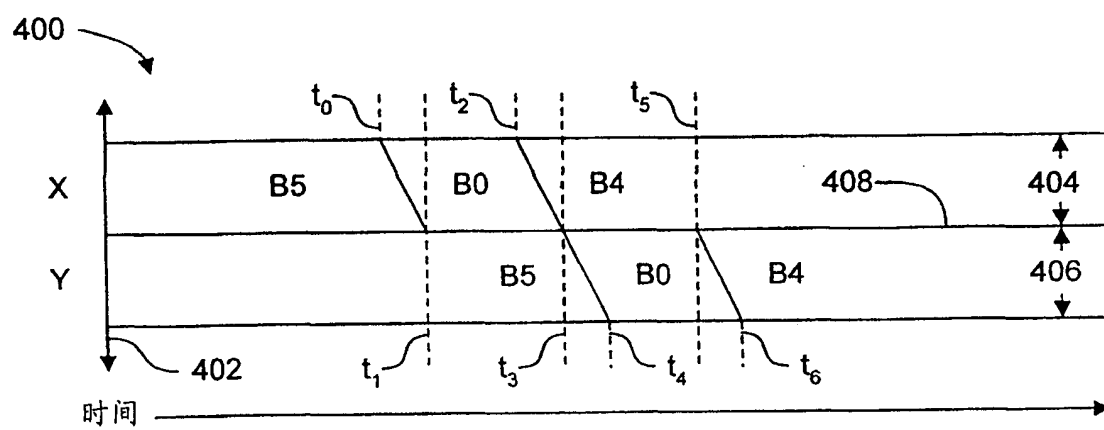


图 4

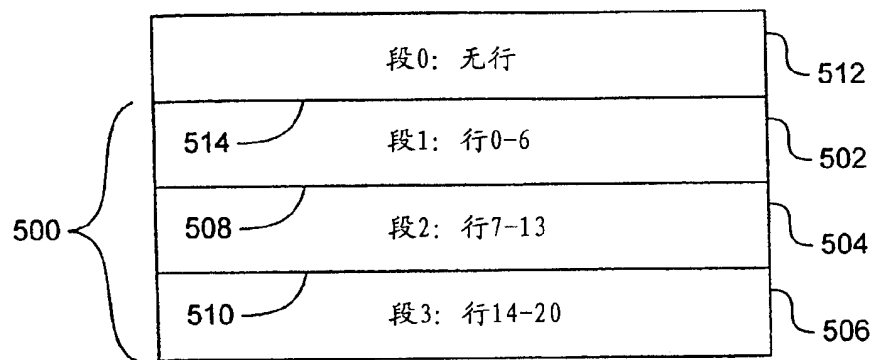


图 5

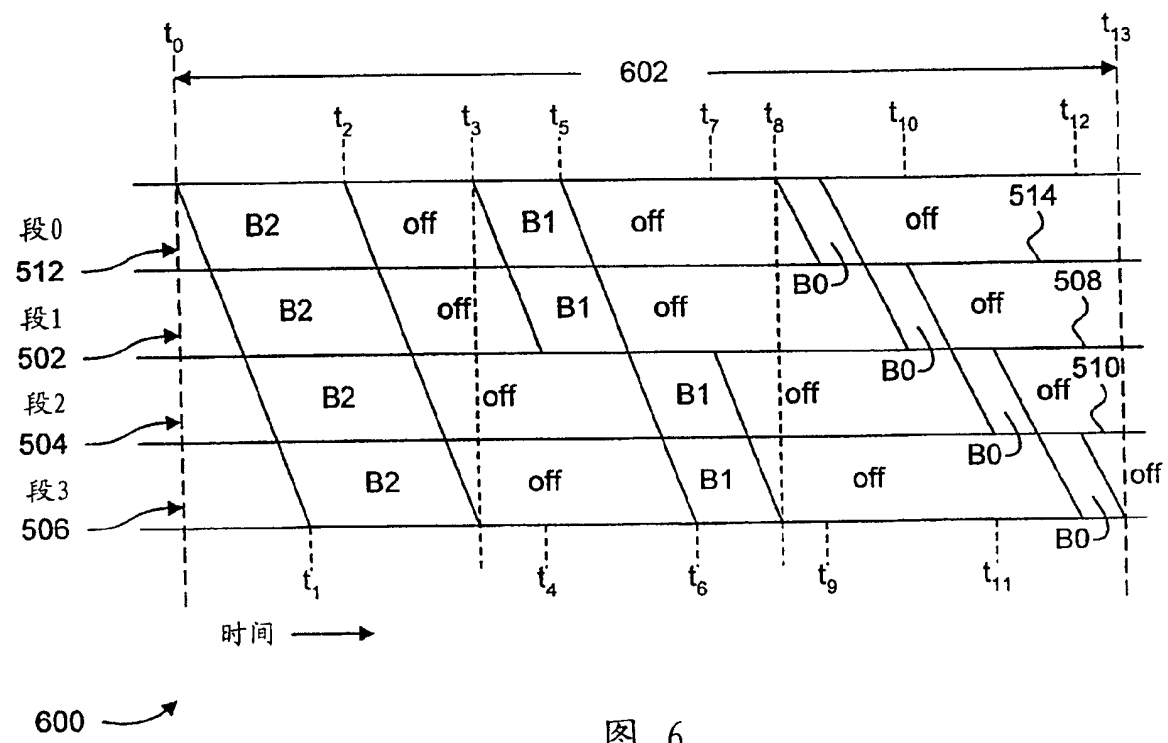


图 6

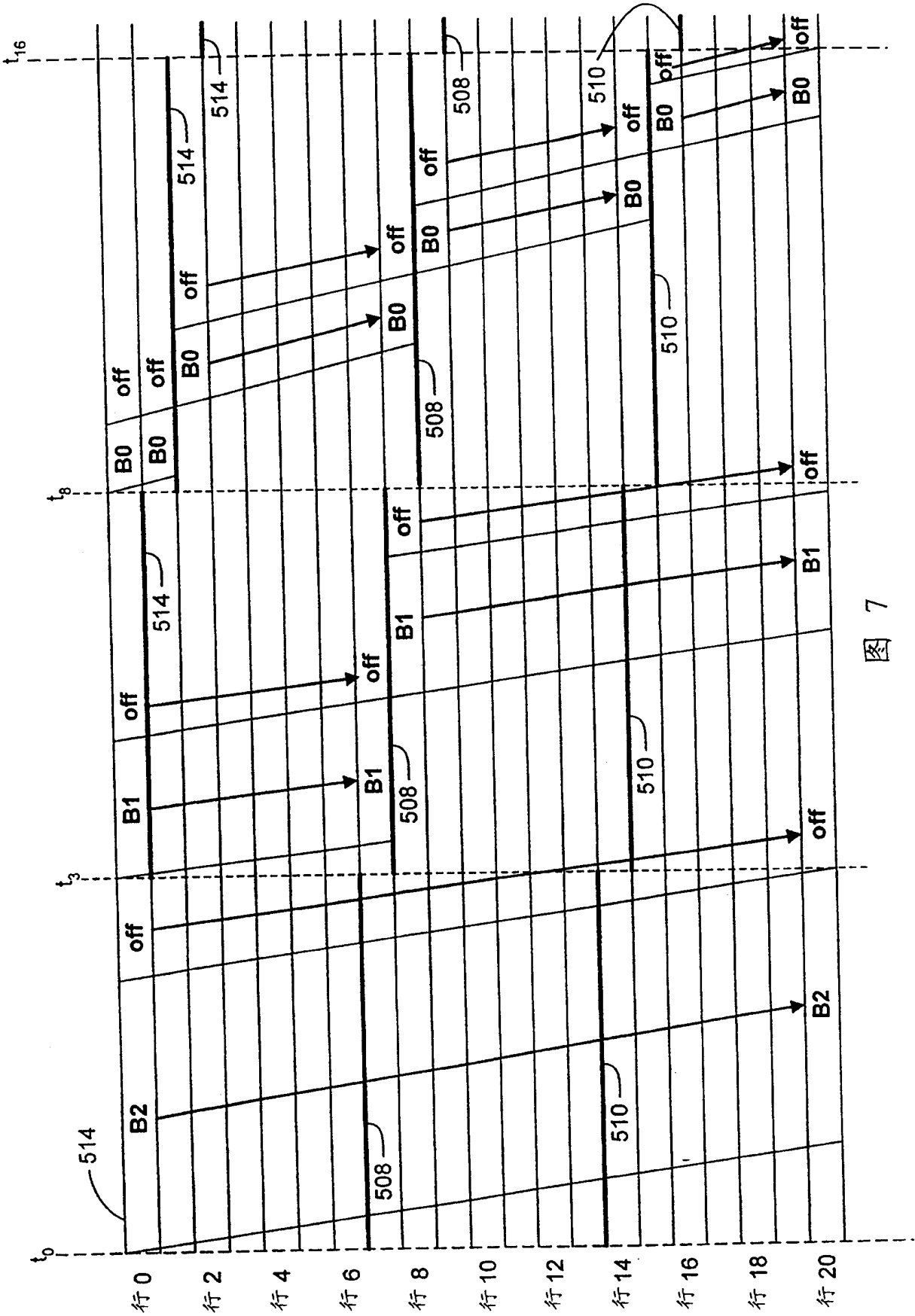


图 7

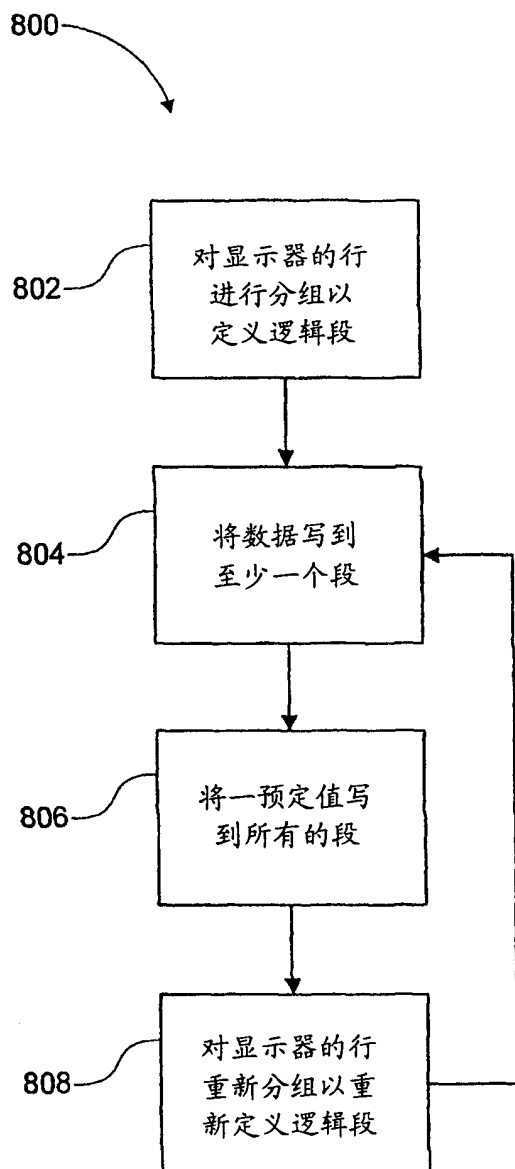


图 8A

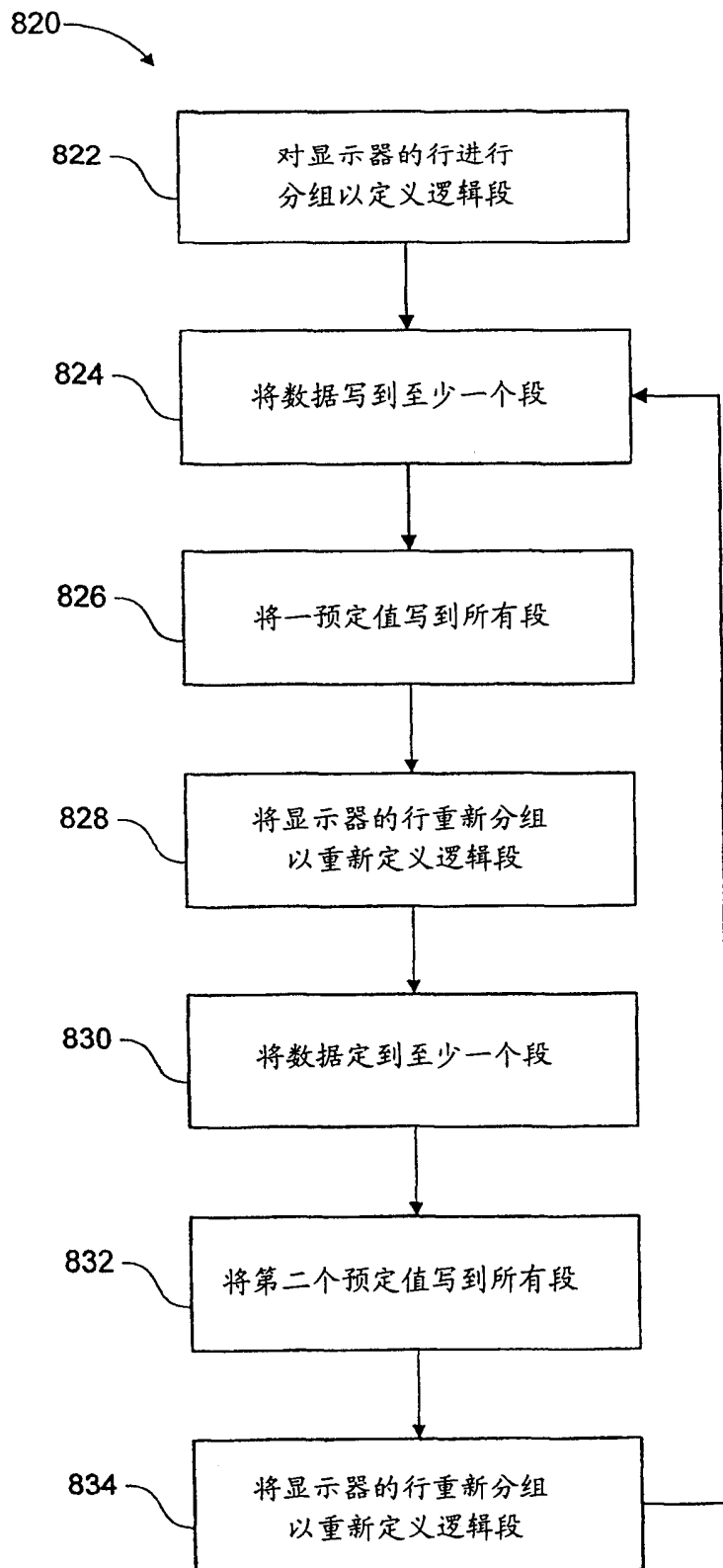
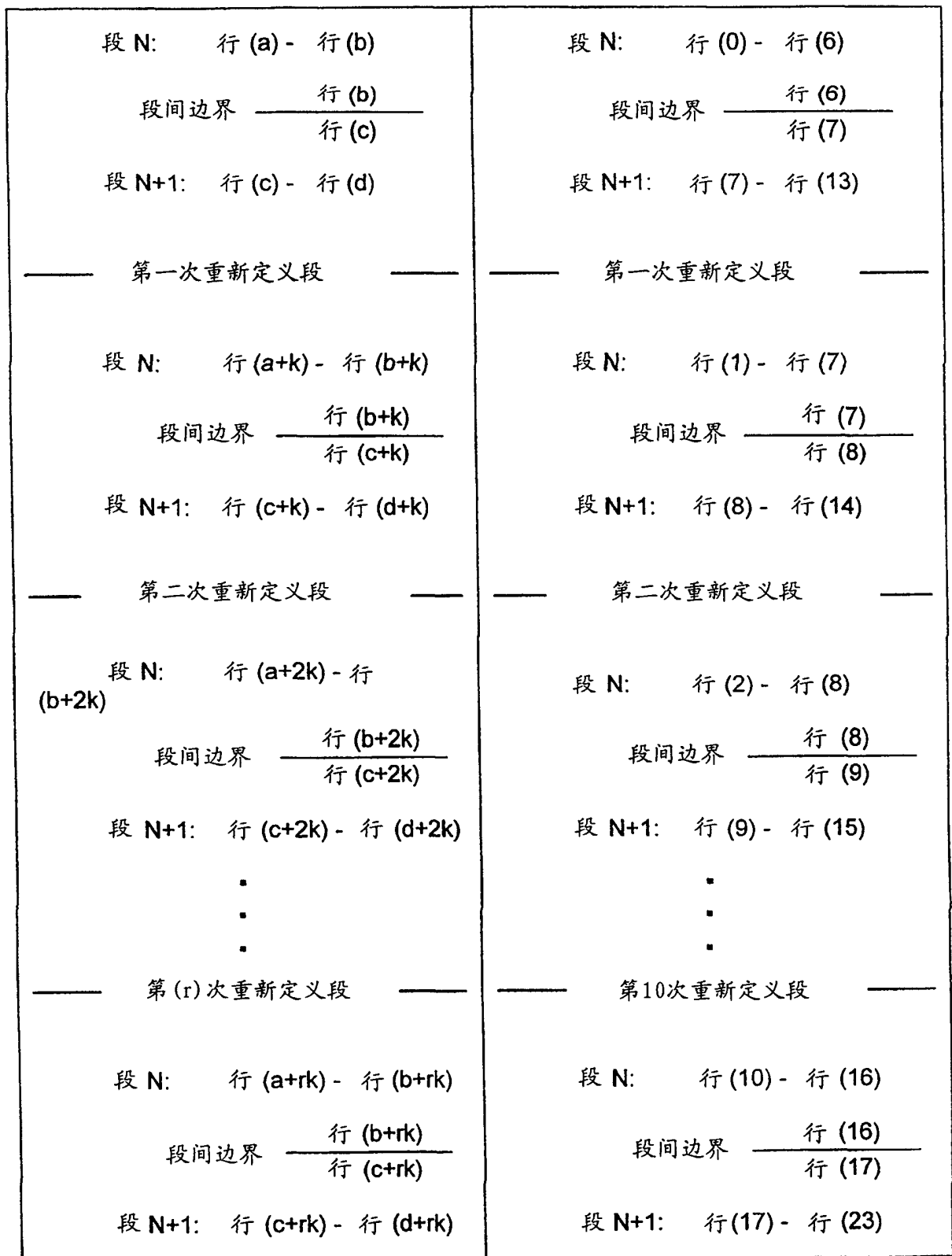


图 8B



900

图 9

段0: 无行	<u>1002(0)</u>
段1: 行0-31	<u>1002(1)</u>
段2: 行32-63	<u>1002(2)</u>
段3: 行64-95	<u>1002(3)</u>
段4: 行96-127	<u>1002(4)</u>
▪ ▪ ▪	<u>1002(5-23)</u>
段24: 行736-767	<u>1002(24)</u>

1000

图 10

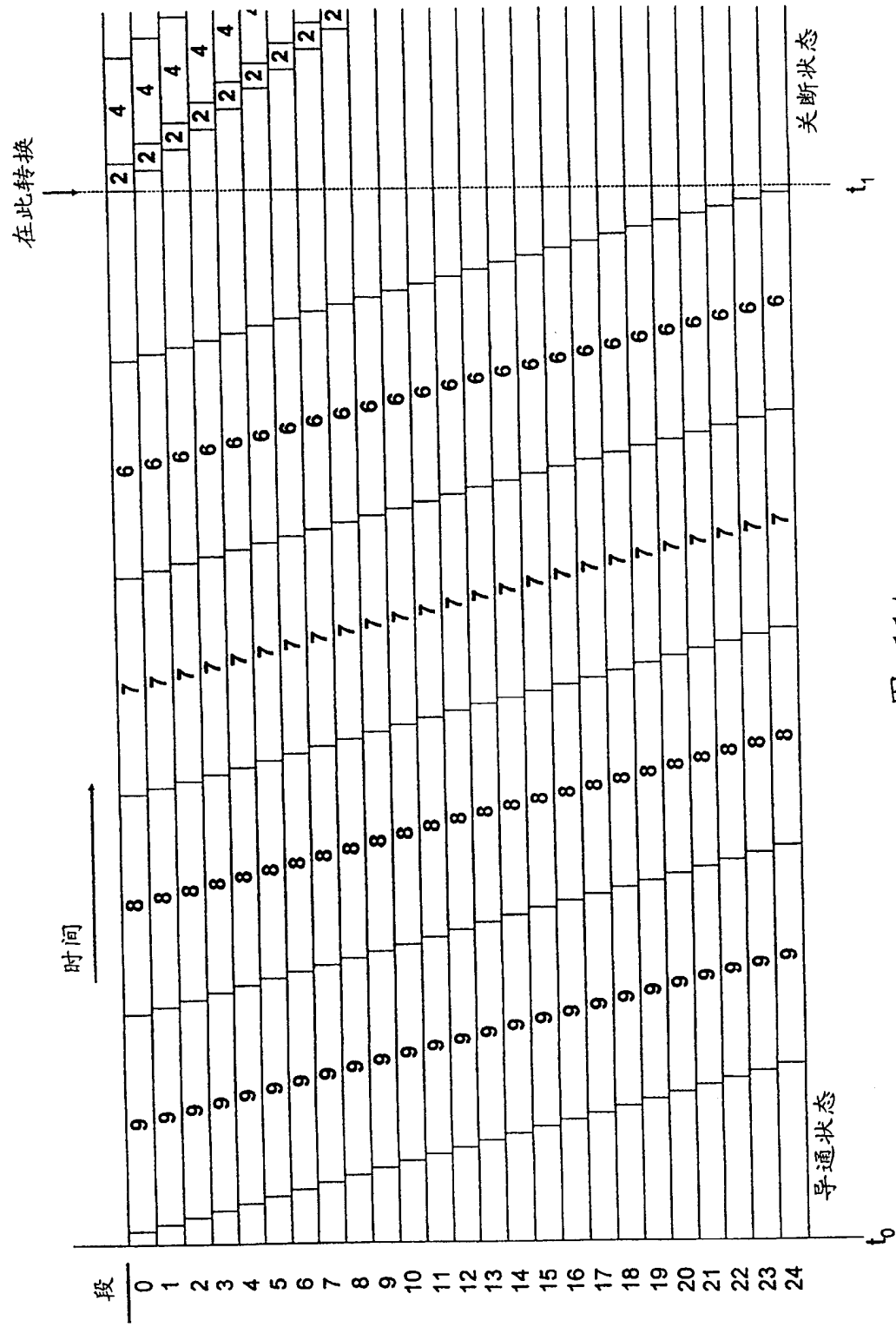


图 11A

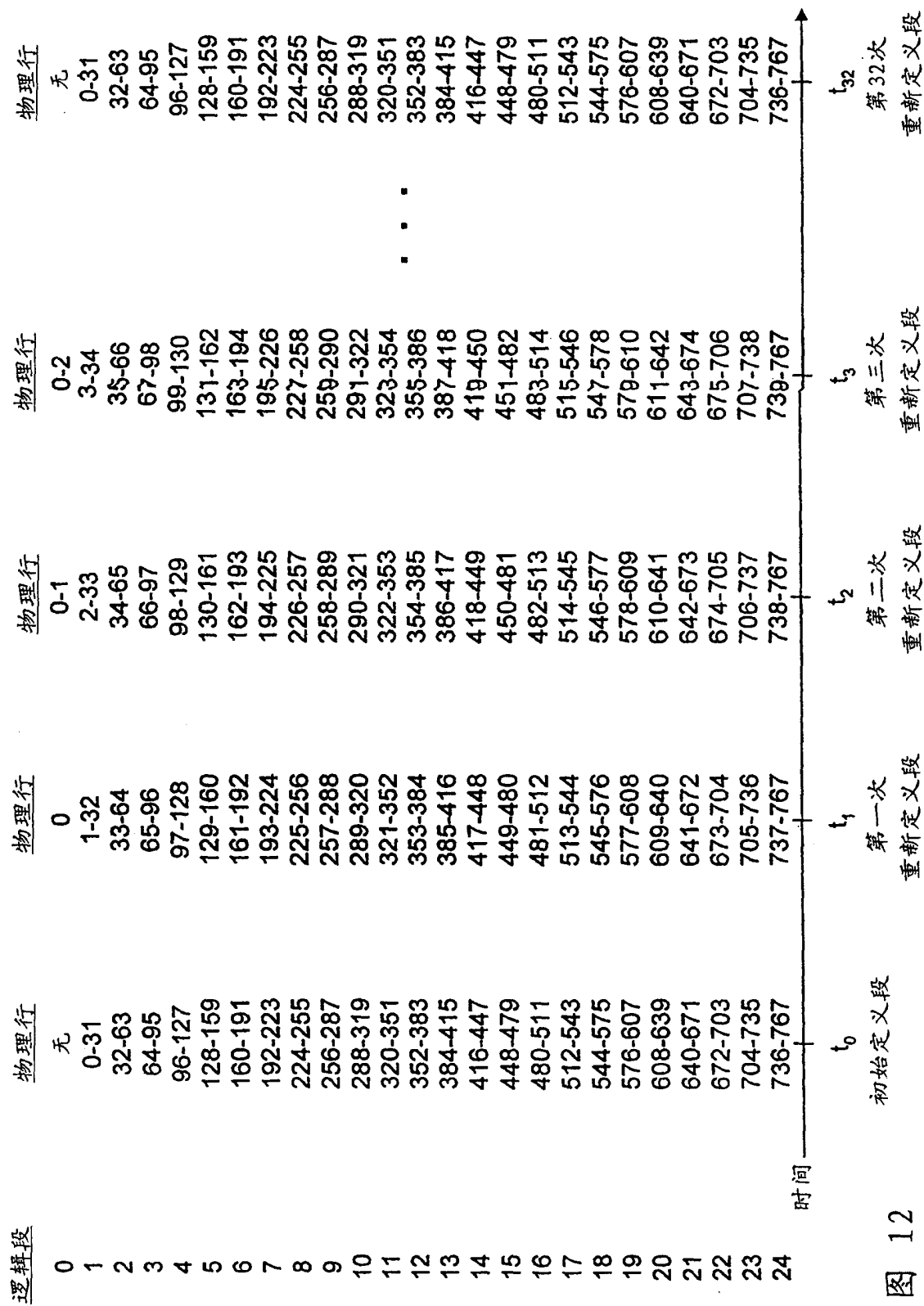


图 12