

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 21/90

(11) 공개번호 특1994-0010277
(43) 공개일자 1994년05월24일

(21) 출원번호	특1993-0022827
(22) 출원일자	1993년 10월 30일
(30) 우선권 주장	92-293124 1992년 10월 30일 일본(JP)
(71) 출원인	가와사끼 세이데쯔 가부시끼가이샤 토자끼 시노부
(72) 발명자	일본국 효오고겐 고오베시 츠우오오구 기타훈마치도오리 1쵸오메 1반 28고 야마모토 히로시
	일본국 도오교오도 치요다구 우치사이와이쵸오 2-3-3(히비야고쿠사이빌딩) 가와사끼 세이데쯔 가부시끼가이샤 내
	다케야스 노부유키
	일본국 지바켄 지바시 츠우오오구 가와사끼쵸오 1 가와사끼 세이데쯔 가부시끼가이샤 내
	오오타 도모히로
	일본국 지바켄 지바시 츠우오오구 가와사끼쵸오 1 가와사끼 세이데쯔 가부시끼가이샤 내
(74) 대리인	강동수, 강일우, 홍기천

심사청구 : 없음

(54) 다층배선구조의 반도체장치 및 그의 제조방법

요약

본 발명은 다층배선 구조를 가지는 반도체 장치에서 양호한 특성을 가지는 관통구조를 제공하기 위한 것으로 알루미늄 또는 알루미늄 열로이를 포함하는 관통 플러그가 형성되기전에 관통홀의 측벽상에 고용점 금속 또는 고용점 금속 화합물을 포함하는 박막을 형성하는 것을 특징으로 한다.

대표도

도7

명세서

[발명의 명칭]

다층배선구조의 반도체장치 및 그의 제조방법

[도면의 간단한 설명]

제7도 내지 제14도는 본 발명의 제1실시예에서 공정을 설명하기 위한 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기판의 상부 표면위에 하부 배선층을 형성하는 제1공정과; 상기 하부 배선층에 절연 내부층을 형성하는 제2공정과; 상기 절연 내부층에 관통홀을 형성하는 제3공정과; 박막은 질소, 산화질소, 불소 및 고용점 금속의 불화질소가 포함된 군으로부터 선택된 고용점 금속 및 고용점 합성물중의 하나를 포함하고, 상기 절연 내부층에 형성된 상기 관통홀의 측벽 일부분에 상기 박막을 형성하는 제4공정과; 관통 플러그를 형성하기 위하여 상기 측벽의 일부분에 형성된 박막을 가지는 상기 관통홀에 알루미늄과 알루미늄 열로이의 하나가 포함되는 전도성 재료를 매입하는 제5공정과; 상기 절연 내부층의 상부 표면에 상부 배선층을 형성하는 제6공정으로 이루어진 것을 특징으로 하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 제1공정은 상기 기판의 상부표면에 알루미늄 및 알루미늄 열로이의 하나를 포함하

는 도전성 금속재료로 이루어지는 층을 형성하고, 상기 하부 배선층을 형성하기 위하여 설정된 형상으로 상기 층을 패턴화하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제4공정은 관통홀이 형성된 상기 절연 내부 층의 내부 표면에 상기 박막을 침적하고, 상기 절연 내부층의 상부 표면 및 상기 관통홀의 바닥부에 상기 박막을 제거하는 공정으로 이루어지고, 상기 하부 배선층은 알루미늄 및 알루미늄 열로이를 포함하는 도전성 재료로 이루어진 알루미늄 층과 상기 알루미늄층의 상부측에 접촉되고, 고용점 금속 및 고용점 금속 합성물층의 하나로 이루어진 상부층으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 4

제3항에 있어서, 상기 제3공정은 상기 관통홀의 바닥부에 위치한 상기 상부층의 부분을 제거하고, 상기 절연 내부층에 관통홀이 형성될 때 상기 홀에 위치한 알루미늄층의 부분을 노출시키는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 5

제3항에 있어서, 상기 제3공정은 상기 관통홀이 상기 절연 내부층에 형성될 때 상기 관통홀의 바닥부에 위치한 상부층의 부분을 노출시키는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 6

제4항에 있어서, 유기성 알루미늄성분을 포함하는 가스를 공급하고, 상기 박막이 형성된 관통홀내부에 화학반응에 의하여 알루미늄 또는 알루미늄 열로이의 하나가 포함되는 도전성 재료를 선택적으로 침적하여 상기 관통플러그를 형성하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 7

제6항에 있어서, 상기 제5스텝은 상기 관통 플러그 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 8

제7항에 있어서, 플라즈마 에칭용으로 사용되는 염소 소오스 가스는 BCl_3 를 포함하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 9

제6항에 있어서, 상기 제5공정으로 형성된 상기 관통 플러그는 상기 하부 배선층에 상부배선층이 연결되고, 내부에 비 이종물질이 중간면인 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 10

제5항에 있어서, 상기 제4공정은 관통홀이 형성된 절연 내부층의 내부 표면에 박막을 침적하고, 상기 상부층의 노출된 부분에 상기 절연 중간층과 상기 바닥부에 침적된 박막을 제거하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 11

제10항에 있어서, 상기 제5공정은 이종 성분을 포함하는 가스를 공급하고, 상기 박막이 형성된 상기 관통홀의 내부에 화학 반응에 의하여 알루미늄 및 알루미늄 열로이중의 하나를 포함하는 도전성 재료를 침적하여 상기 관통 플러그를 형성하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 12

제11항에 있어서, 상기 제5공정은 상기 관통 플러그의 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 13

제12항에 있어서, 상기 플라즈마 에칭용으로 사용되는 염소 소오스 가스는 BCl_3 를 포함하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 14

제11항에 있어서, 상기 제5공정에서 형성된 관통 플러그는 상기 하부 배선층에 상기 상부 배선층이 연결되고, 비 이종금속 중간면을 가지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 15

제2항에 있어서, 상기 제4공정은 상기 관통홀이 형성된 상기 절연 내부층의 내부 표면에 상기 박막을 침적하고, 상기 절연 내부층의 상부 표면에 침적된 박막을 제거하며, 상기 관통홀의 바닥 표면에 위치한 상기 하부 배선층의 부분을 노출하기 위하여 상기 관통홀의 바닥표면에 침적된 박막을 제거하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 16

제15항에 있어서, 상기 제5공정은 유기성 알루미늄성분을 함유하는 가스를 공급하고, 박막이 형성된 상기 관통홀내부에 화학적 반응에 의하여 알루미늄 및 알루미늄 열로이중의 하나를 포함하는 도전성 재료를 선택적으로 침적하여 상기 관통 플러그를 형성하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 17

제15항에 있어서, 상기 제5공정은 상기 관통 플러그 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 18

제17항에 있어서, 상기 플라즈마 에칭용으로 사용되는 염소 소오스 가스는 BCl_3 를 포함하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 19

제17항에 있어서, 상기 제6공정은 상기 절연 내부층의 상부 표면상에 알루미늄 및 알루미늄 열로이 중의 하나를 포함하는 도전성 재료로 이루어진 층을 형성한후 상기 관통 플러그에 직접 연결된 상부 배선층을 형성하기 위하여 설정된 형상으로 상기 층을 패턴화하고, 비 이중 금속 중간면을 가지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 20

제1항에 있어서, 제1공정은 상기 하부 배선층과 같이 상기 기판의 상부 표면상에 확산된 불순물내 확산층을 형성하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 21

제20항에 있어서, 제4공정은 상기 관통홀이 형성된 상기 절연 내부층의 내부 표면상에 박막을 침적하고, 상기 박막을 상기 관통홀의 측벽의 적어도 일부분과 상기 관통홀의 바닥부 내부에 남겨두고, 상기 절연 내부층의 상부 표면상에 침적된 박막을 제거하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 22

제21항에 있어서, 상기 제5공정은 유기성 알루미늄을 코팅하는 가스를 공급하고, 박막이 형성된 상기 관통홀 내부에 화학반응에 의하여 알루미늄 및 알루미늄 열로이중의 하나가 포함되는 전도성 재료를 선택적으로 침적하여 상기 플러그를 형성하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 23

제22항에 있어서, 상기 제5공정은 상기 관통 플러그의 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 24

제23항에 있어서, 플라즈마 에칭용으로 사용되는 상기 염소 소오스 가스는 BCl_3 가 포함되는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 25

제20항에 있어서, 상기 제5공정은 상기 하부배선층처럼 형성된 상기 확산층상의 금속 실리사이드를 형성하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 26

제25항에 있어서, 상기 제5공정은 상기 관통홀이 형성된 상기 절연 내부층의 내부 표면상에 상기 박막을 침적하고, 상기 관통홀의 적어도 측벽의 일부분과 상기 관통홀의 내부 바닥부에 상기 박막을 남겨두고, 상기 절연 내부층의 상부 표면에 침적되는 박막을 제거하는 공정으로 이루어진 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 27

제26항에 있어서, 상기 제5공정은 유기성 알루미늄을 코팅하는 가스를 공급하고, 박막이 형성된 상기 관통홀 내부에 화학반응에 의하여 알루미늄 및 알루미늄 열로이중의 하나가 포함되는 전도성 재료를 선택적으로 침적하여 상기 플러그를 형성하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 28

제27항에 있어서, 상기 제5공정은 상기 관통 플러그의 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 29

제29항에 있어서, 플라즈마 에칭용으로 사용되는 상기 염소 소오스 가스는 BCl_3 가 포함되는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 30

제1항에 있어서, 상기 제4공정은 상기 관통홀이 형성된 중간 절연층의 내부 표면에 상기 박막을 침적하고, 상기 절연 내부층과 상기 관통홀의 바닥상에 침적된 박막을 제거하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 31

제1항에 있어서, 제4공정은 상기 관통홀이 형성된 상기 절연 내부층의 내부 표면에 박막을 침적하고, 상기 박막을 상기 관통홀의 측벽의 적어도 일부분과 상기 관통홀의 바닥부 내부에 남겨두고, 상기 절연 내부층의 상부 표면에 침적된 박막을 제거하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 32

제1항에 있어서, 상기 제5공정은 유기성 알루미늄을 코팅하는 가스를 공급하고, 박막이 형성된 상기 관통홀 내부에 화학반응에 의하여 알루미늄 및 알루미늄 얼로이중의 하나가 포함되는 전도성 재료를 선택적으로 침적하여 상기 플러그를 형성하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 33

제32항에 있어서, 상기 제5공정은 상기 관통 플러그의 형성전에 염소 소오스 가스를 사용하는 플라즈마 에칭을 실행하는 공정으로 이루어지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 34

제33항에 있어서, 플라즈마 에칭용으로 사용되는 상기 염소 소오스 가스는 BCl_3 가 포함되는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 35

제32항에 있어서, 상기 제6공정은 상기 절연 내부층의 상부 표면에 알루미늄 및 알루미늄 얼로이 중의 하나를 포함하는 전도성 재료로 이루어진 층을 형성한후 상기 관통 플러그에 직접 연결된 상부 배선층을 형성하기 위하여 설정된 형상으로 상기 층을 패턴화하고, 비 이종 금속 중간면을 가지는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 36

기판의 상부 표면위에 하부 배선층과; 상기 하부 배선층에 절연 내부층과; 매입된 관통플러그에서 상기 절연 내부층에 형성된 관통홀과; 박막은 질소, 산화질소, 불소 및 고용점 금속의 불화질소가 포함된 군으로부터 선택된 고용점 금속 및 고용점 합성물중의 하나를 포함하고, 상기 절연 내부층에 형성된 상기 관통홀의 측벽 일부분에 형성된 상기 박막과; 상기 절연 내부층의 상부 표면에 형성된 상부 배선층과; 상기 하부 배선층에 상기 상부 배선층이 연결되기 위하여 알루미늄 및 알루미늄 얼로이중 하나를 포함하는 전도성 재료로 이루어진 관통플러그로 구성되는 것을 특징으로 하는 다층배선 구조를 가지는 반도체장치.

청구항 37

제36항에 있어서, 상기 박막을 사용하는 고용점 금속은 IVa군 금속을 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 38

제37항에 있어서, 상기 박막을 사용하는 고용점 금속은 Ti 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 39

제36항에 있어서, 상기 박막을 사용하는 고용점 금속은 TiN 및 TiO_n을 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 40

제36항에 있어서, 상기 박막은 상기 고용점 금속상에 상기 고용점 금속 합성물을 적층하여 구성되는 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 41

제40항에 있어서, 상기 박막은 Ti위에 TiN 및 TiO_n중에 하나를 적층하여 구성된 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 42

제36항에 있어서, 상기 박막은 상기 절연 내부층에 형성된 관통홀의 측벽에 형성된 다층배선 구조를 가

지는 반도체장치.

청구항 43

제42항에 있어서, 상기 하부 배선층은 알루미늄 및 알루미늄 얼로이를 포함하는 도전성 재료로 이루어진 다층배선 구조를 가지는 반도체장치.

청구항 44

제43항에 있어서, 상기 박막은 Ti를 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 45

제43항에 있어서, 상기 박막은 TiN 및 TiO_n중의 하나를 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 46

제43항에 있어서, 상기 하부 배선은 고용점 금속 및 고용점 금속 합성물중의 하나로 되는 층을 포함하는 다층 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 47

제46항에 있어서, 상기 하부 배선층은 알루미늄과 알루미늄 얼로이 중의 하나를 포함하는 도전성 재료로 이루어진 알루미늄층과, 고용점 금속 및 고용점 금속 합성물중의 하나로 이루어지고, 상기 알루미늄의 상부에 접촉되는 상부층으로 구성된 다층배선 구조를 가지는 반도체장치.

청구항 48

제47항에 있어서, 상부층의 재료와 상기 박막은 각각 TiN, TiO_n 및 Ti위에 TiN중의 하나로 부터 선택되는 다층배선 구조를 가지는 반도체장치.

청구항 49

제48항에 있어서, 상부층의 재료와 상기 박막은 동일 재료로 다층배선 구조를 가지는 반도체장치.

청구항 50

제43항에 있어서, 상부층의 재료는 알루미늄 및 알루미늄 얼로이중의 하나를 포함하는 도전성 재료인 다층배선 구조를 가지는 반도체장치.

청구항 51

제50항에 있어서, 상기 상부 배선층은 상기 관통 플러그에 직접 연결되고, 상기 관통 플러그는 상기 하부 배선층에 직접 연결되는 다층배선 구조를 가지는 반도체장치.

청구항 52

제51항에 있어서, 상기 하부 배선층은 고용점 금속 및 고용점 금속 합성물중의 하나로 이루어진 층을 포함하는 다층 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 53

제52항에 있어서, 상기 하부 배선층은 알루미늄 및 알루미늄 얼로이 중의 하나를 포함하는 도전성 재료로 이루어지는 알루미늄층과, 상기 관통홀의 바닥부에 대응하는 부분을 제거하는 것에 의하여 구성되는 고용점 금속 및 고용점 금속 합성물중의 하나로 이루어지는 상기 알루미늄층의 상부쪽에 접촉되는 상부층으로 구성되는 다층구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 54

제53항에 있어서, 상부층의 재료와 상기 박막은 각각 TiN, TiO_n 및 Ti위에 TiN중의 하나로 부터 선택되는 다층배선 구조를 가지는 반도체장치.

청구항 55

제54항에 있어서, 상부층의 재료와 상기 박막은 동일 재료로 다층 배선 구조를 가지는 반도체장치.

청구항 56

제36항에 있어서, 상기 박막은 상기 절연 내부층에 형성되는 측벽과 상기 관통홀의 바닥부 양쪽에 형성되는 다층배선 구조를 가지는 반도체장치.

청구항 57

제56항에 있어서, 상기 하부 배선층은 상기 기판의 표면에 형성된 확산층을 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 58

제57항에 있어서, 상기 박막은 상기 고용점 금속상에 고용점 금속 합성물을 적층하여 구성된 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 59

제58항에 있어서, 상기 박막은 TiN 및 Ti위의 TiON중의 하나를 적층하여 구성된 구조를 가지는 다층배선 구조를 가지는 반도체장치.

청구항 60

제57항에 있어서, 금속 실리사이드는 상기 확산층의 표면에 형성된 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 61

제60항에 있어서, 상기 금속 실리사이드는 $TiSi_2$, $NiSi_2$, $CoSi_2$ 및 $NiSi$ 중의 하나를 포함하는 다층배선 구조를 가지는 반도체장치의 제조방법.

청구항 62

제60항에 있어서, 상기 박막은 TiN 및 TiON중의 하나를 포함하는 다층배선 구조를 가지는 반도체장치.

청구항 63

제60항에 있어서, 상기 고용점 금속상에 고용점 금속 합성물을 적층하여 구성되는 다층배선 구조를 가지는 반도체장치.

청구항 64

제63항에 있어서, 상기 박막은 TiN 및 Ti위의 TiON중의 하나를 적층하여 구성된 구조를 가지는 다층배선 구조를 가지는 반도체장치.

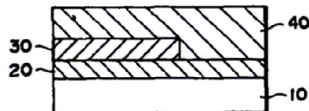
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

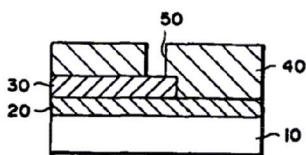
도면7



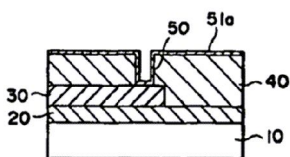
도면8



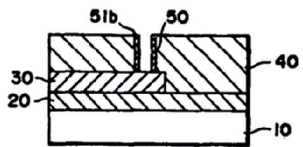
도면9



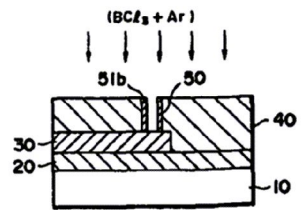
도면10



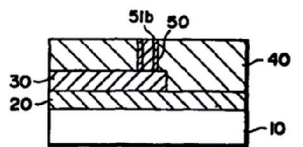
도면11



도면12



도면13



도면14

