



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I566399 B

(45)公告日：中華民國 106 (2017) 年 01 月 11 日

(21)申請案號：101134296

(22)申請日：中華民國 101 (2012) 年 09 月 19 日

(51)Int. Cl. : *H01L29/772 (2006.01)**H01L27/088 (2006.01)**H01L21/336 (2006.01)*

(30)優先權：2011/09/22 日本

2011-207429

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；磯部敦生 ISOBE, ATSUO (JP)；佐佐木俊
成 SASAKI, TOSHINARI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0159639A1

WO 2011/043300A1

WO 2011/111503A1

審查人員：修宇鋒

申請專利範圍項數：18 項 圖式數：12 共 81 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

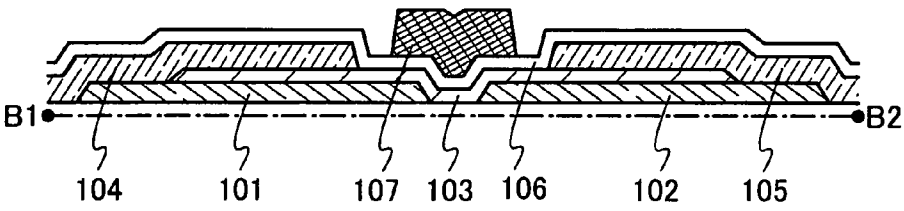
(57)摘要

本發明提供一種利用即使微型化也能夠得到高導通電流的電晶體的半導體裝置。該電晶體包括：絕緣表面上的一對第一導電膜；一對第一導電膜上的半導體膜；分別與一對第一導電膜連接的一對第二導電膜；半導體膜上的絕緣膜；以及隔著絕緣膜與半導體膜重疊的第三導電膜。另外，以夾著半導體膜上的第三導電膜並與此隔離的方式設置有一對第二導電膜。

Provided is a semiconductor device including a transistor with large on-state current even when it is miniaturized. The transistor includes a pair of first conductive films over an insulating surface; a semiconductor film over the pair of first conductive films; a pair of second conductive films, with one of the pair of second conductive films and the other of the pair of second conductive films being connected to one of the pair of first conductive films and the other of the pair of first conductive films, respectively; an insulating film over the semiconductor film; and a third conductive film provided in a position overlapping with the semiconductor film over the insulating film. Further, over the semiconductor film, the third conductive film is interposed between the pair of second conductive films and away from the pair of second conductive films.

指定代表圖：

圖 2A



- 符號簡單說明：
- 101 . . . 導電膜
 - 102 . . . 導電膜
 - 103 . . . 半導體膜
 - 104 . . . 導電膜
 - 105 . . . 導電膜
 - 106 . . . 絕緣膜
 - 107 . . . 導電膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101134296

※申請日：101 年 09 月 19 日

※IPC 分類：H01L 29/772 (2006.01)

H01L 27/088 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明提供一種利用即使微型化也能夠得到高導通電流的電晶體的半導體裝置。該電晶體包括：絕緣表面上的一對第一導電膜；一對第一導電膜上的半導體膜；分別與一對第一導電膜連接的一對第二導電膜；半導體膜上的絕緣膜；以及隔著絕緣膜與半導體膜重疊的第三導電膜。另外，以夾著半導體膜上的第三導電膜並與此隔離的方式設置有一對第二導電膜。

三、英文發明摘要：

Provided is a semiconductor device including a transistor with large on-state current even when it is miniaturized. The transistor includes a pair of first conductive films over an insulating surface; a semiconductor film over the pair of first conductive films; a pair of second conductive films, with one of the pair of second conductive films and the other of the pair of second conductive films being connected to one of the pair of first conductive films and the other of the pair of first conductive films, respectively; an insulating film over the semiconductor film; and a third conductive film provided in a position overlapping with the semiconductor film over the insulating film. Further, over the semiconductor film, the third conductive film is interposed between the pair of second conductive films and away from the pair of second conductive films.

四、指定代表圖：

(一) 本案指定代表圖為：第(2A)圖。

(二) 本代表圖之元件符號簡單說明：

101：導電膜

102：導電膜

103：半導體膜

104：導電膜

105：導電膜

106：絕緣膜

107：導電膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用絕緣閘型場效應電晶體的半導體裝置。

【先前技術】

近年來，作為兼有多晶矽或微晶矽所具有的高遷移率和非晶矽所具有的均勻的元件特性的新的半導體材料，被稱為氧化物半導體的呈現半導體特性的金屬氧化物引人注目。金屬氧化物用於多種用途，例如作為眾所周知的金屬氧化物的氧化銦用於液晶顯示裝置等中的透明電極材料。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知將上述呈現半導體特性的金屬氧化物用於通道形成區的電晶體（專利文獻 1 及專利文獻 2）。

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

在使用矽的電晶體中，藉由對半導體膜添加微量的雜質來控制價電子。但是，在使用氧化物半導體的電晶體中，與使用矽的電晶體不同，藉由添加雜質來控制價電子的技術尚未確立。因此，使用氧化物半導體的電晶體在大多情況下採用將用作源極電極或汲極電極的導電膜直接連

接到半導體膜的通道形成區的結構。因此，在使用氧化物半導體的電晶體中，半導體膜與源極電極或汲極電極之間的接觸電阻大，由此導致導通電流的提高被妨礙。

此外，在使用矽的電晶體中，藉由將閘極電極或抗蝕劑用作掩模而對半導體膜添加雜質，來形成源極區及汲極區。因此，藉由調節閘極電極和抗蝕劑的尺寸，可以控制通道長度。另一方面，在使用氧化物半導體的電晶體中，藉由調節源極電極和汲極電極之間的間隔來控制通道長度。因此，爲了使電晶體微型化而需要縮短源極電極和汲極電極之間的間隔，根據閘極電極的尺寸，閘極電極與源極電極或汲極電極可能會部分重疊。

至於閘極電極位於半導體膜上的頂閘極型電晶體，較佳在半導體膜下形成源極電極及汲極電極。但是，雖然爲了確保源極電極及汲極電極的端部中的半導體膜的覆蓋性（臺階覆蓋率），而必須要減小源極電極及汲極電極的膜厚度，但是由於減小膜厚度而導致源極電極及汲極電極的電阻上升。因此，當要確保臺階覆蓋率時，不容易提高電晶體的導通電流。

【發明內容】

鑒於上述技術背景，本發明的一個方式的目的之一是提供一種能夠提高電晶體的導通電流的半導體裝置。

在根據本發明的一個方式的半導體裝置中，電晶體包括：絕緣表面上的一對第一導電膜；一對第一導電膜上的

半導體膜；分別與一對第一導電膜連接的一對第二導電膜；半導體膜上的絕緣膜；以及隔著絕緣膜與半導體膜重疊的第三導電膜。可以將一對第一導電膜及一對第二導電膜用作源極電極或汲極電極，並且可以將第三導電膜用作閘極電極。

在本發明的一個方式中，可以根據一對第一導電膜之間的間隔規定在載子在半導體膜中移動的方向即通道長度方向上的源極電極和汲極電極之間的間隔。因此，能夠以一對第二導電膜之間的間隔長於一對第一導電膜之間的間隔的方式確定一對第二導電膜的佈置。因此，在本發明的一個方式中，當由於電晶體微型化而需要縮短源極電極和汲極電極之間的間隔時，縮短一對第一導電膜之間的間隔即可，並且能夠增長一對第二導電膜之間的間隔而一對第二導電膜和第三導電膜在半導體膜上不重疊。明確而言，能夠以夾著半導體膜上的第三導電膜並與此隔離的方式設置一對第二導電膜。由此，因為即使電晶體微型化，從第三導電膜施加到半導體膜的電場也不容易被一對第二導電膜妨礙，所以可以得到高導通電流。

另外，在本發明的一個方式中，在半導體膜下存在有第一導電膜，並在半導體膜上存在有第三導電膜。因此，即使由於電晶體的微型化使一對第一導電膜之間的間隔縮短而導致用作閘極電極的第三導電膜和一對第一導電膜重疊，從第三導電膜施加到半導體膜的電場也不容易被一對第一導電膜妨礙。因此，即使電晶體微型化，也可以得到

高導通電流。

另外，即使爲了提高一對第一導電膜的端部中的半導體膜的臺階覆蓋率而將一對第一導電膜的膜厚度抑制爲小，也藉由分別使一對第一導電膜和一對第二導電膜連接，可以將由一對第一導電膜及一對第二導電膜構成的源極電極或汲極電極的電阻抑制爲低。

或者，在根據本發明的一個方式的半導體裝置中，除了上述結構以外，一對第二導電膜也可以位於半導體膜上。

與一對第二導電膜和半導體膜隔離的情況相比，在一對第二導電膜位於半導體膜上的情況下，可以確保用作源極電極或汲極電極的一對第一導電膜及一對第二導電膜與半導體膜接觸的面積爲更大。因此，即使電晶體微型化，也可以將由一對第一導電膜及一對第二導電膜構成的源極電極或汲極電極與半導體膜的接觸電阻抑制爲低，由此可以得到高導通電流。

在本發明的一個方式中，可以採用上述結構實現利用導通電流高的電晶體的半導體裝置。

【實施方式】

下面，參照圖式說明本發明的實施方式。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換爲各種各樣的形式，而不脫離本發明的宗旨及其範圍。

因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

另外，本發明在其範疇內包括所有的利用電晶體的半導體裝置，例如，積體電路、RF 標籤、以及半導體顯示裝置等。此外，積體電路在其範疇內包括：含有微處理器、影像處理電路、DSP（數位信號處理器）、微控制器等的 LSI（大型積體電路）；以及 FPGA（現場可程式邏輯閘陣列）和 CPLD（複合可編程邏輯裝置）等可編程邏輯裝置（PLD）。此外，半導體顯示裝置在其範疇內包括電晶體被包括在驅動電路中的半導體顯示裝置，例如，液晶顯示裝置、在每個像素中具備以有機發光元件（OLED）為典型的發光元件的發光裝置、電紙書、DMD（數位微鏡裝置）、PDP（電漿顯示面板）、FED（場致發射顯示器）等。

實施方式 1

圖 1A 至 1C 示出根據本發明的一個方式的半導體裝置中的電晶體的結構的例子。圖 1A 是該電晶體在通道長度方向上的剖面圖的一個例子。

圖 1A 所示的電晶體包括：絕緣表面上的第一導電膜 101 及第一導電膜 102；第一導電膜 101 及第一導電膜 102 上的半導體膜 103；分別與第一導電膜 101 及第一導電膜 102 連接的第二導電膜 104 及第二導電膜 105；半導體膜 103 上的絕緣膜 106；以及在第二導電膜 104 和第二導電

膜 105 之間隔著絕緣膜 106 與半導體膜 103 重疊的第三導電膜 107。

第一導電膜 101 及第二導電膜 104 和第一導電膜 102 及第二導電膜 105 分別用作源極電極或汲極電極。第三導電膜 107 用作閘極電極。

半導體膜 103 分別部分地覆蓋第一導電膜 101 及第一導電膜 102 而不完全覆蓋。並且，在第一導電膜 101 及第一導電膜 102 中不被半導體膜 103 覆蓋的部分，即除了重疊於半導體膜 103 的部分以外的部分中，第一導電膜 101 及第一導電膜 102 與第二導電膜 104 及第二導電膜 105 分別連接。

第一導電膜 101 及第一導電膜 102 與第二導電膜 104 及第二導電膜 105 的連接並不意味著第一導電膜 101 與第二導電膜 104 或者第一導電膜 102 與第二導電膜 105 直接接觸的狀態。例如，也可以在第一導電膜 101 和第二導電膜 104 之間或在第一導電膜 102 和第二導電膜 105 之間設置有具有如能夠確保電連接那樣薄的膜厚度的絕緣膜，例如自然氧化膜等。

並且，在本發明的一個方式中，以夾著半導體膜 103 上的第三導電膜 107 的端部 107e 並與此隔離的方式設置第二導電膜 104 及第二導電膜 105。第二導電膜 104 及第二導電膜 105 與第三導電膜 107 在半導體膜 103 上不重疊。

另外，在通道長度方向上的第二導電膜 104 的端部

104e 和第二導電膜 105 的端部 105e 之間存在有位於半導體膜 103 下的第一導電膜 101 的端部 101e 和第一導電膜 102 的端部 102e。注意，端部 101e 和端部 102e 是在通道長度方向上的最近的位置上存在的第一導電膜 101 的端部和第一導電膜 102 的端部。因此，在通道長度方向上，第二導電膜 104 的端部 104e 和第二導電膜 105 的端部 105e 之間的間隔 L_{sd} 長於第一導電膜 101 的端部 101e 和第一導電膜 102 的端部 102e 之間的間隔 L_c 。

在本發明的一個方式中，半導體膜 103 及絕緣膜 106 位於用作源極電極或汲極電極的第一導電膜 101 及第一導電膜 102 與用作閘極電極的第三導電膜 107 之間。因此，與在第三導電膜 107 和半導體膜 103 之間設置有第一導電膜 101 及第一導電膜 102 的情況不同，即使由於電晶體的微型化而間隔 L_c 變短，從第三導電膜 107 施加到半導體膜 103 的電場就不容易被第一導電膜 101 及第一導電膜 102 妨礙。因此，即使電晶體微型化，也可以得到高導通電流。

另外，即使爲了提高第一導電膜 101 的端部 101e 及第一導電膜 102 的端部 102e 中的半導體膜 103 的臺階覆蓋率而將第一導電膜 101 及第一導電膜 102 的膜厚度抑制爲薄，就藉由使第一導電膜 101 及第一導電膜 102 與第二導電膜 104 及第二導電膜 105 分別連接，可以將由第一導電膜 101 及第一導電膜 102 和第二導電膜 104 及第二導電膜 105 分別構成的源極電極或汲極電極的電阻抑制爲低。

接著，圖 1B 示出包括圖 1A 所示的剖面結構的電晶體的俯視圖的一個例子。但是，在圖 1B 中，爲了明確示出電晶體的佈局，而示出省略絕緣膜 106 的俯視圖。另外，沿圖 1B 的點劃線 A1-A2 的剖面圖相當於圖 1A。

在圖 1B 所示的俯視圖中，半導體膜 103 包括開口部 108 和開口部 109。並且，在開口部 108 中，第一導電膜 101 和第二導電膜 104 連接。此外，在開口部 109 中，第一導電膜 102 和第二導電膜 105 連接。

接著，圖 1C 示出包括圖 1A 所示的剖面結構的電晶體的俯視圖的另一個例子。但是，在圖 1C 中，爲了明確示出電晶體的佈局，而示出省略絕緣膜 106 的俯視圖。另外，沿圖 1C 的點劃線 A1-A2 的剖面圖相當於圖 1A。

在圖 1C 所示的俯視圖中，半導體膜 103 分離成三個。分離成三個的半導體膜 103 之間分別相當於開口部 108 和開口部 109。並且，在開口部 108 中，第一導電膜 101 和第二導電膜 104 連接。此外，在開口部 109 中，第一導電膜 102 和第二導電膜 105 連接。

注意，圖 1A 至 1C 所示的電晶體包括第二導電膜 104 或第二導電膜 105 只在第一導電膜 101 的上部或第一導電膜 102 的上部連接的結構。但是，在本發明的一個方式中，第二導電膜 104 或第二導電膜 105 也可以在第一導電膜 101 的上部及端部或第一導電膜 102 的上部及端部連接。

圖 2A 和 2B 示出根據本發明的一個方式的半導體裝置

中的電晶體的結構的例子。圖 2A 示出該電晶體的剖面圖的一個例子。此外，圖 2B 示出包括圖 2A 所示的剖面結構的電晶體的俯視圖的一個例子。但是，在圖 2B 中，爲了明確示出電晶體的佈局，而示出省略絕緣膜 106 的俯視圖。另外，沿圖 2B 的點劃線 B1-B2 的剖面圖相當於圖 2A。

圖 2A 和 2B 所示的電晶體包括：絕緣表面上的第一導電膜 101 及第一導電膜 102；第一導電膜 101 及第一導電膜 102 上的半導體膜 103；分別與第一導電膜 101 及第一導電膜 102 連接並位於半導體膜 103 上的第二導電膜 104 及第二導電膜 105；半導體膜 103 上的絕緣膜 106；以及隔著絕緣膜 106 與半導體膜 103 重疊的第三導電膜 107。

並且，圖 2A 和 2B 所示的電晶體的結構與圖 1A 至 1C 所示的電晶體不同之處在於：第二導電膜 104 及第二導電膜 105 除了連接於第一導電膜 101 的上部或第一導電膜 102 的上部以外，還連接於第一導電膜 101 的端部或第一導電膜 102 的端部。因此，在絕緣表面上的設置有第一導電膜 101 及第一導電膜 102 的區域的面積（佔有面積）在圖 1A 至 1C 與圖 2A 和 2B 中相同的情況下，與圖 1A 至 1C 所示的電晶體相比，圖 2A 和 2B 所示的電晶體由於包括上述結構所以可以確保第一導電膜 101 和第二導電膜 104 連接的部分的面積或第一導電膜 102 和第二導電膜 105 連接的部分的面積爲更大。由此，可以降低第一導電膜 101 和第二導電膜 104 之間的接觸電阻或第一導電膜

102 和第二導電膜 105 之間的接觸電阻。

另外，圖 1A 至 1C 及圖 2A 和 2B 示出第二導電膜 104 及第二導電膜 105 分別與半導體膜 103 接觸的情況。但是，在本發明的一個方式中，第二導電膜 104 或第二導電膜 105 也可以與半導體膜 103 隔離。

圖 3A 和 3B 示出根據本發明的一個方式的半導體裝置的電晶體的結構。圖 3A 是該電晶體的剖面圖的一個例子。此外，圖 3B 是包括圖 3A 所示的剖面結構的電晶體的俯視圖的一個例子。但是，在圖 3B 中，為了明確示出電晶體的佈局，而示出省略絕緣膜 106 的俯視圖。另外，沿圖 3B 的點劃線 C1-C2 的剖面圖相當於圖 3A。

圖 3A 和 3B 所示的電晶體包括：絕緣表面上的第一導電膜 101 及第一導電膜 102；第一導電膜 101 及第一導電膜 102 上的半導體膜 103；分別與第一導電膜 101 及第一導電膜 102 連接並與半導體膜 103 隔離的第二導電膜 104 及第二導電膜 105；半導體膜 103 上的絕緣膜 106；以及隔著絕緣膜 106 與半導體膜 103 重疊的第三導電膜 107。

圖 3A 和 3B 所示的電晶體與圖 1A 至 1C 所示的電晶體及圖 2A 和 2B 所示的電晶體不同之處在於：第二導電膜 104 及第二導電膜 105 與半導體膜 103 隔離。

注意，在如圖 1A 至 1C 及圖 2A 和 2B 所示第二導電膜 104 及第二導電膜 105 分別與半導體膜 103 接觸的情況下，與如圖 3A 和 3B 所示第二導電膜 104 及第二導電膜 105 與半導體膜 103 隔離的情況相比，可以確保用作源極

電極或汲極電極的第一導電膜 101 及第二導電膜 104 和第一導電膜 102 及第二導電膜 105 與半導體膜 103 接觸的面積為更大。因此，即使電晶體微型化，也藉由採用第二導電膜 104 及第二導電膜 105 分別與半導體膜 103 接觸的結構，可以將第一導電膜 101 及第二導電膜 104 與半導體膜 103 的接觸電阻或第一導電膜 102 及第二導電膜 105 與半導體膜 103 的接觸電阻抑制為低，而得到高導通電流。

另外，根據本發明的一個方式的半導體裝置的電晶體也可以在第一導電膜 101 或第一導電膜 102 的下層包括第四導電膜。圖 4A 示出根據本發明的一個方式的半導體裝置的電晶體的剖面圖的一個例子。

圖 4A 所示的電晶體包括在包括圖 1A 所示的剖面結構的電晶體中還設置第四導電膜 110 及第四導電膜 111 的結構。明確而言，圖 4A 所示的電晶體包括：第一導電膜 101 及第一導電膜 102；第一導電膜 101 及第一導電膜 102 上的半導體膜 103；分別與第一導電膜 101 及第一導電膜 102 連接的第二導電膜 104 及第二導電膜 105；半導體膜 103 上的第一絕緣膜 106；以及隔著絕緣膜 106 與半導體膜 103 重疊的第三導電膜 107。另外，上述電晶體在第一導電膜 101 及第一導電膜 102 下還包括如下層，在該層中包括：分別與第一導電膜 101 及第一導電膜 102 連接的第四導電膜 110 及第四導電膜 111；以及設置在第四導電膜 110 和第四導電膜 111 之間的第二絕緣膜 120。較佳地是，藉由化學機械拋光（CMP）或蝕刻等使上述層的上面

平坦化。

第四導電膜 110 及第四導電膜 111 分別與第一導電膜 101 及第一導電膜 102、第二導電膜 104 及第二導電膜 105 一起用作電晶體的源極電極或汲極電極。因此，藉由設置第四導電膜 110 及第四導電膜 111，可以將用作電晶體的源極電極或汲極電極的第一導電膜 101、第二導電膜 104 及第四導電膜 110 整體的電阻、以及第一導電膜 102、第二導電膜 105 及第四導電膜 111 整體的電阻抑制為低。

另外，也可以在第四導電膜 110 或第四導電膜 111 與第一導電膜 101 或第一導電膜 102 之間分別設置半導體膜。圖 4B 示出根據本發明的一個方式的半導體裝置的電晶體的剖面圖的一個例子。

圖 4B 所示的電晶體的結構與圖 4A 所示的電晶體不同之處在於：在第一導電膜 101 及第一導電膜 102 與第四導電膜 110 及第四導電膜 111 之間分別包括半導體膜 112 及半導體膜 113。

注意，雖然圖 4A 和 4B 示出在包括圖 1A 所示的剖面結構的電晶體的下層設置第四導電膜的例子，但是本發明的一個方式不侷限於該結構。例如，也可以在包括圖 2A 或圖 3A 所示的剖面結構的電晶體下設置第四導電膜。

注意，在圖 1A 至圖 4B 所示的電晶體中，第一導電膜 101 及第一導電膜 102 隔著半導體膜 103 及絕緣膜 106 與第三導電膜 107 重疊。但是，在本發明的一個方式中，第一導電膜 101 及第一導電膜 102 也可以隔著半導體膜 103

及絕緣膜 106 不與第三導電膜 107 重疊。

以圖 1A 所示的電晶體的剖面結構為例圖 5A 表示第一導電膜 101 的端部 101e 和第一導電膜 102 的端部 102e 之間的間隔 L_c 與在通道長度方向上的第三導電膜 107 的長度 L_g 的關係。在圖 5A 中，長度 L_g 長於間隔 L_c 。並且，圖 5A 所示的電晶體包括 Lov 區 114 和 Lov 區 115，該 Lov 區 114 相當於第三導電膜 107 隔著半導體膜 103 及絕緣膜 106 與第一導電膜 101 重疊的區域，該 Lov 區 115 相當於第三導電膜 107 隔著半導體膜 103 及絕緣膜 106 與第一導電膜 102 重疊的區域。

藉由設置 Lov 區 114 或 Lov 區 115，可以提高電晶體的導通電流。

另外，以圖 1A 所示的電晶體的剖面結構為例圖 5B 表示第一導電膜 101 的端部 101e 和第一導電膜 102 的端部 102e 之間的間隔 L_c 與在通道長度方向上的第三導電膜 107 的長度 L_g 的關係。在圖 5B 中，長度 L_g 短於間隔 L_c 。並且，圖 5B 所示的電晶體包括 Loff 區 116，該 Loff 區 116 相當於在第一導電膜 101 和第一導電膜 102 之間第三導電膜 107 和第一導電膜 101 不重疊的區域，即與設置有第三導電膜 107 和第一導電膜 101 的區域不同的區域。此外，圖 5B 所示的電晶體包括 Loff 區 117，該 Loff 區 117 相當於在第一導電膜 101 和第一導電膜 102 之間第三導電膜 107 和第一導電膜 102 不重疊的區域，即與設置有第三導電膜 107 和第一導電膜 102 的區域不同的區域。

藉由設置 Loff 區 116 或 Loff 區 117，可以將第一導電膜 101 及第一導電膜 102 與第三導電膜 107 之間的寄生電容抑制為低，因此可以提高電晶體的工作速度。

另外，在根據本發明的一個方式的半導體裝置的電晶體中，可以將氧化物半導體等寬能隙半導體用於半導體膜 103。在將氧化物半導體用於半導體膜 103 的情況下，也可以對上述半導體膜 103 添加摻雜劑來形成用作源極區或汲極區的雜質區。作為摻雜劑的添加可以使用離子植入法。作為摻雜劑，例如可以使用氦、氬、氙等稀有氣體或氮、磷、砷、銻等第 15 族原子等。例如，當使用氮作為摻雜劑時，雜質區中的氮原子的濃度較佳為 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，作為氧化物半導體，較佳至少包含銦 (In) 或鋅 (Zn)。尤其是較佳為包含 In 及 Zn。另外，作為降低使用該氧化物的電晶體的電特性的不均勻的穩定劑，除了上述元素以外較佳還包含鎵 (Ga)。此外，作為穩定劑較佳為包含錫 (Sn)。另外，作為穩定劑較佳為包含鈦 (Hf)。此外，作為穩定劑較佳為包含鋁 (Al)。

此外，作為其他穩定劑，也可以包含鐳系元素的鐳 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、鈾 (Gd)、鈾 (Tb)、鐳 (Dy)、鈾 (Ho)、鈾 (Er)、鈾 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；

氧化鋅；二元金屬氧化物如 In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物；三元金屬氧化物如 In-Ga-Zn 氧化物(也稱為 IGZO)、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。此外，上述氧化物半導體也可以包含矽。

另外，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 類氧化物，由於在無電場時的電阻充分高而能夠充分地降低截止電流且遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

例如，可以使用 $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$ 或 $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$ 的原子比的 In-Ga-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。或者，較佳為使用 $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In:Sn:Zn}=2:1:3$

($=1/3:1/6:1/2$)或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$)的原子比的 In-Sn-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。

例如， In-Sn-Zn 氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

另外，藉由減少成為電子給體（施體）的水分或氫等雜質且減少氧缺損來實現高度純化的氧化物半導體（purified Oxide Semiconductor）是 i 型（本質半導體）或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙是 2eV 以上，較佳是 2.5eV 以上，更佳是 3eV 以上。藉由使用充分減少水分或氫等的雜質濃度且減少氧缺損而高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種實驗可以證明將高度純化的氧化物半導體用於半導體膜的電晶體的截止電流低。例如，通道寬度為 $1\times 10^6\mu\text{m}$ ，且通道長度為 $10\mu\text{m}$ 的元件也可以在源極電極和汲極電極之間的電壓（汲極電壓）為 1V 至 10V 的範圍內獲得截止電流為半導體參數分析儀的測量極限以下，即 $1\times 10^{-13}\text{A}$ 以下的特性。在此情況下，可知：相當於截止電流除以電晶體的通道寬度的數值的截止電流為 $100\text{zA}/\mu\text{m}$ 以下。此外，藉由使用如下電路來測量截止電流，在該電路中連接電容元件與電晶體且由該電晶體控制流入到電容元件或從電容元件流出的電荷。在該測量時，

將高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的每單位時間的電荷量推移測量該電晶體的截止電流。其結果是，可知：當電晶體的源極電極和汲極電極之間的電壓為 3V 時，可以獲得更低的截止電流，即幾十 $\text{yA}/\mu\text{m}$ 。由此，將高度純化的氧化物半導體膜用於通道形成區的電晶體的截止電流比使用具有結晶性的矽的電晶體的截止電流顯著低。

此外，在沒有特別的說明的情況下，在 n 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極電極的電位高於源極電極及閘極電極的電位的狀態下，當以源極電極的電位為標準時的閘極電極的電位為 0 以下時，流過源極電極和汲極電極之間的電流。或者，在 p 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極電極的電位低於源極電極及閘極電極的電位的狀態下，當以源極電極的電位為標準時的閘極電極的電位為 0 以上時，流過源極電極和汲極電極之間的電流。

此外，例如，氧化物半導體膜可以藉由使用包含 In（銦）、Ga（鎵）和 Zn（鋅）的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳為使用原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ 或 $3:1:4$ 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體膜，容易形成多晶或 CAAC（C Axis

Aligned Crystal：c 軸配向結晶）。另外，包含 In、Ga 及 Zn 的靶材的填充率為 90%以上且 100%以下，較佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作爲氧化物半導體使用 In-Zn 類氧化物材料時，將所使用的靶材中的金屬元素的原子數比設定爲 In:Zn=50:1 至 1:2（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4），較佳爲 In:Zn=20:1 至 1:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2），更佳爲 In:Zn=1.5:1 至 15:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 至 15:2）。例如，作為用來形成 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比爲 In:Zn:O=X:Y:Z 時，滿足 $Z>1.5X+Y$ 。藉由將 Zn 的比率設定爲上述範圍內的值，可以實現遷移率的提高。

氧化物半導體膜處於單晶、多晶（polycrystal）或非晶等狀態。

氧化物半導體膜較佳是 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部分的尺寸爲能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡（TEM：

Transmission Electron Microscope) 觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，利用 TEM 在 CAAC-OS 膜中觀察不到晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸及 b 軸的方向可以不同。在本說明書中，當只記載“垂直”時，還包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，還包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）有時朝向彼此不同的方向。

另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，這種電晶體的可靠性高。

CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點爲 -80°C 以下，較佳爲 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100°C 以上且 740°C 以下，較佳爲 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基

板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數比混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射靶材適當地改變。

實施方式 2

根據本發明的一個方式的半導體裝置也可以包括層疊有電晶體的結構。尤其是，藉由利用包括圖 4A 所示的結構的電晶體，並且將第四導電膜 110 或第四導電膜 111 用作下層的電晶體的閘極電極、源極電極或汲極電極，可以抑制起因於接觸區的元件面積的增大來實現半導體裝置的微型化或縮減電晶體的製程數。

在本實施方式中，以半導體裝置之一的記憶體裝置為

例說明包括如下結構的根據本發明的一個方式的半導體裝置的製造方法，即，在包括圖 4A 所示的結構的電晶體的下層設置有另一個電晶體的結構。

首先，在說明製造方法之前，說明記憶體裝置所包括的記憶單元的結構。

圖 9A 示出記憶單元的電路圖。圖 9A 所示的記憶單元包括電晶體 201、電晶體 202 及電容元件 203。電晶體 202 的閘極電極與第一字線 WL_a 連接。此外，在電晶體 202 中，源極電極和汲極電極中的一方與資料線 DL 連接，另一方與電晶體 201 的閘極電極連接。在電晶體 201 中，源極電極和汲極電極中的一方與資料線 DL 連接，另一方與供應有所定的電位的節點連接。電容元件 203 所包括的一對電極的一方與電晶體 201 的閘極電極連接，另一方與第二字線 WL_b 連接。

在圖 9A 所示的記憶單元中，當寫入資料時，電晶體 202 成為導通，包含資料的信號的電位從資料線 DL 經過電晶體 202 施加到電晶體 201 的閘極電極。並且，藉由根據上述信號的電位控制積蓄在電晶體 201 的閘極電容及電容元件 203 中的電荷量，對電晶體 201 及電容元件 203 寫入資料。

並且，當保持資料時，電晶體 202 成為截止，積蓄在電晶體 201 的閘極電容及電容元件 203 中的電荷被保持。在將氧化物半導體用於電晶體 202 的半導體膜的情況下，可以將電晶體 202 的截止電流抑制為極低。因此，被積蓄

的上述電荷不容易洩漏，與將矽等半導體材料用於電晶體 202 的情況相比，可以在更長期間保持資料。

當讀出資料時，改變第二字線 WLb 的電位。因為電容元件 203 所具有的一對電極的電位差根據電荷守恆定律被保持，所以第二字線 WLb 的電位的變化施加到電晶體 201 的閘極電極。在電晶體 201 中，臨界電壓根據積蓄在電晶體 201 的閘極電容的電荷量而變化。因此，根據藉由電晶體 201 的閘極電極的電位變化而得到的電晶體 201 的汲極電流的大小讀出所積蓄的電荷量的差異，以能夠讀出資料。

另外，在電晶體 201 中，可以將氧化物半導體用於半導體膜。或者，在電晶體 201 中，也可以將矽或鍺等半導體用於半導體膜。藉由將氧化物半導體膜用於記憶單元內的所有電晶體的半導體膜，可以簡化製程。另外，藉由將可獲得高於氧化物半導體的遷移率的半導體如多晶或單晶的矽等用於電晶體 201 的半導體膜，能夠高速地從記憶單元讀出資料。

在本實施方式中，以將矽用於下層的電晶體 201 的半導體膜並將氧化物半導體用於上層的電晶體 202 的半導體膜的情況為例來說明半導體裝置的製造方法。但是，如上所述，在下層的電晶體 201 中，除了使用矽以外，還可以使用鍺、矽鍺、單晶碳化矽等半導體材料。此外，例如，使用矽的電晶體可以使用矽晶片等單晶半導體基板、藉由 SOI 法製造的矽薄膜、藉由氣相生長法製造的矽薄膜等形

成。或者，與上層的電晶體同樣，在下層的電晶體 201 中也可以使用氧化物半導體。

在本實施方式中，首先，如圖 6A 所示，在基板 700 上形成絕緣膜 701 和從單晶半導體基板被分離的半導體膜 702。

對可以用作基板 700 的材料沒有大限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。例如，作為基板 700，可以使用藉由熔融法或浮法來製造的玻璃基板、石英基板、半導體基板、陶瓷基板等。當後面的加熱處理的溫度較高時，較佳為使用應變點為 730°C 以上的玻璃基板。

另外，在本實施方式中，以下，以半導體膜 702 為單晶矽的情況為例來說明電晶體 201 的製造方法。另外，簡單說明具體的單晶半導體膜 702 的製造方法的一個例子。首先，將由利用電場進行加速的離子構成的離子束注入到單晶半導體基板的接合基板，以在離接合基板的表面有預定深度的區域中形成因使結晶結構錯亂而局部性地被脆弱化的脆化層。可以根據離子束的加速能和離子束的入射角調節形成脆化層的區域的深度。然後，以夾有該絕緣膜 701 的方式貼合接合基板與形成有絕緣膜 701 的基板 700。至於貼合，在使接合基板與基板 700 重疊之後，對接合基板和基板 700 的一部分施加大約 $1\text{N}/\text{cm}^2$ 以上 $500\text{N}/\text{cm}^2$ 以下的壓力，較佳為施加大約 $11\text{N}/\text{cm}^2$ 以上 $20\text{N}/\text{cm}^2$ 以下的壓力。藉由施加壓力，從該部分起接合基

板和絕緣膜 701 開始接合，最終貼緊的整個面接合。接著，藉由進行加熱處理，存在於脆化層中的極小空隙的體積增大，使得極小空隙彼此結合起來。結果，在脆化層中，接合基板的一部分的單晶半導體膜從接合基板分離。上述加熱處理的溫度為不超過基板 700 的應變點的溫度。然後，藉由利用蝕刻等將上述單晶半導體膜加工為所希望的形狀，可以形成半導體膜 702。

爲了控制臨界電壓，也可以對半導體膜 702 添加賦予 p 型導電性的雜質元素諸如硼、鋁、鎵等或賦予 n 型導電性的雜質元素諸如磷、砷等。用來控制臨界電壓的雜質元素的添加，既可對被進行構圖之前的半導體膜進行，又可對被進行構圖之後的半導體膜 702 進行。另外，也可以將用於控制臨界電壓的雜質元素添加到接合基板。或者，也可以首先將雜質元素添加到接合基板，以便粗略地調節臨界電壓，然後，再添加到被進行構圖之前的半導體膜或被進行構圖之後的半導體膜 702，以便精細地調節臨界電壓。

另外，雖然在本實施方式中說明使用單晶半導體膜的例子，但是本發明不侷限於該結構。例如，既可利用在絕緣膜 701 上利用氣相沉積法而形成的多晶、微晶或非晶半導體膜，又可利用已知的技術使上述半導體膜結晶化。作爲已知的晶化法，有利用雷射的雷射晶化法、使用催化元素的晶化法。或者，也可以組合使用催化元素的晶化法和雷射晶化法。另外，在使用石英等具有優良的耐熱性的基

板時，也可以採用使用電熱爐的熱晶化法；利用紅外光的燈退火晶化法；使用催化元素的晶化法；以及使用 950°C 左右的高溫退火法的晶化法。

接著，如圖 6B 所示，在半導體膜 702 上形成閘極絕緣膜 703，然後在閘極絕緣膜 703 上形成掩模 705，對半導體膜 702 的一部分添加賦予導電性的雜質元素，由此形成雜質區 704。

閘極絕緣膜 703 可以藉由進行高密度電漿處理、熱處理等使半導體膜 702 的表面氧化或氮化來形成。高密度電漿處理例如使用 He、Ar、Kr、Xe 等的稀有氣體與氧、氧化氮、氨、氮、氫等的混合氣體來進行。在此情況下，藉由引入微波來激發電漿，可以產生具有低電子溫度和高密度的電漿。藉由使用由這種高密度的電漿產生的氧自由基（也有包括 OH 自由基的情況）或氮自由基（也有包括 NH 自由基的情況）使半導體膜的表面氧化或氮化，可以以與半導體膜接觸的方式形成厚度為 1nm 至 20nm，較佳為 5nm 至 10nm 的絕緣膜。例如，利用使用 Ar 稀釋為 1 倍至 3 倍（流量比）的一氧化二氮（ N_2O ）並以 10Pa 至 30Pa 的壓力施加 3kW 至 5kW 的微波（2.45GHz）電力，來使半導體膜 702 的表面氧化或氮化。藉由該處理形成厚度為 1nm 至 10nm（較佳為 2nm 至 6nm）的絕緣膜。此外，引入一氧化二氮（ N_2O ）和矽烷（ SiH_4 ）並以 10Pa 至 30Pa 的壓力施加 3kW 至 5kW 的微波（2.45GHz）電力，藉由氣相生長法形成氧氮化矽膜，從而形成閘極絕緣膜。

藉由組合固相反應和氣相生長法所引起的反應，可以形成介面態密度低且絕緣耐壓優異的閘極絕緣膜。

由於上述利用高密度電漿處理的半導體膜的氧化或氮化以固相反應進行，所以可以使閘極絕緣膜 703 與半導體膜 702 的介面態密度極低。另外，藉由利用高密度電漿處理直接使半導體膜 702 氧化或氮化，可以抑制所形成的絕緣膜的厚度的不均勻。另外，在半導體膜具有結晶性時，藉由利用高密度電漿處理以固相反應來使半導體膜的表面氧化，可以抑制氧化只在晶界中進展得快，從而可以形成均勻性良好且介面態密度低的閘極絕緣膜。如此，將利用高密度電漿處理形成的絕緣膜包括在閘極絕緣膜的一部分或整個閘極絕緣膜內的電晶體可以抑制特性的不均勻。

另外，也可以使用電漿 CVD 法或濺射法等形成包含如下材料的膜的單層或疊層的閘極絕緣膜 703：氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鈮、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈺（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等。

另外，在本說明書中，氧氮化物是指在其組成中含氧量多於含氮量的物質。另外，氮氧化物是指在其組成中含氮量多於含氧量的物質。

例如，可以將閘極絕緣膜 703 的厚度設定為 1nm 以上 100nm 以下，較佳為 10nm 以上 50nm 以下。在本實施方式中，作為閘極絕緣膜 703，使用電漿 CVD 法形成包含氧

化矽的單層的絕緣膜。

接著，在去除掩模 705 之後，如圖 6C 所示，去除閘極絕緣膜 703 的一部分，藉由蝕刻等在與雜質區 704 重疊的區域中形成開口部 706，之後形成導電膜 707 及導電膜 708。導電膜 707 用作電晶體 201 的閘極電極及電晶體 202 的源極電極或汲極電極。此外，導電膜 708 用作電晶體 201 的源極電極或汲極電極及電晶體 202 的源極電極或汲極電極。

導電膜 707 及導電膜 708 可以藉由在以覆蓋開口部 706 的方式形成導電膜之後將該導電膜加工（構圖）為規定的形狀而形成。導電膜 708 在開口部 706 中與雜質區 704 接觸。在形成上述導電膜時，可以使用 CVD 法、濺射法、蒸鍍法、旋塗法等。另外，作為導電膜，可以使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鉭（Nb）等。既可以使用含上述金屬作為其主要成分的合金，又可以使用含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素如磷等而成的多晶矽等半導體來形成。

另外，雖然在本實施方式中由單層導電膜形成導電膜 707 及導電膜 708，但是本實施方式不侷限於該結構。導電膜 707 及導電膜 708 也可以由層疊的多個導電膜形成。

作為兩個導電膜的組合，可以使用氮化鉭或鉭作為第一層，並且使用鎢作為第二層。另外，除了上述以外，還可以舉出：氮化鎢和鎢、氮化鉬和鉬、鋁和鉭、鋁和鈦

等。因為錫和氮化鉬具有高耐熱性，所以在形成兩層導電膜之後可以進行用於熱活化的加熱處理。另外，作為兩層導電膜的搭配，例如可以使用摻雜有賦予 n 型導電性的雜質元素的矽和鎳矽化物以及摻雜有賦予 n 型導電性的雜質元素的矽和錫矽化物等。

在採用層疊三層的導電膜的三層結構的情況下，較佳為採用鉬膜、鋁膜和鉬膜的疊層結構。

另外，作為導電膜 707 及導電膜 708，也可以使用氧化銦、氧化銦氧化錫混合物、氧化銦氧化鋅混合物、氧化鋅、氧化鋅鋁、氧氮化鋅鋁或氧化鋅鎳等的具有透光性的氧化物導電膜。

另外，也可以使用液滴噴射法選擇性地形成導電膜 707 及導電膜 708，而不使用掩模。液滴噴射法是指從細孔噴射或噴出包含規定組分的液滴來形成規定圖案的方法，噴墨法等包括在其範疇內。

另外，藉由在形成導電膜之後使用 ICP (Inductively Coupled Plasma：感應耦合電漿) 蝕刻法並對蝕刻條件（施加到線圈型電極層的電力量、施加到基板側電極層的電力量和基板側的電極溫度等）進行適當調整，可以將導電膜 707 及導電膜 708 蝕刻為具有所希望的錐形形狀。另外，還可以根據掩模的形狀控制錐形形狀的角度等。另外，作為蝕刻氣體，可以適當地使用：氯類氣體如氯、氯化硼、氯化矽、四氯化碳等；氟類氣體如四氟化碳、氟化硫或氟化氮等；或氧。

接著，如圖 6D 所示，藉由以導電膜 707 及導電膜 708 為掩模將賦予一導電性的雜質元素添加到半導體膜 702，在半導體膜 702 中形成與導電膜 707 重疊的通道形成區 710、夾有通道形成區 710 的一對雜質區 709 以及雜質區 704 的一部分中還添加有雜質元素的雜質區 711。

在本實施方式中，以將賦予 p 型的雜質元素（如硼）添加到半導體膜 702 的情況為例子。

接著，如圖 7A 所示，以覆蓋閘極絕緣膜 703、導電膜 707 和導電膜 708 的方式形成絕緣膜 712 和絕緣膜 713。明確而言，絕緣膜 712 和絕緣膜 713 可以使用氧化矽、氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁等的無機絕緣膜。特別是，藉由作為絕緣膜 712 和絕緣膜 713 使用介電常數低（low-k）材料，可以充分地減少起因於各種電極或佈線的重疊的電容，所以較佳為使用介電常數低（low-k）材料。另外，作為絕緣膜 712 和絕緣膜 713，也可以應用使用上述材料的多孔絕緣膜。在多孔絕緣膜中，因為與密度高的絕緣膜相比，其介電常數降低，所以可以進一步減少起因於電極或佈線的寄生電容。

在本實施方式中，以使用氧氮化矽作為絕緣膜 712 並使用氮氧化矽作為絕緣膜 713 的情況為例子。另外，雖然在本實施方式中以在導電膜 707 及導電膜 708 上形成絕緣膜 712 和絕緣膜 713 的情況為例子，但是在本發明中，既可以在導電膜 707 及導電膜 708 上只形成一層的絕緣膜，又可以在導電膜 707 及導電膜 708 上形成三層以上的多個

絕緣膜的疊層。

接著，如圖 7B 所示，藉由對絕緣膜 712 及絕緣膜 713 進行 CMP 或蝕刻等，使導電膜 707 及導電膜 708 的表面露出。另外，爲了提高之後形成的電晶體 202 的特性，較佳爲使絕緣膜 712 和絕緣膜 713 的表面盡可能地爲平坦。

藉由上述製程，可以形成電晶體 201。

接著，說明電晶體 202 的製造方法。首先，如圖 7C 所示，在導電膜 707 或導電膜 708 上形成導電膜 714 及導電膜 715。導電膜 714 及導電膜 715 用作電晶體 202 的源極電極或汲極電極。

明確而言，導電膜 714 及導電膜 715 可以藉由濺射法或真空蒸鍍法以覆蓋導電膜 707 及導電膜 708、絕緣膜 712 及絕緣膜 713 的方式形成導電膜，然後將該導電膜加工（構圖）爲規定的形狀而形成。另外，爲了確保在之後形成在導電膜 714 及導電膜 715 上的氧化物半導體膜 716 的良好的臺階覆蓋率，導電膜 714 及導電膜 715 的端部較佳爲具有錐形，並且其膜厚度較佳小。明確而言，導電膜 714 及導電膜 715 的端部所具有的錐形角較佳爲 20 度以上且 80 度以下，更佳爲 30 度以上且 60 度以下。另外，明確而言，導電膜 714 及導電膜 715 的膜厚度較佳爲 10nm 以上且 300nm 以下，更佳爲 100nm 以上且 200nm 以下。

作爲成爲導電膜 714 及導電膜 715 的導電膜，可以舉出選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素、以上述元

素為成分的合金或組合上述元素而成的合金膜等。此外，還可以採用在鋁、銅等的金屬膜的下側或上側層疊鉻、鉍、鈦、鉬、鎢等的高熔點金屬膜的結構。另外，作為鋁或銅，為了避免耐熱性或腐蝕性的問題，較佳將鋁或銅與高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉬、鈦、鉻、鉍、鎢、釹、釷、釷等。

另外，成為導電膜 714 及導電膜 715 的導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；以及鈦膜、層疊在該鈦膜上的鋁膜、還在其上層疊的鈦膜的三層結構等。另外，Cu-Mg-Al 合金、Cu-Mg 混合氧化物、Cu-Ca 混合氧化物、Cu-Mg-Al 混合氧化物、Mo-Ti 合金、Ti 或 Mo 具有與氧化膜的高密接性。因此，藉由作為下層形成包括 Cu-Mg-Al 合金、Cu-Mg 混合氧化物、Cu-Ca 混合氧化物、Cu-Mg-Al 混合氧化物、Mo-Ti 合金、Ti 或 Mo 的導電膜，作為上層層疊包括電阻值低的 Cu 的導電膜，且將該層疊的導電膜用於導電膜 714 及導電膜 715，可以在絕緣膜 712 或絕緣膜 713 是氧化膜的情況下提高絕緣膜 712 或絕緣膜 713 與導電膜 714 及導電膜 715 的密接性，並且將導電膜 714 及導電膜 715 的電阻值抑制為低。

此外，也可以使用導電金屬氧化物形成成為導電膜 714 及導電膜 715 的導電膜。作為導電金屬氧化物，可以使用氧化銮、氧化錫、氧化鋅、氧化銮氧化錫混合物、氧化銮氧化鋅混合物或使上述金屬氧化物材料包含矽或氧化

矽的材料。

接著，如圖 8A 所示，在導電膜 714 及導電膜 715 上形成氧化物半導體膜 716。氧化物半導體膜 716 在導電膜 714 上包括開口部 717，並在導電膜 715 上包括開口部 718。氧化物半導體膜 716 可以藉由將形成在絕緣膜 712 及絕緣膜 713 和導電膜 714 及導電膜 715 上的氧化物半導體膜加工為上述形狀而形成。

上述氧化物半導體膜的膜厚度為 2nm 以上 200nm 以下，較佳為 3nm 以上 50nm 以下，更佳為 3nm 以上 20nm 以下。藉由使用氧化物半導體作為靶材，利用濺射法形成氧化物半導體膜。另外，氧化物半導體膜可以藉由在稀有氣體（如氬）氛圍下、在氧氛圍下或在稀有氣體（如氬）和氧的混合氛圍下利用濺射法而形成。

作為氧化物半導體膜，如上所述那樣可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、

In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。另外，上述氧化物半導體也可以包含矽。

在本實施方式中，將藉由使用包含 In（銦）、Ga（鎵）及 Zn（鋅）的靶材的濺射法而得到的厚度為 30nm 的 In-Ga-Zn 類氧化物半導體的薄膜用作氧化物半導體膜。作為上述靶材，例如使用包含 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳數比] 的組成的氧化物靶材。此外，還可以使用包含 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比] 的氧化物靶材。另外，包含 In、Ga 及 Zn 的靶材的填充率為 90% 以上且 100% 以下，較佳為 95% 以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作為氧化物半導體使用 In-Zn 類氧化物時，將所使用的靶材中的金屬元素的原子數比設定為 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$ ），較佳為 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$ ），更佳為 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ （換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$ ）。例如，作為用於形成 In-Zn 類氧化物半導體的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 的關係。

另外，作為用於 In-Sn-Zn 類氧化物的靶材，使用靶材中的金屬元素的原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 或 $20:45:35$ 等的氧化物靶材。

在本實施方式中，將基板放置在保持為減壓狀態的處理室內，去除處理室內的殘留水分並引入去除了氫及水分的濺射氣體，使用上述靶材形成氧化物半導體膜。在進行成膜時，也可以將基板溫度設定為 100°C 以上 600°C 以下，較佳為 200°C 以上 400°C 以下。藉由在加熱基板的同時進行成膜，可以降低形成了的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，例如排出氫原子、水 (H_2O) 等的包含氫原子的化合物（更佳地，還有包含碳原子的化合物）等，由此可降低在該處理室中形成的氧化物半導體膜所包含的雜質濃度。

作為成膜條件的一個例子，可以應用如下條件：基板與靶材之間的距離為 100mm ，壓力為 0.6Pa ，直流 (DC) 電源功率為 0.5kW ，採用氧（氧流量比率為 100% ）氛圍。另外，脈衝直流 (DC) 電源是較佳的，因為可以減少在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

另外，作為用來形成氧化物半導體膜 716 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或兩者。作為用於乾蝕刻

的蝕刻氣體，較佳為使用含有氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。為了能夠蝕刻為所希望的形狀，適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等）。

作為用於濕蝕刻的蝕刻劑，可以使用將磷酸、醋酸及硝酸混合而成的溶液、檸檬酸或草酸等的有機酸。在本實施方式中，使用 ITO-07N（日本關東化學株式會社製造）。

也可以利用噴墨法形成用來形成氧化物半導體膜 716 的光阻掩罩。當利用噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作為雜質的水分或氫（包括羥基）。因為水分或氫容易形成施體能階，所以它們對於氧化物半導體來說是雜質。因此，在本發明的一個方式中，為了減少氧化物半

導體膜中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣體氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體膜 716 進行加熱處理。

藉由對氧化物半導體膜 716 進行加熱處理，可以使氧化物半導體膜 716 中的水分或氫脫離。明確地說，可以在 250°C 以上 750°C 以下的溫度下，較佳在 400°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由此即使在超過玻璃基板的應變點的溫度下也可以進行處理。

在本實施方式中，使用加熱處理裝置之一的電爐。另外，加熱處理裝置不侷限於電爐，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。

GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的惰性氣體如氬等的稀有氣體或者氮等。

在加熱處理中，較佳在氮或氦、氖、氬等的稀有氣體中不包含水分或氫等。或者，較佳的是，引入到加熱處理裝置的氮或稀有氣體如氦、氖或氬的純度為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

另外，有人指出：氧化物半導體對雜質不敏感，即使在膜中包含大量金屬雜質也沒有問題，因此，也可以使用包含大量的如鈉等鹼金屬的廉價的鹼石灰玻璃（神谷、野村、細野“非晶氧化物半導體的物性及裝置開發的現狀”、日本固體物理、2009 年 9 月號、第 44 卷、第 621-633 頁。但是，這種指出是不適當的。鹼金屬由於不是構成氧化物半導體的元素，所以是雜質。鹼土金屬在它不是構成氧化物半導體的元素時也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體膜接觸的絕緣膜為氧化物時擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體膜中，Na 將構成氧化物半導體的金屬與氧的接合斷開或擠進該接合之中。其結果，例如，發生因臨界電壓向負一側漂移而導致的常導通化、遷移率的降低等電晶體特性的劣化，而且，也發生特性的不均勻。在氧化物半導體膜中的氬濃度十分低時顯著地出現上述雜質所引起的電晶體的上述特性劣化及特性不均勻。因此，在氧化物半導體膜中的氬濃

度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，特別為 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下時，較佳為減少上述雜質的濃度。明確地說，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，Li 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。與此同樣，K 濃度的測定值較佳為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。

藉由上述製程可以降低氧化物半導體膜 716 中的氫濃度，從而實現高度純化。由此，可以實現氧化物半導體膜的穩定化。另外，藉由進行玻璃轉變溫度以下的加熱處理，可以形成載子密度極少，且能隙寬的氧化物半導體膜。由此，可以使用大面積基板製造電晶體，而可以提高量產性。另外，藉由使用該氫濃度降低而高度純化的氧化物半導體膜，可以製造耐壓性高且截止電流顯著低的電晶體。

另外，氧化物半導體膜也可以為非晶，但是也可以具有結晶性。作為具有結晶性的氧化物半導體膜，包括具有 c 軸配向的結晶（CAAC：C Axis Aligned Crystal）的氧化物半導體也可以提高電晶體的可靠性，所以這是較佳的。

利用 CAAC 構成的氧化物半導體膜也可以藉由濺射法形成。為了藉由濺射法得到 CAAC，重要的是在氧化物半導體膜的沉積初期階段中形成六方晶的結晶且以該結晶為晶種使結晶生長。為此，較佳將靶材與基板之間的距離設

定為長（例如，150mm 至 200mm 左右），並且將加熱基板的溫度設定為 100℃ 至 500℃，更佳地設定為 200℃ 至 400℃，進一步較佳設定為 250℃ 至 300℃。而且，藉由以比成膜時的加熱基板的溫度高的溫度對沉積的氧化物半導體膜進行熱處理，可以修復包含在膜中的微小缺陷或疊層界面的缺陷。

在 CAAC-OS (C Axis Aligned Crystal Oxide Semiconductor) 中，與非晶氧化物半導體中相比，金屬與氧的接合序列化。換言之，在氧化物半導體為非晶時，各金屬原子的配位數有可能分別不同，但是在 CAAC-OS 中，金屬原子的配位數大致一定。由此，微觀的氧缺陷減少，而有減少因氫原子（包括氫離子）或鹼金屬原子的放出或接合而導致的電荷遷移或不穩定性的效果。

因此，藉由使用包含 CAAC-OS 的氧化物半導體膜形成電晶體，可以降低在對電晶體照射光或施加偏壓-熱壓力（BT）之後產生的電晶體的臨界電壓的變化量。由此，可以形成具有穩定的電特性的電晶體。

接著，如圖 8B 所示，形成與導電膜 714 及氧化物半導體膜 716 接觸的導電膜 719、以及與導電膜 715 及氧化物半導體膜 716 接觸的導電膜 720。導電膜 719 及導電膜 720 可以使用與導電膜 714 及導電膜 715 相同的材料、相同的疊層結構、以及相同的製造方法來形成。

另外，在當形成導電膜 719 及導電膜 720 時的蝕刻中，以儘量不去除氧化物半導體膜 716 的方式適當地調節

各個材料及蝕刻條件。根據蝕刻條件，有時由於氧化物半導體膜 716 的露出的部分被部分地蝕刻，形成槽部（凹部）。

在本實施方式中，作為導電膜 719 及導電膜 720 使用鈦膜。因此，可以使用包含氨和過氧化氫水的溶液（過氧化氫氨水）對導電膜 719 及導電膜 720 選擇性地進行濕蝕刻。明確地說，使用以 5：2：2 的體積比混合 31wt% 的過氧化氫水、28wt% 的氨水和水的過氧化氫氨水。或者，也可以使用包含氯（ Cl_2 ）、氯化硼（ BCl_3 ）等的氣體對導電膜進行乾蝕刻。

另外，也可以在氧化物半導體膜 716 與用作源極電極或汲極電極的導電膜 719 及導電膜 720 之間設置氧化鋅、氧化鋅鋁、氧氮化鋅鋁、或氧化鋅鎵等具有導電的金屬氧化物膜。例如，在形成金屬氧化物膜時，也可以一同進行用來形成金屬氧化物膜的構圖和用來形成導電膜 719 及導電膜 720 的構圖。藉由設置上述金屬氧化物膜，可以降低氧化物半導體膜 716 與導電膜 719 及導電膜 720 之間的電阻，所以可以實現電晶體的高速工作。另外，藉由設置金屬氧化物膜，可以提高電晶體的耐壓性。

接著，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理。藉由該電漿處理去除附著到露出的氧化物半導體膜表面的水等。另外，也可以使用氧和氫的混合氣體進行電漿處理。

另外，在進行電漿處理之後，如圖 8C 所示，以覆蓋

導電膜 719、導電膜 720 以及氧化物半導體膜 716 的方式形成閘極絕緣膜 721。並且，在閘極絕緣膜 721 上，在與氧化物半導體膜 716 重疊的位置形成導電膜 722，而在與導電膜 719 重疊的位置形成導電膜 723。導電膜 722 用作電晶體 202 的閘極電極。

閘極絕緣膜 721 可以使用與閘極絕緣膜 703 相同的材料、相同的疊層結構來形成。並且，閘極絕緣膜 721 較佳儘量不包含水分、氫等的雜質，並可以為單層的絕緣膜或多個絕緣膜的疊層。當在閘極絕緣膜 721 中包含氫時，該氫侵入到氧化物半導體膜 716，或氫抽出氧化物半導體膜 716 中的氧，而使氧化物半導體膜 716 低電阻化（n 型化），因此有可能形成寄生通道。因此，為了使閘極絕緣膜 721 儘量不含有氫，當形成膜時不使用氫是重要的。上述閘極絕緣膜 721 較佳為使用阻擋性高的材料。例如，作為阻擋性高的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，將氮的含有比率低的氧化矽膜、氧氮化矽膜等的絕緣膜形成在與上述阻擋性高的絕緣膜相比接近於氧化物半導體膜 716 的一側。然後，以在其間夾著氮的含有比率低的絕緣膜且與導電膜 719、導電膜 720 以及氧化物半導體膜 716 重疊的方式形成阻擋性高的絕緣膜。藉由使用阻擋性高的絕緣膜，可以防止水分或氫等雜質侵入到氧化物半導體膜 716 內、閘極絕緣膜 721 內或者氧化物半導體膜 716 與其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體

膜 716 接觸的方式形成氮比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，可以防止使用阻擋性高的材料的絕緣膜直接接觸於氧化物半導體膜 716。

在本實施方式中，形成如下閘極絕緣膜 721，該閘極絕緣膜 721 在藉由濺射法形成的厚度為 200nm 的氧化矽膜上層疊有藉由濺射法形成的厚度為 100nm 的氮化矽膜。將成膜時的基板溫度設定為室溫以上 300°C 以下即可，在本實施方式中採用 100°C。

另外，也可以在形成閘極絕緣膜 721 之後進行加熱處理。該加熱處理在氮、超乾燥空氣或稀有氣體（氬、氦等）的氛圍下較佳以 200°C 以上 400°C 以下，例如 250°C 以上 350°C 以下的溫度進行。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下。在本實施方式中，例如在氮氛圍下以 250°C 進行 1 小時的加熱處理。或者，與在形成導電膜 719 及導電膜 720 之前為了減少水分或氬對氧化物半導體膜進行的上述加熱處理同樣，也可以在短時間進行高溫的 RTA 處理。藉由在設置包含氧的閘極絕緣膜 721 之後進行加熱處理，即使因對氧化物半導體膜 716 進行的上述加熱處理而在氧化物半導體膜 716 中產生氧缺陷，氧也從閘極絕緣膜 721 供應到氧化物半導體膜 716。並且，藉由將氧供應到氧化物半導體膜 716，可以在氧化物半導體膜 716 中降低成為施體的氧缺陷，並滿足化學計量成分比。氧化物半導體膜 716 較佳為包含超過化學計量成分比的量的氧。結果，可以使氧化物

半導體膜 716 趨近於 i 型，降低因氧缺陷而導致的電晶體的電特性的偏差，從而實現電特性的提高。進行該加熱處理的時序只要是形成閘極絕緣膜 721 之後就沒有特別的限制，並且藉由將該加熱處理兼作其他製程例如形成樹脂膜時的加熱處理、用來使透明導電膜低電阻化的加熱處理，可以在不增加製程數的條件下使氧化物半導體膜 716 趨近於 i 型。

另外，也可以藉由在氧氛圍下對氧化物半導體膜 716 進行加熱處理，對氧化物半導體添加氧，而減少在氧化物半導體膜 716 中成為施體的氧缺陷。加熱處理的溫度例如是 100°C 以上且低於 350°C ，較佳是 150°C 以上且低於 250°C 。上述用於氧氛圍下的加熱處理的氧氣體較佳不包含水、氫等。或者，較佳將引入到加熱處理裝置中的氧氣體的純度設定為 6N (99.9999%) 以上，更佳地設定為 7N (99.99999%) 以上（也就是說，氧中的雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

或者，也可以藉由採用離子植入法或離子摻雜法等對氧化物半導體膜 716 添加氧，來減少成為施體的氧缺陷。例如，將以 2.45GHz 的微波電漿化了的氧添加到氧化物半導體膜 716 中，即可。

另外，藉由在閘極絕緣膜 721 上形成導電膜之後，對該導電膜進行構圖，來可以形成導電膜 722 及導電膜 723。導電膜 722 及導電膜 723 可以使用與導電膜 707 及導電膜 708 或導電膜 714 及導電膜 715 相同的材料來形

成。

導電膜 722 及導電膜 723 的厚度為 10nm 至 400nm，較佳為 100nm 至 200nm。在本實施方式中，在藉由使用鎢靶材的濺射法形成 150nm 的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜加工（構圖）為所希望的形狀，來形成導電膜 722 及導電膜 723。另外，也可以使用噴墨法形成光阻掩罩。當藉由噴墨法形成光阻掩罩時不使用光掩模，因此可以縮減製造成本。

藉由上述製程，形成電晶體 202。

另外，導電膜 719 與導電膜 723 隔著閘極絕緣膜 721 重疊的部分相當於電容元件 203。

另外，雖然使用單閘結構的電晶體說明電晶體 202，但是也可以根據需要形成藉由包括電連接的多個閘極電極來包括多個通道形成區的多閘結構的電晶體。

另外，接觸於氧化物半導體膜 716 的絕緣膜（在本實施方式中，相當於閘極絕緣膜 721）也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，因此藉由將包含第 13 族元素的絕緣材料用於與氧化物半導體膜接觸的絕緣膜，可以保持與氧化物半導體膜的良好介面狀態。

包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在

此，氧化鋁鎵是指含鋁量（at.%）多於含鎵量（at.%）的物質，並且氧化鎵鋁是指含鎵量（at.%）等於或多於含鋁量（at.%）的物質。

此外，作為與氧化物半導體膜 716 接觸的絕緣膜，較佳為採用藉由進行氧氛圍下的熱處理或氧摻雜等包含多於化學計量成分比的氧的絕緣材料。也可以使用離子植入法或離子摻雜法進行氧摻雜。

藉由進行氧摻雜處理，可以形成包括包含多於化學計量成分比的氧的區域的絕緣膜。藉由使具備這種區域的絕緣膜與氧化物半導體膜接觸，絕緣膜中的過剩的氧被供應到氧化物半導體膜中，可以減少氧化物半導體膜中或氧化物半導體膜與絕緣膜的介面中的氧缺陷，來可以使氧化物半導體膜成為 i 型化或無限趨近於 i 型。

另外，圖 9B 示出根據本發明的一個方式的半導體裝置所包括的記憶單元的另一個電路圖。

圖 9B 所示的記憶單元包括電晶體 204 和電容元件 205。電晶體 204 的閘極電極與字線 WL 連接。此外，在電晶體 204 中，源極電極和汲極電極中的一方與資料線 DL 連接，另一方與電容元件 205 的一方電極連接。電容元件 205 的另一方電極與被提供接地電位等恆定電位的節點連接。

在圖 9B 所示的記憶單元中，當寫入資料時，電晶體 204 成為導通，包含資料的信號的電位從資料線 DL 經過電晶體 204 施加到電容元件 205 的一方電極。並且，藉由

根據上述信號的電位控制積蓄在電容元件 205 中的電荷量，對電容元件 205 寫入資料。

接著，當保持資料時，電晶體 204 成為截止，在電容元件 205 中保持有電荷。電晶體 204 具有截止電流極低的特性。因此，積蓄在電容元件 205 中的電荷不容易洩漏，與將矽等半導體材料用於電晶體 204 的情況相比，可以在更長期間保持資料。

當讀出資料時，電晶體 204 成為導通，經過資料線 DL 取出積蓄在電容元件 205 中的電荷。並且，藉由讀出上述電荷量的差異，能夠讀出資料。

圖 10A 示出圖 9B 所示的記憶單元的剖面圖的一個例子。電晶體 204 在具有絕緣表面的基板 750 上包括：導電膜 751 及導電膜 752；導電膜 751 及導電膜 752 上的半導體膜 753；分別與導電膜 751 及導電膜 752 連接的導電膜 754 及導電膜 755；半導體膜 753 上的絕緣膜 756；以及隔著絕緣膜 756 與半導體膜 753 重疊的導電膜 757。

此外，電容元件 205 包括：具有絕緣表面的基板 750 上的導電膜 755；導電膜 755 上的絕緣膜 756；以及隔著絕緣膜 756 與導電膜 755 重疊的導電膜 758。

另外，根據本發明的一個方式的半導體裝置也可以在記憶單元的下層設置有控制記憶單元的驅動的驅動電路。圖 10B 示出層疊有記憶單元和驅動電路的記憶體裝置的剖面圖的一個例子。

在圖 10B 所示的記憶體裝置中，構成驅動電路的電晶

體 206 在具有絕緣表面的基板 760 上包括：半導體膜 761；半導體膜 761 上的絕緣膜 762；隔著絕緣膜 762 與半導體膜 761 重疊的導電膜 763；以及與半導體膜 761 連接的導電膜 764 及導電膜 765。另外，半導體膜 761、絕緣膜 762 以及導電膜 763 被絕緣膜 766 覆蓋，半導體膜 761 藉由設置在絕緣膜 762 及絕緣膜 766 中的開口部與導電膜 764 及導電膜 765 連接。

此外，電晶體 204 在導電膜 764 及絕緣膜 766 上包括：導電膜 780 及導電膜 781；以及導電膜 780 和導電膜 781 之間的絕緣膜 782。導電膜 764 與導電膜 781 連接。再者，電晶體 204 在由導電膜 780、導電膜 781 及絕緣膜 782 構成的層上包括：分別與導電膜 780 及導電膜 781 連接的導電膜 771 及導電膜 772；導電膜 771 及導電膜 772 上的半導體膜 773；分別與導電膜 771 及導電膜 772 連接的導電膜 774 及導電膜 775；半導體膜 773、導電膜 774 及導電膜 775 上的絕緣膜 776；以及隔著絕緣膜 776 與半導體膜 773 重疊的導電膜 777。

電容元件 205 包括：導電膜 775；導電膜 775 上的絕緣膜 776；以及隔著絕緣膜 776 與導電膜 775 重疊的導電膜 783。

本實施方式可以與上述實施方式適當地組合而實施。

實施方式 3

對根據本發明的一個方式的半導體裝置之一的反相器

的結構例子進行說明。

圖 11 示出根據本發明的一個方式的反相器的一個例子。圖 11 所示的反相器 500 包括電晶體 501 至電晶體 505 和電容元件 506。

電晶體 501 的閘極電極與佈線 508 連接，源極電極與電晶體 502 的汲極電極連接，汲極電極與佈線 507 連接。電晶體 502 的閘極電極與佈線 509 連接，源極電極與佈線 510 連接，汲極電極與電晶體 501 的源極電極連接。電晶體 503 的閘極電極與佈線 507 連接，源極電極和汲極電極中的一方與電晶體 501 的源極電極及電晶體 502 的汲極電極連接，另一方與電晶體 504 的閘極電極連接。電晶體 504 的源極電極與電晶體 505 的汲極電極及佈線 511 連接，汲極電極與佈線 507 連接。電晶體 505 的閘極電極與佈線 509 連接，源極電極與佈線 510 連接，汲極電極與電晶體 504 的源極電極及佈線 511 連接。

電容元件 506 的一方電極與電晶體 504 的閘極電極連接，另一方電極與佈線 511 連接。

當電晶體 502 及電晶體 505 為 n 通道型時，明確地說，佈線 507 被提供高位準電位 V_{DD} ，佈線 510 被提供低位準電位 V_{SS} 。另外，佈線 508 被提供時脈信號電位 CL ，佈線 509 被提供電位 V_{in} 。並且，從佈線 511 輸出藉由反轉電位 V_{in} 的極性得到的電位 V_{inb} 。

在根據本發明的一個方式的半導體裝置中，即使電晶體微型化，也可以將用作源極電極或汲極電極的導電膜的

電阻抑制為低，由此可以確保高導通電流。因此，藉由將本發明的結構應用於反相器 500，即使反相器 500 微型化，也可以確保高工作速度，並且提高電流供應能力。

本實施方式可以與上述實施方式適當地組合而實施。

實施方式 4

根據本發明的一個方式的半導體裝置可以用於顯示設備、筆記本式個人電腦、具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如 DVD（Digital Versatile Disc）等並包括可以顯示其影像的顯示器的裝置）中。除此之外，作為能夠使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、攝像機、數位相機、護目鏡型顯示器（頭盔顯示器）、導航系統、音頻再現裝置（車載音響、數位音頻播放器等）、影印機、傳真機、印表機、複合式印表機、自動取款機（ATM）、自動售貨機等。圖 12A 至圖 12E 示出這種電子裝置的具體例子。

圖 12A 是可攜式遊戲機，其包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007、觸控筆 5008 等。藉由將根據本發明的一個方式的半導體裝置用於可攜式遊戲機的驅動電路，可以提供工作速度快的可攜式遊戲機。或者，藉由使用根據本發明的一個方式的半導體裝置，可以實現可攜式遊戲

機的小型化。另外，圖 12A 所示的可攜式遊戲機包括顯示部 5003 及顯示部 5004 兩個顯示部，但是可攜式遊戲機所包括的顯示部的數目不侷限於此。

圖 12B 是顯示設備，其包括外殼 5201、顯示部 5202、支撐台 5203 等。藉由將根據本發明的一個方式的半導體裝置用於顯示設備的驅動電路，可以提供工作速度快的顯示設備。或者，藉由使用根據本發明的一個方式的半導體裝置，可以實現顯示設備的小型化。另外，顯示設備包括用於個人電腦、TV 播放接收、廣告顯示等的所有資訊顯示用顯示設備。

圖 12C 是筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403 及指向裝置 5404 等。藉由將根據本發明的一個方式的半導體裝置用於筆記本式個人電腦的驅動電路，可以提供工作速度快的筆記本式個人電腦。或者，藉由使用根據本發明的一個方式的半導體裝置，可以實現筆記本式個人電腦的小型化。

圖 12D 是可攜式資訊終端，其包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605、以及操作鍵 5606 等。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 與第二外殼 5602 藉由連接部 5605 連接，第一外殼 5601 與第二外殼 5602 之間的角度可以藉由連接部 5605 改變。第一顯示部 5603 中的影像可以根據由連接部 5605 形成的第一外殼 5601 與第二外殼 5602

之間的角度進行切換。另外，也可以對第一顯示部 5603 和第二顯示部 5604 中的至少一個使用附加有位置輸入裝置的功能的半導體顯示裝置。另外，可以藉由對半導體顯示裝置設置觸摸屏來使其具有位置輸入裝置的功能。或者，也可以藉由在半導體顯示裝置的像素部中設置被稱為光電感測器的光電轉換元件來使其具有位置輸入裝置的功能。藉由將根據本發明的一個方式的半導體裝置用於可攜式資訊終端的驅動電路，可以提供工作速度快的可攜式資訊終端。或者，藉由使用根據本發明的一個方式的半導體裝置，可以實現可攜式資訊終端的小型化。

圖 12E 是一種行動電話，其包括外殼 5801、顯示部 5802、聲音輸入部 5803、聲音輸出部 5804、操作鍵 5805、光接收部 5806 等。藉由將由光接收部 5806 接收的光轉換為電信號，可以提取外部的影像。藉由將根據本發明的一個方式的半導體裝置用於行動電話的驅動電路，可以提供工作速度快的行動電話。或者，藉由使用根據本發明的一個方式的半導體裝置，可以實現行動電話的小型化。

本實施方式可以與其他實施方式適當地組合而實施。

【圖式簡單說明】

在圖示中：

圖 1A 至 1C 是示出根據本發明的一個方式的半導體裝置所包括的電晶體的結構的圖；

圖 2A 和 2B 是示出根據本發明的一個方式的半導體裝置所包括的電晶體的結構的圖；

圖 3A 和 3B 是示出根據本發明的一個方式的半導體裝置所包括的電晶體的結構的圖；

圖 4A 和 4B 是示出根據本發明的一個方式的半導體裝置所包括的電晶體的結構的圖；

圖 5A 和 5B 是示出根據本發明的一個方式的半導體裝置所包括的電晶體的結構的圖；

圖 6A 至 6D 是示出半導體裝置的製造方法的圖；

圖 7A 至 7C 是示出半導體裝置的製造方法的圖；

圖 8A 至 8C 是示出半導體裝置的製造方法的圖；

圖 9A 和 9B 是示出記憶單元的結構的圖；

圖 10A 和 10B 是示出記憶體裝置的結構的圖；

圖 11 是示出反相器的結構的圖；

圖 12A 至 12E 是電子裝置的圖。

【主要元件符號說明】

101：導電膜

101e：端部

102：導電膜

102e：端部

103：半導體膜

104：導電膜

104e：端部

105 : 導電膜

105e : 端部

106 : 絕緣膜

107 : 導電膜

107e : 端部

108 : 開口部

109 : 開口部

110 : 導電膜

111 : 導電膜

112 : 半導體膜

113 : 半導體膜

114 : Lov 區

115 : Lov 區

116 : Loff 區

117 : Loff 區

120 : 絕緣膜

201 : 電晶體

202 : 電晶體

203 : 電容元件

204 : 電晶體

205 : 電容元件

206 : 電晶體

500 : 反相器

501 : 電晶體

502：電 晶 體

503：電 晶 體

504：電 晶 體

505：電 晶 體

506：電 容 元 件

507：佈 線

508：佈 線

509：佈 線

510：佈 線

511：佈 線

700：基 板

701：絕 緣 膜

702：半 導 體 膜

703：閘 極 絕 緣 膜

704：雜 質 區

705：掩 模

706：開 口 部

707：導 電 膜

708：導 電 膜

709：雜 質 區

710：通 道 形 成 區

711：雜 質 區

712：絕 緣 膜

713：絕 緣 膜

- 714 : 導電膜
- 715 : 導電膜
- 716 : 氧化物半導體膜
- 717 : 開口部
- 718 : 開口部
- 719 : 導電膜
- 720 : 導電膜
- 721 : 閘極絕緣膜
- 722 : 導電膜
- 723 : 導電膜
- 750 : 基板
- 751 : 導電膜
- 752 : 導電膜
- 753 : 半導體膜
- 754 : 導電膜
- 755 : 導電膜
- 756 : 絕緣膜
- 757 : 導電膜
- 758 : 導電膜
- 760 : 基板
- 761 : 半導體膜
- 762 : 絕緣膜
- 763 : 導電膜
- 764 : 導電膜

765：導電膜

766：絕緣膜

771：導電膜

772：導電膜

773：半導體膜

774：導電膜

775：導電膜

776：絕緣膜

777：導電膜

780：導電膜

781：導電膜

782：絕緣膜

783：導電膜

5001：外殼

5002：外殼

5003：顯示部

5004：顯示部

5005：麥克風

5006：揚聲器

5007：操作鍵

5008：觸控筆

5201：外殼

5202：顯示部

5203：支撐體

5401：外殼

5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：外殼

5603：顯示部

5604：顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：顯示部

5803：聲音輸入部

5804：聲音輸出部

5805：操作鍵

5806：光接收部

七、申請專利範圍：

1. 一種半導體裝置，包括：

絕緣表面上的第一導電膜及第二導電膜；

在該第一導電膜及該第二導電膜上並與它們接觸的包含氧化物半導體的半導體膜；

在該第一導電膜上並與此接觸的第三導電膜；

在該第二導電膜上並與此接觸的第四導電膜；

該半導體膜、該第三導電膜以及該第四導電膜上的絕緣膜；以及

該絕緣膜上的設置在與該半導體膜重疊的部分中的第五導電膜，

其中在通道寬度方向中的該半導體膜的長度是小於在該通道寬度方向中的該第一導電膜和該第二導電膜中各者的長度，且

其中在該通道寬度方向中的該半導體膜的該長度是大於在該通道寬度方向中的該第三導電膜和該第四導電膜中各者的長度。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該第三導電膜設置為與該第一導電膜的端部接觸，

並且該第四導電膜設置為與該第二導電膜的端部接觸。

3. 一種半導體裝置，包括：

絕緣表面上的第一導電膜及第二導電膜；

在該第一導電膜及該第二導電膜上並與它們接觸的包含氧化物半導體的半導體膜；

在該半導體膜上並與此接觸的第三導電膜及第四導電膜；

該半導體膜、該第三導電膜以及該第四導電膜上的絕緣膜；以及

該絕緣膜上的設置在與該半導體膜重疊的部分中的第五導電膜，

其中該第三導電膜與該第一導電膜電連接，

其中該第四導電膜與該第二導電膜電連接，

其中在通道寬度方向中的該半導體膜的長度是小於在該通道寬度方向中的該第一導電膜和該第二導電膜中各者的長度，且

其中在該通道寬度方向中的該半導體膜的該長度是大於在該通道寬度方向中的該第三導電膜和該第四導電膜中各者的長度。

4. 根據申請專利範圍第 3 項之半導體裝置，

其中該第三導電膜與該第一導電膜藉由該半導體膜中的第一開口部電連接，

並且該第四導電膜與該第二導電膜藉由該半導體膜中的第二開口部電連接。

5. 一種半導體裝置，包括：

層上的第一導電膜及第二導電膜；

在該第一導電膜及該第二導電膜上並與它們接觸的包

含氧化物半導體的半導體膜；

在該第一導電膜上並與此接觸的第三導電膜；

在該第二導電膜上並與此接觸的第四導電膜；

該半導體膜、該第三導電膜以及該第四導電膜上的第一絕緣膜；以及

該第一絕緣膜上的設置在與該半導體膜重疊的部分中的第五導電膜，

其中在通道寬度方向中的該半導體膜的長度是小於在該通道寬度方向中的該第一導電膜和該第二導電膜中各者的長度，

其中在該通道寬度方向中的該半導體膜的該長度是大於在該通道寬度方向中的該第三導電膜和該第四導電膜中各者的長度，且

其中該層包括：

與該第一導電膜電連接的第六導電膜；

與該第二導電膜電連接的第七導電膜；以及

該第六導電膜與該第七導電膜之間的第二絕緣膜。

6. 根據申請專利範圍第 5 項之半導體裝置，

其中該第三導電膜設置為與該第一導電膜的端部接觸，且

其中該第四導電膜設置為與該第二導電膜的端部接觸。

7. 根據申請專利範圍第 5 項之半導體裝置，其中該

第三導電膜和該第四導電膜分別設置為與該半導體膜接觸。

8. 根據申請專利範圍第 5 項之半導體裝置，

其中該第三導電膜設置為藉由該半導體膜中的第一開口部與該第一導電膜接觸，且

其中該第四導電膜設置為藉由該半導體膜中的第二開口部與該第二導電膜接觸。

9. 根據申請專利範圍第 1、3 和 5 項中任一項之半導體裝置，其中該第三導電膜與該第四導電膜之間的時間隔長於該第一導電膜與該第二導電膜之間的時間隔。

10. 根據申請專利範圍第 1、3 和 5 項中任一項之半導體裝置，其中該第一導電膜和該第二導電膜分別包括 10nm 以上且 300nm 以下的厚度。

11. 根據申請專利範圍第 1、3 和 5 項中任一項之半導體裝置，其中該氧化物半導體包含銦和鋅。

12. 一種半導體裝置，包括：

絕緣表面上的第一導電膜及第二導電膜；

在該第一導電膜及該第二導電膜上並與它們接觸的氧化物半導體；

在該氧化物半導體膜上的第三導電膜，該第三導電膜與該第一導電膜接觸；

在該氧化物半導體膜上的第四導電膜，該第四導電膜與該第二導電膜接觸；

該氧化物半導體膜、該第三導電膜和該第四導電膜上

的絕緣膜；以及

該絕緣膜上的第五導電膜，

其中該第五導電膜與該第一導電膜和該第二導電膜重疊，

其中該第五導電膜不與該第三導電膜和該第四導電膜重疊，

其中在通道寬度方向中的該氧化物半導體膜的長度是小於在該通道寬度方向中的該第一導電膜和該第二導電膜中各者的長度，且

其中在該通道寬度方向中的該氧化物半導體膜的該長度是大於在該通道寬度方向中的該第三導電膜和該第四導電膜中各者的長度。

13. 一種半導體裝置，包括：

絕緣表面上的第一導電膜及第二導電膜；

在該第一導電膜及該第二導電膜上並與它們接觸的氧化物半導體，該氧化物半導體膜具有第一開口部和第二開口部；

在該氧化物半導體膜上的第三導電膜，該第三導電膜藉由該第一開口部與該第一導電膜接觸；

在該氧化物半導體膜上的第四導電膜，該第四導電膜藉由該第二開口部與該第二導電膜接觸；

該氧化物半導體膜、該第三導電膜和該第四導電膜上的絕緣膜；以及

該絕緣膜上的第五導電膜，

其中該第五導電膜與該第一導電膜和該第二導電膜重疊，

其中該第五導電膜不與該第三導電膜和該第四導電膜重疊，

其中在通道寬度方向中的該氧化物半導體膜的長度是小於在該通道寬度方向中的該第一導電膜和該第二導電膜中各者的長度，且

其中在該通道寬度方向中的該氧化物半導體膜的該長度是大於在該通道寬度方向中的該第三導電膜和該第四導電膜中各者的長度。

14. 根據申請專利範圍第 12 或 13 項之半導體裝置，其中該第三導電膜與該第四導電膜之間的時間隔長於該第一導電膜與該第二導電膜之間的時間隔。

15. 根據申請專利範圍第 12 或 13 項之半導體裝置，其中該第三導電膜設置為與該第一導電膜的端部接觸，且

其中該第四導電膜設置為與該第二導電膜的端部接觸。

16. 根據申請專利範圍第 12 或 13 項之半導體裝置，其中該第一導電膜和該第二導電膜分別包括 10nm 以上且 300nm 以下的厚度。

17. 根據申請專利範圍第 12 或 13 項之半導體裝置，其中該氧化物半導體膜包含銦、鎵和鋅。

18. 根據申請專利範圍第 12 或 13 項之半導體裝置，

其中該氧化物半導體膜包含銮、錫和鋅。

圖 1A

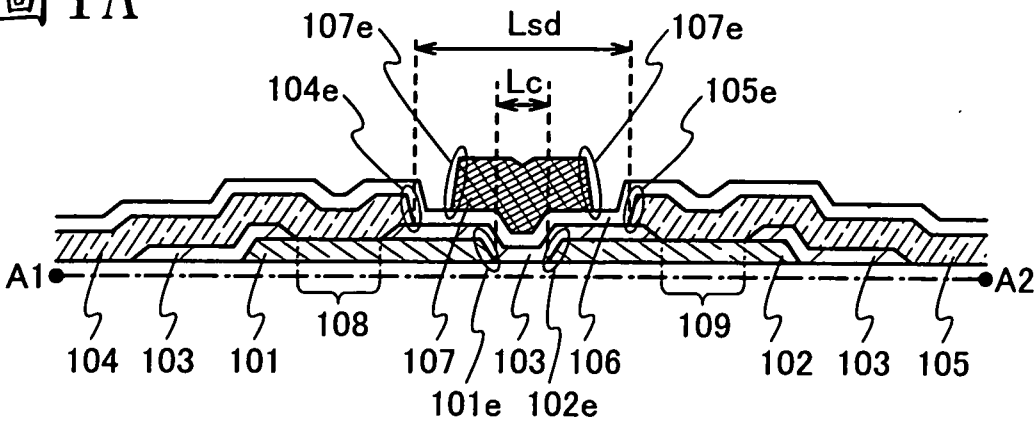


圖 1B

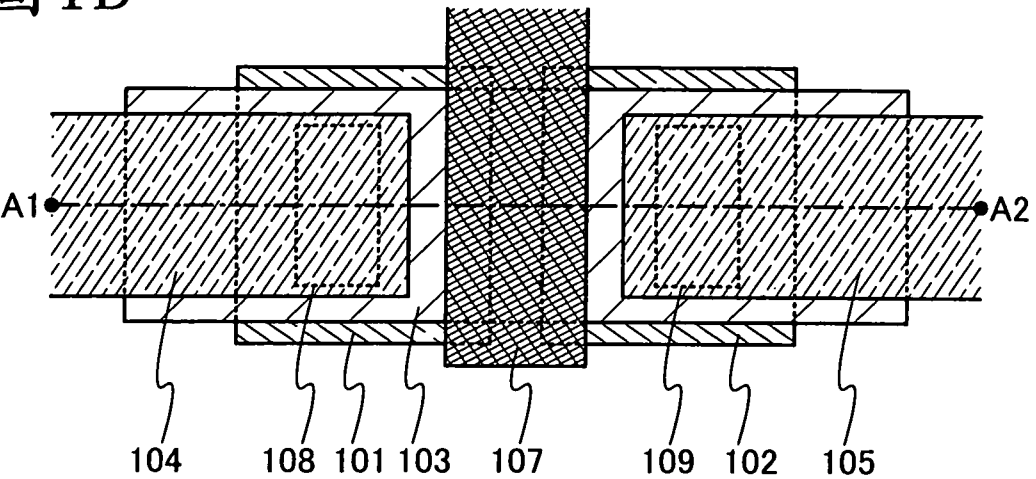


圖 1C

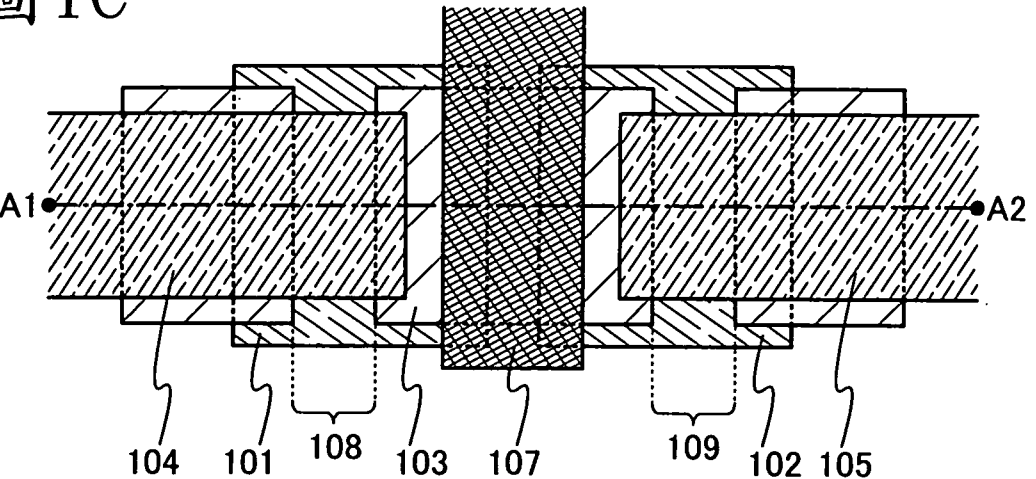


圖 2A

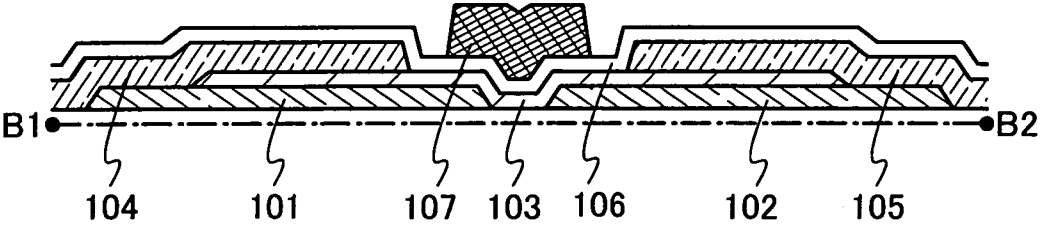


圖 2B

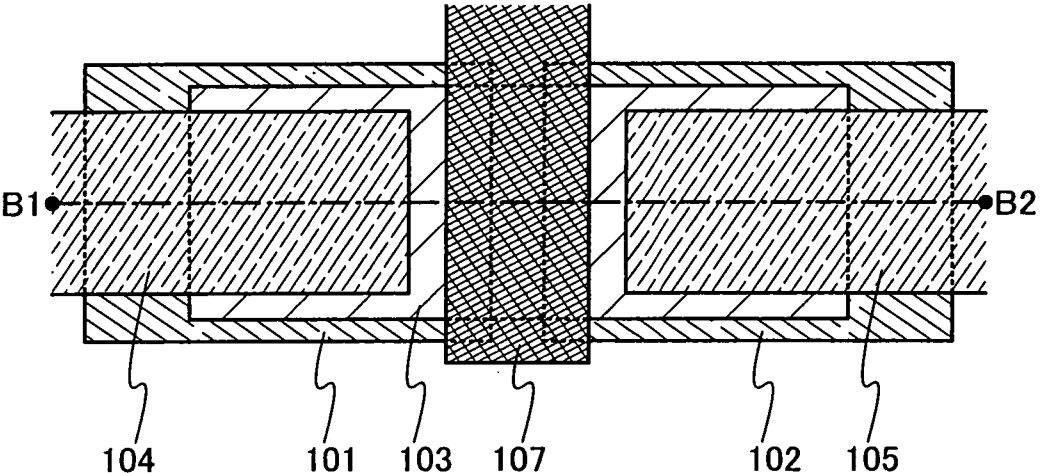


圖 3A

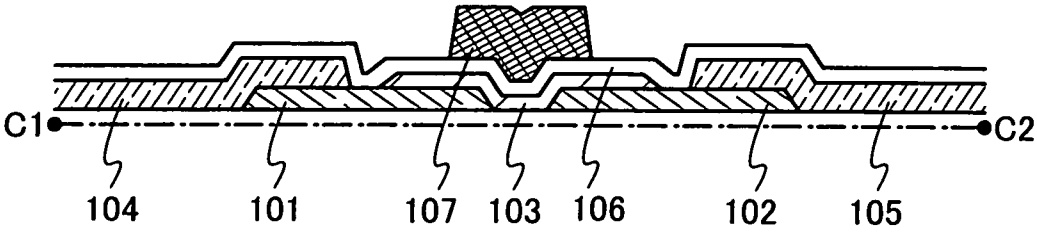


圖 3B

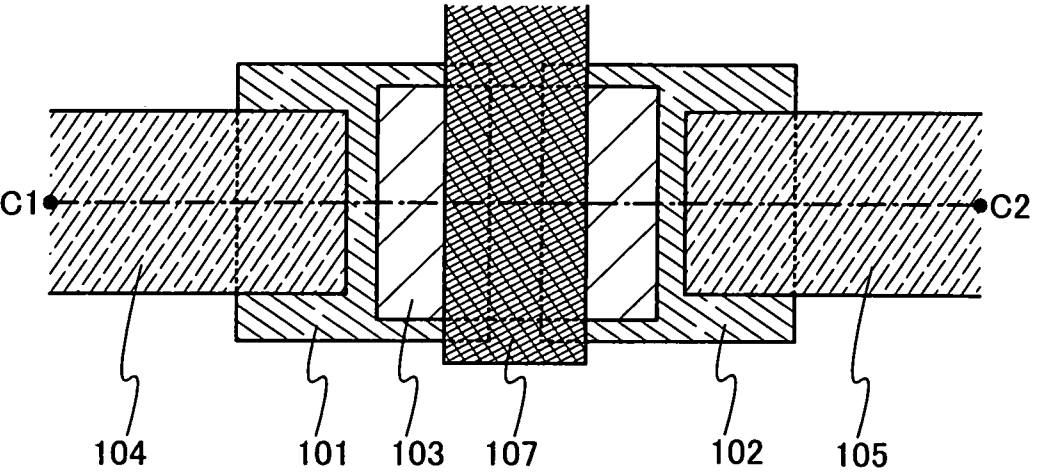


圖 4A

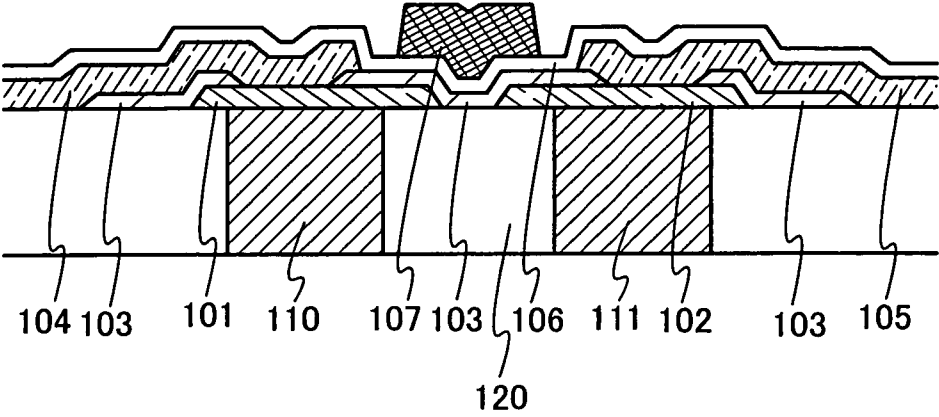


圖 4B

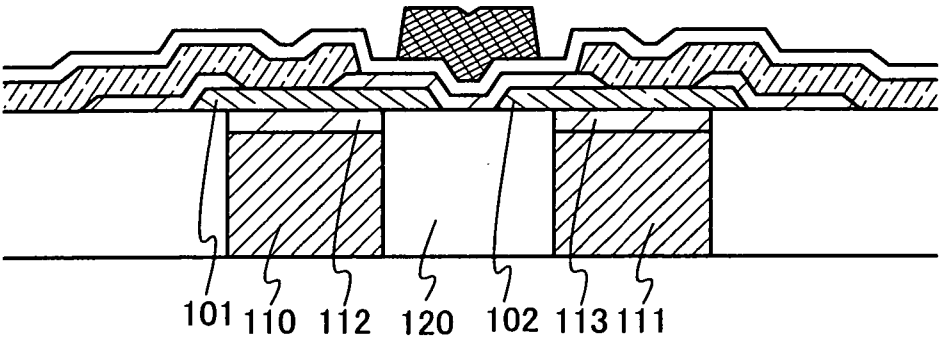


圖 5A

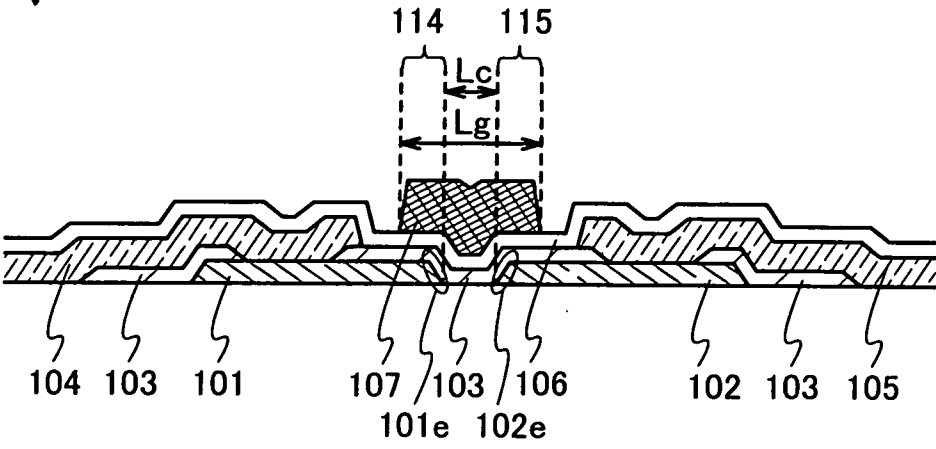


圖 5B

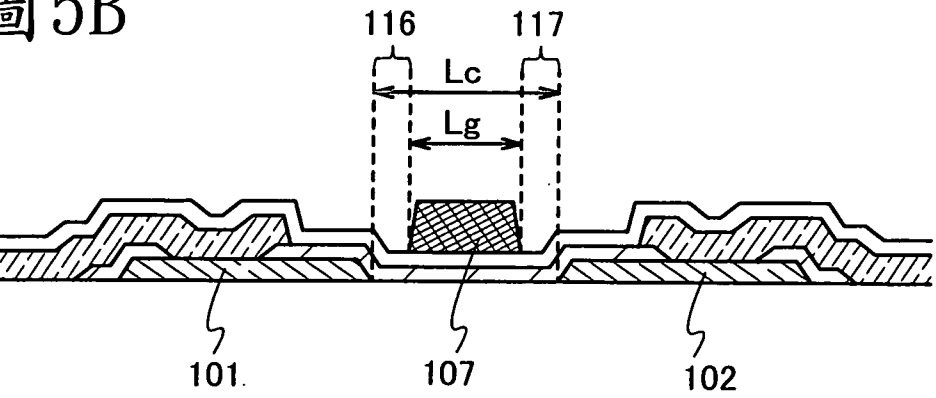


圖 6A



圖 6B

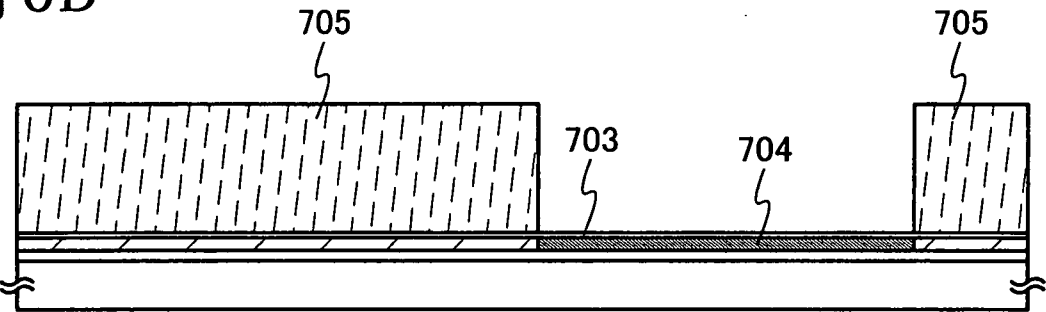


圖 6C

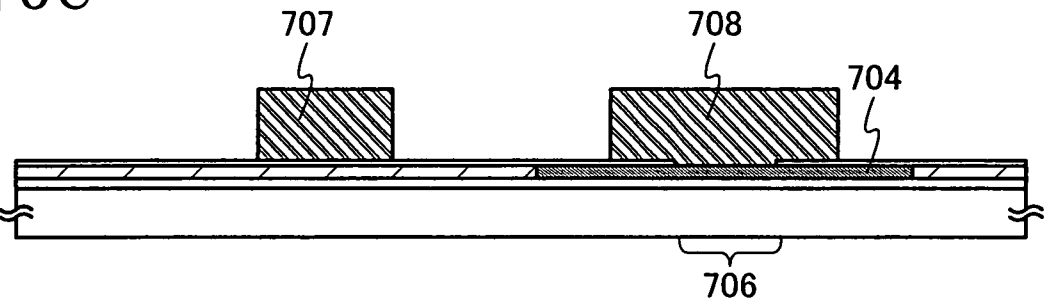


圖 6D

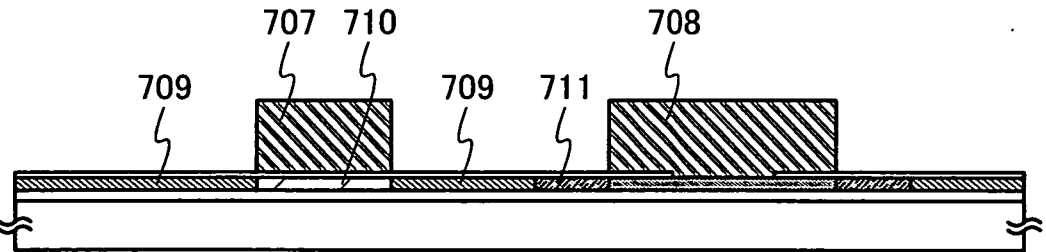


圖 7A

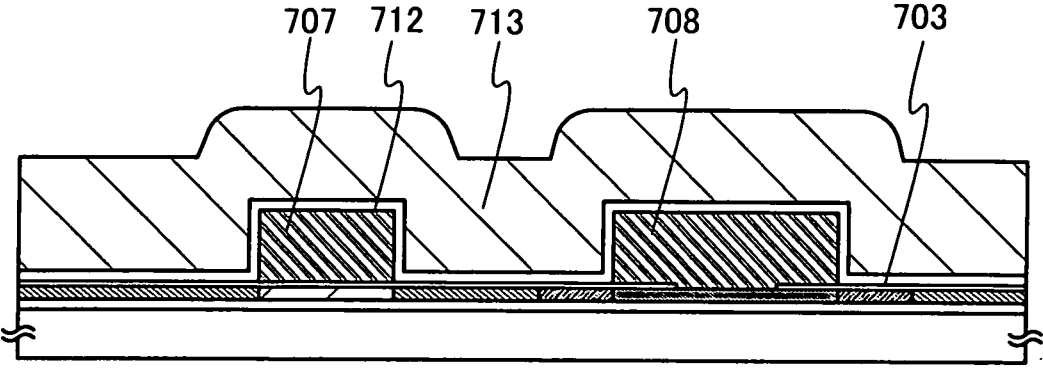


圖 7B

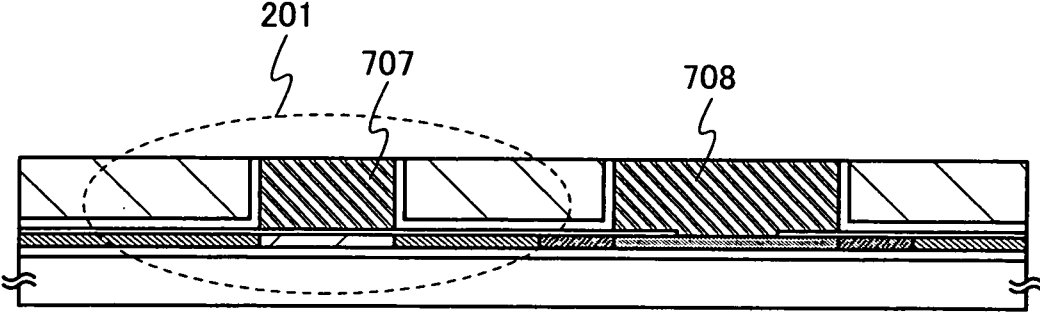


圖 7C

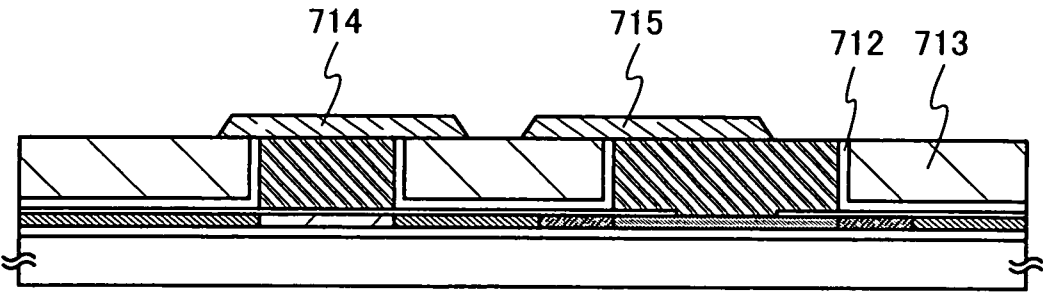


圖 8A

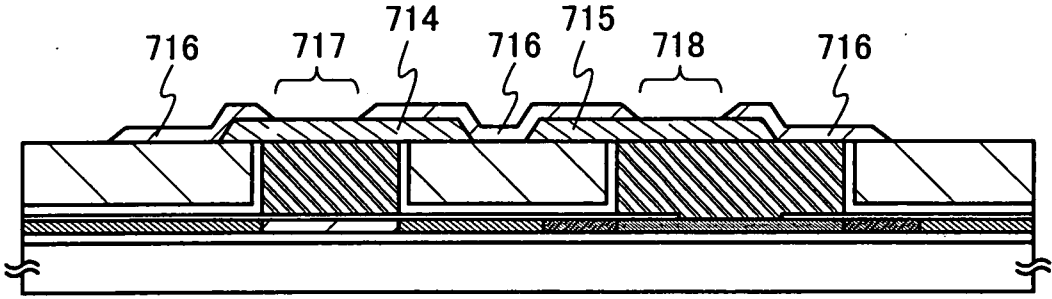


圖 8B

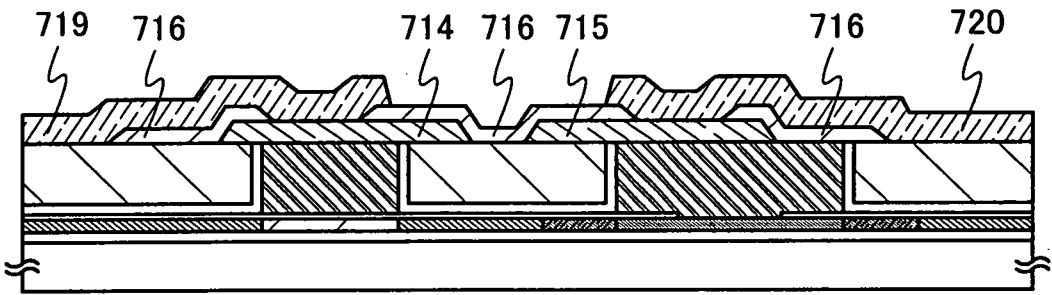


圖 8C

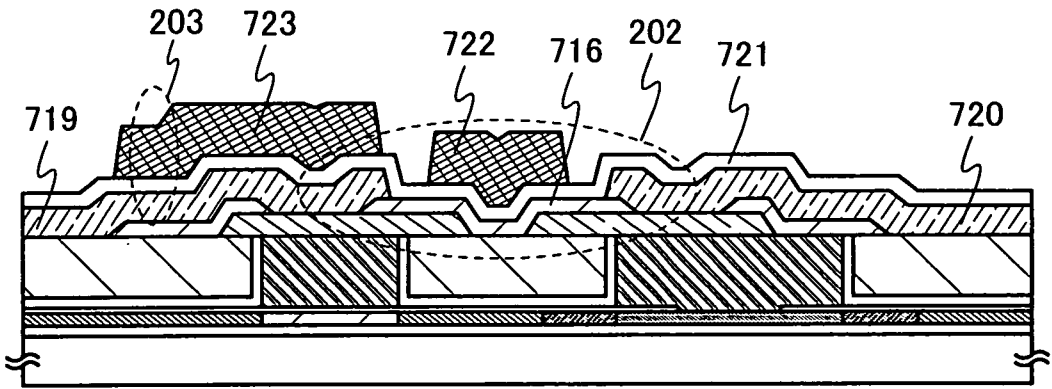


圖 9A

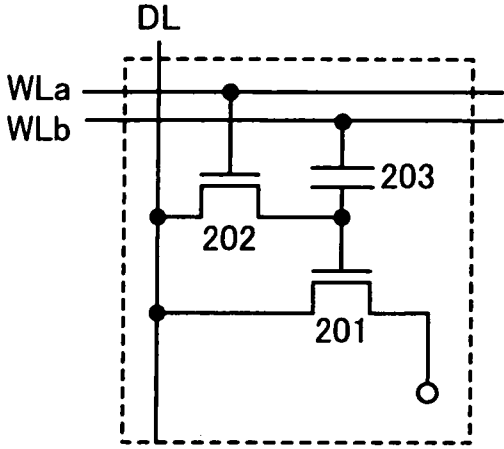


圖 9B

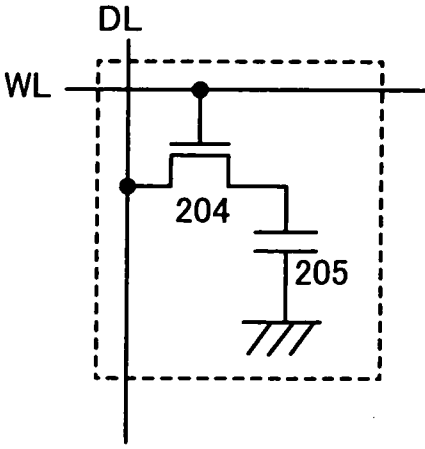


圖10A

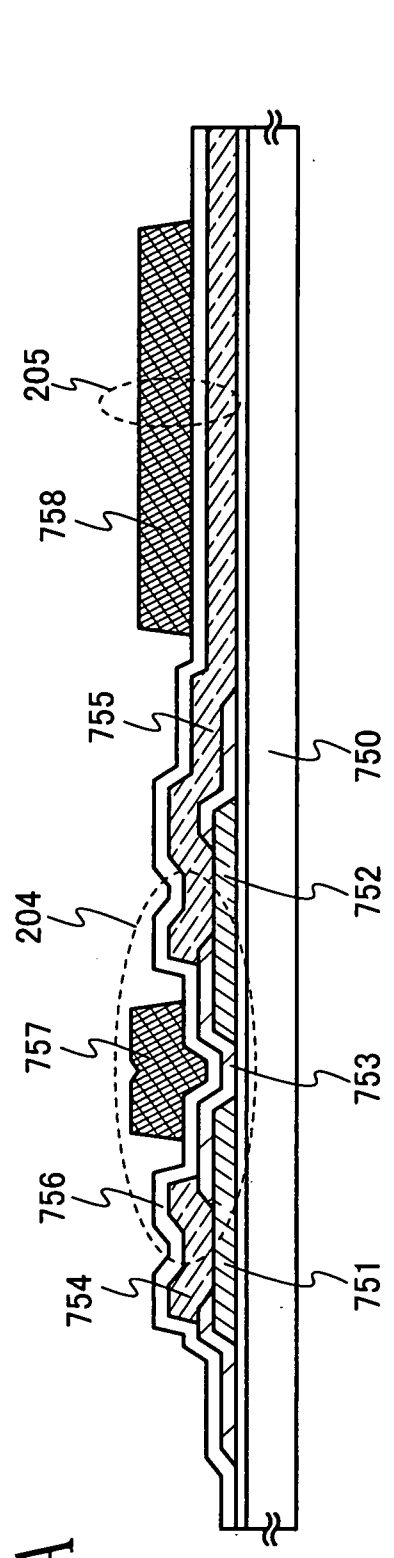


圖10B

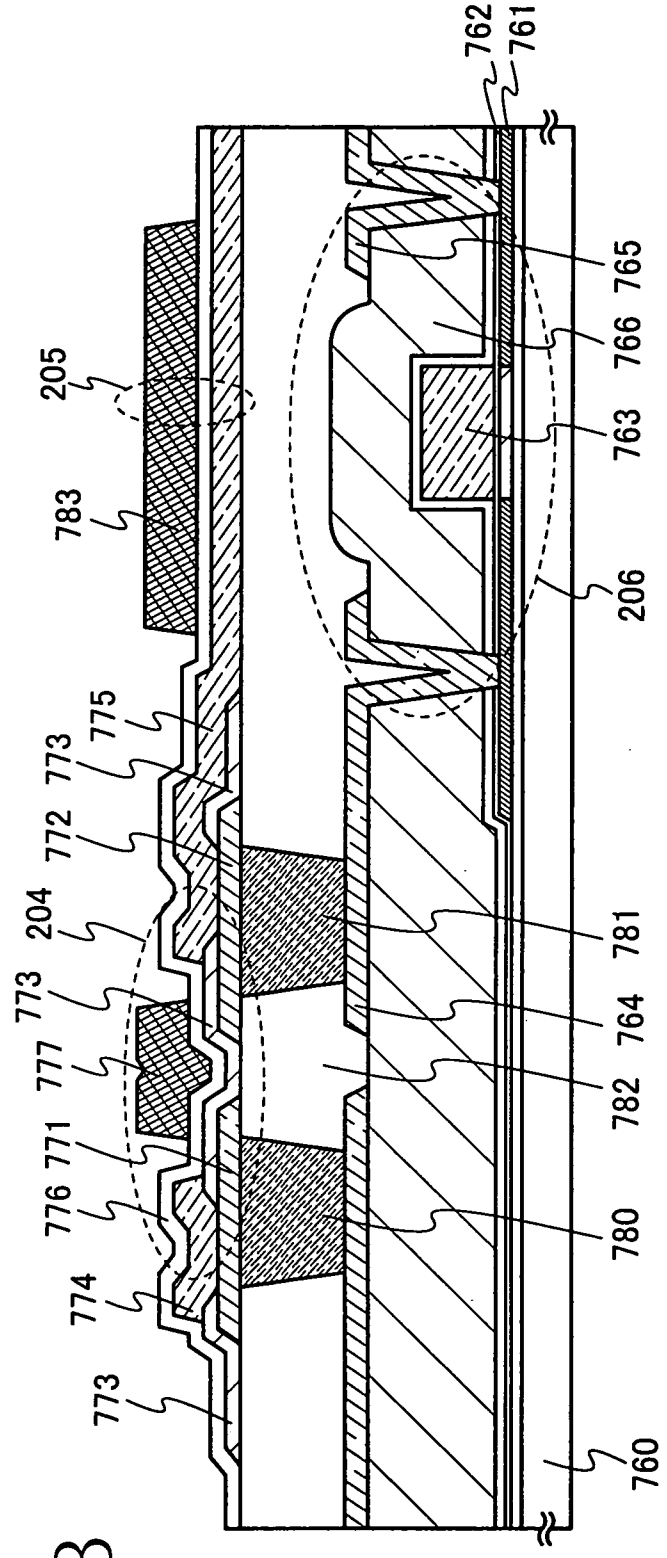


圖 11

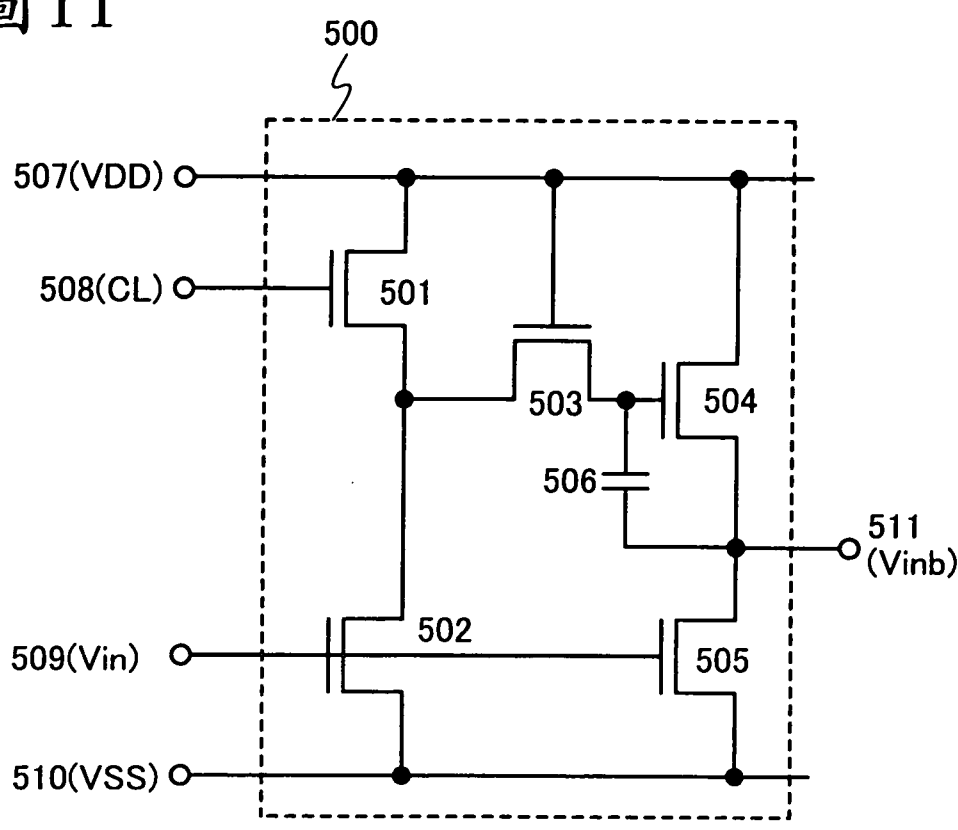


圖 12A

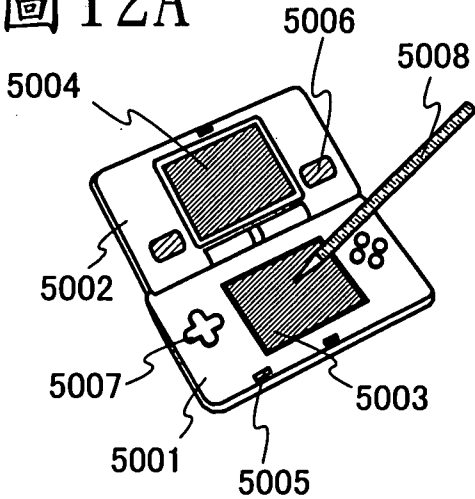


圖 12B

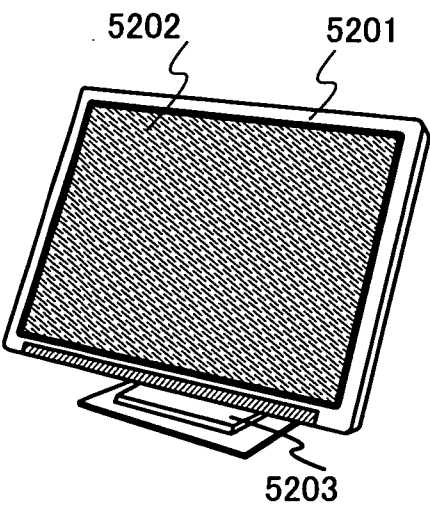


圖 12C

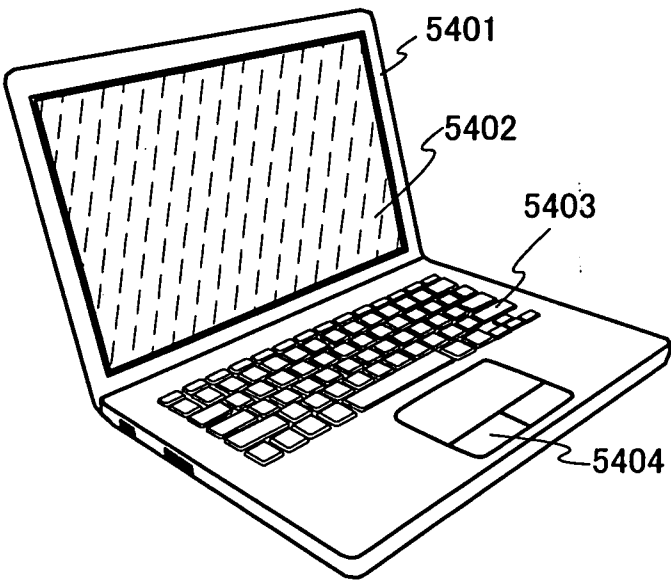


圖 12D

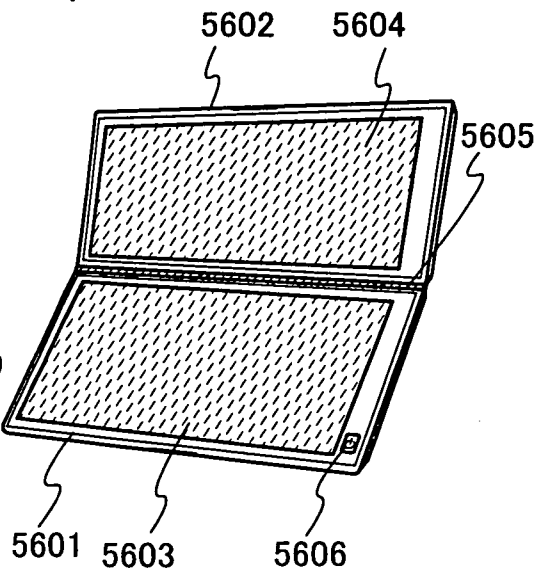


圖 12E

