

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4411677号
(P4411677)

(45) 発行日 平成22年2月10日(2010.2.10)

(24) 登録日 平成21年11月27日(2009.11.27)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 P
HO 1 L 29/78 (2006.01)	HO 1 L 21/302	3 O 1 N
HO 1 L 21/3065 (2006.01)	HO 1 L 21/90	C
HO 1 L 21/768 (2006.01)	HO 1 L 29/78	3 O 1 G
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	L
請求項の数 28 (全 21 頁) 最終頁に続く		

(21) 出願番号 特願平11-36155
 (22) 出願日 平成11年2月15日(1999.2.15)
 (65) 公開番号 特開2000-236090(P2000-236090A)
 (43) 公開日 平成12年8月29日(2000.8.29)
 審査請求日 平成17年12月26日(2005.12.26)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 長島 直樹
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 審査官 後谷 陽一

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、導電体層を形成する工程と、
 前記導電体層上に、オフセット絶縁膜を形成する工程と、
 前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、
 前記ゲート電極の側壁に、第1の絶縁膜からなる第1のサイドウォールを形成する工程と、
 前記第1のサイドウォールの表面に、第2の絶縁膜からなる第2のサイドウォールを形成する工程と、
 前記第2のサイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、
 前記第2のサイドウォールを除去する工程と、
 少なくとも前記ゲート電極および前記ソース/ドレイン領域上に、第3の絶縁膜を形成する工程と、
 前記第3の絶縁膜の上層に、層間絶縁膜を形成する工程と、
 前記第3の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、
 前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有する半導体装置の製造方法。

【請求項 2】

前記第 1 のサイドウォールはシリコン窒化膜からなり、前記第 2 のサイドウォールはシリコン酸化膜からなる

請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなる

請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD (lightly doped drain) 領域を形成する工程を有する

請求項 1 記載の半導体装置の製造方法。

10

【請求項 5】

前記第 1 のサイドウォールを形成する工程は、全面に第 1 の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第 1 の絶縁膜が残るように、異方性エッチングを行う工程である

請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記第 2 のサイドウォールを形成する工程は、全面に前記第 2 の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第 2 の絶縁膜が残るように、異方性エッチングを行う工程である

請求項 1 記載の半導体装置の製造方法。

20

【請求項 7】

基板上に、導電体層を形成する工程と、

前記導電体層上に、オフセット絶縁膜を形成する工程と、

前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、

前記ゲート電極の側壁に、第 1 の絶縁膜からなる第 1 のサイドウォールを形成する工程と、

前記第 1 のサイドウォールの表面に、第 2 の絶縁膜からなる第 2 のサイドウォールを形成する工程と、

前記第 2 のサイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、

全面に高融点金属層を形成する工程と、

熱処理を行い、前記ソース/ドレイン領域の表面に高融点金属シリサイドを形成する工程と、

未反応の高融点金属層を除去する工程と、

前記第 2 のサイドウォールを除去する工程と、

少なくとも前記ゲート電極および前記ソース/ドレイン領域上に、第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜の上層に、層間絶縁膜を形成する工程と、

前記第 3 の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、

前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有する

半導体装置の製造方法。

30

40

【請求項 8】

前記高融点金属層は、コバルト、チタンあるいはニッケルを含有する

請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記第 1 のサイドウォールはシリコン窒化膜からなり、前記第 2 のサイドウォールはシリ

50

コン酸化膜からなる

請求項 7 記載の半導体装置の製造方法。

【請求項 10】

前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなる

請求項 7 記載の半導体装置の製造方法。

【請求項 11】

前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有する

請求項 7 記載の半導体装置の製造方法。

10

【請求項 12】

前記第 1 のサイドウォールを形成する工程は、全面に第 1 の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第 1 の絶縁膜が残るように、異方性エッチングを行う工程である

請求項 7 記載の半導体装置の製造方法。

【請求項 13】

前記第 2 のサイドウォールを形成する工程は、全面に前記第 2 の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第 2 の絶縁膜が残るように、異方性エッチングを行う工程である

請求項 7 記載の半導体装置の製造方法。

【請求項 14】

基板上に、導電体層を形成する工程と、

前記導電体層上に、オフセット絶縁膜を形成する工程と、

前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、

前記ゲート電極の側壁に、第 1 の絶縁膜からなるサイドウォールを形成する工程と、

前記サイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、

前記サイドウォールの表面を除去し、前記サイドウォールにより被覆された前記基板の少なくとも一部を露出させる工程と、

少なくとも前記ゲート電極および前記ソース/ドレイン領域上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の上層に、層間絶縁膜を形成する工程と、

前記第 2 の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、

前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有する

半導体装置の製造方法。

【請求項 15】

前記サイドウォールの表面を除去する工程は、前記サイドウォールに等方性エッチングを行う工程である

請求項 14 記載の半導体装置の製造方法。

【請求項 16】

前記サイドウォールはシリコン窒化膜からなる

請求項 14 記載の半導体装置の製造方法。

【請求項 17】

前記サイドウォールはシリコン酸化膜からなる

請求項 14 記載の半導体装置の製造方法。

【請求項 18】

前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなる

請求項 14 記載の半導体装置の製造方法。

50

【請求項 19】

前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有する

請求項 14 記載の半導体装置の製造方法。

【請求項 20】

前記サイドウォールを形成する工程は、全面に第 1 の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第 1 の絶縁膜が残るように、異方性エッチングを行う工程である

請求項 14 記載の半導体装置の製造方法。

【請求項 21】

基板上に、導電体層を形成する工程と、

10

前記導電体層上に、オフセット絶縁膜を形成する工程と、

前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、

前記ゲート電極の側壁に、第 1 の絶縁膜からなるサイドウォールを形成する工程と、

前記サイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、

全面に高融点金属層を形成する工程と、

熱処理を行い、前記ソース/ドレイン領域の表面に高融点金属シリサイドを形成する工程と、

未反応の高融点金属層を除去する工程と、

20

前記サイドウォールの表面を除去し、前記サイドウォールにより被覆された前記基板の少なくとも一部を露出させる工程と、

少なくとも前記ゲート電極および前記ソース/ドレイン領域上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の上層に、層間絶縁膜を形成する工程と、

前記第 2 の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、

前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有する

半導体装置の製造方法。

【請求項 22】

30

前記サイドウォールの表面を除去する工程は、前記サイドウォールに等方性エッチングを行う工程である

請求項 21 記載の半導体装置の製造方法。

【請求項 23】

前記高融点金属層は、コバルト、チタンあるいはニッケルを含有する

請求項 21 記載の半導体装置の製造方法。

【請求項 24】

前記サイドウォールはシリコン窒化膜からなる

請求項 21 記載の半導体装置の製造方法。

【請求項 25】

40

前記サイドウォールはシリコン酸化膜からなる

請求項 21 記載の半導体装置の製造方法。

【請求項 26】

前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなる

請求項 21 記載の半導体装置の製造方法。

【請求項 27】

前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有する

請求項 21 記載の半導体装置の製造方法。

50

【請求項 28】

前記サイドウォールを形成する工程は、全面に第1の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第1の絶縁膜が残るように、異方性エッチングを行う工程である
請求項 21 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、電界効果トランジスタのゲート電極間に、コンタクト不良が防止された自己整合コンタクトを形成することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の微細化に伴い、トランジスタのゲートと半導体基板表面に形成された不純物拡散層との間の距離が縮小されている。このため、リソグラフィ工程の合わせずれにより、不純物拡散層上に設けられたコンタクトと、ゲート電極との間が短絡することが問題とされてきた。このような短絡を回避するため、ゲート電極上部および側壁部を層間絶縁膜とは異なる材質で被覆し、コンタクトがゲートに接触または接近するのを防止する自己整合コンタクト (SAC; self-aligned contact) 技術が提案されてきた。

【0003】

また、リソグラフィ工程におけるコンタクトと不純物拡散層との合わせずれが大きい場合には、上記のようなゲート電極とコンタクト間の短絡以外にも問題が発生する。合わせずれによってコンタクトが素子分離領域上に配置されると、コンタクトエッチング時に素子分離膜の表面がエッチングされる。これにより、コンタクトが不純物拡散層または不純物拡散層と接合する基板側壁部に接触することになり、接合リークが増大する。

【0004】

上記のような素子分離膜のエッチングを防止するために、不純物拡散層および素子分離膜上に、層間絶縁膜よりもエッチング速度の遅い材質からなるエッチング停止膜 (エッチングストッパー) を形成し、その上層に層間絶縁膜を堆積する方法が提案された。この方法によれば、コンタクトホールを形成する際に、エッチング停止膜でエッチング速度が遅くなるような条件でエッチングを行う。エッチング停止膜が露出した段階でエッチングを止め、エッチング条件を変更してからエッチングを再開し、エッチング停止膜を除去する。これにより、素子分離膜のエッチングが抑制されるため、接合リークが低減される。

【0005】

近年、半導体装置の集積化が加速され、レイアウト縮小の要求が高くなっている。したがって、ゲート電極間の不純物拡散層上への自己整合コンタクトの形成と、コンタクト形成時の素子分離膜のエッチング防止とを両立させることが必要となっている。

コンタクト形成時の素子分離膜のエッチングを防止しながら、ゲート電極間の不純物拡散層上へ自己整合的にコンタクトを形成するための従来の技術について、図8および図9を参照して以下に説明する。

【0006】

まず、図8(A)に示すように、シリコン基板1の表面に素子分離領域2(例えば熱酸化によるLOCOS)を形成する。素子分離領域2により隔てられたアクティブ領域上に、ゲート酸化膜(SiO₂膜)3を形成する。その上層に、ポリシリコン層4、窒化タンゲステンとタンゲステンとの積層膜5、およびオフセット絶縁膜(シリコン窒化膜)6を積層してから、これらの層をゲート電極の形状にパターニングする。ここで、ゲート線幅およびゲート間隔は、それぞれ例えば0.15 μmおよび0.18 μmとする。

パターニングされたゲート電極をマスクとして、シリコン基板1に相対的に低濃度の不純物をイオン注入し、LDD(lightly doped drain)領域7を形成する。

10

20

30

40

50

【0007】

次に、図8(B)に示すように、全面にシリコン窒化膜を堆積してからエッチバックを行い、ゲート側壁にのみシリコン窒化膜8を残す。これにより、シリコン窒化膜からなるサイドウォール8が形成される。このとき、サイドウォール8の膜厚を例えば70nmとすると、ゲート電極の間隔は0.04 μ mとなる。

サイドウォール8をマスクとして、シリコン基板1に相対的に高濃度の不純物をイオン注入してから、アニールを行って不純物を活性化させ、ソース/ドレイン領域9を形成する。

【0008】

次に、図8(C)に示すように、全面にエッチング停止膜となるシリコン窒化膜10を、
例えば膜厚30nmで形成する。このとき、図8(C)に模式的に示すように、ゲート電極間はシリコン窒化膜10により埋め込まれる。

その後、図9(A)に示すように、全面に層間絶縁膜となるシリコン酸化膜11を堆積してから、例えば化学的機械研磨(CMP; chemical mechanical polishing)を行い表面を平坦化する。

【0009】

フォトリソグラフィ工程によりシリコン酸化膜11の上層にレジスト(不図示)を形成してから、レジストをマスクとしてシリコン酸化膜11にエッチングを行う。これにより、コンタクトホール12が形成される。このエッチングは異方性エッチングとし、シリコン酸化膜11に対してシリコン窒化膜10のエッチング速度が遅くなるような条件で行う。
これにより、図9(A)に示すように、シリコン窒化膜10上でエッチングが停止する。

続いて、図9(B)に示すように、エッチング条件を変更してシリコン窒化膜10の異方性エッチングを行うと、素子分離領域2のエッチングを防止しながら、ゲート電極間の不純物拡散層上に自己整合的にコンタクトホールを形成することができる。

【0010】

上記のように、エッチング停止膜を成膜してコンタクトホールを形成する方法としては、例えば、特開平9-275140号公報あるいは特開平9-232252号公報記載の方法がある。

特開平9-275140号公報に開示されたコンタクトホールの形成方法は、エッチング停止膜とその上層の層間絶縁膜との層間に、少なくともゲート電極上部を被覆する絶縁膜を追加することを特徴としている。

【0011】

前述した従来のコンタクトホール形成方法において、実際には、層間絶縁膜11のエッチング停止膜10に対するエッチング選択比は、マイクロローディング効果等の影響によりウェ八面内で一様とならず、ゲート電極間(コンタクトホール12底部)の拡散層上に比較してゲート電極上でエッチング選択比が低下する。したがって、図9(A)に示す工程において、コンタクトホール12の側壁に露出する、ゲート電極の肩部のエッチング停止膜10は、コンタクトホール12の底部のエッチング停止膜10よりも速く消失しやすい。ゲート電極肩部のエッチング停止膜10がエッチングされることにより、オフセット絶縁膜6やサイドウォール8の一部がエッチングされると、ゲート電極とコンタクトホール12との耐圧が低下し、極端な場合には、ゲート電極とコンタクトホール12とが短絡する。

【0012】

そこで、特開平9-275140号公報記載の方法によれば、エッチング停止膜10がエッチングされる膜厚を予め考慮した上で、少なくともゲート電極の上部に、層間絶縁膜に対してエッチング速度の遅い絶縁膜を設けている。これにより、ゲート電極とコンタクトホール12との耐圧が確保される。

【0013】

また、特開平9-232252号公報に開示されたコンタクトホールの形成方法は、エッ

10

20

30

40

50

チング停止膜を形成して層間絶縁膜にコンタクトホールを開口し、さらに、開口底部にシリサイドを形成してコンタクト抵抗を低減する方法である。この発明も、前述した特開平9 - 275140号公報記載の発明と同様に、エッチング停止膜のエッチング速度がゲート電極上部とゲート電極間の拡散層上とで異なることに対する解決手段の一つである。

【0014】

ゲート電極間の拡散層上（コンタクトホール底部）ではゲート電極上部に比較してエッチング停止膜のエッチング速度が低く、コンタクトホール底部のエッチング停止膜を完全に除去するためにオーバーエッチングを行うと、ゲート電極のオフセット絶縁膜等がエッチングされてしまう。これを避けるため、エッチング量（あるいはオーバーエッチング）を少なくすると、コンタクトホール底部にエッチング停止膜が残存することになり、コンタクト不良となる。

10

【0015】

そこで、特開平9 - 232252号公報記載の方法によれば、コンタクトホール底部にエッチング停止膜が一部残った状態でエッチングを止め、エッチング停止膜上に金属層を形成して、金属層と基板中のシリコンとを反応させることにより金属シリサイドを形成する。さらに好適には、シリコン窒化膜からなるエッチング停止膜を形成し、コンタクトホール底部に残存させるエッチング停止膜を膜厚5nm以下（0.5～5nm）の薄膜とした上で、エッチング停止膜にシリコンをイオン注入する。これにより、コンタクトホール底部のエッチング停止膜中のシリコンを、その上層の金属層と積極的にシリサイド化反応させることができる。

20

【0016】

【発明が解決しようとする課題】

以上のように、ゲート電極に絶縁膜からなるサイドウォールを設け、さらに、コンタクトホールを形成するためのエッチングで素子分離領域がエッチングされるのを防止する目的で、エッチング停止膜を形成する場合には、エッチング停止膜の膜厚がゲート間隔の半分以下となるとコンタクト不良が発生する。

半導体装置の高集積化によりゲート間隔が縮小されると、図9（B）に示すように、ゲート間のスペースがシリコン窒化膜（エッチング停止膜）10により埋め込まれたままとする。この場合、ゲート間のコンタクトがシリコン基板1に到達せず、コンタクト不良となる。

30

【0017】

ゲート間のコンタクト不良を回避するため、ゲート電極のサイドウォールであるシリコン窒化膜の膜厚を薄くすると、イオン注入によりソース/ドレイン領域を形成する際に、ソース/ドレイン領域がゲート電極直下に接近し、トランジスタの短チャネル効果が増大する。

また、サイドウォールの膜厚を薄くすると、不純物拡散層を低抵抗化する目的で不純物拡散層にシリサイド化を行った場合に、シリサイドがトランジスタ直下に接近することになる。したがって、高融点金属の拡散や応力により、トランジスタの短チャネル効果が増大したり、ゲート下周辺の拡散層における接合リークが増大したりする。

【0018】

40

前述した特開平9 - 275140号公報あるいは特開平9 - 232252号公報に記載されたコンタクトホール形成方法は、いずれもエッチング停止膜のエッチング速度がゲート電極上部とゲート電極間の拡散層上とで異なることに対する解決策である。

しかしながら、ゲート間のスペースが縮小されると、これらの方法によってもゲート電極間の拡散層上のエッチング停止膜を除去することが困難となる。特開平9 - 232252号公報記載の方法においては、意図的にエッチング停止膜の一部をゲート電極間の拡散層上に残存させるが、残存するエッチング停止膜の膜厚が所定の値を超えると、シリサイド化が十分に行われなくなり、コンタクト不良となる。

【0019】

本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、ゲート間スベ

50

ースが縮小された場合にも、コンタクト不良あるいは接合リークを防止して自己整合的にコンタクトホールを形成できる半導体装置の製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

上記の目的を達成するため、本発明の半導体装置の製造方法は、基板上に導電体層を形成する工程と、前記導電体層上にオフセット絶縁膜を形成する工程と、前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、前記ゲート電極の側壁に、第1の絶縁膜からなる第1のサイドウォールを形成する工程と、前記第1のサイドウォールの表面に、第2の絶縁膜からなる第2のサイドウォールを形成する工程と、前記第2のサイドウォールをマスクとして前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、前記第2のサイドウォールを除去する工程と、少なくとも前記ゲート電極および前記ソース/ドレイン領域上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上層に層間絶縁膜を形成する工程と、前記第3の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有することを特徴とする。

10

【0021】

本発明の半導体装置の製造方法は、好適には、前記第1のサイドウォールはシリコン窒化膜からなり、前記第2のサイドウォールはシリコン酸化膜からなることを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなることを特徴とする。

20

本発明の半導体装置の製造方法は、好適には、前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD (lightly doped drain) 領域を形成する工程を有することを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記第1のサイドウォールを形成する工程は、全面に第1の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第1の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記第2のサイドウォールを形成する工程は、全面に前記第2の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第2の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。

30

【0022】

これにより、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、素子分離領域端部におけるリーク電流を防止するため、エッチング停止膜を形成しても、従来より狭いゲート電極間の拡散層上にコンタクトを形成することができる。

したがって、設計ルールの縮小が可能となり、半導体装置を高集積化して高速化・低消費電力化することができる。

【0023】

さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、基板上に導電体層を形成する工程と、前記導電体層上にオフセット絶縁膜を形成する工程と、前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、前記ゲート電極の側壁に、第1の絶縁膜からなる第1のサイドウォールを形成する工程と、前記第1のサイドウォールの表面に、第2の絶縁膜からなる第2のサイドウォールを形成する工程と、前記第2のサイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、全面に高融点金属層を形成する工程と、熱処理を行い、前記ソース/ドレイン領域の表面に高融点金属シリサイドを形成する工程と、未反応の高融点金属層を除去する工程と、前記第2のサイドウォールを除去する工程と、少なくとも前記ゲート電極および前記ソース/ドレイン領域上に、第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上層に層間絶縁膜を形成する工程と、前記第3の絶縁膜

40

50

をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有することを特徴とする。

【0024】

本発明の半導体装置の製造方法は、好適には、前記高融点金属層は、コバルト、チタンあるいはニッケルを含有することを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記第1のサイドウォールはシリコン窒化膜からなり、前記第2のサイドウォールはシリコン酸化膜からなることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなることを特徴とする。

10

【0025】

本発明の半導体装置の製造方法は、好適には、前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有することを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記第1のサイドウォールを形成する工程は、全面に第1の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第1の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記第2のサイドウォールを形成する工程は、全面に前記第2の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第2の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。

20

【0026】

これにより、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、本実施形態の半導体装置の製造方法によれば、第2のサイドウォールの除去をシリサイドの形成後に行う。シリサイド化を行う際には、高融点金属の拡散や応力により点欠陥あるいは転位といった結晶欠陥が発生するが、第2のサイドウォールが形成された状態でシリサイド化を行うため、高融点金属の拡散や応力の影響が軽減される。したがって、シリサイド化による結晶欠陥に起因した短チャネル効果の増大も防止することができる。

【0027】

上記の目的を達成するため、本発明の半導体装置の製造方法は、基板上に導電体層を形成する工程と、前記導電体層上にオフセット絶縁膜を形成する工程と、前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、前記ゲート電極の側壁に、第1の絶縁膜からなるサイドウォールを形成する工程と、前記サイドウォールをマスクとして、前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、前記サイドウォールの表面を除去し、前記サイドウォールにより被覆された前記基板の少なくとも一部を露出させる工程と、少なくとも前記ゲート電極および前記ソース/ドレイン領域上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上層に層間絶縁膜を形成する工程と、前記第2の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有することを特徴とする。

30

40

【0028】

本発明の半導体装置の製造方法は、好適には、前記サイドウォールの表面を除去する工程は、前記サイドウォールに等方性エッチングを行う工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記サイドウォールはシリコン窒化膜からなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記サイドウォールはシリコン酸化膜からなることを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなることを特徴とする。

50

【 0 0 2 9 】

本発明の半導体装置の製造方法は、好適には、前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有することを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記サイドウォールを形成する工程は、全面に第1の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第1の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。

【 0 0 3 0 】

これにより、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、素子分離領域端部におけるリーク電流を防止するため、エッチング停止膜を形成しても、従来より狭いゲート電極間の拡散層上にコンタクトを形成することができる。

したがって、設計ルールの縮小が可能となり、半導体装置を高集積化して高速化・低消費電力化することができる。

【 0 0 3 1 】

さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、基板上に導電体層を形成する工程と、前記導電体層上にオフセット絶縁膜を形成する工程と、前記導電体層および前記オフセット絶縁膜を所定のパターンに加工して、ゲート電極を形成する工程と、前記ゲート電極の側壁に、第1の絶縁膜からなるサイドウォールを形成する工程と、前記サイドウォールをマスクとして前記基板に不純物を導入し、ソース/ドレイン領域を形成する工程と、全面に高融点金属層を形成する工程と、熱処理を行い、前記ソース/ドレイン領域の表面に高融点金属シリサイドを形成する工程と、未反応の高融点金属層を除去する工程と、前記サイドウォールの表面を除去し、前記サイドウォールにより被覆された前記基板の少なくとも一部を露出させる工程と、少なくとも前記ゲート電極および前記ソース/ドレイン領域上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上層に層間絶縁膜を形成する工程と、前記第2の絶縁膜をエッチング停止膜として、前記ゲート電極間の前記層間絶縁膜にエッチングを行い、自己整合的にコンタクトホールを開口する工程と、前記コンタクトホール底部の前記エッチング停止膜を除去する工程とを有することを特徴とする。

【 0 0 3 2 】

本発明の半導体装置の製造方法は、好適には、前記サイドウォールの表面を除去する工程は、前記サイドウォールに等方性エッチングを行う工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記高融点金属層は、コバルト、チタンあるいはニッケルを含有することを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記サイドウォールはシリコン窒化膜からなることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記サイドウォールはシリコン酸化膜からなることを特徴とする。

【 0 0 3 3 】

本発明の半導体装置の製造方法は、好適には、前記エッチング停止膜はシリコン窒化膜からなり、前記層間絶縁膜はシリコン酸化膜からなることを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記ゲート電極をマスクとして、前記基板に前記ソース/ドレイン領域よりも低濃度の不純物を導入し、LDD領域を形成する工程を有することを特徴とする。

本発明の半導体装置の製造方法は、好適には、前記サイドウォールを形成する工程は、全面に第1の絶縁膜を成膜し、前記ゲート電極の側壁にのみ前記第1の絶縁膜が残るように、異方性エッチングを行う工程であることを特徴とする。

【 0 0 3 4 】

これにより、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間の

10

20

30

40

50

スペースを拡大することができる。また、本実施形態の半導体装置の製造方法によれば、サイドウォール表面の除去（サイドウォールの薄膜化）をシリサイドの形成後に行う。シリサイド化を行う際には、高融点金属の拡散や応力により点欠陥あるいは転位といった結晶欠陥が発生するが、サイドウォールを薄膜化する前の状態でシリサイド化を行うため、高融点金属の拡散や応力の影響が軽減される。したがって、シリサイド化による結晶欠陥に起因した短チャネル効果の増大も防止することができる。

【0035】

【発明の実施の形態】

以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。

10

（実施形態1）

本実施形態の半導体装置の製造方法について、図1～図3を参照して下記に説明する。まず、図1（A）に示すように、従来と同様にしてシリコン基板1の表面に素子分離領域2を形成する。さらに、必要に応じて基板1にpウェルあるいはnウェルを形成するための不純物のイオン注入を行う。素子分離領域2により隔てられたアクティブ領域上に、ゲート酸化膜（SiO₂膜）3を形成する。ゲート酸化膜の膜厚は例えば3nmとする。

【0036】

その上層に、ポリシリコン層4、窒化タングステンとタングステンとの積層膜5、およびオフセット絶縁膜（シリコン窒化膜）6を積層させる。各層の膜厚は、それぞれ例えば70nm、5nm（窒化タングステン）、60nm（タングステン）および100nmとする。これらの層を積層後、レジスト（不図示）をマスクとしてエッチングを行い、ゲート電極の形状にパターニングする。ここで、ゲート線幅およびゲート間隔は、それぞれ例えば0.15μmおよび0.18μmとする。

20

パターニングされたゲート電極をマスクとして、シリコン基板1に相対的に低濃度の不純物をイオン注入し、LDD（lightly doped drain）領域7を形成する。

【0037】

次に、図1（B）に示すように、全面にシリコン窒化膜を堆積してからエッチバックを行って、ゲート側壁にのみシリコン窒化膜8を残し、第1のサイドウォール8を形成する。このとき、ゲート側壁部に残るシリコン窒化膜の基板表面に水平な方向の厚さ（第1のサイドウォール8の厚さ）は、シリコン窒化膜を全面に堆積させた時の膜厚とほぼ等しくなり、例えば50nmである。したがって、ゲート電極の間隔は0.08μmとなる。

30

【0038】

次に、図1（C）に示すように、全面にシリコン酸化膜13を例えば膜厚20nmで堆積する。ゲート電極側壁、すなわち第1のサイドウォール8の表面に形成されたシリコン酸化膜13は、第2のサイドウォール13'となる。シリコン基板1にソース/ドレイン領域9を形成するため、第2のサイドウォール13'をマスクとして、相対的に高濃度の不純物をイオン注入する。ゲート電極の側壁には膜厚50nmの第1のサイドウォール（シリコン窒化膜）8と、膜厚20nmの第2のサイドウォール13'が形成されており、これらはイオン注入の際に、ゲートに対して膜厚70nmのスペーサーとして機能する。

40

【0039】

図2（A）に示すように、イオン注入後、窒素雰囲気中で1000、10秒のアニールを行うと、ソース/ドレイン領域9が形成される。

次に、シリコン酸化膜13に異方性エッチングを行い、ゲート側壁部のシリコン酸化膜13のみ残して除去する。ゲート側壁部に残る第1のサイドウォール8と第2のサイドウォール13'の、基板表面に水平な方向の厚さ（サイドウォール膜厚の合計）は、例えば70nmとなる。

【0040】

次に、図2（B）に示すように、高融点金属として例えばコバルトを全面に膜厚10nm

50

堆積し、コバルトシリサイド14を形成する。コバルト層の成膜は、例えば基板温度450で行い、その後、550、30秒のランプアニールによりコバルト層をポリシリコンと反応させる。未反応のコバルト層は、例えば硫酸/過酸化水素水を用いて除去する。以上により、基板の不純物拡散層上部にのみ自己整合的にコバルトシリサイド14が形成される。

その後、図2(C)に示すように、ゲート側壁部のシリコン酸化膜13(第2のサイドウォール13')を、例えばフッ酸系の溶液を用いたライトエッチング(HF/H₂O=1/400、80秒)により除去する。

【0041】

本実施形態の半導体装置の製造方法によれば、第2のサイドウォール13'の除去を、ソース/ドレイン領域9を形成するためのイオン注入、およびコバルトシリサイド14の形成後に行う。

したがって、膜厚の薄いサイドウォールを形成した場合にみられる、ソース/ドレイン領域の広がり起因した短チャネル効果の増大が防止される。また、シリサイド化を行う際には、高融点金属の拡散や応力により点欠陥あるいは転位といった結晶欠陥が発生するが、第2のサイドウォール13'が形成された状態でシリサイド化を行うため、高融点金属の拡散や応力の影響が軽減される。したがって、シリサイド化による結晶欠陥に起因した短チャネル効果の増大も防止することができる。

本実施形態の半導体装置の製造方法は、ソース/ドレイン領域の広がりあるいは結晶欠陥に起因した、トランジスタの短チャネル効果を増大させずに、ゲート側壁の絶縁膜(サイドウォール)を薄膜化することが可能であり、コンタクト不良を防止することができる。

【0042】

次に、図3(A)に示すように、全面にエッチング停止膜としてシリコン窒化膜10を、例えば膜厚20nmで形成する。その上層に、層間絶縁膜としてシリコン酸化膜11を例えば膜厚1200nmで堆積し、シリコン基板1の表面に形成された段差を平坦化する。さらに、シリコン酸化膜11の膜厚が例えば700nmとなるまでCMPを行い、シリコン酸化膜11の表面を平坦化する。

続いて、図3(B)に示すように、フォトリソグラフィ工程によりシリコン酸化膜11の上層にレジスト(不図示)を形成してから、レジストをマスクとしてシリコン酸化膜11にエッチングを行う。これにより、コンタクトホール12が形成される。

【0043】

このエッチングは異方性エッチングとし、シリコン窒化膜10に対してシリコン酸化膜11のエッチング速度が20倍(シリコン酸化膜11のエッチング選択比が20)となるような条件で行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚900nmのシリコン酸化膜に相当する分のエッチングを、例えば以下のエッチング条件で行うことにより、シリコン窒化膜10上でエッチングが停止する。

(エッチング条件)

RFパワー: 2kW

エッチングガス: Ar/O₂/C₄F₈ = 200/10/20 sccm

圧力: 5Pa

【0044】

次に、図3(C)に示すように、シリコン窒化膜10のエッチング速度がシリコン基板1に対して10倍(エッチング選択比10)、シリコン酸化膜11に対して7倍(エッチング選択比7)となるような条件で、シリコン窒化膜10にエッチングを行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚30nmのシリコン窒化膜に相当する分のエッチングを、例えば以下の条件で行う。

(エッチング条件)

RFパワー: 500W

エッチングガス: Ar/O₂/CHF₃ = 100/10/20 sccm

圧力: 5Pa

【 0 0 4 5 】

上記のようにコンタクトホール12を形成した後、従来法により、コンタクトホール12内を含む全面に密着層あるいはバリア層となるチタン層、窒化チタン層をそれぞれ例えば20nm、50nmの膜厚で形成する。さらに、コンタクトホール12内を埋め込むようにタングステン層を250nmの膜厚で形成する。その後、CMPを行って層間絶縁膜11上部のチタン層、窒化チタン層およびタングステン層を除去することにより、コンタクトホール12内にタングステンプラグが形成される。

【 0 0 4 6 】

図3(C)において、ゲート側壁に設けられる絶縁膜サイドウォールの膜厚は、従来法で作成する場合(図8(B)参照)の70nmと比較して、シリコン酸化膜13(第2のサイドウォール13')を除去した分、20nm薄膜化することができる。したがって、従来法と同様に、膜厚20nmのエッチング停止膜(シリコン窒化膜10)を形成しても、ゲート電極間のスペースがシリコン窒化膜10により埋め込まれる(図9(B)参照)ことがなく、コンタクトはゲート電極間の不純物拡散層(ソース/ドレイン領域9)に接続される。これにより、コンタクト不良を防止することができる。

10

【 0 0 4 7 】

上記の本実施形態の半導体装置の製造方法によれば、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、素子分離領域端部におけるリーク電流を防止するため、エッチング停止膜を形成しても、従来より狭いゲート電極間の拡散層上にコンタクトを形成できる。したがって、設計ルールの縮小が可能となり、半導体装置を高集積化して高速化・低消費電力化することができる。

20

【 0 0 4 8 】

(実施形態2)

本実施形態の半導体装置の製造方法について、図4および図5を参照して下記に説明する。

まず、図4(A)に示すように、従来の方法と同様にしてシリコン基板1の表面に素子分離領域2を形成する。さらに、必要に応じて基板1にpウェルあるいはnウェルを形成するための不純物のイオン注入を行う。素子分離領域2により隔てられたアクティブ領域上に、ゲート酸化膜(SiO₂膜)3を形成する。ゲート酸化膜の膜厚は例えば3nmとする。

30

【 0 0 4 9 】

その上層に、ポリシリコン層4、窒化タングステンとタングステンとの積層膜5、およびオフセット絶縁膜(シリコン窒化膜)6を積層させる。各層の膜厚は、それぞれ例えば70nm、5nm(窒化タングステン)、60nm(タングステン)および100nmとする。これらの層を積層後、レジスト(不図示)をマスクとして異方性エッチングを行い、ゲート電極の形状にパターンニングする。ここで、ゲート線幅およびゲート間隔は、それぞれ例えば0.15μmおよび0.18μmとする。

パターンニングされたゲート電極をマスクとして、シリコン基板1に相対的に低濃度の不純物をイオン注入し、LDD領域7を形成する。

40

【 0 0 5 0 】

次に、図4(B)に示すように、全面に例えば膜厚70nmのシリコン窒化膜を堆積してからエッチバックを行って、ゲート側壁にのみシリコン窒化膜8を残し、サイドウォール8を形成する。このとき、ゲート側壁部に残るシリコン窒化膜の基板表面に水平な方向の厚さ(第1のサイドウォール8の厚さ)は、シリコン窒化膜を全面に堆積させた時の膜厚とほぼ等しくなり、例えば70nmである。したがって、ゲート電極の間隔は0.04μmとなる。

シリコン基板1にソース/ドレイン領域9を形成するため、サイドウォール8をマスクとして、相対的に高濃度の不純物をイオン注入する。イオン注入後、窒素雰囲気中で1000、10秒のランプアニールを行うと、ソース/ドレイン領域9が形成される。

50

【0051】

次に、図4(C)に示すように、ゲート電極表面のシリコン窒化膜からなるオフセット絶縁膜6、およびシリコン窒化膜からなるサイドウォール8を、例えば20nm等方的にエッチングする。このエッチングは、シリコン基板1およびシリコン酸化膜からなる素子分離領域2に対してシリコン窒化膜8のエッチング速度が5倍以上(エッチング選択比5倍以上)となるような条件で行い、例えば、以下のエッチング条件とすることができる。

(エッチング条件)

RFパワー：700W

エッチングガス： $\text{CF}_4 / \text{CH}_2\text{F}_2 / \text{O}_2 / \text{N}_2 = 200 / 200 / 300 / 200 \text{ sccm}$

圧力：130Pa

【0052】

本実施形態の半導体装置の製造方法においては、ソース/ドレイン領域9の形成後に、シリコン窒化膜(サイドウォール)8を薄膜化させる。したがって、膜厚の薄いサイドウォールを形成した場合にみられるようなソース/ドレイン領域の広がりは起こらず、ソース/ドレイン領域の広がり起因した短チャネル効果の増大が防止される。また、サイドウォール8を薄膜化することにより、ゲート間の不純物拡散層上に十分な接触面積が確保され、接触不良が防止される。

【0053】

次に、図5(A)に示すように、全面にエッチング停止膜としてシリコン窒化膜10を、例えば膜厚20nmで形成する。その上層に、図5(B)に示すように、層間絶縁膜としてシリコン酸化膜11を例えば膜厚1200nmで堆積し、シリコン基板1の表面に形成された段差を平坦化する。さらに、シリコン酸化膜11の膜厚が例えば700nmとなるまでCMPを行い、シリコン酸化膜11の表面を平坦化する。

続いて、フォトリソグラフィ工程によりシリコン酸化膜11の上層にレジスト(不図示)を形成してから、レジストをマスクとしてシリコン酸化膜11にエッチングを行う。これにより、接触ホール12が形成される。

【0054】

このエッチングは異方性エッチングとし、シリコン窒化膜10に対してシリコン酸化膜11のエッチング速度が20倍(シリコン酸化膜11のエッチング選択比が20)となるような条件で行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚900nmのシリコン酸化膜に相当する分のエッチングを、例えば以下のエッチング条件で行うことにより、シリコン窒化膜10上でエッチングが停止する。

(エッチング条件)

RFパワー：2kW

エッチングガス： $\text{Ar} / \text{O}_2 / \text{C}_4\text{F}_8 = 200 / 10 / 20 \text{ sccm}$

圧力：5Pa

【0055】

次に、図5(C)に示すように、シリコン窒化膜10のエッチング速度がシリコン基板1に対して10倍(エッチング選択比10)、シリコン酸化膜11に対して7倍(エッチング選択比7)となるような条件で、シリコン窒化膜10にエッチングを行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚35nmのシリコン窒化膜に相当する分のエッチングを、例えば以下の条件で行うことができる。

(エッチング条件)

RFパワー：500W

エッチングガス： $\text{Ar} / \text{O}_2 / \text{CHF}_3 = 100 / 10 / 20 \text{ sccm}$

圧力：5Pa

【0056】

上記のように接触ホール12を形成した後、従来法により、接触ホール12内を含む全面に密着層あるいはバリア層となるチタン層、窒化チタン層をそれぞれ例えば

10

20

30

40

50

20 nm、50 nmの膜厚で形成する。さらに、コンタクトホール12内を埋め込むようにタングステン層を250 nmの膜厚で形成する。その後、CMPを行って層間絶縁膜11上部のチタン層、窒化チタン層およびタングステン層を除去することにより、コンタクトホール12内にタングステンプラグが形成される。

【0057】

本実施形態の半導体装置の製造方法においては、図4(B)に示すように、ゲート電極間のスペースが0.04 μmの状態ソース/ドレイン領域9の形成を行った後、図4(C)に示すように、20 nmの等方性エッチングを行い、ゲート電極間のスペースを0.08 μmとする。したがって、従来法と同様に、膜厚20 nmのエッチング停止膜(シリコン窒化膜10)を形成しても、ゲート電極間のスペースがシリコン窒化膜10により埋め込まれる(図9(B)参照)ことがなく、コンタクトはゲート電極間の不純物拡散層(ソース/ドレイン領域9)に接続される。これにより、コンタクト不良を防止することができる。

10

【0058】

以上のように、上記の本実施形態の半導体装置の製造方法によれば、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、素子分離領域端部におけるリーク電流を防止するため、エッチング停止膜を形成しても、従来より狭いゲート電極間の拡散層上にコンタクトを形成できる。したがって、設計ルールの縮小が可能となり、半導体装置を高集積化して高速化・低消費電力化することができる。

20

【0059】

(実施形態3)

本実施形態の半導体装置の製造方法について、図6および図7を参照して下記に説明する。

まず、図6(A)に示すように、従来の方法と同様にしてシリコン基板1の表面に素子分離領域2を形成する。さらに、必要に応じて基板1にpウェルあるいはnウェルを形成するための不純物のイオン注入を行う。素子分離領域2により隔てられたアクティブ領域上に、ゲート酸化膜(SiO₂膜)3を形成する。ゲート酸化膜の膜厚は例えば3 nmとする。

30

【0060】

その上層にポリシリコン層4、窒化タングステンとタングステンとの積層膜5、およびオフセット絶縁膜(シリコン窒化膜)6を積層させる。各層の膜厚は、それぞれ例えば70 nm、5 nm(窒化タングステン)、60 nm(タングステン)および100 nmとする。これらの層を積層後、レジスト(不図示)をマスクとして異方性エッチングを行い、ゲート電極の形状にパターニングする。ここで、ゲート線幅およびゲート間隔は、それぞれ例えば0.15 μmおよび0.18 μmとする。

パターニングされたゲート電極をマスクとして、シリコン基板1に相対的に低濃度の不純物をイオン注入し、LDD領域7を形成する。

【0061】

次に、図6(B)に示すように、全面に例えば膜厚70 nmのシリコン酸化膜15を堆積してからエッチバックを行って、ゲート側壁にのみシリコン酸化膜15を残し、サイドウォール15を形成する。このとき、ゲート側壁部に残るシリコン酸化膜の基板表面に水平な方向の厚さ(サイドウォール15の厚さ)は、シリコン酸化膜を全面に堆積させた時の膜厚とほぼ等しくなり、例えば70 nmである。したがって、ゲート電極の間隔は0.04 μmとなる。

40

シリコン基板1にソース/ドレイン領域9を形成するため、サイドウォール15をマスクとして、相対的に高濃度の不純物をイオン注入する。イオン注入後、窒素雰囲気中で1000、10秒のランプアニールを行うと、ソース/ドレイン領域9が形成される。

【0062】

50

次に、図6(C)に示すように、シリコン酸化膜からなるサイドウォール15を、例えば20nm等方的にエッチングする。このエッチングは、シリコン基板1およびゲート電極表面のオフセット絶縁膜(シリコン窒化膜)6に対してシリコン酸化膜15のエッチング速度が5倍以上(エッチング選択比5倍以上)となるような条件で行う。このエッチングは例えば、フッ酸系の薬液を用いたライトエッチング($\text{HF}/\text{H}_2\text{O} = 1/400$ 、80秒)とすることができる。

【0063】

次に、図7(A)に示すように、全面にエッチング停止膜としてシリコン窒化膜10を、例えば膜厚20nmで形成する。

続いて、図7(B)に示すように、シリコン窒化膜10の上層に、層間絶縁膜としてシリコン酸化膜11を例えば膜厚1200nmで堆積し、シリコン基板1の表面に形成された段差を平坦化する。さらに、シリコン酸化膜11の膜厚が例えば700nmとなるまでCMPを行い、シリコン酸化膜11の表面を平坦化する。フォトリソグラフィ工程によりシリコン酸化膜11の上層にレジスト(不図示)を形成してから、レジストをマスクとしてシリコン酸化膜11にエッチングを行う。これにより、コンタクトホール12が形成される。

10

【0064】

このエッチングは異方性エッチングとし、シリコン窒化膜10に対してシリコン酸化膜11のエッチング速度が20倍(シリコン酸化膜11のエッチング選択比が20)となるような条件で行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚900nmのシリコン酸化膜に相当する分のエッチングを、例えば以下のエッチング条件で行うことにより、シリコン窒化膜10上でエッチングが停止する。

20

(エッチング条件)

RFパワー：2kW

エッチングガス： $\text{Ar}/\text{O}_2/\text{C}_4\text{F}_8 = 200/10/20 \text{ sccm}$

圧力：5Pa

【0065】

次に、図7(C)に示すように、シリコン窒化膜10のエッチング速度がシリコン基板1に対して10倍(エッチング選択比10)、シリコン酸化膜11に対して7倍(エッチング選択比7)となるような条件で、シリコン窒化膜10にエッチングを行う。エッチングされる表面を平坦化するためのオーバーエッチングも含め、膜厚35nmのシリコン窒化膜に相当する分のエッチングを、例えば以下のエッチング条件で行う。

30

(エッチング条件)

RFパワー：500W

エッチングガス： $\text{Ar}/\text{O}_2/\text{CHF}_3 = 100/10/20 \text{ sccm}$

圧力：5Pa

【0066】

上記のようにコンタクトホール12を形成した後、従来法により、コンタクトホール12内を含む全面に密着層あるいはバリア層となるチタン層、窒化チタン層をそれぞれ例えば20nm、50nmの膜厚で形成する。さらに、コンタクトホール12内を埋め込むようにタングステン層を250nmの膜厚で形成する。その後、CMPを行って層間絶縁膜11上部のチタン層、窒化チタン層およびタングステン層を除去することにより、コンタクトホール12内にタングステンプラグが形成される。

40

【0067】

本実施形態の半導体装置の製造方法においては、図6(B)に示すように、ゲート電極間のスペースが $0.04 \mu\text{m}$ の状態ソース/ドレイン領域9の形成を行った後、図6(C)に示すように、20nmの等方性エッチングを行い、ゲート電極間のスペースを $0.08 \mu\text{m}$ とする。したがって、従来法と同様に、膜厚20nmのエッチング停止膜(シリコン窒化膜10)を形成しても、ゲート電極間のスペースがシリコン窒化膜10により埋め込まれる(図9(B)参照)ことがなく、コンタクトはゲート電極間の不純物拡散層(ソ

50

ース/ドレイン領域 9) に接続される。これにより、コンタクト不良を防止することができる。

【0068】

以上のように、上記の本実施形態の半導体装置の製造方法によれば、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大することができる。また、素子分離領域端部におけるリーク電流を防止する目的でエッチング停止膜を形成した場合にも、従来より狭いゲート電極間の拡散層上にコンタクトを形成できる。したがって、設計ルールの縮小が可能となり、半導体装置を高集積化して高速化・低消費電力化することができる。

10

【0069】

本発明の半導体装置の製造方法の実施形態は、上記の説明に限定されない。例えば、実施形態 2 あるいは実施形態 3 において、実施形態 1 と同様に不純物拡散層(ソース/ドレイン領域 9)の表面をシリサイド化してもよい。この場合、等方性エッチングによりサイドウォールを薄膜化する工程の前に、拡散層のシリサイド化を行う。これにより、シリサイド化を行う際に、高融点金属の拡散や応力による点欠陥あるいは転位といった結晶欠陥の発生を低減し、結晶欠陥に起因した短チャネル効果の増大が防止される。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0070】

【発明の効果】

20

本発明の半導体装置の製造方法によれば、短チャネル効果の増大によるトランジスタ特性の悪化を防止しながら、ゲート側壁の絶縁膜(サイドウォール)を薄膜化し、ソース/ドレイン領域とゲート電極間のスペースを拡大できる。したがって、ゲート間スペースが狭い場合にも、コンタクト不良あるいは接合リークを防止して自己整合的にコンタクトホールを形成することが可能となる。

【図面の簡単な説明】

【図 1】(A) ~ (C) は、本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 2】(A) ~ (C) は、本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

30

【図 3】(A) ~ (C) は、本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 4】(A) ~ (C) は、本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 5】(A) ~ (C) は、本発明の実施形態 2 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 6】(A) ~ (C) は、本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 7】(A) ~ (C) は、本発明の実施形態 3 に係る半導体装置の製造方法の製造工程を示す断面図である。

40

【図 8】(A) ~ (C) は、従来の半導体装置の製造方法の製造工程を示す断面図である。

【図 9】(A) および (B) は、従来の半導体装置の製造方法の製造工程を示す断面図である。

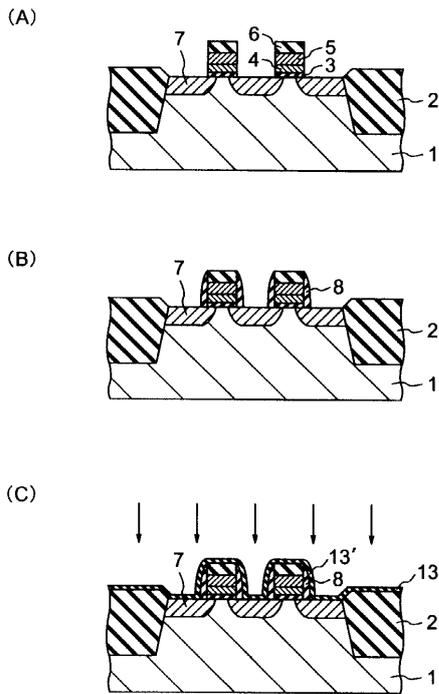
【符号の説明】

1 ... シリコン基板、 2 ... 素子分離領域、 3 ... ゲート酸化膜、 4 ... ポリシリコン層、 5 ... 窒化タンゲステンとタンゲステンとの積層膜、 6 ... オフセット絶縁膜(シリコン窒化膜)、 7 ... LDD 領域、 8 ... サイドウォール、 9 ... ソース/ドレイン領域、 10 ... エッチング停止膜、 11 ... 層間絶縁膜、 12 ... コンタクトホール、 13 ... シリコン酸化膜、 13' ... 第 2 のサイドウォール、 14 ... コバルトシリサイド、 15 ... シリコン酸化膜(サイドウォール)

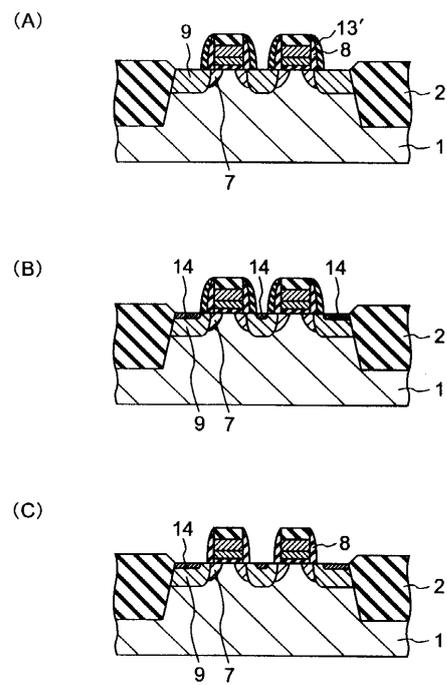
50

ル)。

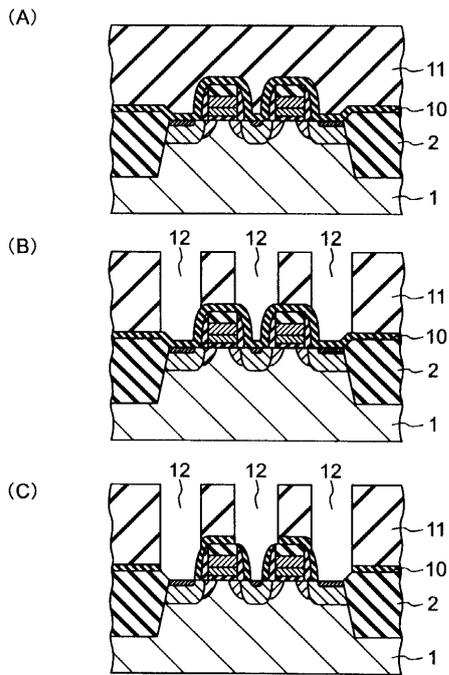
【図1】



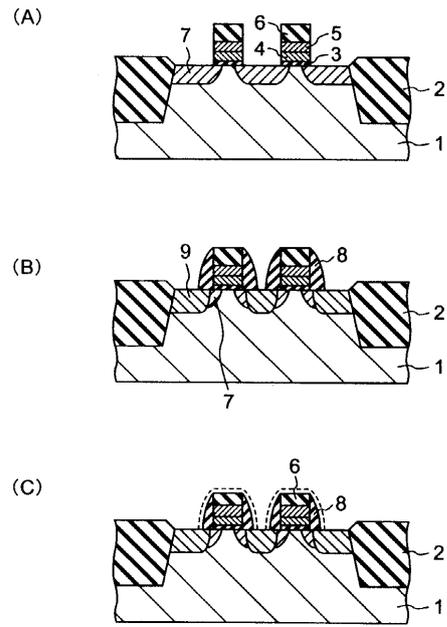
【図2】



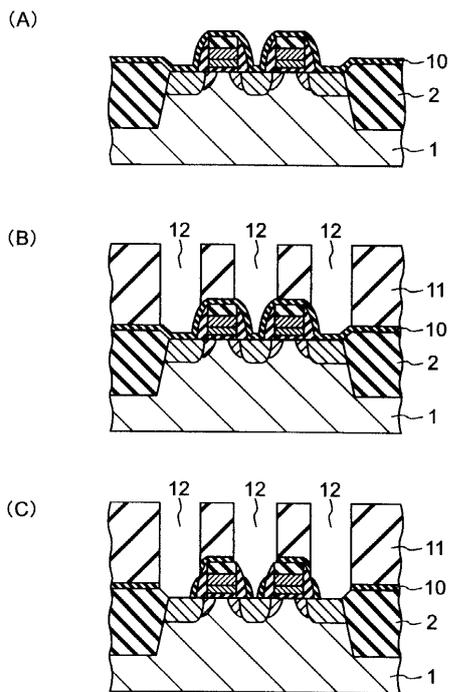
【図3】



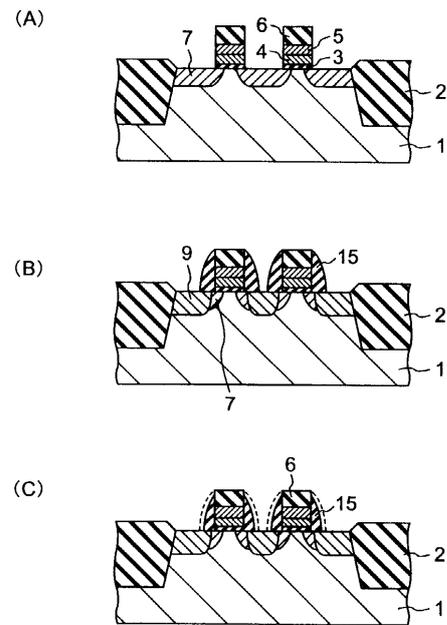
【図4】



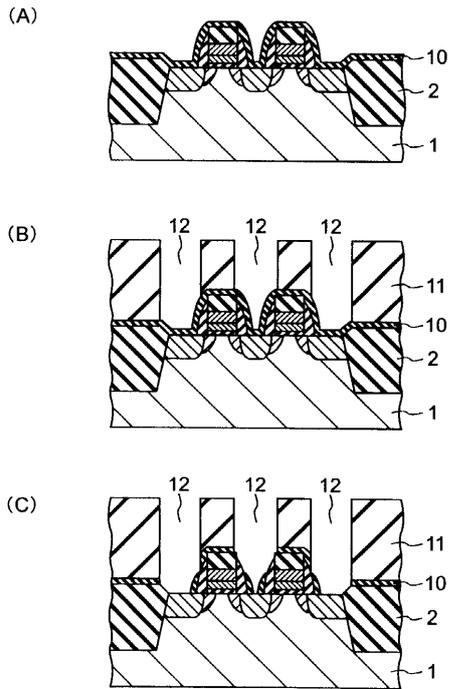
【図5】



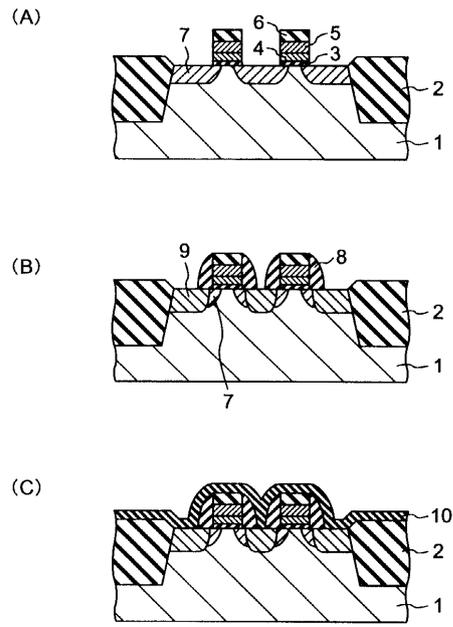
【図6】



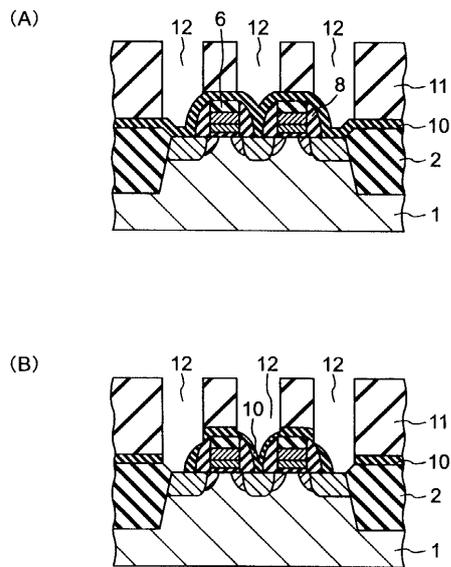
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 3 0 1 S
H 0 1 L 29/78 3 0 1 L

(56)参考文献 特開平09-293865(JP,A)
特開平09-027494(JP,A)
特開平09-064363(JP,A)
特開平09-275140(JP,A)
特開平03-278540(JP,A)
特開平09-260690(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/28
H01L 21/3065
H01L 21/768
H01L 29/78