



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년09월01일  
 (11) 등록번호 10-0855767  
 (24) 등록일자 2008년08월26일

(51) Int. Cl.

*H01L 21/24* (2006.01)

(21) 출원번호 10-2006-7005453  
 (22) 출원일자 2006년03월17일  
     심사청구일자 2006년06월28일  
     번역문제출일자 2006년03월17일  
 (65) 공개번호 10-2006-0090224  
 (43) 공개일자 2006년08월10일  
 (86) 국제출원번호 PCT/JP2004/012647  
     국제출원일자 2004년09월01일  
 (87) 국제공개번호 WO 2005/029562  
     국제공개일자 2005년03월31일

(30) 우선권주장

JP-P-2003-00328226 2003년09월19일 일본(JP)

(56) 선행기술조사문헌

KR1020010051575 A\*

JP13274111 A

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 6 항

심사관 : 이별섭

**(54) 기판처리방법****(57) 요 약**

이 기판처리방법 및 기판처리장치는, MOSFET(11)의 게이트(21), 소스(15), 드레인(17) 표층에 형성된 자연 산화막을, 활성화된  $NF_3$  가스로 제거하고, 이 자연산화막이 제거된 게이트(21), 소스(15), 드레인(17)의 표면에 Co막(91)을 형성하고, 이 MOSFET에 대해서 저온 어닐을 실시하여, 이 Co막(91)과 게이트(21), 소스(15), 드레인(17)의 실리콘 화합물을 반응시켜 이 실리콘 화합물의 표층에 금속 실리사이드층을 형성한다. 따라서, 열이력이 기판중의 불순물의 분포에 바람직하지 않은 영향을 주게 되는 고온 어닐을 필요로 하지 않는 처리방법을 제공할 수 있다.

## 특허청구의 범위

### 청구항 1

게이트, 소스, 드레인영역과의 사이에 사이드월을 갖는 MOS트랜지스터에 있어서,  
 상기 게이트, 소스, 드레인영역의 표층에 형성된 산화막과, 플라즈마에 의해 활성화된 H<sub>2</sub>가스 및 N<sub>2</sub>가스의 혼합  
 가스에 NF<sub>3</sub>가스를 첨가하는 것으로 활성화된 NF<sub>3</sub>가스를 반응시켜 생성막을 형성하는 공정과,  
 상기 생성막을 가열하여 기화시켜서 제거하는 공정과,  
 상기 산화막이 제거된 상기 게이트, 소스, 드레인 영역의 표면에 금속을 성막하는 공정과,  
 상기 금속이 성막된 상기 게이트, 소스, 드레인 영역을 450~550℃의 온도에서 어닐하여, 상기 게이트, 소스, 드  
 레인 영역의 표층에 금속 실리사이드를 형성하는 공정을 구비한 것을 특징으로 하는 기판처리방법.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

제 1 항에 있어서, 상기 성막되는 금속은, Co인 것을 특징으로 하는 기판처리방법.

### 청구항 9

제 1 항에 있어서, 상기 성막되는 금속은, Ni인 것을 특징으로 하는 기판처리방법.

### 청구항 10

제 1 항에 있어서, 상기 게이트, 소스, 드레인 영역의 표면에 금속막을 성막하는 공정과 상기 금속 실리사이드  
 를 형성하는 공정의 사이에, 형성된 금속막상에 산화 방지막을 성막하는 공정을 구비한 것을 특징으로 하는 기  
 판처리방법.

### 청구항 11

제 10 항에 있어서, 상기 산화 방지막은, TiN막인 것을 특징으로 하는 기판처리방법.

### 청구항 12

제 1 항에 있어서, 상기 게이트, 소스, 드레인 영역의 표층에 형성된 금속 실리사이드는, 다시 650℃ 이상의 온  
 도로 어닐되는 것을 특징으로 하는 기판처리방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

## 명세서

### 기술 분야

<1> 본 발명은, 금속 실리사이드층을 Si계 재료층의 표층에 형성하는 기판처리방법 및 처리장치에 관한 것이다.

### 배경기술

<2> 반도체장치의 고집적화에 수반하여, 예를 들면 MOSFET에 있어서, 불순물 확산층인 소스, 드레인의 낮은 저항화가 중요시되고 있다.

<3> 이 불순물 확산층의 낮은 저항화의 수법으로서는, 전기저항이 낮은 금속 실리사이드층을 불순물 확산층의 표면에 형성하는 실리사이드화 수법이 개발되어 있다. 실리사이드화 수법은, Si계 재료층의 전체면에 실리사이드화 할 수 있는 금속막을 얇게 퇴적시켜, 열처리(실리사이드화 어닐링)를 실시하고, 금속막과 Si계 재료층이 접촉한 부분에서 실리사이드화 반응을 진행시켜, 금속 실리사이드를 형성하는 방법이다.

<4> 이 실리사이드화 공정을 실시하기 위해서는, 그 전공정으로서 Si계 재료층의 표면에 형성되어 있는 자연 산화막을 제거할 필요가 있다. 종래에, 이 자연 산화막의 제거 방법으로서는, DHF(HF/H<sub>2</sub>O) 등의 웨트세정이 채택되고 있었다.

<5> 한편, 종래의 기술에 관해서는, 일본 특허공개공보 2000-315662호, 특허공개공보 평성 10-335316호가 있다.

<6> 그런데, 이 DHF 세정을 채택하는 방법에서는, 금속 실리사이드층의 저항값을 충분히 내리기 위해서, 어닐 공정으로 550℃ 이상으로 가열할 필요가 있다. 도 6은 이것을 나타내는 그래프로서, DHF 세정을 채용했을 경우, 코발트 실리사이드의 저항값을 60ohm/sq 정도로 억제하기 위해서는, 550℃ 이상으로 가열할 필요가 있는 것을 알 수 있다. 이것은, DHF 세정을 하더라도 여전히 Si계 재료층 표면에 약간이나마 산화막이 잔존하고, 그 때문에 실리사이드화를 위해서 보다 많은 에너지를 필요로 하기 때문이다.

<7> 그러나, 가열 온도를 높게 하면, 이 고온 어닐에 기인하는 열이력(熱履歷)이 기판속의 불순물의 분포에 바람직하지 않은 영향을 주어 버린다고 하는 문제점이 있었다.

<8> 본 발명은, 상기 문제점을 해결하기 위해서 이루어진 것으로서, 금속 실리사이드형성을 위한 고온 처리를 필요로 하지 않는 기판처리방법 및 기판처리장치를 제공하는 것을 목적으로 하고 있다.

### [발명의 개시]

<10> 상기 목적을 달성하기 위해서, 청구의 범위 제 1 항에 기재된 발명은, 게이트, 소스, 드레인영역과의 사이에 사이드월을 갖는 MOS트랜지스터에 있어서, 상기 게이트, 소스, 드레인영역의 표층에 형성된 산화막과, 플라즈마에 의해 활성화된 H<sub>2</sub>가스 및 N<sub>2</sub>가스의 혼합가스에 NF<sub>3</sub>가스를 첨가하는 것으로 활성화된 NF<sub>3</sub>가스를 반응시켜 생성막을 형성하는 공정과, 상기 생성막을 가열하여 기화시켜서 제거하는 공정과, 상기 산화막이 제거된 상기 게이트, 소스, 드레인영역의 표면에 금속을 성막하는 공정과, 상기 금속이 성막된 상기 게이트, 소스, 드레인 영역을 450~550℃의 온도에서 어닐하여, 상기 게이트, 소스, 드레인 영역의 표층에 금속 실리사이드를 형성하는 공정을 구비한 것을 특징으로 하고 있다. 따라서, 열이력이 기판속의 불순물의 분포에 바람직하지 않은 영향을 미치게 되는 고온 어닐을 필요로 하지 않는 처리방법을 제공할 수 있다.

청구의 범위 제 8 항에 기재의 발명은, 상기 성막되는 금속이, Co인 것을 특징으로 하고 있다.

청구의 범위 제 9 항에 기재된 발명은, 상기 성막되는 금속이, Ni인 것을 특징으로 하고 있다.

청구의 범위 제 10 항에 기재된 발명은, 상기 게이트, 소스, 드레인 영역의 표면에 금속막을 성막하는 공정과, 상기 금속 실리사이드를 형성하는 공정과의 사이에, 형성된 금속막상에 산화방지막을 성막하는 공정을 구비한 것을 특징으로 하고 있다.

청구의 범위 제 11 항에 기재된 발명은, 상기 산화 방지막은, TiN막인 것을 특징으로 하고 있다.

청구의 범위 제 12 항에 기재된 발명은, 상기 게이트, 소스, 드레인 영역의 표층에 형성된 금속 실리사이드는, 다시 650°C 이상의 온도로 어닐되는 것을 특징으로 하고 있다.

&lt;11&gt;

삭제

&lt;12&gt;

삭제

&lt;13&gt;

삭제

&lt;14&gt;

삭제

&lt;15&gt;

삭제

&lt;16&gt;

삭제

&lt;17&gt;

삭제

&lt;18&gt;

삭제

&lt;19&gt;

삭제

&lt;20&gt;

삭제

&lt;21&gt;

삭제

&lt;22&gt;

삭제

### 실시예

&lt;29&gt;

[발명을 실시하기 위한 최선의 형태]

&lt;30&gt;

이하에, 본 발명의 기판처리방법 및 기판처리장치의 실시형태에 대하여 도 1 내지 도 6을 참조하여 설명한다.

&lt;31&gt;

도 1은, 본 발명의 처리 방법이 적용되는 MOSFET(11)를 나타내는 단면도이다. 이 도면에서 부호 13은 Si기판을 나타낸다. 이 Si기판(13)의 양측에는 불순물 확산층인 소스(15)와 드레인(17)이 형성되어 있다. 이 소스(15), 드레인(17)의 사이의 Si기판이 노출하고 있는 부분에는 게이트 산화막(19)을 통하여 다결정 실리콘으로 이루어

지는 게이트(21)가 형성되어 있다. 그리고, 이 게이트(21)의 양측에는, 사이드월(23)이 형성되어 있다.

<32> 이러한 MOSFET(11)은, 도 4에 나타내는 기판처리장치(41)에서 처리된다. 이 기판처리장치(41)는, 중앙부에 반송실(43)을 가지고 있다. 이 반송실(43)에는, 웨이퍼 반송용의 반송장치가 설치되고 있다. 이 반송실(43)의 내부는, 비반응성 분위기, 예를 들면 진공으로 되어 있으며, 웨이퍼(W)의 반송중에 웨이퍼(W)에 자연 산화막이 발생하는 것을 억제할 수 있다. 이 반송실(43)에는, 처리되지 않은 웨이퍼(W)를 반송실(43)로 반입하기 위한 로드록실(45)이 접속되어 있다.

<33> 이 로드록실(45)의 반대측에는, 반송실(43)에 접속하여 저온처리실(47)이 설치되어 있다.

<34> 이 저온처리실(47)은, 도 5에 나타낸 바와 같이, 진공흡인할 수 있는 처리 용기(49)를 가지고 있으며, 이 처리 용기(49)내에는 처리될 웨이퍼(W)를 얹어 놓기 위한 얹어놓음대(51)가 설치되어 있다. 한편, 이 처리 용기(49)의 천정벽에는 플라즈마 형성관(53)이 설치되고, 이 플라즈마 형성관(53)을 통하여, 플라즈마에 의해 활성화된 N<sub>2</sub>가스, H<sub>2</sub>가스가 처리 용기(49)내로 공급된다. 이 플라즈마 형성관(53)의 하단에는, 아래쪽을 향하여 우산모양으로 펼쳐진 덮개부재(55)가 접속되어 있으며, 얹어놓음대(51) 위의 웨이퍼(W)를 향하여 가스를 효율적으로 흘려내리게 할 수 있도록 되어 있다.

<35> 또한, 덮개부재(55)의 안돌레측에는, 다수의 가스구멍(57)을 가진 고리형상의 샤워 헤드(59)가 배열설치되고, 이 샤워 헤드(59)에는, 연통관(61)이 접속되어 있다. 그리고, 이 연통관(61)을 통하여 NF<sub>3</sub> 가스가 샤워 헤드(59)에 공급되고, 다수의 가스구멍(57)으로부터 덮개부재(55)내로 공급된다. 이렇게 해서, 이 덮개부재(55)내에서 NF<sub>3</sub> 가스가 N<sub>2</sub>, H<sub>2</sub>의 활성 가스종에 충돌하여, NF<sub>3</sub> 가스도 활성화한다. 그리고, 이 활성화한 NF<sub>3</sub>가스가 웨이퍼(W) 상의 MOSFET의 표면에 형성된 자연 산화막과 반응하여, 생성막이 형성된다.

<36> 저온처리실(47)의 옆에는, 가열실(71)이 반송실(43)에 접속하여 설치되어 있다. 이 가열실(71)에는, 웨이퍼(W)가 저온처리실(47)로부터 반송실(43)을 경유하여 반입된다. 여기서는, 저온처리실(47)에서 웨이퍼(W)상의 MOSFET의 표면에 형성된 생성막을 가열함으로써, 기화시켜, 웨이퍼 표면을 세정한다.

<37> 상기 저온처리실(47)의 가열실(71)과 반대측에는, Co스퍼터링실(81)이 반송실(43)에 접속하여 설치되고, 이 Co스퍼터링실의 옆에는, TiN스퍼터링실(83)이 마찬가지로 반송실(43)에 접속하여 설치되어 있다. 이 Co스퍼터링실(81)에서는, 세정된 MOSFET의 표면에 스퍼터링에 의해서 Co막을 형성한다. 그리고, 다음의 TiN스퍼터링실(83)에서는, 계속해서 이 Co막 위에 TiN막을 스퍼터링에 의해서 형성한다.

<38> TiN 스퍼터링실(83)의 옆에는, 어닐실(85)이 반송실(43)에 접속하여 설치되어 있다. 이 어닐실(85)는, Co성막이 된 웨이퍼(W)에 어닐 공정을 실시하는 부분이다.

<39> 한편, 가열실(71)의 옆에는, 냉각실(87)이 반송실(43)에 접속되어 설치되어 있다. 여기서는, 처리되어 가열된 웨이퍼(W)를 냉각함으로써, 웨이퍼가 반응성 분위기로 되돌아와도, 반응하지 않도록 되어 있다.

<40> 이어서, 이러한 기판처리실(41)을 이용하여 MOSFET에 실리사이드화 처리를 실시하는 방법에 대하여 도 1 내지 도 3을 참조하여 설명한다.

<41> 먼저, 도 1에 나타내는 MOSFET를, 도 4에 나타내는 저온처리실(47)로 반입한다. 그리고, 그 속에서 활성화된 NF<sub>3</sub>와 자연 산화막을 반응시켜, 생성막을 형성시킨다.

<42> 그 다음에, 이 MOSFET를 가열실(71)로 반입하여 가열하고, 생성막을 기화시켜 세정을 실시한다(이하, 이 세정 방법을 NOR 세정이라고 한다).

<43> 이렇게 해서, 표면이 세정된 MOSFET를, 먼저 Co스퍼터링실(81)로 반입하고, 도 2에 나타낸 바와 같이, 표면에 Co막(91)을 형성하여, TiN 스퍼터링실(83)로 반입하여, 그 표면에 TiN막(93)을 형성한다. 이 TiN막(93)은 Co막(91)이 산화하는 것을 방지하기 위한 것이다.

<44> 그 다음에, 이 MOSFET를 어닐실(85)로 반입한다. 그리고, 여기서 저온(450~550°C)에서 어닐을 실시하여, 소스(15), 드레인(17), 게이트(21) 표면에 CoSi<sub>x</sub>(95)을 형성한다. 이 CoSi<sub>x</sub>(95)은 후술하는 CoSi<sub>2</sub>층과는 달리, 이 후에 실시되는 세정시의 마스크로서 기능하는 것이다.

<45> 여기서, 저온(450~550°C) 어닐이 가능한 것은, 이하의 이유와 같다.

<46> 즉, 도 6에 나타낸 바와 같이, NOR 세정을 채택했을 경우, 어닐 온도 450~550°C에서, 코발트 실리사이드의 저

항을  $60\text{ohm}/\text{sq}$ 로 할 수 있다. 따라서, 이 기판처리방법에 있어서는, DHF 세정을 채택했을 경우와 달리 훨씬 저온에서 어닐할 수 있게 되어, 고온 어닐에 기인하는 열이력이 기판속의 불순물의 분포에 바람직하지 않은 영향을 주어 버리는 것을 방지할 수 있다.

<47> 다음에, 이 MOSFET를 반송실(43)과 로드록실(45)을 통하여 반출하고, 메탈 세정실(도시하지 않음)로 반입한다. 그리고, 여기서 SPM 세정을 실시하여, 잔존하고 있는 Co막과 TiN막을 제거한다. 여기서 먼저 형성한 CoSi층(95)은 SPM 세정을 해도 용해되지 않기 때문에 도 3에 나타낸 바와 같이, CoSi층(95)이 게이트(21), 소스(15), 드레인(17)의 표층에 노출한다.

<48> 그 후, 이 MOSFET를 메탈 세정실로부터 반출하여 제 2 어닐실(도시하지 않음)로 반입하여  $650^\circ\text{C}$  이상에서, 다시 어닐을 실시한다. 이에 따라서, 소스(15), 드레인(17), 게이트(21)의 표면에 형성된 CoSi층(95)을  $\text{CoSi}_2$ 층(97)으로 변화시켜, 낮은 저항의 Co실리사이드층을 형성한다.

<49> 이와 같이, 상기 기판처리방법에 있어서는, MOSFET(11)의 게이트(21), 소스(15), 드레인(17) 표층에 형성된 자연산화막을, 활성화된  $\text{NF}_3$  가스로 제거하고, 이 자연산화막이 제거된 게이트(21), 소스(15), 드레인(17)의 표면에 Co막(91)을 형성하고, 이 MOSFET에 대해서 저온 어닐( $450\sim550^\circ\text{C}$ )을 실시하여, 이 Co막(91)과 게이트(21), 소스(15), 드레인(17)의 실리콘 화합물을 반응시켜 이 실리콘 화합물의 표층에 금속 실리사이드층을 형성하도록 하고 있다. 따라서, 자연산화막을 DHF 세정을 채택하여 제거하는 경우에 비해서, 어닐 공정을 보다 저온에서 실시할 수 있으며, 고온 어닐에 기인하는 열이력이 기판속의 불순물의 분포에 바람직하지 않은 영향을 미치는 것을 방지할 수 있다.

<50> 또한, Co막(91)의 표면에 TiN막(93)을 성막하고 있기 때문에, Co막 형성후에 Co막이 산화하는 것을 방지할 수 있다.

<51> 또한, 상기 기판처리장치(41)에 있어서는, 실리콘 화합물의 표층에 형성된 산화막에 활성화된 반응가스를 반응시켜 생성막을 형성하는 저온처리실(47)과, 이 생성막이 형성된 실리콘 화합물을 가열하여, 상기 생성막을 기화시켜 제거하는 가열실(71)과, 상기 생성막이 제거된 실리콘 화합물의 표면에 금속을 성막하는 Co스퍼터링실(81)과, 상기 저온처리실(47)과 상기 가열실(71)과 Co스퍼터링실(81)에 접속되고, 이들 저온처리실(47)과 가열실(71)과 Co스퍼터링실(81)의 사이에서 웨이퍼를 비반응성 분위기에서 반송하는 반송장치를 가진 반송실(43)을 구비하고 있기 때문에, 산화막제거, Co막형성, Co실리사이드층 형성을 효율적으로 실시할 수 있음과 동시에, 이들 공정중에 불필요한 산화가 발생하는 것을 방지할 수 있다.

<52> 한편 상기 실시형태에서는, MOSFET의 게이트, 소스, 드레인 표면에 Co막을 형성하는 공정후에, Co실리사이드를 형성하는 공정을 실시하도록 하고 있지만, 이것에 한정할 필요는 없고, 게이트, 소스, 드레인 표면에 Co막을 형성하는 공정과 Co실리사이드를 형성하는 공정을 동시에 실시하도록 해도 좋다. 이렇게 하면, 공정을 단축할 수 있어, 스루풋을 향상시킬 수 있다.

<53> 또한, 상기 실시형태에서는, MOSFET의 게이트, 소스, 드레인 표면에 Co 막을 형성하도록 하고 있지만, 이것에 한정할 필요는 없고, Ni 막을 형성하도록 해도 좋다.

<54> 또한, 상기 실시형태에서는, MOSFET의 게이트, 소스, 드레인의 표면에 Co실리사이드를 형성하는 경우에 대하여 설명하고 있지만, 이것에 한정할 필요는 없고, 표층에 산화막이 형성되어 있는 실리콘 화합물에 있어서, 이 산화막을 제거한 후에 금속실리사이드를 형성하는 모든 경우에 적용해도 좋고, 예를 들면, 엘레베이티드 소스, 드레인에도 적용할 수 있음은 물론이다.

### 도면의 간단한 설명

<23> 도 1은, 본 발명의 실시형태의 기판처리방법으로 MOSFET를 처리하는 경우의 제 1의 단계를 나타내는 단면도이다.

<24> 도 2는, 본 발명의 실시형태의 기판처리방법으로 MOSFET를 처리하는 경우의 제 2의 단계를 나타내는 단면도이다.

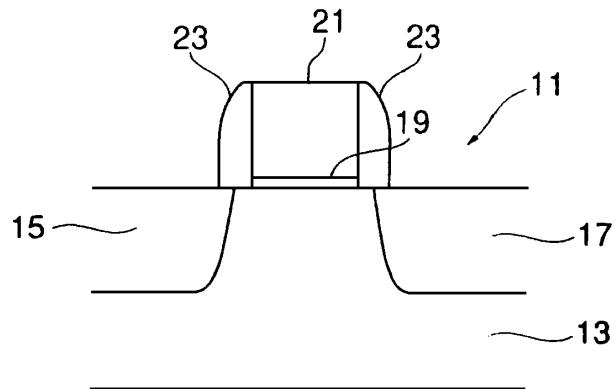
<25> 도 3은, 본 발명의 실시형태의 기판처리방법으로 MOSFET를 처리하는 경우의 제 3의 단계를 나타내는 단면도이다.

<26> 도 4는, 본 발명의 실시형태의 기판처리장치를 나타내는 평면도이다.

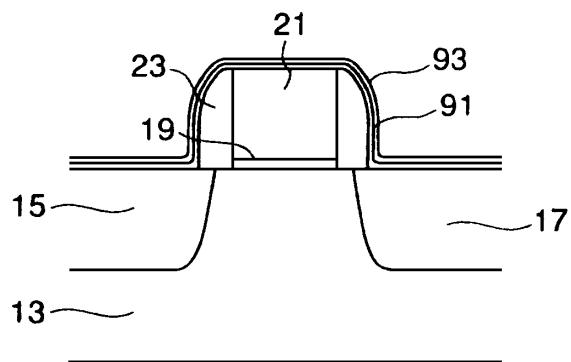
- <27> 도 5는, 본 발명의 실시형태에 있어서 저온 처리를 실시하는 저온 처리실을 나타내는 단면도이다.
- <28> 도 6은, DHF 세정을 실시했을 경우와 NOR 세정을 실시했을 경우에 있어서의 어닐 온도와 코발트 실리사이드 저항과의 관계를 나타내는 그래프이다.

### 도면

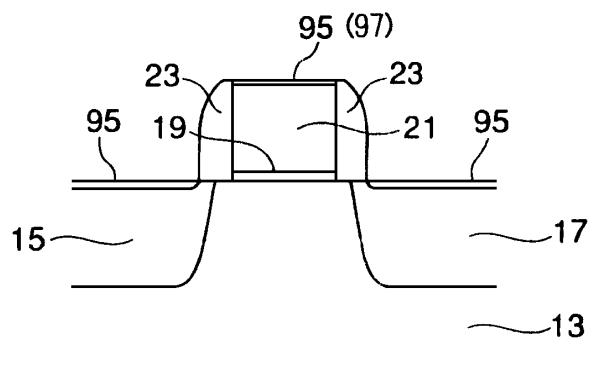
#### 도면1



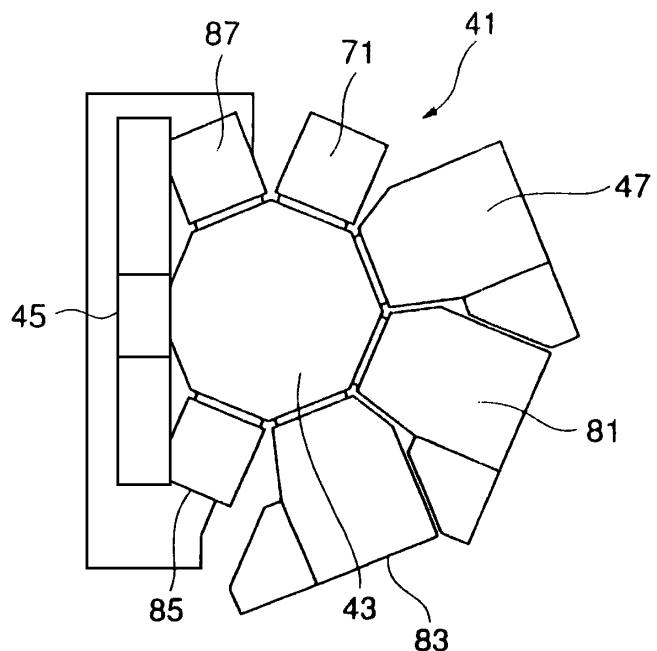
#### 도면2



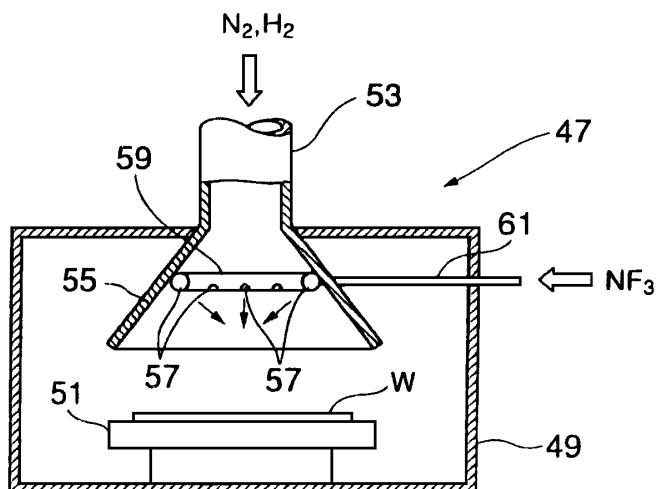
#### 도면3



도면4



도면5



도면6

