



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1241142 A1**

(5D) 4 G 01 R 23/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ

13

ТЕХНИЧЕСКАЯ

13

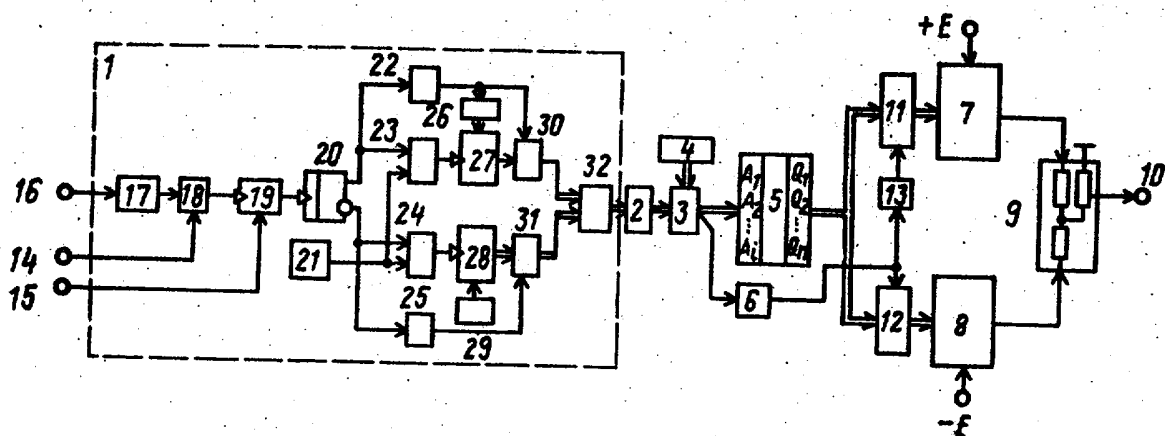
БИБЛИОТЕКА

(21) 3774742/24-21
(22) 24.07.84
(46) 30.06.86. Бюл. № 24
(72) Н.И.Лукинов и Ю.Л.Раевский
(53) 621.317 (088.8)
(56). Авторское свидетельство СССР
№ 484620, кл. H 03 D 13/00, 1976.
Авторское свидетельство СССР
№ 690404, кл. G 01 R 23/02, 1979.

(54) ЧАСТОТНЫЙ ДИСКРИМИНАТОР

(57) Изобретение относится к измерительной технике. Может быть использовано для быстрого измерения отклонения частоты от номинального значения. Цель изобретения заключается в повышении разрешающей способности и чувствительности при измерении знакопеременных частот относительно номинальной частоты. Для достижения цели в устройство, состоящее из измерителя периода 1, регистра 2, сумматора 9 с выходом 10, цифроаналоговых преобразователей 7, 8, введены регистр константы 4, арифметический блок 3,

постоянное запоминающее устройство 5, две группы элементов И 11, 12, элемент НЕ 13, элемент задержки 6. Входные клеммы устройства обозначены 14-16. Измеритель периода 1 содержит формирователи 17, 22, 25, элементы И 18, 23, 24, 30, 31, делитель частоты 19, триггер 20, генератор опорной частоты 21, элементы задержки 26, 29, счетчики 27, 28, элемент ИЛИ 32. Устройство позволяет путем программирования информации в ячейках постоянной памяти устанавливать требуемую крутизну дискриминационной характеристики. Это позволяет увеличить чувствительность преобразования при соответствующем выборе частоты f_0 опорного генератора. Раздельная запись информации в ячейках постоянной памяти для положительных и отрицательных значений частот позволяет осуществлять измерение знакопеременных частот относительно номинальной частоты, величина которой задается кодом в регистре константы. 2 ил.



(19) **SU** (11) **1241142 A1**

Изобретение относится к измерительной технике и может быть использовано для быстрого измерения отклонения частоты от номинального значения.

Цель изобретения - повышение разрешающей способности и чувствительности при измерении знакопеременных частот относительно номинальной частоты за счет управления крутизной дискриминационной характеристики.

На чертеже приведена функциональная схема частотного дискриминатора.

Частотный дискриминатор содержит измеритель 1 периода, регистр 2, арифметический блок 3, регистр 4 константы, постоянное запоминающее устройство (ПЗУ) 5, элемент 6 задержки, первый и второй цифроаналоговые преобразователи 7 и 8, сумматор 9 с выходом 10, первая и вторая группы элементов И 11 и 12, элемент НЕ 13 и входные клеммы 14 - 16.

Измеритель 1 периода содержит формирователь 17, элемент И 18, делитель 19 частоты, триггер 20, генератор 21 опорной частоты, формирователь 22, элементы И 23 и 24, формирователь 25, элемент 26 задержки, счетчики 27 и 28, элемент 29 задержки, элементы И 30 и 31 и элемент ИЛИ 32.

В частотном дискриминаторе последовательно соединены измеритель 1 периода, регистр 2, выход которого соединен с первым входом арифметического блока 3, второй вход которого соединен с выходом регистра 4 константы, а кодовые выходы - с адресными входами постоянного запоминающего устройства 5. Выход знакового разряда арифметического блока 3 соединен со старшим разрядом адресного входа постоянного запоминающего устройства 5 и с входом элемента 6 задержки. Выходы постоянного запоминающего устройства соединены с первыми входами группы элементов И 11 и 12, вторые входы первой из которых через элемент НЕ 13, вторые входы второй из которых непосредственно соединены с выходом элемента 6 задержки, а выходы - с информационными входами соответственно первого 7 и второго 8 цифроаналоговых преобразователей, вспомогательные входы которых соединены с источниками эталонного напряжения соответственно положительной и отрицательной полярности. Выходы

цифроаналоговых преобразователей через сумматор 9 соединены с выходной клеммой 10 частотного дискриминатора.

В измерителе 1 периода вход формирователя 17 соединен с входом 16 устройства, первый вход элемента И 18 соединен с выходом формирователя 17, а второй - с входной клеммой 14 устройства, счетный вход делителя 19 частоты соединен с выходом элемента И 18, а его установочный вход - с входной клеммой 15 устройства, счетный вход триггера 20 соединен с выходом делителя 19 частоты, а его прямой и инверсный выходы - с входами формирователей 22 и 25 и с первыми входами соответственно элементов И 23 и 24, вторые входы которых соединены с выходом опорного генератора 21, а выходы - с входами соответственно счетчиков 27 и 28, выходы формирователей 22 и 25 соединены через элементы 26 и 29 задержки с установочными входами счетчиков 27 и 28 и с входами элементов И 30 и 31, выходы которых соединены через элементы ИЛИ 32 с выходом измерителя 1 периода, выходы счетчиков 27 и 28 соединены с вторыми входами элементов И 30 и 31.

Частотный дискриминатор работает следующим образом.

До начала работы в ПЗУ 5 должна быть записана двоичная информация от-
дельно для положительных и отрицательных значений выходного напряжения. В ячейки постоянной памяти необходимо записать Р-разрядные двоичные числа, отделяющие крутизну измерителя и диапазон измеряемых знакопеременных частот.

Перед началом работы на клемму 15 устройства поступает импульсный сигнал, осуществляющий установку делителя 19 в исходное состояние. Начало работы определяется подачей на клемму 14 устройства разрешающего потенциала, поступающего на второй вход элемента И 18. Входной сигнал неизвестной частоты f , пройдя входной формирователь 17 и открытый элемент И 18, поступает на счетный вход делителя 19, коэффициент деления K которого определяет разрешающую способность измерителя. Формирователь 17 обеспечивает выработку коротких импульсов в моменты пересечения амплитуды входного гармонического сигнала

ла нулевого уровня, поэтому на его выходе формируются импульсы с частотой следования $2f$. С выхода делителя 19 на счетный вход триггера 20 поступают импульсы с частотой следования $2f/K$. Быстродействующий триггер 20 формирует прямоугольные импульсы длительностью, равной периоду следования импульсов на его входе ($T=K/2f$). Прямоугольные импульсы положительной полярности с прямого и инверсного выходов триггера 20 поочередно поступают на входы элементов И 23 и 24 и формирователей 22 и 25 коротких импульсов, соответственно. Элементы И 23 и 24 под действием прямоугольных импульсов поочередно пропускают на входы счетчиков 27 и 28 импульсы высокой частоты f_0 опорного генератора 21. Р-разрядные двоичные коды $N_r = Kf_0/2f$, соответствующие числу прошедших через элементы И импульсов частоты f_0 , с выходов элементов И 30 и 31 считываются короткими импульсами формирователей 22 и 25, вырабатываемыми по концу прямоугольных импульсов триггера 20, и через элементы ИЛИ 32 поступают на вход регистра 2. После каждого считывания кодов с задержкой, определяемой элементами 26 и 29, осуществляется установка счетчиков 27 и 28 в исходное состояние. Таким образом, счетчик 27 обеспечивает измерение длительности периода входного сигнала с нечетными номерами, а счетчик 28 — с четными. На первый вход арифметического блока 3 с выхода регистра 2 поступают коды N_r с темпом, равным $K/2f$. На второй вход арифметического блока поступает неизменный код $N_{оп}$ с выхода регистра 4 константы. Числовое значение кода $N_{оп} = Kf_0/2f_n$ определяется значениями опорной частоты f_n , номинальной частоты входных сигналов f и коэффициентом деления K .

Арифметический блок 3 осуществляет вычитание значений кодов $N_r - N_{оп}$, причем при $f > f_n$ на его выходе формируются отрицательные числа $-N_p$, а при $f < f_n$ — положительные числа $+N_p$. Разностные числа со знаком ($\pm N_p$) с выхода арифметического блока 3 поступают на адресные входы ПЗУ 5 и определяют номера ячеек, из которых считываются коды числовых значений выходного напряжения — N_p ,

которые поступают на входы групп элементов И 11 и 12. Сигналы знакового разряда арифметического блока 3 определяют ту область постоянной памяти, из которой необходимо считать информацию. При отрицательном знаке, что соответствует положительным значениям входной частоты относительно f_n , адреса ячеек однозначно соответствуют кодам N_p , при положительном знаке, что соответствует отрицательным значениям входной частоты, адреса ячеек соответствуют значениям кодов N_p , увеличенным на величину $M = 2^B$, где B — номер старшего разряда. Кроме того, сигнал знакового разряда через элемент 6 задержки управляет пропусканием кодов N_n через элемент НЕ 13 группой элементов И 11 на входы первого цифроаналогового преобразователя 7 (при положительном знаке) или непосредственно группой элементов И 12 на входы второго цифроаналогового преобразователя 8 (при отрицательном знаке).

Таким образом на выходах цифроаналоговых преобразователей 7 и 8, а следовательно, и на выходе сумматора 9 формируется знакопеременное напряжение, однозначно соответствующее измеренным значениям частоты входного сигнала.

Предлагаемый дискриминатор позволяет путем программирования информации в ячейках постоянной памяти устанавливать требуемую крутизну дискриминационной характеристики, что увеличивает чувствительность преобразования при соответствующем выборе частоты f_0 опорного генератора. Кроме того, раздельная запись информации в ячейках постоянной памяти для положительных и отрицательных значений частот позволяет осуществлять измерение знакопеременных частот относительно номинальной частоты, величина которой задается кодом в регистре константы.

Формула изобретения

Частотный дискриминатор, содержащий последовательно соединенные измеритель периода и регистр, а также сумматор, выход которого является выходом устройства, а входы соединены с выходами первого и второго цифроаналоговых преобразователей, от —

личающийся тем, что, с целью повышения разрешающей способности и чувствительности, в него введены регистр константы, арифметический блок, постоянное запоминающее устройство, две группы элементов И, элемент НЕ, элемент задержки, причем выход регистра соединен с первым входом арифметического блока, второй вход которого соединен с выходом регистра константы, выходы которого соединены с адресными входами постоянного запоминающего устройства, выход знакового разряда арифметического блока соединен со старшим разрядом адресного входа постоянного за-

поминающего устройства и с входом элемента задержки, выходы постоянно-го запоминающего устройства соединены с первыми входами групп элементов И, вторые входы первой из которых через элемент НЕ и вторые входы второй из которых непосредственно соединены с выходом элемента задержки, а выходы групп элементов И соединены с информационными входами соответственно первого и второго цифроаналоговых преобразователей, вспомогательные входы которых соединены с источниками эталонного напряжения соответственно положительной и отрицательной полярности.

Составитель В.Новоселов

Редактор А.Лежнина

Техред О.Сопко

Корректор Т.Колб

Заказ 3483/39

Тираж 728

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4.