

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-165012

(P2012-165012A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 E	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 H	
	HO 1 L 29/78 6 5 8 K	

審査請求 有 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-100808 (P2012-100808)  
 (22) 出願日 平成24年4月26日 (2012. 4. 26)  
 (62) 分割の表示 特願2007-548585 (P2007-548585) の分割  
 原出願日 平成17年12月27日 (2005. 12. 27)  
 (31) 優先権主張番号 60/639, 241  
 (32) 優先日 平成16年12月27日 (2004. 12. 27)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 506207200  
 サード ディメンジョン (スリーディ)  
 セミコンダクタ インコーポレイテッド  
 アメリカ合衆国 アリゾナ州 8 5 2 8 5  
 、テンペ、サウス リバー パークウェイ  
 7 8 5 5、スイート 1 2 2、ピーオー  
 ボックス 2 4 6 1 9  
 (74) 代理人 100107308  
 弁理士 北村 修一郎  
 (72) 発明者 シー、フュー イュアン  
 アメリカ合衆国 カリフォルニア州 9 5  
 0 7 0、サラトガ、セヴィラ レーン 2  
 0 7 6 8

最終頁に続く

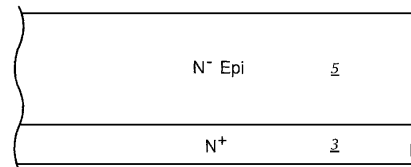
(54) 【発明の名称】 高電圧超接合端子の製造方法

(57) 【要約】

【課題】 デバイスの逆電圧阻止能力を向上させるための酸化物領域を有する高電圧半導体デバイスの製造方法を提供する。

【解決手段】 相互に対向する半導体材料の第 1 主表面と第 2 主表面とを備えた半導体基板を提供する。半導体基板は、第 1 導電形の強くドーピングされた領域を第 2 主表面に有する。相互に対向する酸化物材料の第 1 主表面と第 2 主表面とを有する酸化物基板を提供する。酸化物基板の第 2 主表面を半導体基板の第 1 主表面に接着あるいは焼きなましする。作動領域に近接する酸化物基板に溝を形成し、この溝が酸化物基板の第 1 主表面から半導体基板の第 1 主表面まで延びている。溝をエピタキシャル層で充填する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

作動領域と、この作動領域を取り囲む端子領域とを有する半導体デバイスの製造方法であって、この方法は、

相互に対向する半導体材料の第 1 主表面と第 2 主表面とを備えた半導体基板を提供し、前記半導体基板は、第 1 導電形の強くドーブされた領域を第 2 主表面に有し、

相互に対向する酸化物材料の第 1 主表面と第 2 主表面とを有する酸化物基板を提供し、前記酸化物基板の前記第 2 主表面を前記半導体基板の前記第 1 主表面に接着あるいは焼きなましし、

前記作動領域に近接する前記酸化物基板に溝を形成し、前記溝が前記酸化物基板の前記第 1 主表面から前記半導体基板の前記第 1 主表面まで延び、

前記溝をエピタキシャル層で充填することからなるもの。

10

## 【請求項 2】

請求項 1 に記載した方法であって、更に、

第 1 導電形の柱状体と第 2 導電形の柱状体を前記作動領域に近接する前記エピタキシャル層に形成することからなり、前記第 2 導電形のものが前記第 1 導電形のものと対向しているもの。

## 【請求項 3】

請求項 1 に記載した方法であって、更に、

前記エピタキシャル層の前記第 1 主表面に近接する前記柱状体の少なくとも一部分を第 1 導電形のドーパントで打ち込むことからなり、前記柱状体の、ドーパントを打ち込んだ部分がゲート領域を形成するもの。

20

## 【請求項 4】

請求項 1 に記載した方法により形成された半導体デバイス。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、端子領域を有する半導体デバイスの製造方法、特に、デバイスの逆電圧阻止能力を向上するための絶縁性領域を有する半導体デバイスの製造方法に関する。

## 【背景技術】

30

## 【0002】

米国特許第 5,216,275 号に開示されているように、キシンピ チェン博士(Dr. Xingbi Chen)による超接合デバイスの発明以来、彼の発明の超接合効果を拡大及び改良する多くの試みがなされた。米国特許第 6,410,958 号および米国特許第 6,300,171 号ならびに米国特許第 6,307,246 号はそのような努力の例であり、これらを言及することによりそれらの内容を本願に組み込むこととする。

## 【0003】

米国特許第 6,410,958 号(Usui, et al)は縁部端子構造と半導体構成要素としてのドリフト領域に関する。1つの導電形の半導体本体は、他の導電形の複数個の領域が 2 つ以上の相互に異なる面に埋め込まれているエッジ領域を有する。半導体構成要素の作動領域の下方に、その下にある基板を用いてドリフト領域が結合されている。

40

## 【0004】

米国特許第 6,307,246 号(Nitta, et al.)は高電圧維持縁部構造体を有する電力半導体構成要素を開示する。この構造体内では、多数の平行に結合した個別の構成要素がセル通路の多数のセルに配置されている。エッジ領域では、半導体構成要素は、遮光源ゾーン領域を備えたセルを有する。この遮光源ゾーン領域では電力半導体構成要素の整流中、不均一に大きい逆流電流密度によって寄生パイポラートランジスタの電源が入るのを抑制する。更に、遮光源ゾーン領域を有する縁部構造体は、Nitta, et al. で論じられている科学技術条件で非常に簡単に製造できる。Nitta, et al はパラメータの効果を明確にし、on 状態で導電し、off 状態では、導電しない平行 pn 層からなるドリフト層を有

50

する超接合半導体デバイスの大量生産を可能にしている。n形のドリフト領域での作動不純物の総量は、p形の区分領域の作動不純物の総量の100%から150%の範囲内である。加えて、n形ドリフト領域とp形区分領域とのいずれか一方の幅は、他方の領域の94%から106%の範囲内である。

【0005】

米国特許第6,300,171号(Frisina)は、高電圧半導体デバイスの縁部構造体の製造方法を開示する。この方法は、第1導電形の第1半導体層を形成する第1工程と、この第1半導体層の頂面上に第1マスクを形成する第2工程と、このマスクの1部を除去して、マスクに1つ以上の開口部を形成する第3工程と、この1つ以上のマスクの開口部を介して、第1半導体層に第2導電形のドーパントを導入する第4工程と、第1マスクを完全に除去し、第1半導体層上に、第1導電形の第2半導体層を形成する第5工程と、第1半導体層に打込んだドーパントを拡散させて、第1および第2の半導体層に第2導電形のドーパされた領域を形成する第6工程とを含む。第2工程から第6工程までを1回以上繰り返し、多数の第1導電形の積層された半導体層と、第2導電形の2列以上のドーパ領域を含む最終縁部構造体を形成する。上記の列は、上記の多数の積層された半導体層に挿入され、その後マスクの開口部を介して打込まれたドーパ領域を積層することにより形成され、高電圧半導体デバイスに近い列は、それより遠い列よりも深い。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第5,216,275号

【特許文献2】米国特許第6,410,958号

【特許文献3】米国特許第6,300,171号

【特許文献4】米国特許第6,307,246号

【発明の概要】

【発明が解決しようとする課題】

【0007】

デバイスの逆電圧阻止能力を向上させるための酸化物領域を有する高電圧半導体デバイスの製造方法を提供することが望ましい。

【課題を解決するための手段】

30

【0008】

本発明は、半導体デバイスと、半導体デバイスの製造方法からなる。この半導体デバイスは作動領域と端子領域とを有する。半導体デバイスの製造方法は、相互に対向する半導体材料の第1主表面と第2主表面とを有する半導体基板を提供することを含む。この半導体基板は第2主表面に第1導電形の強くドーパされた領域を有する。相互に対向する酸化物材料の第1主表面と第2主表面とを有する酸化物基板も設けられている。酸化物基板の第2主表面は、半導体基板の第1主表面に接着あるいは焼きなましされている。1つの溝が作動領域に近接して酸化物基板に形成されている。この溝は酸化物基板の第1主表面から半導体基板の第1主表面に延びていて、エピタキシャル層が充填されている。

【図面の簡単な説明】

40

【0009】

【図1】エピタキシャル層が当てがわれた半導体基板の部分断面図である。

【図2】酸化物層を沈着させた後の図1の部分的に形成された半導体デバイスの部分断面図である。

【図3】マスクを当てがい、エッチング工程を行なった後の図2の部分的に形成された半導体デバイスの部分断面図である。

【図4】酸化物沈着で図3でエッチングされた溝を埋めその結果生じた面を平坦化した後の図3の部分的に形成された半導体デバイスの部分断面図である。

【図5】第2マスクを当てがい、エッチング工程を行なった後の図4の部分的に形成された半導体デバイスの部分断面図である。

50

【図 6】図 5 でエッチングされた溝に酸化物層を充填させた後の図 5 の部分的に形成された半導体デバイスの部分断面図である。

【図 7】表面を平坦化した後の図 6 の部分的に形成された半導体デバイスの部分断面図である。

【図 8】マスクを当て、作動領域にある溝をエッチングした後の図 7 の部分的に形成された半導体デバイスの部分断面図である。

【図 9】作動領域において、第 1 の角度から溝の側壁にイオンを打ち込み、メサの深さ方向に沿い p - n 結合の形成の開始を示す図 8 の部分的に形成された半導体デバイスの部分断面図である。

【図 10】図 9 の打ち込みとは反対の溝の側壁へのイオン打ち込みを行い、メサの深さ方向に沿い p - n 結合の形成の完了を示す図 9 の部分的に形成された半導体デバイスの部分断面図である。

【図 11】メサと、溝と、広い酸化物領域とを示す図 10 の部分的に形成された半導体デバイスの部分断面図である。

【図 12】イオンを打ち込んだ溝を酸化物で埋め、表面の反りを減少あるいは阻止するため窒化ケイ素のような絶縁材料の薄層を沈着させ、その表面を平坦化させた後の図 10 の部分的に形成された半導体デバイスの部分断面図である。

【図 13】 $p^+$  イオンでドーブした領域を p - n 結合の表面に打ち込んだ図 12 の部分的に形成された半導体デバイスの部分断面図である。

【図 14】 $n^+$  イオンでドーブし領域を  $p^+$  イオンでドーブした領域に打ち込んだ図 13 の部分的に形成された半導体デバイスの部分断面図である。

【図 15】絶縁性ゲートおよびゲート伝導体がある上に沈着された後の図 14 の部分的に形成された半導体デバイスの部分断面図である。

【図 16】酸化物沈着によりゲート伝導体をカバーし、超接合半導体デバイスの形成を完了した後の図 15 の部分的に形成された半導体デバイスの部分断面図である。

【図 17】マスクを当てがい、エッチング工程を完了した後の図 2 の部分的に形成された半導体デバイスの部分断面図である。

【図 18】イオン打ち込み中の図 2 の部分的に形成された半導体デバイスの部分断面図である。

【図 19】溝を再充填した後の図 18 の部分的に形成された半導体デバイスの部分断面図である。

【図 20】酸化物ウエハが半導体基板に接着され、その酸化物ウエハをエッチングした後の部分断面図である。

【図 21】エピタキシャル成長およびその他の再充填後の図 18 の部分的に形成された半導体デバイスの部分断面図である。

【図 22】平坦化後の図 21 の部分的に形成された半導体デバイスの部分断面図である。

【発明を実施するための形態】

【0010】

上記の概要並びに以下の本発明の好ましい実施例の詳細な説明は添付図面と共に読めばより良く理解される。本発明を例示するために、図中には、現在好ましい実施例が示されているが、本発明は図示されている正確な装置および器具に限定されるものではない。

【0011】

或る種の言葉が便宜上以下の説明に使用されているが、これらは限定的なものではない。右、左、下方および上方の言葉は言及している図面に対する方向を示す。内方および外方の言葉は記載されている物体およびその指摘されている部分の幾何学的中心に向かうあるいは遠のく方向を言う。これらの言葉には上記の言葉、その派生語および同様の重要性を持った言葉を含む。加えて、特許請求の範囲および明細書の対応個所に用いられている“a”および“an”の言葉は“少なくとも1つ(あるいは1つ以上)”を意味する。

【0012】

10

20

30

40

50

ここで使用されているように、導電形とは記載されている実施例に限定される。然し、当業者であればp形導電形はn形導電形(即ち、第1あるいは第2導電形)と交換できる、それでもデバイスは正しく機能することを知っている。よって、ここで使用している場合、nあるいはpと言っているのは、また、nとpあるいはpとnのいずれかがその代わりをできることを意味する。

【0013】

更に、 $n^+$ および $p^+$ とは夫々強くドーブされたnおよびp領域のことを言い、 $n^{++}$ および $p^{++}$ とはそれぞれ非常に強くドーブされたnおよびp領域のことを言い、 $n^-$ および $p^-$ とはそれぞれ弱くドーブされたnおよびp領域のことを言い、 $n^{--}$ および $p^{--}$ とはそれぞれ非常に弱くドーブされたnおよびp領域のことを言う。然し、そのような相対的ドーブの用語は限定的なものではない。

10

【0014】

図1から図16は、全体的に、本発明の好ましい実施例による、従来の端子を備えた超接合半導体デバイスの製造方法を示す。

【0015】

図1に関しては、強くドーブされた $n^+$ 基板3と軽くドーブされた $n^-$ 層5とを含む半導体ウエハの部分図が示されている。この半導体基板はケイ素(Si)からなるのが好ましいが、その他の材料例えば、ガリウムヒ化物(GaAs)、ゲルマニウム(Ge)等から形成してもよい。

【0016】

図2は、酸化物層6が軽くドーブされた $n^-$ 層5上に成長しているあるいは沈着されているのを示す。図3に関し、第1マスク51(仮想線で図示)が図2の部分的に形成された半導体デバイスの上側に選択的に当てがわれている。この第1マスク51はフォトレジスト層の沈着あるいは当業者に知られているどれかその他の方法で形成してもよい。発達したフォトレジストは除去され、未発達のフォトレジストが当業界で知られているようにその場所に残る。簡略のため、マスク51とは半導体のある領域がエッチングされ、ドーブされ被覆等されるのを防ぐために用いられる材料のことを言う。

20

【0017】

溝19はエッチング等の処理で第1マスク51によりカバーされていない領域に形成される。エッチング処理には化学エッチング、プラズマ・エッチング、反応性イオンエッチング(RIE)等でよい。図2の部分的に形成された半導体デバイスのエッチングにより、複数個のメサ18と複数個の溝19とが、部分的に形成された半導体デバイスの端子領域に形成される。溝19はエピタキシャル層5から基板(強くドーブされた領域)3に向け深さB1により示されている第1深さ位置まで延びているが、必ずしも基板(強くドーブされた領域)3までの全ての道のりに亘って延びる必要はない。メサ18に隣接する溝19の各々の幅A1はその他の溝19に対してもほぼ同じである。部分的に形成された半導体デバイスは端子領域を備えた作動領域を含む。作動領域とは超接合デバイスが構成される領域である。端子領域とは作動デバイスが位置しない領域であって、全半導体ウエハあるいはチップ上の作動デバイスのセル同士を隔離する。よって、作動領域とは半導体デバイスが形成される領域であって、端子領域は作動デバイスのセル同士を隔離する領域である。第1の溝形成工程の後、当業界で既知の技術を用いて第1マスク51が取除かれる。

30

40

【0018】

図4は、端子領域に、前にエッチングで形成された溝19(図3)に当業界で周知の方法で酸化物16を充填しているのを示す。任意で、窒化ケイ素( $Si_xN_y$ )のような誘電体の薄層を酸化物16上に沈着させてもよい。十分な冷却期間後、部分的に形成された半導体デバイスが平坦化される。この平坦化は化学機械研磨(CMP)あるいはいずれかのその他の適切な平坦化技術を用いてなされる。

【0019】

図5に関し、第2のマスク52(仮想線で図示)が図4の部分的に形成された半導体ディ

50

バイス上に選択的に当てがわれる。溝 9、17 がエッチング等の処理で第 2 マスクでカバーされていない領域に形成されている。エッチング処理は化学エッチング、プラズマ・エッチング、RIE 等でよい。第 2 のマスクを当てがいエッチング処理により端子領域に残っているエピタキシャル材料を除去し、前回の充填工程で生じた酸化物柱状体 8 同士の間溝 17 を形成し、構造体の作動領域に溝 9 とメサ 11 とを形成する。n<sup>-</sup>層 5 がエッチングされて、エッチングで形成された溝 9、17 の底部が n<sup>+</sup>基板 3 と n<sup>-</sup>層 5 との間のインターフェイス(境界面)に接触あるいは接近している。溝 17 は第 1 主表面から基板 3 に向け、深さ B2 で示されている第 2 深さ位置まで延びているが、必ずしも基板 3 までの全ての道のりに亘って延びる必要はない。酸化物柱状体 8 に隣接する溝 17 の各々の幅 A2 はその他の溝に対してもほぼ同じである。

10

## 【0020】

メサ 11 は、これを取り巻く端子領域に対向して、作動領域にあるので、「デバイス・メサ」と言う。このデバイス・メサ 11 は各トランジスタあるいはこの方法で製造される作動デバイス・セル用の電圧保持層を形成するために使用される。溝 9 はエピタキシャル層 5 の第 1 主表面から基板 3 に向け、深さ B3 で示されている第 3 深さ位置まで延びているが、必ずしも基板 3 までの全ての道のりに亘って延びる必要はない。デバイス・メサ 11 に隣接する溝 9 の各々の幅 A3 はその他の溝 9 に対してもほぼ同じである。明確には示されていないが、溝の充填工程を容易にするため、溝 9 の頂部は、その底部に比べて 1% から 10% 広いのが好ましい。よって、メサ 11 の両側壁面はエピタキシャル層 5 の第 1 主表面に対して所定の傾斜を保っている。第 2 の溝形成処理後、第 2 のマスク 5

20

## 【0021】

半導体基板の表面および/または半導体層および/または溝 9、17 は必要であれば、以下の工程の 1 つあるいはそれ以上を用いて平滑にしてもよい。

(i) 溝の表面から(特に、100 - 1000 )のシリコン薄層を除去するため等方性プラズマ・エッチングを用いてもよい。

(ii) 棄て二酸化ケイ素層を溝の表面に成長させ、緩衝酸化物エッチングあるいは希釈フッ化水素酸エッチング等のエッチングを用いて除去してもよい。

## 【0022】

これらの技術のいずれかあるいは両方を用いることにより残留ストレスおよび望ましくない汚染物を除去しながら丸い角を備えた滑らかな溝表面を作成できる。然し、垂直の両側壁と四角い角を有することが望ましい場合は、異方性エッチングを等方性エッチングの代わりに用いる。異方性エッチングは、一般に、等方性エッチングとは反対に、エッチングをする材料において異なる方向での異なるエッチング率を意味する。

30

## 【0023】

図 6 に示されているように、図 5 に示されている第 2 のマスクの当てがいとエッチング処理とにより、作動領域および端子領域の両領域にそれぞれ形成された溝 9、17 には酸化物材料が充填され作動領域には酸化物柱状体 14 がそして端子領域には比較的厚くて広い酸化物領域 12 (例えば、図 11 に示す平面図参照)を形成する。酸化物領域 12 の全体の幅は約 20 ~ 60 μm である。窒化ケイ素のような絶縁物の薄層 10 が酸化物上に沈着せられて反りの問題を減少あるいは解消する。

40

## 【0024】

図 6 の部分的に形成された半導体デバイスの表面は、次いで、平坦化され、その結果生じる部分的に形成された半導体デバイスが図 7 に示されている。図 8 は、上記と同様の方法により作動領域で溝 9 に沈着された酸化物 14 を、マスクを当てがいエッチングをして除去した後生じる部分的に形成された半導体デバイスである。

## 【0025】

図 9 は、第 1 所定角度 (即ち、第 1 所定打ち込み角度 )から図 8 の構造体へのイオン打ち込みを示す。第 1 所定打ち込み角度 は、溝 9 の幅 A3 と深さ B3 とから決定され(即ち、 $A3 / B3 = \text{打ち込み角度}$  の正接)、典型的には垂直から約 2 度から 12 度であ

50

る。各溝9の底部にはイオンが打ち込まれないように、イオン打ち込みは角度  $\theta$  でなされる。周囲への打ち込みの拡散が起きないように、溝9の底部へのイオン打ち込みは避ける。イオン打ち込みは線量範囲  $1 \text{ E } 13$  から  $1 \text{ E } 14 \text{ cm}^{-2}$  (即ち、約  $1 \times 10^{13}$  から  $1 \times 10^{14} \text{ cm}^{-2}$ ) で、エネルギー・レベル、約  $30 - 200$  キロ電子ボルト (KeV)。従って、第1導電形のドーパントが、隣接する対の複数個の溝にある上記の複数個のデバイス・メサ11と複数個の溝9の所定領域の少なくとも1つのデバイス・メサ11に、1つの溝9の1つの側壁に第1所定打ち込み角度  $\theta$  で打ち込まれて、その1つの溝9の側壁面に、強くドーブされた領域3より低いドーブ濃度を有する第1導電形の第1ドーブ領域を形成する。この工程から、作動領域のデバイス・メサ11の深さ方向に沿って p - n 結合形成方法が開始する。

10

## 【0026】

図10は、第2所定角度  $\theta'$  (即ち、第2所定打ち込み角度  $\theta'$ ) から図9の構造体へのイオン打ち込みを示す。第2所定打ち込み角度  $\theta'$  も、溝9の幅  $A3$  と深さ  $B3$  から決定され (即ち、 $\theta' = \arctan(A3/B3)$  = 打ち込み角度  $\theta'$  の正接)、典型的には垂直から約  $-2$  度から  $-12$  度である。各溝9の底部にはイオンが打ち込まれないように、イオン打ち込みは角度  $\theta'$  でなされる。第1所定打ち込み角度  $\theta$  と第2所定打ち込み角度  $\theta'$  とはほぼ同じ強度でも異なっても良い。周囲への打ち込みの拡散が起きないように、溝9の底部へのイオン打ち込みは避ける。イオン打ち込みは線量範囲  $1 \text{ E } 13$  から  $1 \text{ E } 14 \text{ cm}^{-2}$  でエネルギー・レベル、約  $30 - 200$  KeVで行なわれる。従って、第2導電形のドーパントが、上記の複数個のデバイス・メサ11と複数個の溝9の所定領域の少なくとも1つのデバイス・メサ11に、第1導電形のドーパントを打ち込んだ側壁とは反対の少なくとも1つのデバイス・メサ11の側壁面に第2所定打ち込み角度  $\theta'$  で打ち込まれて、上記の複数個の溝9の少なくとも1つの深さ方向に沿って位置する第1ドーブ領域および第2ドーブ領域の p - n 結合を形成し、イオンを打ち込んでいない作動領域の外側側壁を提供する。このイオン打ち込みで、作動領域のデバイス・メサ11の深さ方向に沿っての p n 結合形成方法が終了する。

20

## 【0027】

ドーピングは、イオン打ち込み、固体拡散、液体拡散、スピン・オン (spin-on) 沈着、プラズマ・ドーピング、蒸気相ドーピング、レーザ・ドーピング等の1つにより為される。ホウ素 (B) によるドーピングでは、p形領域がより多くでき、リン (P) によるドーピングでは、n形領域がより多くでき、ヒ素 (As) によるドーピングでは、n形領域がより多くできる。アンチモン (Sb)、ビスマス (Bi)、アルミニウム (Al)、インジウム (In)、ガリウム (Ga) 等のその他のドーパントを基板の材料およびドーピングの所望の強度により用いても良い。ドーピングはイオン打ち込みによるのが好ましい。

30

## 【0028】

イオン打ち込みに続いて、 $1200$  までの温度で駆動 (drive in) 工程が  $12$  時間までなされ、デバイス・メサ11が p - n 柱状体13に変換される。尚、温度と時間は十分に打ち込まれたドーパントが駆動されるように選択される。然し、上記の、イオン打ち込みを為すのに使用されたエネルギー・レベルはドーパントを十分に駆動するのに足るものであり、本発明から逸脱するものではない。

40

## 【0029】

図11はこの方法によって生じた部分的に形成された半導体デバイスの平面図であり、溝9が作動領域と、端子領域にある広い酸化物領域とにある n - p 柱状体を分離しているのを示す。図11は、部分的に形成された半導体デバイスの多くの可能な平面図の1つを示す。図11は多角形セル・レイアウトに代え縞模様 (即ち、列状の n - p 柱状体) を示すが、本実施例は必ずしも多角形セル構造体を排除するものではない。多くの柱状体13と溝9とのその他の幾何学的配置も本発明から逸脱することなく考えられる。柱状体13は n - p に限定されるものではなく、本発明を逸脱することなく、n - p - n、p - n - p、n - p p - n、p - n n - p 等でもよい。

## 【0030】

50

どの酸化方法でも溝9を二酸化ケイ素で充填するようにしている(図12)。n-p柱状体13は二酸化ケイ素21で囲われている。然し、溝9を充填するとデバイスを反らすことが分かった。この反る問題は酸化物上に窒化ケイ素(例えば、 $Si_xN_y$ )のような薄い絶縁体層を沈着させることにより軽減あるいは解消できる。図12は、作動領域の溝9が酸化物21で充填され、窒化ケイ素のような薄い絶縁体層192が酸化物21の上に沈着され、部分的に形成された半導体デバイスの表面が平坦化された後の図10の部分的形成された半導体デバイスを示す。

#### 【0031】

図13から図16は上記で生じた構造体上に超接合デバイスを形成する方法を示す。図13は $p^+$ イオンがドーブされた領域22が打ち込まれているのを示す。 $p^+$ イオンでドーブされた領域22に形成された $n^+$ イオンでドーブされた領域20が図14に示されている。その $n^+$ 領域20は超接合デバイスのソース(源)領域の役割を為す。図15は絶縁ゲート24が沈着され、この絶縁ゲート24にゲート導電体26が沈着されているのを示す。図16はゲート導電体26がもう一つの酸化物層24で被覆されているのを示す。図16は、周知の方法を用いて、図12の部分的に形成された半導体デバイスに形成された超接合デバイスを示す。この超接合デバイスは接触と不動態層を加えることにより今や完成準備状態にある。

10

#### 【0032】

不動態化材料は、熱成長、減圧(LP)化学蒸着(CVD)、プラズマ増強化学蒸着(PECVD)、常気圧化学蒸着(APCVD)、スパン・オン・ガラス(SOG)、ガラス・フリット沈着、直接塗布およびこれらの組み合わせのうちの一つを用いて第1あるいは第2主表面に塗布してもよい。不動態化材料は、酸化物、窒化物、ガラス、およびドーブされたあるいはドーブされないポリシリコンの一つでもよい。

20

#### 【0033】

この構造体の上に建造あるいは形成されたデバイスの性能は、従来の半導体トランジスタ・デバイスに比べて雪崩降伏電圧( $V_b$ )特性を向上した。ついで、従来の金属酸化物半導体電界効果トランジスタ(MOSFET)が作動領域に、周知の工程を用いて形成される。選択的に第2導電形の作動領域を打ち込みし、その後選択的に第1導電形の領域を打ちこんで、追加の工程によりデバイスを完成する。前面および後面への接触もなされ、不動態化層が沈着され、パターン化されてデバイス形成手順が終了する。

30

#### 【0034】

図17から図19に示されている別の実施例では、比較的広い溝30が端子領域に形成されている。この比較的広い溝30の幅はほぼ20-60 $\mu m$ である。図18は、図9及び図10について上記したようにイオン打ち込みが進められているのを示す。ついで、溝30は酸化物で再充填されて図19に示されているように広い酸化物領域12を形成する。この広い酸化物領域12の幅はほぼ20-60 $\mu m$ である。

#### 【0035】

図5に始まる更に別の実施例では、溝9及び17のみが第1主表面に形成されてそれぞれメサ11および8を形成する。端子領域にあるこのメサ8は約1.0から1.5 $\mu m$ の幅を有し、作動領域のメサ11は約4.0から5.0 $\mu m$ の幅を有する。この方法は、更に、作動領域のメサ11の両側壁にドーパントを打ち込む前に複数個の溝9、17およびメサ8、11(図5)の露出面に浅い層の酸化物を形成することを含む。複数個の溝9及び17は、端子領域の約1.0から1.5 $\mu m$ のメサ8の各々が酸化により実質的に消費されるまで酸化される。端子領域に残っている溝17は酸化工程により充填されて作動領域に隣接する端子領域に広い酸化物領域12を作成し、作動領域にある残りの溝9を充填する。この広い酸化物領域12の幅はほぼ20-60 $\mu m$ である。最後に、部分的に形成された半導体デバイスの表面は平坦化され超接合がその上に形成される。

40

#### 【0036】

図20-図22に示されている更に別の実施例では、絶縁体上のケイ素(SOI)あるいは単に厚い酸化物ウエハ40が基板3に接着されている。焼きなましあるいは接着工程に

50

は焼きなまし炉で数分あるいは数時間基板 3 とウエハ 4 0 とを加熱することを含む。例えば、積層された基板 3 とウエハ 4 0 とは 8 0 0 から 1 2 0 0 の焼きなまし炉に数分から数時間置かれて材料を十分に接着させる。焼きなまし工程は不活性雰囲気、例えば、窒素ガス、酸化雰囲気、例えば、純酸素、酸素・窒素混合物、蒸気等中に行なわれる。湿式焼きなまし中、例えば、蒸気が雰囲気であれば、この蒸気は典型的には 8 0 0 より高温で酸素と水素との混合物を用いて発生される。厚い酸化物ウエハ 4 0、例えば、S O I ウエハの場合では、その厚い酸化物 1 2 の上方のシリコン部分は C M P のような方法により除去される。厚い酸化物ウエハ 4 0 の一部分は作動領域を形成するための上記の技術を用いてエッチングにより取除かれる。図 2 1 に示されているように、厚いエピタキシャル層 5 が基板 3 と残りの酸化物のウエハ 4 0 の上に成長している。図 2 2 は、部分的に形成された半導体デバイスが平坦化されて、端子領域には広い酸化物領域 1 2 を作動領域にはエピタキシャル層 5 を残し、これらはエッチングされ、イオンを打ち込まれ、再充填されて、上記のように n - p 柱状体 1 3 を形成しているのを示す。

10

【 0 0 3 7 】

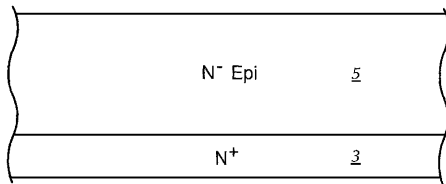
端子領域の比較的広い酸化物領域 1 2 を提供することにより、逆電圧防止が作動領域で形成された高電圧デバイスでは向上されている。

【 0 0 3 8 】

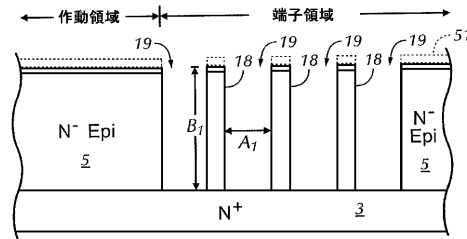
上記より、本発明は、デバイスの逆電圧阻止能力を向上するため酸化物領域を有する高電圧半導体デバイスに関することが分かる。本発明の広い発明的概念を逸脱することなく上記の実施例には変更が可能であることは当業者には認識できることである。よって、この発明は開示された特定の実施例に限定されず、その精神の範囲内での変形例もカバーするものと理解される。

20

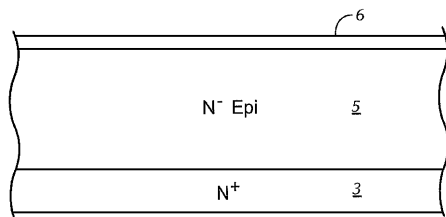
【 図 1 】



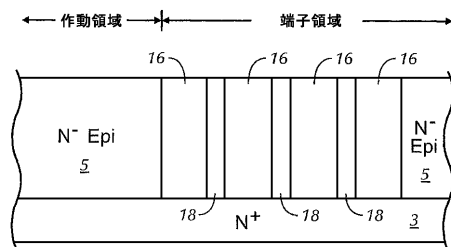
【 図 3 】



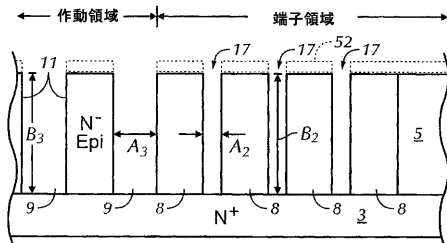
【 図 2 】



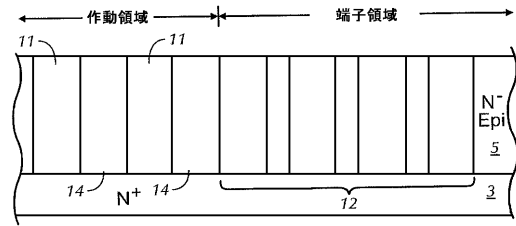
【 図 4 】



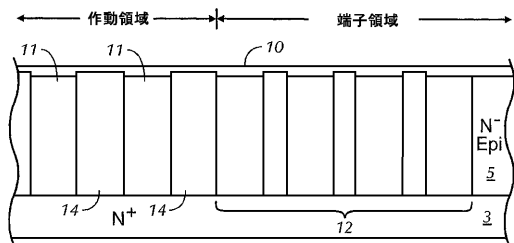
【 図 5 】



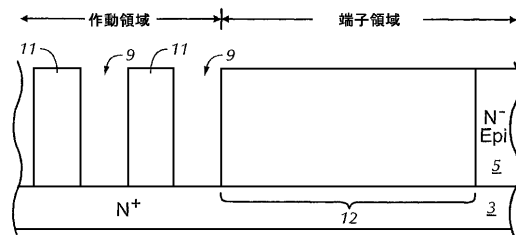
【 図 7 】



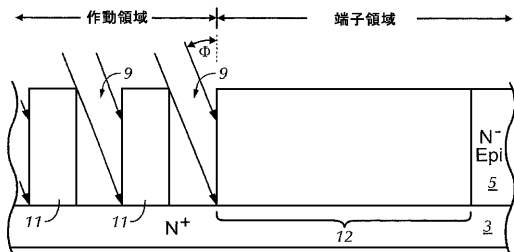
【 図 6 】



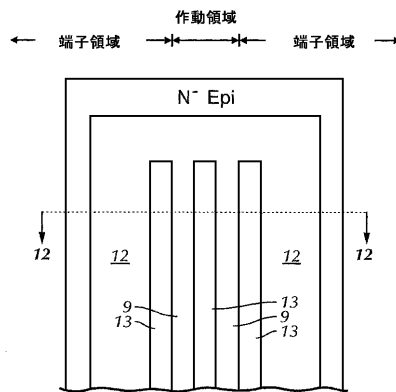
【 図 8 】



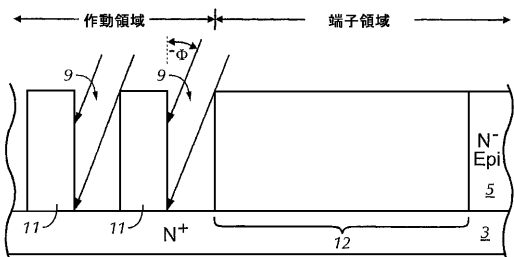
【 図 9 】



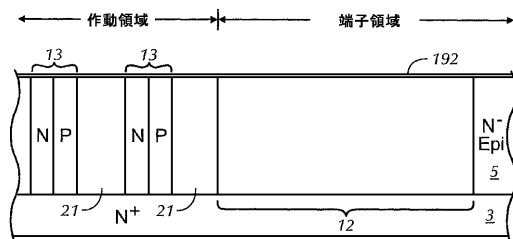
【 図 1 1 】



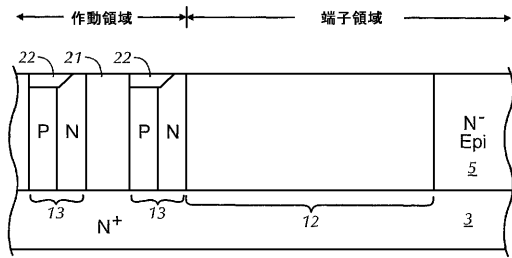
【 図 1 0 】



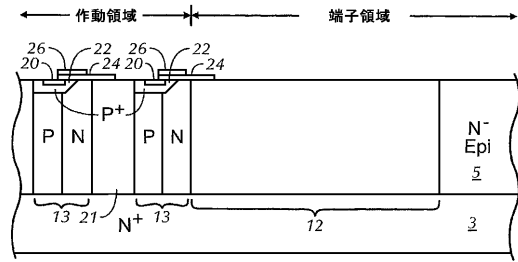
【 図 1 2 】



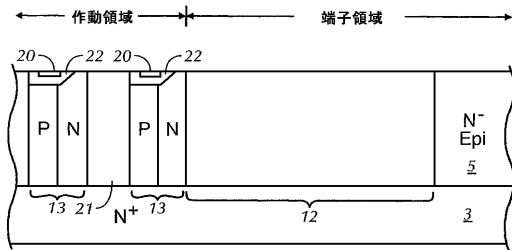
【 図 1 3 】



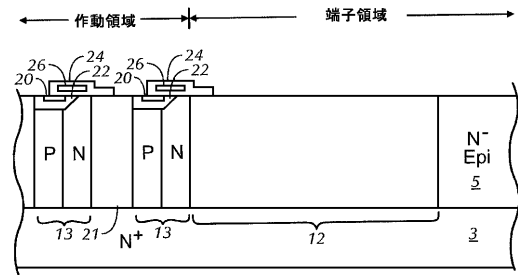
【 図 1 5 】



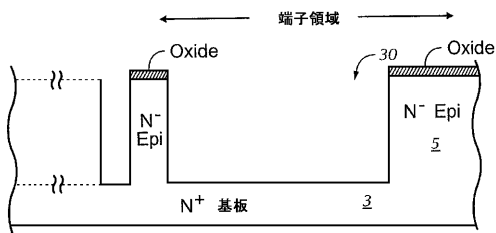
【 図 1 4 】



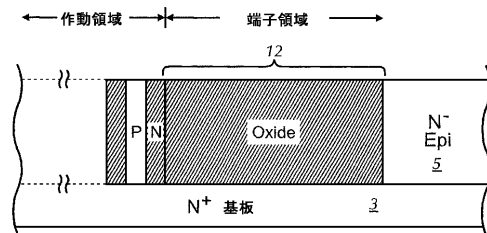
【 図 1 6 】



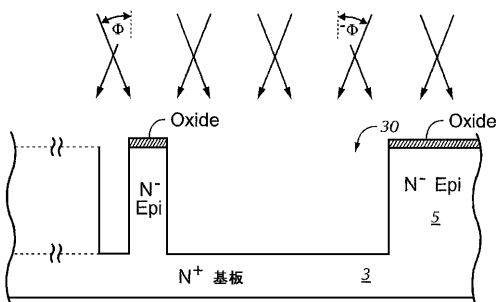
【 図 1 7 】



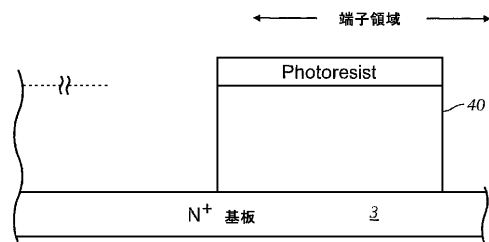
【 図 1 9 】



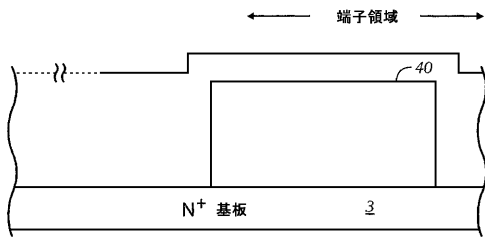
【 図 1 8 】



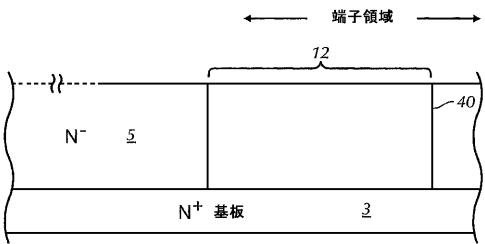
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 8 G
	H 0 1 L 29/06	3 0 1 D
	H 0 1 L 29/06	3 0 1 M
	H 0 1 L 29/06	3 0 1 G

(72)発明者 プラット、プライアン ディ  
アメリカ合衆国 カリフォルニア州 9 5 1 3 6、サンノゼ、ザ ウッド ナンバー 2 1 0 6 4  
5 0 0