



[12] 发明专利申请公开说明书

[21]申请号 96101329.X

[51]Int.Cl⁶

G06F 7/48

[43]公开日 1996年10月30日

[22]申请日 96.1.31

[30]优先权

[32]95.1.31 [33]JP[31]014093/95

[71]申请人 佳能株式会社

地址 日本东京都

[72]发明人 小川胜久 宫胁守

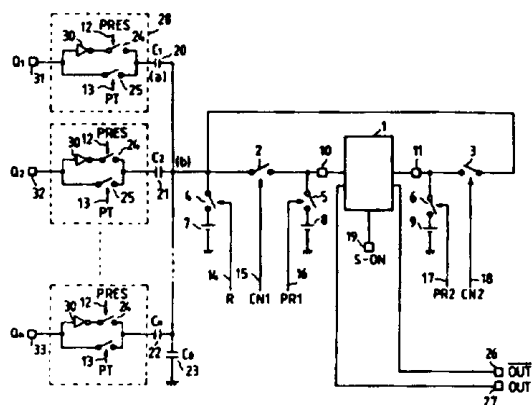
[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 杨国旭

权利要求书 3 页 说明书 31 页 附图页数 11 页

[54]发明名称 半导体器件,具有该器件的电路,和相关
计算装置,信号转换器和利用该电路的信
号处理系统

[57]摘要

一种半导体器件,其中电容器装置的一端通过能
选择一个输入信号的正或者负逻辑的第一开关装置被
连接到多输入端,上述的电容器装置的其它的端通过
第二开关装置被公共地连接到差分输入/输出型读出
放大器的第一差分输入装置,上述的电容器装置的公
共连接部分通过第三开关装置被连接到上述的差分输
入/输出型读出放大器的第二差分输入装置,所述的
第二差分输入装置具有一个与第一差分输入装置相反
的极性。



权 利 要 求 书

1. 一种半导体器件,其中电容器装置的一端通过能选择一个输入信号的正或者负逻辑的第一开关装置被连接到多输入端,上述的电容器装置的其它的端通过第二开关装置被公共地连接到差分输入/输出型读出放大器的第一差分输入装置,上述的电容器装置的公共连接部分通过第三开关装置被连接到上述的差分输入/输出型读出放大器的第二差分输入装置,所述的第二差分输入装置具有一个与第一差分输入装置相反的极性。

2. 根据权利要求1的器件,其中第一复位开关装置被连接到上述的电容器装置的公共连接端。

3. 根据权利要求1的器件,其中第二和第三复位装置被分别连接到所述的差分输入/输出型读出放大器的上述的第一和第二差分输入装置。

4. 根据权利要求1的器件,其中上述的第一,第二,和第三复位开关装置的接通周期重叠至少一个第一电容输入端复位周期,在该周期,输入信号的逻辑正和逻辑负通过上述的第一开关装置被加到上述的每个电容器装置的一端。

5. 根据权利要求1的器件,其中用于连接上述的电容器装置的公共连接端和所述的差分输入/输出型读出放大器的第一差分输入装置的上述的第二开关装置的接通周期至少在第一输入信号传送周期以后开始,在所述周期,一个与在电容输入端复位周期期间所加的逻辑相反的逻辑信号通过上述的第一开关装置被写入到

每个所述电容器装置的一端。

6. 根据权利要求 1 的器件, 在上述的第二开关装置的接通周期以后, 上述的电容器装置的公共连接端通过上述的第一复位装置被再复位。

7. 根据权利要求 1 的器件, 其中用于连接上述的电容器装置的公共连接端和所述的差分输入/输出型读出放大器的第二差分输入装置的上述的第三开关装置的接通周期至少在第二输入信号传送周期以后开始, 在所述周期, 一个与在电容输入端复位周期期间所加的逻辑相同的逻辑信号通过上述的第一开关装置被写入到每个所述电容器装置的一端。

8. 根据权利要求 7 的器件, 其中通过上述的第一差分输入装置在第一输入信号传送周期期间保持的用于在上述的电容器装置的一端写入信号的放大器输入电压 1 与通过上述的第二差分输入装置在第二输入信号传送周期期间保持的放大器输入电压 2 的差通过接通所述的差分输入/输出型读出放大器被放大到一个逻辑幅度, 并且差分输出被送到下一级。

9. 根据权利要求 1 的器件, 其中上述的差分输入/输出型读出放大器是一个差分输出型放大器, 它有在其输入级由具有相同极性的晶体管构成的差分对, 并能根据上述的差分对的输入电势差放大具有一个极性的输入信号到一个逻辑幅度电平。

10. 根据权利要求 9 的器件, 其中上述的差分输出型放大器通过一外部的控制信号能被接通/断开, 并具有在在所述的放大器被关闭以前保持先前的算术运算结果的功能。

11. 根据权利要求 1 的器件, 其中上述的差分输入/输出型读

出放大器是一个利用一个正反馈作用的锁存型读出放大器。

12. 根据权利要求 11 的器件, 上述的锁存型读出放大器具有通过一外部的控制信号利用正反馈作用使能/不能放大的功能。

13. 一种具有多个权利要求 1 的半导体器件的半导体电路, 来自多个的半导体器件的第一半导体器件的输出的和/或来自第一半导体器件的一反相的输出被输入到第二半导体器件。

14. 一个半导体电路, 其中当对应于在权利要求 1 中的半导体器件中的多输入端的上述的电容器装置的一个最小电容量由 C 表示, 上述的公共连接的电容器装置的总的电容量为最小电容量 C 的奇数倍。

15. 一个相关计算装置用于利用权利要求 13 的半导体电路执行一个相关算术运算。

16. 包括权利要求 1 的半导体器件的信号转换器, 输入一模拟信号到半导体器件, 并输出一个对应于模拟信号的数字信号。

17. 包括权利要求 1 的半导体器件的信号转换器, 输入一数字信号到半导体器件, 并输出一个对应于数字信号的模拟信号。

18. 一个信号处理系统, 包括权利要求 15 的相关计算装置。

19. 根据权利要求 18 的系统, 进一步包括图象输入器件用于输入图象信号。

20. 根据权利要求 18 的系统, 进一步包括一个存储器件用于存储信息。

21. 一个信号处理系统, 包括权利要求 16 的信号转换器。

22. 一个信号处理系统, 包括权利要求 17 的信号转换器。

说 明 书

半导体器件,具有该器件的电路,和相关计算装置,
信号转换器 和利用该电路的信号处理系统

本发明涉及一个半导体器件,一个具有该器件的电路,和一个相关计算装置,一个信号转换器,和一个利用所述电路的信号处理系统,更具体地说,涉及一个允许并行信号处理半导体器件,一个具有该器件的电路,和一个相关计算装置,一个包括一个 A/D (模拟—数字)转换器或一个 D/A (数字—模拟)转换器的信号转换器,和一个利用所述电路的信号处理系统。

近年来,随着在信号处理速度方面的增加,实现低成本的可以以高速处理大量数据的算术运算装置是很重要的。在这些装置中,用于动态的图象的检测的相关装置,高精密的模拟—数字和数字—模拟转换器,等这种需求更加强烈。

由于象扩展频谱(SS)通信这样的技术需要高速的,在 Ghz 的级别上的多输入信号处理,除进一步在处理速度和精密方面的增加以外,需要并行处理大量的数据的要求更为强烈。

常规上,当这样的功能用一个半导体集成电路被实现时,并行的算术运算用多个半导体芯片被达到,以便达到高速度算术运算处理。但是,由于多个半导体芯片的运用引起电路面积方面的增加,已经利用最新的微图形规则实现了单片电路。

尽管有这样的尝试,由于常规的电路结构基本上具有一个大

路规模，在一个芯片上的电路的集成存在困难。

如大家所熟知，当要处理的信号的比特数增加时，这样的芯片的电路规模切急剧地增加。例如，电路规模的增加与被处理的比特数的平方成正比。

因此，当比特数增加时，装置的制造的费用增加，装置的电路规模在实际当中不能实现。例如，一个已经建议作为一个压缩/解压缩动态的图象的标准的 *MPEGZ* 方法的运动检测芯片，还没有能够被集成在一个单个芯片上。

本发明是考虑上述情况作出的，其目的是提供一个可并行处理的半导体器件，可以处理数据，特别是可以以高精度和高速度，处理大量的数据。

本发明的另一个目的是提供一个低成本半导体器件，能执行高速的算术运算。

本发明的另一个目的是提供一个半导体器件，当需要算术运算处理的比特数增加时，能防止电路规模极端地增加。

本发明的另一个目的是提供一个半导体器件，能以低能耗进行算术运算处理。

本发明的另一个目的是提供一个半导体器件，电容器装置的一端通过第一开关被连接到多输入端，通过该开关能选择一个输入信号的正或负的逻辑，电容器装置的另一端通过第二开关被共同地连接到差分输入/输出型读出放大器的第一差分输入单元，电容器的公共连接的部分通过第三开关被连接到差分输入/输出型读出放大器的第二差分输入单元，第二差分输入单元具有一个与第一差分输入单元相反的极性。

本发明的另一个目的是提供一个具有半导体器件的电路,例如一个相关计算装置,一个包括 A/D 和 D/A 转换器的信号转换器,和一个信号处理系统。

图 1,5,和 6 为示意电路图,用于说明根据本发明的电路结构的例子;

图 2 是一个示意定时图,说明图 1 中所示的电路的驱动定时的例子;

图 1,图 3 是一个示意电路图,说明了一个差分输入/输出型传感器放大器的例子,

图 4 是一个示意定时图,说明一个差分输入/输出型传感器放大器的操作的一个例子;

图 7 是一个示意定时图,用来说明当图 6 所示的锁存型读出放大器导通时的操作的例子;

图 8 是一个示意电路图,用来说明本发明所适用的一个相关算术运算电路,

图 9 是一个示意电路图,用来说明本发明所适用的一个 A/D 转换器,

图 10 是一个示意方框图,用于说明本发明所适用的一个运动检测电路,

图 11A 是一个示意方框图,用来说明本发明所适用的一个用来执行图象处理的电路,

图 11B 是一个示意电路图,用于说明用于图 11A 中的光传感器的一个象素的电路结构的例子,

图 11C 是一个用于说明图象处理的算术运算内容的一个例子

的示意图。

按照本发明,通过利用在具有不同的极性的信号之间的电势差并输入到一个差分输入/输出型读出放大器,高精度的处理即可实现。

更具体地说,根据本发明,能选择一个输入信号的正/负的逻辑的第一开关装置被设置在多输入端,电容器装置通过第一开关装置被连接,每个电容器装置的一端通过第二开关装置被公共地连接到差分输入/输出型读出放大器的第一差分输入装置,而该公共连接的部分通过第三开关装置被连接到差分输入/输出型读出放大器的第二差分输入装置。第二差分输入装置具有一个通过反向第一差分输入装置的极性获得的极性,由此,实现一个半导体器件,它可以输出一个具有一个根据输入电势差的极性的逻辑幅差输出,而取得上述的目的。

在该半导体器件中,正和负的逻辑信号变化分量(具有同样的绝对值极性相反),它出现在多输入电容器装置的通过电容器装置的公共连接部分,并通过第二和第三开关装置被写入差分输入/输出型读出放大器的第一和第二差分输入端,接通差分输入/输出型读出放大器,由此达到高精度,高速的并行的算术运算处理,并减少电路规模和电力消耗。

由于高灵敏度被获得,并行输入信号数目可被增加(例如,达到50到几百个输入),每个循环的并行处理级的数目被增加,可以得到作为一个整体的高速的系统。

一个半导体电路具有多个上述的半导体器件,并输入多个半导体器件的第一半导体器件的输出和/或反相的输出到第二半导体器

件,例如,主电路被从属连接,因而,利用一个简单结构,实现了各种函数的算术运算。

而且,在利用半导体器件的半导体电路中,当对应于多输入端的电容器装置的最小容量表示为 C 时,公共连接的电容器装置的总的容量为奇数倍,即,正好或者大体为电容 C 的奇数倍,多级的主电路被采用,因而得到一种集成电路,在上面以高密度集成了具有最小级数的简单结构的3—比特二进制电路。

利用本发明的半导体器件,一个执行在多输入端的输入的相关的算术运算的相关计算装置,一个信号转换器,例如一个 A/D 转换器,用于输出一模拟信号到半导体器件并输出一个对应于模拟信号的数字信号和一个 D/A 转换器用于输入一个数字信号到半导体器件并输出一对应于数字信号的模拟信号,一个至少包括一个算术运算装置和信号转换器如 A/D 和 D/A 转换器之一的信号处理系统,和类似器件可被实现。按照本发明,能达到精确地信号发送,小的电路规模,和高速的处理,广泛的应用的一个装置,一个转换器,或者一个信号处理系统可被实现。而且,这个系统可包括图象输入器件用于输入图象信号,和一个存储器器件用于存储信息,因而进一步加宽系统的应用范围。

图1是一个根据本发明的第一实施例的示意电路图。参见图1,一个差分输入/输出型读出放大器1有一个第一输入端10(+输入端)和一个第二输入端11(-输入端)。当然,第一输入端10可以用作-输入端,而第二输入端11也可以用作+输入端。放大器1具有反相输出端26,和一个非反相输出端27。当差分输入/输出型读出放大器1包括一个 RS 触发型锁存差分读出放大器时,由于输入

和输出端被公共使用，第一输入端 10 和非反相输出端 27 被公共连接，第二输入端 11 和反相输出端 26 被公共连接。这个放大器的操作将在后面参照图 5 描述。差分输入/输出型读出放大器 1 通过一个控制信号 19S-ON 被通/断控制。

另一方面，在输入级， n 个并行的多输入信号 31, 32, ..., 33 将称为输入信号 $Q1-Qn$ 。 n 个输入信号被分别输入到复位开关输入块 28。各复位开关输入块 28 的操作将拿输入信号 $Q1$ 为例在下面叙述。输入信号 $Q1$ 通过变换器 30 被逻辑地反相，该反相信号通过第一信号复位开关 24 被输入到一个电容器 $C1$ 20，由此，当第一信号复位开关 24 被接通时，逻辑地复位电容器 $C1$ 20 输入端到输入信号 $Q1$ 。信号复位开关 24 被一个信号 $PRES$ 12 控制。另一方面，输入信号 $Q1$ 通过一个信号传送开关 25 传送到电容器 $C1$ 而没有通过变换器 30。信号传送开关 25 被一个传送控制信号 PT 13 控制。

注意，输入信号和一个出现在电容器的公共连接端的浮动节点 b 的信号有下列的相互关系。假定 $Q1-Qn$ 为 n 个输入信号， $C1$ 到 cn 是连接到各自的复位开关输入块 28 的输入电容器。 $\Delta V1$ 和 $\Delta V2$ 为由于在复位开关 24 接通时的初始状态输入信号 $Q1-Q2$ 产生的电势变化量， Δvf 是浮动节点 b 的电势变化量。信号输入前后在浮动节点 b 的总电荷量保持相同(电荷守恒原理)，并由方程式(1)表示如下。

$$C_1(\Delta V_1 - \Delta V_f) + C_2(\Delta V_2 - \Delta V_f) + \dots + C_n(\Delta V_n - \Delta V_f) = C_0 \Delta V_f \quad \dots(1)$$

其中 C_0 是浮动节点 b 的一个寄生电容 23 或者类似的参数。

当以上所述方程式被修改时候,我们得到:

$$\Delta V_f = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad [V] \quad \dots (2)$$

更具体地说,在各自的接线端的用 C_x 加权的电势变化的线性和被输出,作为在浮动节点 b 一个电势变化。输入信号 Q_1-Q_n 可以是模拟或者数字信号。在模拟信号情况下,该电路能被用作作为一个神经部件,用于加权和检测在各自的接线端的输入的幅度。另一方面,在数字信号的情况下,一个用于比较输入信号的 H 和 1 电平信号的主逻辑电路可被构成。一个第一复位开关 4 用作复位装置,用于复位浮动节点 b 到第一复位电压源 7 的电势,并被一个控制信号 $R14$ 控制。一个第二复位开关 5 被用作复位装置,用于在初始复位差分输入/输出型读出放大器 1 的输入端 10 到第二复位电源 8 的电势,并由一个控制信号 $PR1$ 控制。一个第三复位开关 6 用作复位装置,用于复位输入端 11 到第二复位电源 9 的电压,并由一个控制信号 $PR2$ 控制。一个第一信号传送开关 2 传送在浮动节点 b 的输入算术运算结果到差分输入/输出型读出放大器 1 的输入端 10,并由一个控制信号 $CN1$ 控制。一个第二信号传送开关 3 传送在浮动节点 b 的输入算术运算结果到差分输入/输出型读出放大器的输入端 11,并由一个控制信号 $18CN2$ 控制。

图 2 是一个定时图,用于说明图 1 中所示的实施例的电路的操作定时。这个实施例的操作的一个例子 将参照图 2 叙述。

加到输入端的信号的逻辑通过变换器 30 被反相。在这个状态下, 由于控制信号 12 *PRES* 是在接通状态, n 个电容器 $C_1, C_2, \dots, C_n$ 的输入端通过信号复位开关 24 被输入信号 $Q_1, Q_2, \dots, Q_n$ 的反相的逻辑电势 Q_1 (反相的), Q_2 (反相的), $\dots, Q_n$ 被复位。几乎在同时, 第一复位开关 4 通过控制信号 14 *R* 被接通, 浮动节点 *b* 作为电容器的公共的接线端被复位到第一复位电势 7, 此外, 第二和第三复位开关 5 和 6 被控制信号 *PR1* 和 *PR2* 接通, 差分输入/输出型读出放大器的输入端 10 和 11 分别被复位到第二和第三复位电势 8 和 9。当电源电压是一个 5—V 系统时, 这些复位电势 7, 8, 和 9 最好用 2.5V, 电源电压的一半。但是, 复位电势并不限于这个电压, 也可能是其它的电压。第一复位电势 7 并非要总是等于第二和第三复位电势 8 和 9, 可以是互不相同。有时, 第二和第三复位电势 8 和 9 可以是 *DC* 电势, 该电势有一个偏移电压, 在相反方向上对应于差分输入/输出型读出放大器 1 的输入的偏移电压, 来消除差分输入/输出型读出放大器 1 的偏移的分量。

以这种方式, 各电容器的二接线端和差分输入/输出型读出放大器 1 两个接线端被复位的期间被称为初始复位周期, 如图 2 所示。当各自的节点已经达到复位电势, 复位开关 24, 4, 5, 和 6 被关闭, 各电容器的二接线端和差分输入/输出型读出放大器 1 电势被保持在复位电势。

当信号传送脉冲接通时, 信号传送开关 25 被接通, 非反相的信号 $Q_1, Q_2, \dots, Q_n$ 被同时地传送到 n 个电容器 $C_1, C_2, \dots, C_n$ 。假定电源电压是一个 5—V 系统, 输入信号是一个二进制信号在 *L* 电平 0V 和在 *H* 电平 5V(=电源电压), 在初始复位电势和输入信

号之间的电压差最大为 5V 作为在当时信号变化分量, 即, 一个相当于电源电压的电势改变被获得。因而, 在浮动节点 b 的电势变化根据方程式(2)增加。在当时在浮动节点 b 的电势变化被方程式(3)表示如下:

$$\Delta V_f \quad \text{(非反相)} = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (3)$$

其中, ΔV_x 的值是 $-5V$ ($5V$ 的复位电势—当输入信号是 $0V$ 时)或者 $+5V$ ($0V$ 的复位电势—当输入信号是 $5V$ 时), C_0 是浮点 b 的寄生电容。

其后, 由于控制信号 $15Cn1$ 被接通, 浮动节点 b 的根据输入信号变化的电势变化 ΔV_f (非反相) 通过第一信号传送开关 2 被传送到差分输入/输出型读出放大器 1 的输入端 10。当输入端 10 的电势从第二复位电势 8 变化 ΔV_f (非反相) 时, 控制信号 $Cn1$ 被关闭, 该值被保持。在图 2 中, 这个周期相应于非反相信号传送周期。

作为电容器的公共的接线端的浮动节点 b 由控制信号 R 通过第一复位开关 4 被再次复位到第一复位电势 7。在图中, 该周期相应于一个浮动复位周期。

此时, n 个电容器 $C1, C2, \dots, Cn$ 的输入端通过输入信号的非反相逻辑被复位, 即, 非反相信号 $Q1, Q2, \dots, Qn$ 。在这个状态, 当控制信号 $12PRES$ 被接通时, 第一信号复位开关 24 被接通, 输入端 a 通过变换器 30 被输入信号 $Q1, Q2, \dots, Qn$ 的反相的逻辑电势值 $Q1$ (反相的), $Q2$ (反相的), $\dots, Qn$ (反相的) 再次复位。这样, 信号的反相的逻辑被传送到对于电容器 $C1, C2, \dots, Cn$ 作为输入信号, 因而获得一个在浮动节点 b 的电势变化。从方程式(2)中, 在当

时在浮动节点 b 的电势变化 V_f (反相的) 为:

$$\Delta V_f \text{ (反相的)} = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} [V] \quad \dots (4)$$

由于控制信号 $CN2$ 被接通, 在浮动节点 b 的电势的信号电势变化 ΔV_f (反相的) 通过第二信号传送开关 3 被传送到差分输入/输出型读出放大器 1 的输入端 11。当在接线端 11 的电势从第三复位电势 9 改变 ΔV_f (反相的) 时, 控制信号 $CN2$ 被关闭, 该值被保持。在图 2 中, 该周期相应于一个反相信号传送周期。

根据反相信号传送周期的完成, 差分输入/输出型读出放大器 1 的输入端 10 和 11 分别从复位电势保持通过方程式 (3) 和 (4) 给出的变化。包括复位电势和在输入接线端 10 和 11 被保持的电势 V_{IN10} 和 V_{IN11} 被分别通过方程式 (5) 和 (6) 得出。

$$V_{IN10} = V_{RESET8} + \Delta V_f \text{ (非反相)} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (5)$$

这里, V_{RESET8} 为通过第二复位电势 8 确定的复位电势。

$$V_{IN11} = V_{RESET9} + \Delta V_f \text{ (反相的)} = V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad (6)$$

这里 V_{RESET9} 为通过第三复位电势 9 确定的复位电势。

假定 $V_{RESETB} = V_{RESET9}$, 差分输入/输出型读出放大器 1 的差分输入电势差 ΔV_{IN} 由下式得出:

$$\begin{aligned} \Delta V_{IN} &= V_{IN10} - V_{IN11} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} - (V_{RESET9} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x}) \\ &= \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (7) \end{aligned}$$

$$[\sum_{x=1}^n \Delta V_x] \neq 0 \quad [\sum_{x=1}^n -\Delta V_x] \quad \dots (8)$$

由于以上所述公式(8)有相等线性的绝对值,和相反的+/-符号($\Delta V_x = -\Delta V_x$ (反相的)),方程式(7)可被修改如下:

$$\Delta V_{IN} = \frac{\sum_{x=1}^n C_x \Delta V_x - \sum_{x=1}^n C_x \overline{\Delta V_x}}{\sum_{x=0}^n C_x} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \dots (9)$$

如上所述,当电源电压时是 5-V 系统,通过方程式(9)得出的 ΔV_x 最大为 5V。由于通过非反相逻辑信号传送输入接线端 10 的信号变化 $\Delta V+$ (非反相的)和通过反相的逻辑信号传送输入端 11 的信号变化 $\Delta V+$ (反相的)被差分输入/输出型读出放大器 1 的差分输入操作接收,它们是在单侧的信号变化的两倍,如方程式(9)所示。这样,作为电容性的算术运算结果的从复位电势的电势变化可在差分输入/输出读出放大器 1 之前被增加,如方程式(9)所示,读出放大器 1 能执行高精度,高速的处理。

其次,当通过方程式(9)给出的差分输入电势差 ΔVIN 被保持在差分输入端时,读出放大器 1 被控制信号 19S-ON 接通。利用这个操作,根据接收的大的差分输入电势差 ΔVIN ,差分输入/输出型读出放大器 1 被使能,并以高精度和高速并行地识别算术运算结果。然后,读出放大器 1 提供一个非反相的输出 OUT27 和一反相的输出 OUT26 到下一级作为差分输出。

当差分输入/输出型读出放大器 1 被设置有一个较高的增益的时候,被处理的并行信号的数目可被增加(50 到几百),整个处理系统的算术运算速度也可被提高。

图 3 显示了差分输入/输出型读出放大器 1 的结构的一个例子。由于在图 3 中同样的标号表示的部件具有与图 1 中的同样的功能,其详细描述在此被略去。在图 3 中,由方程式(8)给出的差分电

势通过从初始复位周期到反相的信号传送周期的过程被保持在差分输入/输出型读出放大器 1 的端 10 和 11 的+和-输入之间,如在图 1 所示的实施例中已经叙述的那样。

参见图 3,在+输入端 10 的电压被施加到 *NMOS* 晶体管 600 的控制极,而在-输入端 11 的电压被施加到 *NMOS* 晶体管 601 的控制极。*NMOS* 晶体管 600 和 601 构成一个差分对具有一个公共的源极,而源极被连接到 *NMOS* 晶体管 504 的漏极,执行一个恒定的电流操作。*NMOS* 晶体管 604 的源极被连接到地电势,而它的控制极被公共地连接到 *NMOS* 晶体管 613 的控制极。公共地连接的控制极被连接到控制信号 *S-ON19*。当控制信号 *S-ON19* 被激励时, *NMOS* 晶体管 604 和 613 作为恒定的电流源被接通用作一个恒定的电流源,而 *NMOS* 晶体管 600 和 601 的公共的源极被连接到 *NMOS* 晶体管 604 的漏极。

差分对,即, *NMOS* 晶体管 600 和 601 被接通。在该状态,有源负载,即一个 *PMOS* 晶体管 602,其控制极-漏极路径被连接到 *NMOS* 晶体管 600 的漏极,和一个 *PMOS* 晶体管 603,其漏极被连接到 *NMOS* 晶体管 601 的漏极,开始操作。*PMOS* 晶体管 602 的源极被连接到一个电源 *Vdd* 84,它的控制极被短路到它的漏极,而控制极-漏极路径被连接到 *NMOS* 晶体管 600 的漏极 *PNDS* 晶体管 603 的控制极,并作为输出被连接到 *NMOS* 晶体管 609 的控制极作为在下一级的一个差分对的一个晶体管。

PMOS 晶体管 603 的源极被连接到电源 *Vdd* 84,它的漏极被连接到 *NMOS* 晶体管 601 的漏极。在此二漏极之间的连接点作为输出被连接到 *NMOS* 晶体管 610 的控制极作为在下一级的差分对

的另一个晶体管。

NMOS 晶体管 609 和 610 构成一个差分对,具有一个公共连接的源极,它被连接到 *NMOS* 晶体管 613 的漏极。.,*NMOS* 晶体管 609 和 610 的漏极被连接到 *PMOS* 晶体管 611 和 612 的漏极作为有源负载。*PMOS* 晶体管 611 和 612 的源极被连接到电源 *Vdd* 84, 它们的控制极被公共地连接到一个电源 *VB*。电源 *VB* 提供一个用于与控制信号 *S-ON* 同步地接通/断开 *PMOS* 晶体管 611 和 612 的电压。更具体地说,当控制时信号 *S-ON* 被逻辑地激励时,用于恒定的电流源的 *NMOS* 晶体管 604 和 613 被接通,与这个接通操作同步,电源 *VB* 产生一个用于转换 *PNOS* 晶体管 611 和 612 从断开状态到接通状态的电压。结果, *PMOS* 晶体管 611 和 612 被接通,并作为恒流源的有源负载。

在如图 2 所示的读出放大器接通期间。控制信号 *S-ON* 被激励形成一初级差放大器,包括输入级 *NMOS* 差分对(600 和 601)和有源负载 602 和 603,和下一级差分放大器,包括输入级差分对(609 和 610)和恒流源 *PMOS* 和负载 611 和 612,由此接通差分输入/输出型读出放大器 1 块。在该状态,在+和-输入端 10 和 11 之间的差分电压 ΔV_{IN} 被二个差分 *CMOS* 放大器放大并出现在下一级的差分对(609 和 610)的漏极作为有一个大的振幅的差分输出。然后,在一个传送控制极 102 包括连接到 *NMOS* 晶体管 610 的 *NMOS* 和 *PMOS* 晶体管 620 和 621,和一个传送控制极 103 包括连接到 *NMOS* 晶体管 609 的漏极的 *NMOS* 和 *PMOS* 晶体管 623 和 624,,当一个控制信号改变到高电平时,即,被接通时, *NMOS* 晶体管 620 和 623 被接通,并且 *PMOS* 晶体管 521 和 524 通过变换器

622 和 625 设置它们的控制极为低电平而被接通。

结果,当从第二差分 *CMOS* 放大器得到的作为差分输出的电压被送到传送控制极 102 和 103,变换器 100 由在下一级中的 *NMOS* 和 *PMOS* 晶体管 626 和 627 组成,输出一个非反相输出,变换器 101 包括在下一级的 *NMOS* 和 *PMOS* 晶体管 628 和 529,输出一反相的输出。此时,与控制信号 *S-ON* 的关断操作同步地,传送控制极 102 和 103 被关闭。这样,一算术运算周期被完成。

即使当传送控制极 102 和 103 被接通时,控制极电压被保持,并且输出保持其先前的输出状态,直到下一个算术运算周期为止。在这个状态下,信号被传送到下一级,差分输入/输出型读出放大器 1 等待在下一个周期中的处理。图 4 是一个 *S-ON*, *VB*, 和 *ST* 的定时图。图 4 显示了作从反相的信号传送周期到图 2 中的下一个初始复位周期的操作和显示了用于控制读出放大器 1 的控制信号 *S-ON*, 与 *S-ON* 同步的反相电压源 *VB*, 和用于控制读出放大器 1 中的输出部分中的传送控制极 102 和 103 的控制信号 *ST* 之间的定时关系。即使当控制信号 *ST* 从高电平变到低电平,输出仍保持所述输出状态。

(第二实施例)

下面将参照附图 5 叙述根据本发明的第二实施例。在图 5 中,图 5 中相同的标号表示与图 1 中的部件具有相同的功能的部件。并且详细描述被略去。在这个实施例中,差分输入/输出型读出放大器 1 包括一个锁存型读出放大器。图 1 的输入端 10 直接变成一个输出信号 *OUT* 27, 并被提供给下一级,同样地,图 1 中的输入端 11 直接地成为输出信号 *OUT*(反相的)26, 并提供该输出信号 *OUT* 的

反相的逻辑到下一级。

下面参照图 2 描述其操作。从初始复位周期到反相的信号传送周期的操作与图 1 中的实施例中的相同,在输入/输出端 10 和 11 产生的一个电压差可以由方程式(10)给出

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(10)$$

差分输入/输出型读出放大器包括 **RS** 锁存,它由变换器 31 和 32 构成,而锁存型读出放大器 1 通过控制信号 **S-ON** 被接通/断开控制。

在图 2 所示的反相信号传送周期过去以后,假定锁存型读出放大器 1 的输入端 10 和 11 之间的电势关系满足 $V_{IN10} > V_{IN11}$, 并也满足:

$$|V_{IN10} - V_{RESET8}| = |V_{IN11} - V_{RESET9}| = \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(11)$$

然后,方程式(11)能被改写为方程式(12)或者(13)。

$$V_{IN10} = V_{RESET8} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(12)$$

$$V_{IN11} = V_{RESET9} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(13)$$

$$V_{RESET8} = V_{RESET9}.$$

当通过设置控制信号 **S-ON** 为高电平同时在输入端 11 和 12 保持由方程式(12)和(13)得出的电势锁存型读出放大器 1 被接通时,高于输入端 10 的复位电势的电势 V_{IN10} 漂移到一个更高的电

势,因为锁存型读出放大器 1 的电势回馈作用,最后稳定在电源电压 V_{dd} 。

另一方面,低于输入端 11 的复位电势的电势 V_{IN11} 因电势回馈效应,也漂移到一个较低的电平并最后稳定在地电势。同样地,当 $V_{IN10} < V_{IN11}$ 时,输入端的电势 10 最后稳定在地电势,输入端 11 的电势最后稳定在电源电压 V_{dd} 。这样,当差分输入端在锁存型读出放大器 1 被接通以前被设置一个大的电势差时,一个高精度,高速的算术运算可被实现。锁存型读出放大器 1 的灵敏度被改进时,多输入(例如 50 到几百个输入)算术运算可以实现,并行算术运算能被改进,由此得到信号处理系统的高算术运算速度。在这个实施例中,锁存型读出放大器本身有一个存储数据功能,并可保持数据直到下一个算术运算为止。因此,当并行算术运算的数目增加时,传送到下一级的信号由于连接线路的延迟时间被相对每个其它信号被延迟,否则,噪声会因为串扰而混入信号中,从锁存型读出放大器的输出能够根据基本算术运算时钟实现高精度信号发送,因为它们被锁存,因而保证高精度并行算术运算处理。

锁存型读出放大器的输入端 11 可以传送算术运算结果 OUT 和算术运算结果 OUT 的反相的逻辑输出到下一级。因此,这些输出能被传送到下一级作为差分输出。当下一个处理系统具有图 1 或 5 中的输入级所示的多输入端时,输出信号 OUT_{27} 和反相的信号 OUT (反相的)26 能直接地被连接到信号传送开关 25 和连接到输入算术运算电容器的信号复位开关 24,在后来的处理中在复位开关块 28 中不使用变换器 30,由于这些信号有相反逻辑电平,因而简化了电路结构并减少了电源消耗。

(第三实施例)

下面参照图 6 描述根据本发明的第三实施例。在图 6 中相同的标号表示与图 5 中具有相同功能的部件,并略去其详细说明。这个实施例的电路操作将参照图 2 叙述。但在读出放大器导通期间的详细定时参照图 7 独立地被叙述。

在图 6 中,在每个复位开关输入块 28 中,在图 5 中的第一信号复位开关 24 由 *NMOS* 晶体管 74, *PMOS* 晶体管 75, 和变换器 12 构成,并用作用于信号复位开关的一个传送控制极。当控制信号 *PRES12* 被设为高电平时,开关 24 被接通,并复位输入电容器 *C1* 的一个输入端到输入信号 *Q1* 的反相的逻辑。

在复位开关输入块 28 中,图 5 中的信号传送开关 25 用作一个用于信号传送的传送控制极,由 *NMOS* 晶体管 76, *PMOS* 晶体管 77, 和图 6 中的变换器 30 构成。当控制信号 *PT 13* 处于高电平时,开关 25 被接通,并在电容器 *C1* 的输入端写入输入信号 *Q1* 的非反相逻辑。另一方面,图 5 中的第一复位开关 4, 第二复位开关 5, 第三复位开关 6, 非反相逻辑信号传送开关 2, 和反相逻辑信号传送开关 3 分别对应于 *NMOS* 晶体管 70, 56, 57, 58, 和 96。复位电势 83 为当各自的节点时被对应的开关接通时要汇集的一个目标电势。在这种情况下,第一,第二,和第三复位开关被给予一相同的复位电势 83。

在说明该实施例的操作的图 2 所示的定时图中,对应的开关从初始复位周期到反相的信号传送周期被接通/断开,输入端 11 和 12 的节点有一个由下列的方程式(14)给出的电势差:

$$\Delta V_{IN} = \frac{2 \sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots (14)$$

当作为节点的输入端 10 和 11 之间的电势关系满足 $V_{IN10} > V_{IN11}$ 时, 如果复位电势 83 被表示为 $V_{RESET\ 83}$, 电势 V_{IN10} 和 V_{IN11} 分别由下面的方程式(15)和(16)给出:

$$\text{输入端 10: } V_{IN10} = V_{RESET83} + \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(15)$$

$$\text{输入端 11: } V_{IN11} = V_{RESET83} - \frac{\sum_{x=1}^n C_x \Delta V_x}{\sum_{x=0}^n C_x} \quad \dots(16)$$

作为节点的输入端 10 和 11 被保持在由方程式(15)和(16)给出的电势。

在这个状态, 如图 7 所示, 在读出大器接通期间, 一个信号 EV 被接通, 设置 $NMOS$ 晶体管 55 成接通状态。此时, 具有一个公共的源极的 $NMOS$ 晶体管 50 和 51 用作一个差分 $NMOS$ 锁存器。在这种情况下, 由于 $NMOS$ 晶体管 51 被接通, $NMOS$ 晶体管 50 被关闭, 这些晶体管排出在输入端 11 上累积的电荷, 作为较低的电势的输入端 11 的电势($NMOS$ 晶体管 50 的控制极和 $NMOS$ 晶体管 51 的漏极之间的节点)因为正反馈作用漂流到地电势, 作为较高的电势的输入端 10 的电势($NMOS$ 晶体管 51 的控制器和 $NMOS$ 晶体管 50 的漏极之间的节点)被保持。这样, 当一个大于初始电势差的电势差被产生在输入端 10 和 11 之间时, 一个控制信号 $1T\ 79$ 从高电平变化到低电平, 接通 $PMOS$ 晶体管 54。 $PMOS$ 晶体管 54 的源极被连接到电源 V_{dd84} , 当 $PMOS$ 晶体管 54 被接通时, 具有一个公共的源极的 $PMOS$ 晶体管 52 和 53 被用作一个差分 $PMOS$ 锁存器。结果, 由于 $NMOS$ 和 $PMOS$ 锁存器被完全接通,

作为较低电势的输入端 11 (*NMOS* 晶体管 51 的漏极和 *NMOS* 晶体管 50 的控制极之间的节点) 由于正反馈作用快速接近地电势, 而输入端 10 的电势 (*NMOS* 晶体管 50 的漏极和 *NMOS* 晶体管 51 的控制极之间的节点) 由于正反馈的作用, 接近电源电压 84。由于输入端 11 的电势迅速地降到地电势。这样, 输入端 10 被锁存在逻辑“H”输入端 11 被锁存在逻辑“1”。

从节点 10 的输出信号 *OUT27* 和从节点 11 的输出信号 *OUT* (反相的) 被分别传送到下一级作为差分输出。

当输入端 10 和 11 之间的电势关系在满足 $V_{IN10} < V_{IN11}$ 的时候, 通过一个相似的正反馈操作, 输入端 10 被锁存在逻辑“1”, 输入端 11 被锁存在逻辑“H”。

如上所述, 当具有一个大的电势差的差分信号被输入到信号锁存器型读出放大器的输入端时, 高精度, 高速度处理被保证。

通过增加锁存型读出放大器的正反增益, 可以实现多输入的算术运算操作 (例如 50 到几百个输入), 由此增加了并行算术运算的数目和增加了处理系统的算术运算速度。

锁存型读出放大器本身有一个存储数据功能, 并能保持数据直到下一个算术运算为止。因此, 当并行算术运算的数目增加时, 要被传送到下一级的信号由于连接线的延迟时间相对其它信号有一个延迟, 否则, 噪音会因为串扰而混入信号, 从锁存型读出放大器的输出可以由于已经被锁存可以根据基本算术运算时钟进行高精度信号传送, 因此, 保证了高精度的并行算术运算处理。

锁存型读出放大器的输入端 10 和 12 可以传送算术运算结果 *OUT27* 和算术运算结果 *OUT27* 的反相逻辑输出到下一级。因此,

这些输出可以被传送到下一级作为差分输出。因此,在后续的处理中,输出信号 *OUT27* 和反相信号 *OUT(反相)26* 可以直接被输入到用于信号复位开关的信号传送控制极(*NMOS* 晶体管 74 和 *PMOS* 晶体管 75 的源极之间的节点)的输入端和用于信号传送的传送控制极的输入端(*NMOS* 晶体管 76 和 *PMOS* 晶体管 77 的源极之间的节点),因此,得到的电路结构简单,能耗少,并增加了处理速度。

(第四实施例)

下面参照图 8 描述第四实施例,其中上述的半导体器件被用于一个相关运算电路。在图 8 中,相关算术运算电路包括主算术运算电路块 221-A,221-B,和 221-C,其中每个具有 7 个输入端,变换器 222,和比较器 223 用于比较在输入端 232 的信号和对应的相关系数 233。当 7 个输入信号输入到主算术运算电路块 221-A 时,主算术运算电路块 221-B 和 221-C 的输入端 224 和 225 接收相同的信号。输入端 226,227,和 228 接收从前面的主算术运算电路块输出的信号。电容器 229,230,和 231 被连接到输入端 226,227,和 228 并分别有容量值 $4C$, $2C$, 和 $4C$ (C 是连接到正输入端的容量)。

参见图 8,输入信号与相应的相关系数 233 一起被输入到比较器 223。当输入信号符合相关系数 233 时,各比较器 223 输出一个高电平信号;否则,它输出一个低电平信号。从比较器 223 输出的信号被输入到主算术运算电路块 221-A 到 221-C。例如,当从比较器 223 的输出被输入到 7-输入端择多算术运算电路块 221-A 时,如果高电平信号的数目是多数的话,即,如果 7 个输入信号中四个或多于四个输入信号是高电平信号时,择多算术运算电路块

221—A 输出一个高电平信号。表 1 中的栏 3 显示了该输出状态。

同样地,具有总数 11 个的输入端,即,七输入端 224 和具有一个等于四个输入端的容量 $4C$ 的输入端 226 的择多算术运算电路块 221—B 当六个或六个以上的输入为高电平信号时输出一个高电平信号。表 1 中的栏 S2 显示了这个输出状态。另一方面,具有总数 13 个输入端的,即,7 个输入端 225,具有一个等于四个输入端的容量 $4C$ 的输入端 228,具有一个等于二个输入端的容量 $2C$ 的输入端 227 的择多算术运算电路块 221—C,当七个或多于七个输入为高电平信号时,输出一个高电平的信号。在表 1 中的栏 S1 显示了这个输出状态。

更具体地说,栏 S3 显示了在输入信号中根据高电平的信号的数目,7—输入端择多算术运算电路块的输出值。其后,如图 8 所示,从 7—输入端择多算术运算电路块 221—A 的输出通过反相器 222 被反相,反相的输出被加到择多算术运算电路块 221—B 的加权输入端 226。择多算术运算电路块 221—8 用作 11—输入端择多算术运算电路,其中,11 个“C”被通常连接,11 个“C”中的 4 个接收一个来自加权输入端的信号,其余的 7 个端接收与输入到择多算术运算电路块 221—A 相同的信号。例如,当七个输入中的四或以上为高电平信号时,一个低电平信号被加到加权输入端,如上所述。此外,当输入到除了加权输入端以外的输入端的七个输入信号的六个或以上为高电平的信号时,11—输入端择多算术运算电路从整体上确定一个多数,并输出一个高电平的信号。当七个输入中的四个或以上和五个或更少为高电平信号时,由于择多未确定,一个低电平信号被输出。另一方面,当七个输入中的三个或或更少的输入为高电

平信号时,一个高电平的信号被加到加权输入端 226。当七个输入中的二个或以上和三个或更少为高电平的信号时,由于 $4+2$ 或 $4+3$ 产生 6 或以上,一个择多被确定,一个高电平信号被输出。另一方面,当一个或者更少的输入为高电平信号时,由于 $4+0$ 或者 $4+1$ 产生 6 或者更少,一个低电平信号被输出。在表 1 中的栏 S2 显示了根据高电平的信号的数目,择多算术运算电路块 221-B 的输出值。

当择多算术运算电路块 221-A 和 221-B 的输出信号的反相的信号被加到两个分别具有 $x4$ 和 $x2$ 容量值 $4C$ 和 $2C$ 的加权输入端 228 和 227 时,择多算术运算电路块 221-C 操作获得如表 1 中的栏 S1 所示的输出。利用这个电路结构,如表 1 所示,符合多个输入信号的相关系数的信号数目被转换成一个 3-数字二进制值,进而二进制值可被输出。

(第五实施例)

第五实施例将参照图 9 和表 2 进行描述。这个实施例举例说明了一个使用本发明的 3-位精度模拟-数字的转换器(在下文称为 A/D 转换器)。如图 9 所示的 A/D 转换器包括 1-, 2-, 和 3-输入算术运算电路块 121-A, 121-B, 和 121-C, 和变换器 122。输入端 123, 124, 和 125 接收来自前面的算术运算电路块的输出信号。电容器 126, 127, 和 128 被连接到输入端 123, 124, 和 125 并分别具有容量值 $C/2$, $C/2$, 和 $C/4$ (C 是连接到正输入端的容量)。一个模拟输入端 129 和设置输入端 130 分别与具有容量值 $C/4$ 和 $C/8$ 的电容器 131 和 132 连接。各自的块具有数字输出端 S1, S2, 和 S3。

在这个实施例中,一种情况将被举例说明,其中,一个 5-V 电

源系统被采用。参见图 9，算术运算电路块 121-A 的被复位到 0V，算术运算电路块 121-B 和 121-C 的读出放大器的输入被复位到大约 2.5V。信号输入端 123, 123, 和 125, 和设置输入端 130 的输入算术运算电容器 132 的输入端被复位到 5V。此时，信号输入端 129 被设置在 0V。其后，假定设置输入端 130 被设置在 0V 而到输入端 129 的输入电压被从 0V 改变到一模拟信号电压。在这种情况下，在算术运算电路块 121-A 中，当模拟输入电压变为大约 2.5V 或者更高时，在块 121-A 中的读出放大器的输入电压超过一个逻辑反相电压(在该情况假定为 2.5V)，一个高电平信号被输出。在表 3 中的栏 S3 显示了该输出结果。

当时模拟输入信号为 2.5V 或者更高时，输入端 123 从作为复位电势的 5V 变化到 0V，此时，在算术运算电路块 121-B 中的读出放大器的输入端的电势变化由下式给出：

$$\{C \times V_A - (C/2) \times 5 - (C/4) \times 5\} / (C + C/2 + C/4) \{V\}$$

其中， V_A 为模拟输入信号电压。

如从这个方程式中可以看出，当模拟信号电压 V_A 等于或者高于 3.7V，算术运算电路块 121-8 输出一个高电平的信号，当电压 V_A 等于或高于 2.5V 并低于 3.7V 时输出一个低电平信号。在表 2 中的栏 S2 显示了该输出结果。

同样地，从算术运算电路块 121-C 的输出的被示于在表 2 中的栏 S1。

根据这个实施例，如表 2 所示，一个转换模拟信号电压到 3-位数字信号并输出数字信号的 A/D 转换器通过一个很小的结构可被实现，保证高的算术运算速度和低的消耗电压。

这个实施例已经举例说明了一个 3—位 A/D 转换器。但是,本发明并不限于此,当然,位数能很容易地被增加。在这个实施例中,利用电容器的一个快闪型 A/D 转换器已经被举例说明。但是,本发明并不限于此。例如,本发明可被适用到一个 A/D 转换器的编码器电路部分,它以下面方式执行 A/D 转换,比较器比较输入到一个电阻器阵列的信号与一个参考信号,编码器编码比较结果,因而获得与前述相同的作用。

如上所述,在对应于多输入端的电容器装置的一端被公共连接并且该公共端被输入到读出放大器的电路块中,电容器装置的容量的总和大体为 C 的奇数倍, C 为连接到多输入端的电容器装置的最小的一个。

当一个相关电路没有控制输入端时,连接到输入端全部的电容容量有一个最小量值。另一方面,当相关电路,如上所述,例如图 8 中所示的第四实施例,有控制输入端时,连接到控制输入端的电容量 C 的偶数倍,如 $2C$ 和 $4C$,这些端的电容量的总和和奇数的输入信号端大体为 C 的奇数倍。利用这个结构,与一个所需的参考值的明确的比较可被达到,因而改进算术运算精度。

在以上所述中,相关电路已经被举例说明。在二进制 D/A 转换器的情况下,如果最小显著位(1SB)的信号输入电容量由 C 表示,下一个位的容量为 $2C$,第二个下一个位为 $4C$,依此类推,即每个位的值为前一个的二倍,多输入端的电容量的总和为 C 的奇数倍,因而实现一个高精度 D/A 转换器。

对于 A/D 转换器,如图 9 中所示的第五实施例中所述,用于鉴别是否模拟信号电平高于或低于整个范围的 $1/2$ 的鉴别点的数

目被设置为一个奇数,即,在块 121-A1 中 $1(1C)$, 在块 121-B 中,对应于鉴别标准 $1/4, 2/4$, 和 $3/4$ 的鉴别点的数目为三,即,一个奇数,电容量的总数有一个奇数的多值, $1+2+4=7$, 以 $C/4$ 作为一个最小值。块 121-C 被设置有 $C/8$ (最小值), $C/4, C/2, C$ 为顺序地被加倍,即,一奇数的多值, $1+2+4+8=15$ 。

利用这个结构,由于高精度算术运算能被达到而无需任何不必要的大的电容量,低功耗,高速度的算术运算可被实现。

在以上所述中,相关算术运算电路和 A/D 转换器已经被举例说明,但是,本发明并不限于这些单元。例如,本发明可以被应用到各种其它的逻辑电路,如一个数字-模拟转换器,加法器,减法器这样一类的电路,因而获得与上述相同的作用。

特别是,当本发明被应用到 AD/转换器时,如果用于接收 1SB 数据的输入端的电容量用 C 表示,电容量仅仅需要被设置到向最显著位如 $2C, 4C, 8C, \dots$ 的两倍,因而实现一个二进制 D/A 转换器,在这种情况下,从电容器的公共连接端的输出可通过一个源极跟随放大器被接收。

(第六实施例)

第六实施例将参照图 10 描述如下。在第六实施例中,本发明的技术被应用到一个运动检测电路,用于,例如动态的图象。参见图 10,运动检测电路包括存储器 161 和 162 用于分别存储标准数据和参考数据,一个相关计算单元 163,一个控制单元 164 用于控制整个芯片,加法单元 165,用于将相关计算单元 163 的相关结果相加,一个寄存器 166 用于存储从加法单元 165 的输出和的最小值,一个比较存储单元 167,作为一个比较器和一个用于存储最小值的

地址的单元,一个单元 168,作为输出缓冲器和输出结果存储单元。一个标准数据串被输入到输入总线 169,一个要与标准数据串作比较的参考数据串被从输入总线 170 输入。存储器 161 和 162 包括 *SRAMs*,并由通常的 *CMOS* 晶体管电路构成。

由于单元 153 包括一个本发明的相关算术运算电路,从参考和标准的数据存储器 162 和 161 提供给相关计算单元 153 的数据能通过高速的并行处理而被处理。由于这个原因,单元 163 不仅能达到很高速的处理,也可由小数目的元件构成,因而,减少了芯片尺寸和成本。相关算术运算结果通过加法单元 165 被计算(估计),在比较/存储单元 167 的目前相关算术运算以前,与存储最大的相关算术运算结果(最小和)的寄存器 166 的内容比较。如果当前的算术运算结果小于在前的最小值,当前的结果被新近地存储在寄存器 166;如果先前的结果小于当前的结果,先前的结果被保持。利用这种操作,最大的相关算术运算结果总是被存储在寄存器 166 中,并根据全部的数据串的操作的完成,最后的相关结果被从输出总线 171 输出,作为,例如,一个 16—位信号。

控制单元 164,加法单元 165,寄存器 166,比较/存储单元 167,和单元 168 在这个电路中被用常规的 *CMOS* 晶体管电路构成。具体地,当加法单元 165 或者类似采用包括本发明的复位电路的电路结构时,可实现高精度读出放大器操作和高速的处理。如以上所述,不仅可以实现高速度处理和低成本,由于算术运算是在电容量的基础上通过锁存电路被执行的,所以电流消耗可被减少,因而实现低功耗。由于这个原因,本发明被适当地应用到便携设备,如 8mm *VTR* 摄像机或者类似的设备。

(第七实施例)

本发明的第七实施例将参照图 11A, 11B, 和 11C 进行描述。第七实施例提供了一种电路结构, 根据本发明的集成技术, 在图象信号数据被读取以前可以执行高速的图象处理, 和一种光学的传感器(固态的图象拾取元件)。

图 11A 是一个方框图, 显示了这个实施例的一个电路的总的结构, 图 11B 是一个电路图, 显示了这个实施例的一个电路的象素部分的结构, 图 11C 是一个示意图用于说明这个实施例的算术运算内容。

参见图 11A, 该电路包括光接收部分 141, 其中每个包括一个光电转换元件, 行存储器 143, 145, 147, 和 149, 相关计算单元 144 和 141, 和算术运算输出单元 150。如图 11B 所示的光接收部分部分 141 包括耦合电容器装置 151 和 152, 用于连接光学信号输出端和输出总线线路 142 和 146, 一个双极晶体管 153, 连接到双极晶体管 153 的基区的电容器装置 154, 和一个开关 MOS 晶体管 155。输入到图象数据读出单元 160 的图象数据被双极晶体管 153 的基区光电地转换。

对应于光电地转换的光载波的输出被读取到双极晶体管 153 的发射极, 并根据通过耦合的电容器装置 151 和 152 输入存储的电荷信号, 升高输出总线线路 142 和 146 的电势。利用上述的操作, 在列方向的象素的输出的和被读取到行存储器 147, 在行方向的象素的输出的和被读取到行存储器 143。在这个例子中, 如果双极晶体管的基极电势通过每个象素部分的电容器装置 154 被升高的区利用, 例如一个译码器(在图 11A 到 11C 中未示出)被选择时, 在读出

单元 160 上的一个任意的区的 X -和 Y -方向的和可被输出。

例如,如图 11C 所示,当图象 156 在时间 t_1 被输入时,图象 157 在时间 t_2 被输入,通过在 Y -方向分别加上这些图象获得的输出结果 158 和 159 变为图象信号表示如图 11C 所示的一个车辆的运动状态,这些数据被分别存储在如图 11A 所示的线路存储器 147 和 149。同样地,通过在 X -方向加上图象数据获得的数据被存储在行存储器 143 和 145。

从如图 11C 所示的图象信号的数据串输出 158 和 159 中可以看出,二图象的数据根据图象的运动变换。因而,当相关计算单元 148 计算移动量,并且相关计算单元 144 同样地计算在水平方向的数据时,在二维平面上的物体的运动可通过一个很简单的方法检测。

如图 11A 所示的相关计算单元 144 和 148 可包括本发明的相关算术运算电路。这些单元的每个具有比常规的电路少的元件数,特别是,可以为传感器象素间距。这个结构根据从传感器输出的模拟信号执行算术运算。但是,当本发明的 A/D 转换器被设置在每个行存储器和输出总线线路之间时,一个数字相关算术运算毫无疑问可被实现。

本发明的传感器元件包括一个双极晶体管。但是,本发明也适用于一个 MOS 晶体管或者只用于一个光电二极管,而不设置任何放大晶体管。

此外,这个实施例在不同时间不同数据串之间执行一个相关算术运算。另外,当多个要识别的图形数据的 X -和 Y -投射结果被存储在一个存储器中时,图形识别被实现。

如上所述，当本发明的象素输入单元和相关算术运算电路或者类似电路被结合时，下列的效果是被期待的。

(1) 由于从传感器被并行地和同时地读取的数据被进行与从传感器中逐次读取数据的常规的处理不同的并行地处理，高速的运动检测和图形识别被实现。

(2) 由于包括一个传感器的一个单片半导体器件能被构成，图象处理可被实现而无需增加周边电路的规格，可以低成本地实现下列高级功能的产品：(a) 一个控制设备用于旋转电视屏幕使其朝向使用者方向，(b) 一个控制设备用于调节空气调节器的风向朝向使用者方向，(c) 用于 8—mm VTR 摄像机的跟踪控制设备，(d) 在一个工厂中的标签识别设备，(e) 能自动地识别人的机器人，(f) 用于车辆的车间距离控制器。

本发明的输入单元和电路图象的集成化已经被叙述。本发明不仅适用于图象数据，而且也可用于例如，音频数据的识别处理。

如上所述，根据本发明，由于一个用于执行多个可变信号的并行算术运算的电路可通过用比一个常规的逻辑电路少的晶体管构成，并对一个微弱的信号具有高灵敏度，高速度算术运算和低功耗可被达到。

由于具有同样的绝对值只是极性相反的信号可在差分输入/输出型读出放大器的差分输入端被写入，读出系统的差分增益可被增加，并且超高灵敏度检测可被实现。由此，并行处理操作的数目可被增加，并且每周期的算术运算数目可被增加。由于差分输入/输出型读出放大器能通过 MOS 晶体管被构成，一个小的电路规模，一个小的处理级，，和高速的处理能被达到，因为一个多输入级也

可通过 *MOS* 晶体管被构成。

而且,当差分输入/输出型读出放大器包括一个锁存型读出放大器时,读出放大器本身有一个存储功能,并可输出反相的和非反相的信号。由此,没有噪声混合的高精度数据可以被传送,当本发明的半导体器件被相互串联连接时,多输入级的结构可被进一步简化。

当本发明的半导体器件被用于择多电路, *A/D* 或者 *D/A* 转换器, 和一个信号处理系统时, 这样的单元或者系统能由具有一个小的物理结构和一个小的电路规模的芯片构成。因而, 连接线路的数目可被减少, 外部噪声的混可被去除, 高速度算术运算处理能被实现。

本发明不限于上述的实施例, 在本发明的范围内可以有各种变化和改变。

表 1

输入	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

表 2

模拟输入电压	S3	S2	S1
$0.0 \leq V_A < 0.625$	0	0	0
$0.625 \leq V_A < 1.25$	0	0	1
$1.25 \leq V_A < 1.875$	0	1	0
$1.875 \leq V_A < 2.5$	0	1	1
$2.5 \leq V_A < 3.125$	1	0	0
$3.125 \leq V_A < 3.75$	1	0	1
$3.75 \leq V_A < 4.375$	1	1	0
$4.375 \leq V_A < 5.0$	1	1	1

图 1

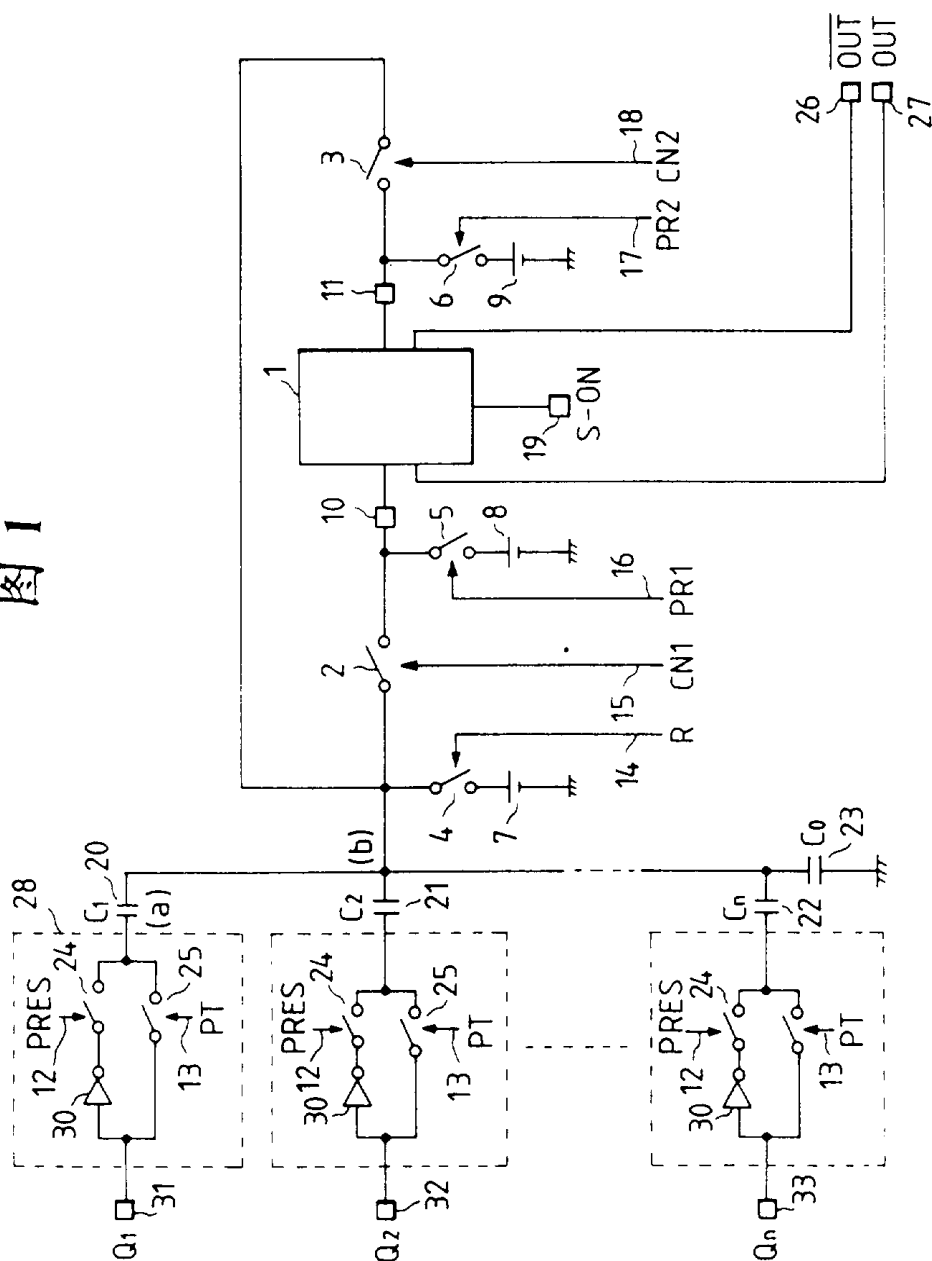
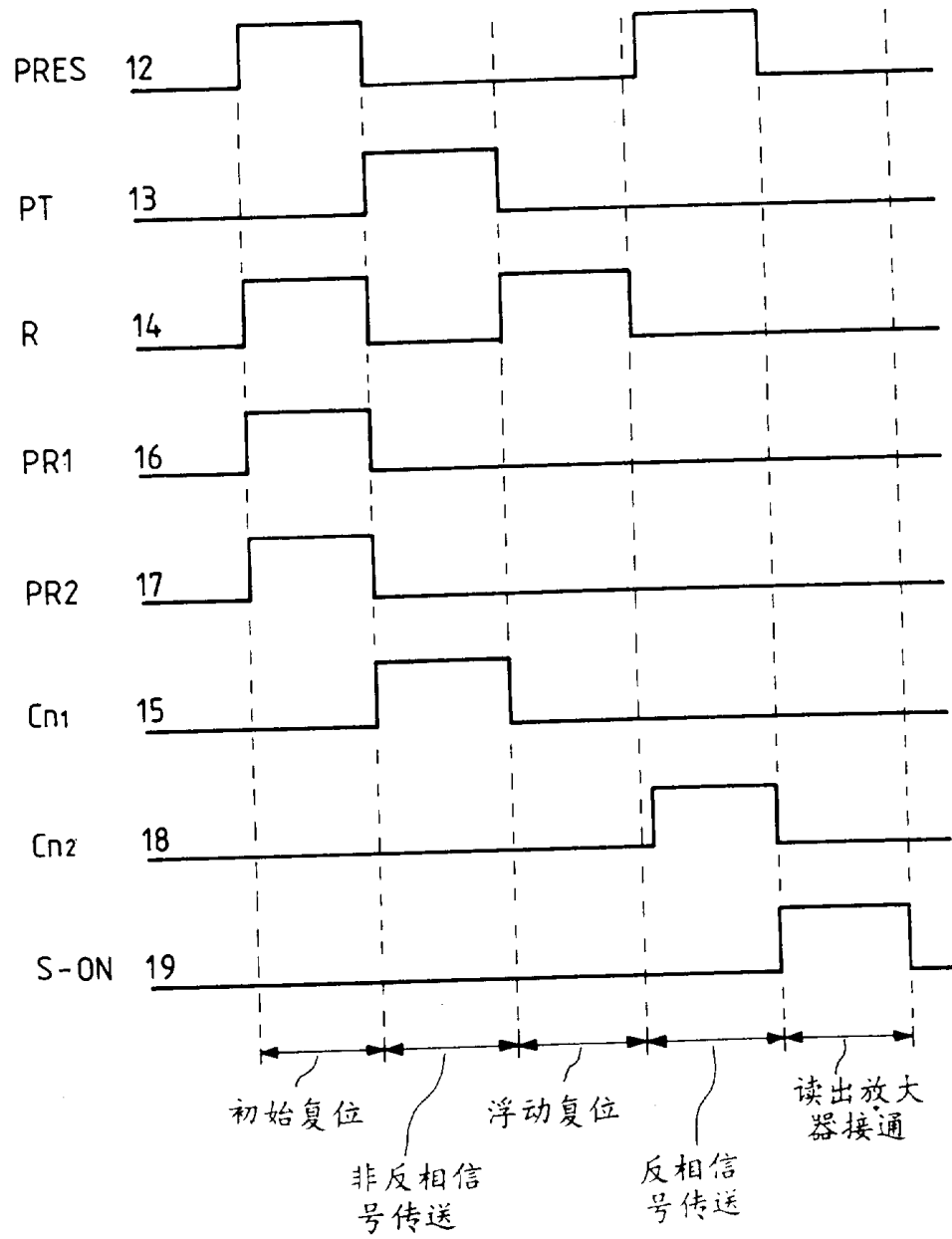


图 2



[illegible]

图 4

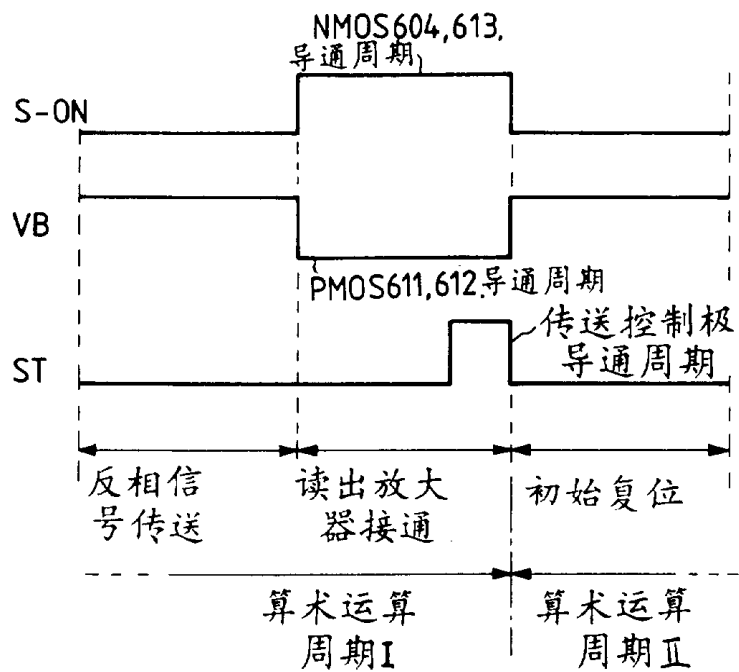
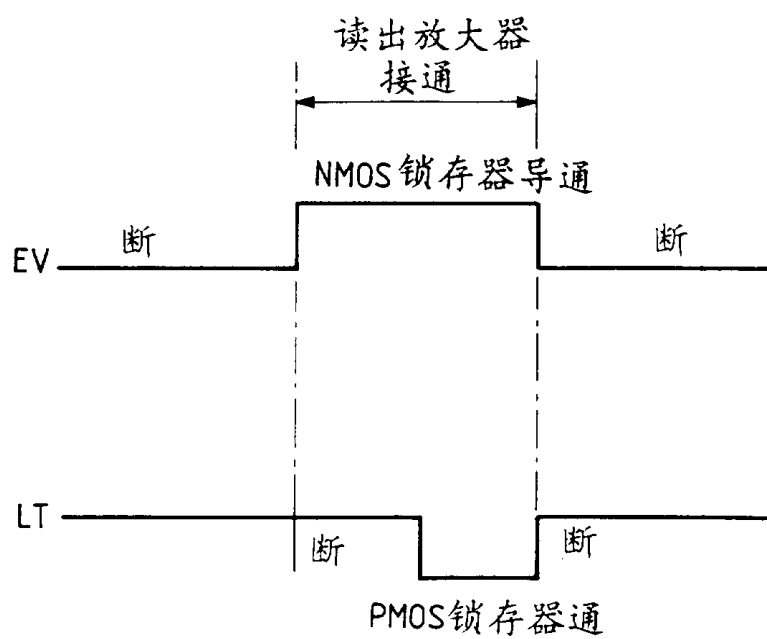


图 7





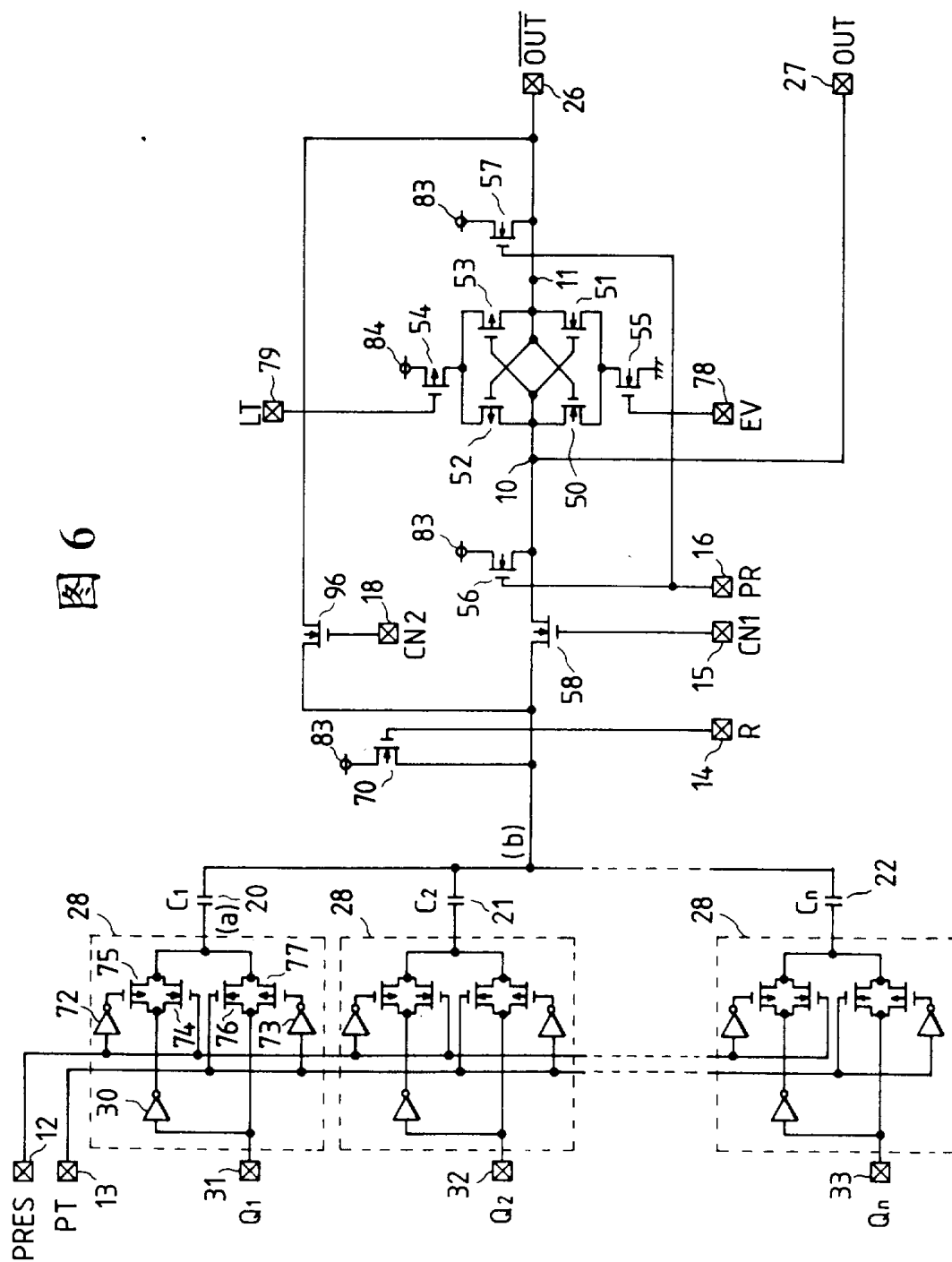


图 6

图 8

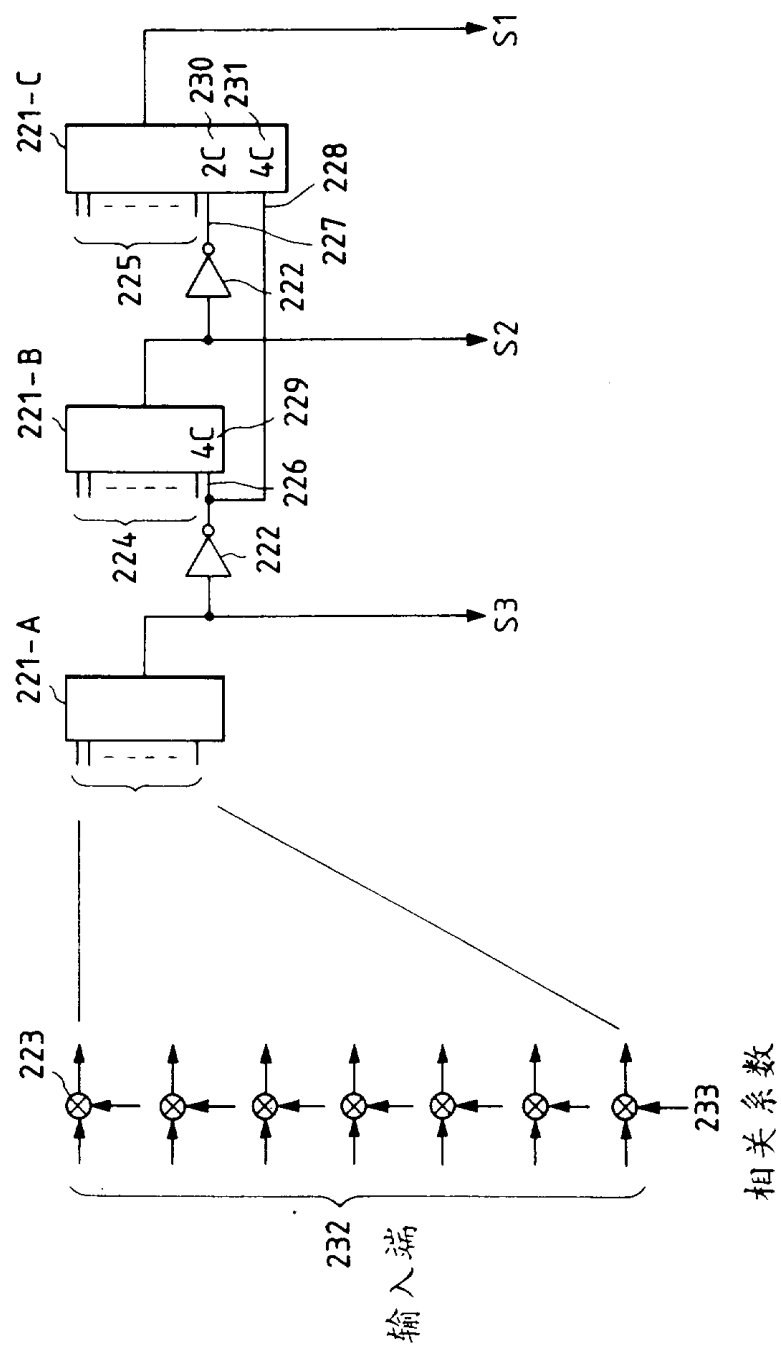


图 9

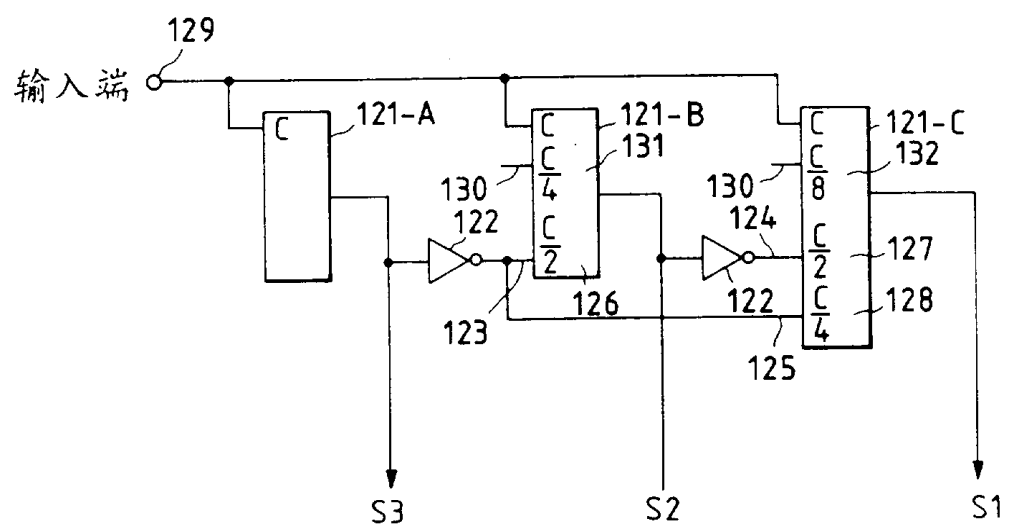


图 10

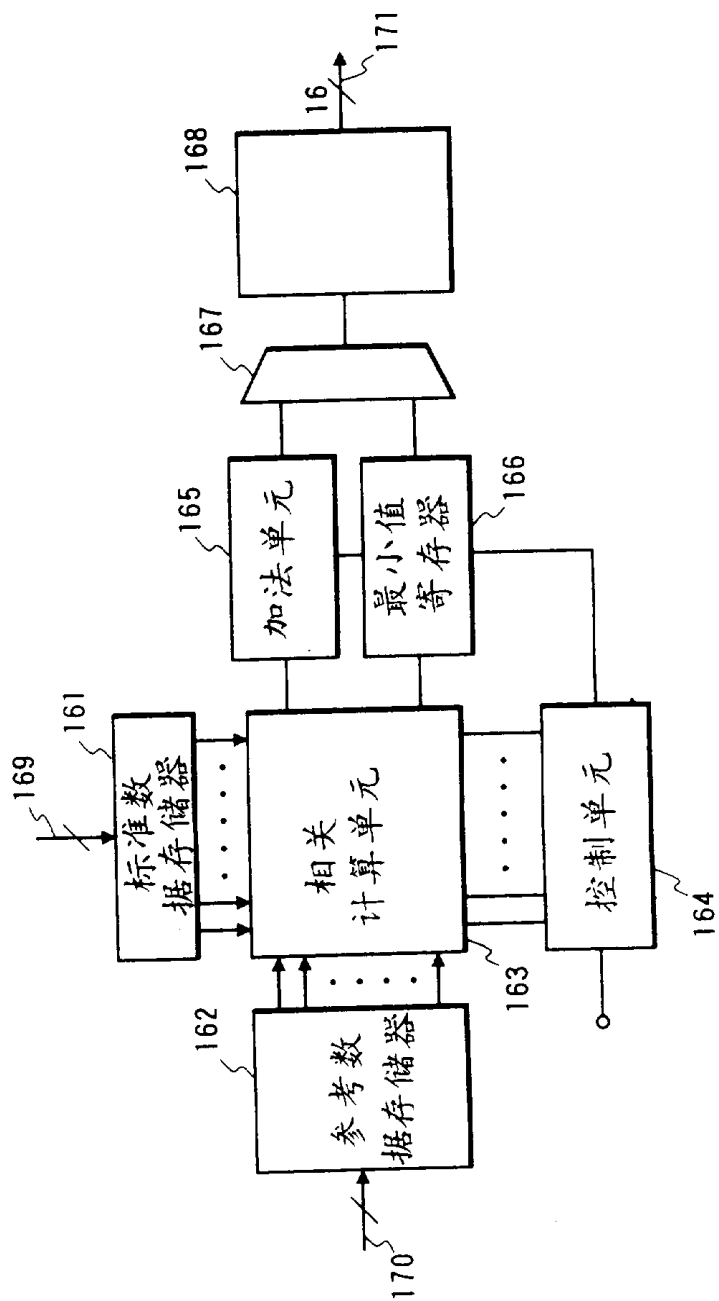


图 11A

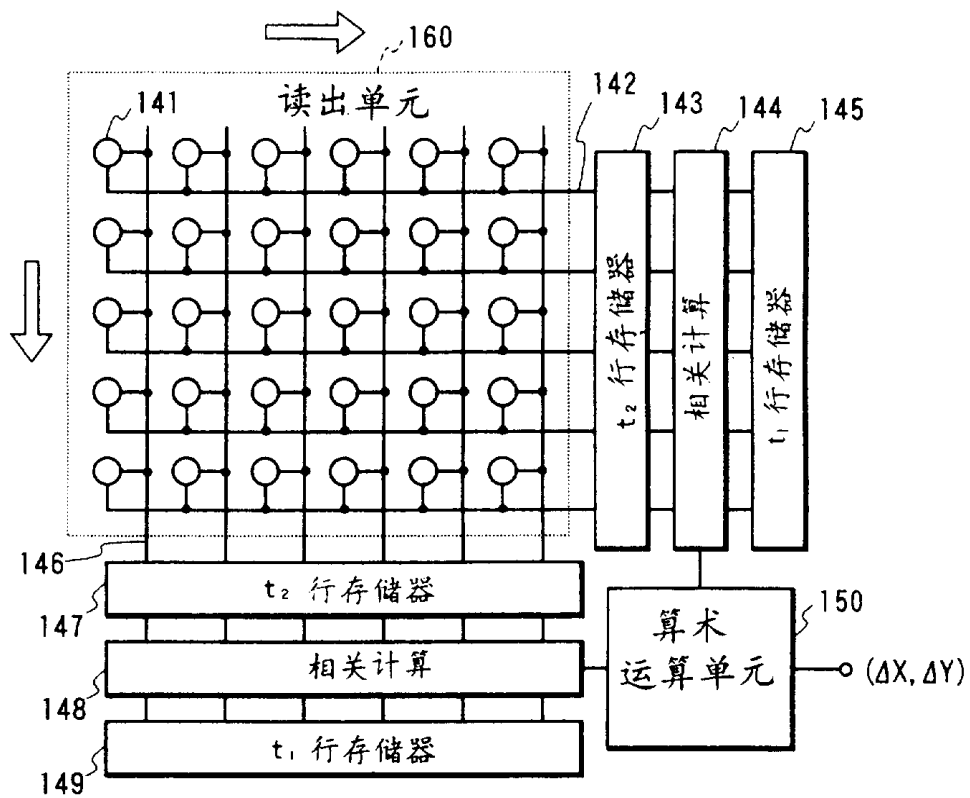


图 11B

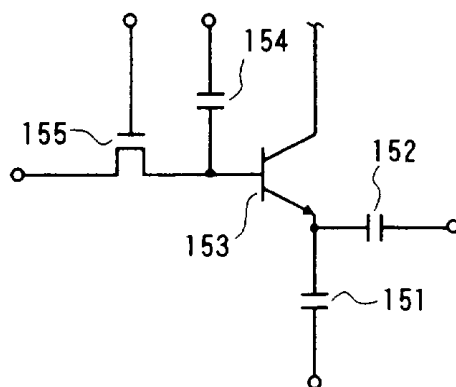


图 11C

