

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201649 A1

(51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/20 (2006.01)

(21) 国際出願番号: PCT/JP2023/012178

(22) 国際出願日: 2023年3月27日(27.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 田中 貴規 (TANAKA Takanori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中西 洋介 (NAKANISHI Yosuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機

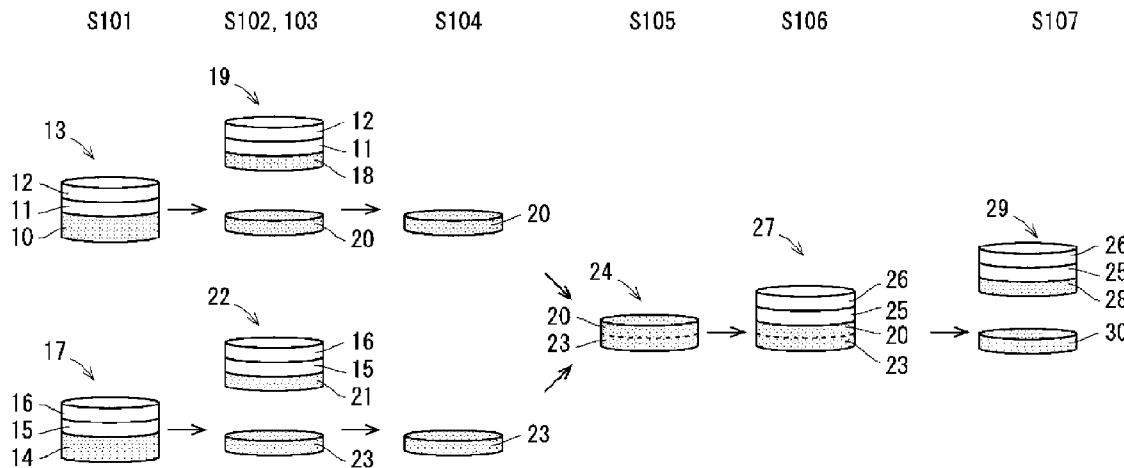
株式会社内 Tokyo (JP). 渡邊 寛(WATANABE Hiroshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 三谷 陽一郎(MITANI Yoichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 丹羽 弘樹(NIWA Hiroki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 秋好 恭兵(AKIYOSHI Kyohei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND BONDED WAFER

(54) 発明の名称: 半導体デバイスの製造方法および接合ウェハ



(57) Abstract: The purpose of the present disclosure is to improve productivity and suppress cracking of wafers in manufacturing a semiconductor device in which wafers are re-used. A semiconductor device manufacturing method according to the present disclosure comprises: (a) a step for obtaining, from a plurality of SiC wafers (13, 17) by dividing the SiC wafers (13, 17) in the thickness direction, at least each one of divided wafers (20, 23) not including device structures (12, 16); (b) a step for obtaining a bonded wafer (24) by bonding the divided wafers (20, 23) obtained from the different SiC wafers (13, 17); and (c) a step for forming a device structure (26) on the surface of the bonded wafer (24).



WO 2024/201649 A1

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : 本開示は、ウェハを再利用する半導体デバイスの製造において、生産性を向上し、かつウェハの割れを抑制することを目的とする。本開示に係る半導体デバイスの製造方法は、(a) 複数のSiCウェハ(13, 17)の夫々を厚さ方向に分割することにより、各SiCウェハ(13, 17)からデバイス構造(12, 16)を含まない少なくとも1つの分割ウェハ(20, 23)を得る工程と、(b) 異なるSiCウェハ(13, 17)から得られた複数の分割ウェハ(20, 23)を接合して接合ウェハ(24)を得る工程と、(c) 接合ウェハ(24)の表面にデバイス構造(26)を形成する工程と、を備える。

明 細 書

発明の名称：半導体デバイスの製造方法および接合ウェハ

技術分野

[0001] 本開示は、半導体デバイスの製造方法および接合ウェハに関する。

背景技術

[0002] 従来、半導体デバイスのコスト削減のため、コストの高い単結晶ウェハを有効利用する技術が提案されている。例えば、特許文献1には、デバイスプロセスの薄板化工程時にウェハをスライスし、デバイスが形成されていない分割ウェハを再利用する方法が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-50362号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に開示される方法では、再利用する分割ウェハの割れを低減するため、分割ウェハ上にデバイス動作に関係ないバッファ層となるエピタキシャル膜を厚く成膜し、分割ウェハを分割元のウェハと同等の厚みにする必要がある。厚いエピタキシャル膜の形成は生産性の観点で不利である。一方で、エピタキシャル膜を薄く形成すると、分割ウェハを再利用する際に割れるリスクが高くなるという問題があった。

[0005] 本開示は、上記の問題点を解決するためになされたものであり、ウェハを再利用する半導体デバイスの製造において、生産性を向上し、かつウェハの割れを抑制することを目的とする。

課題を解決するための手段

[0006] 本開示の半導体デバイスの製造方法は、(a)複数の第1ウェハの夫々を厚さ方向に分割することにより、各第1ウェハからデバイス構造を含まない少なくとも1つの第1分割ウェハを得る工程と、(b)異なる第1ウェハか

ら得られた複数の第1分割ウェハを接合して接合ウェハである第1接合ウェハを得る工程と、(c)第1接合ウェハの表面にデバイス構造を形成する工程と、を備える。

発明の効果

[0007] 本開示の半導体デバイスの製造方法によれば、分割ウェハ同士を接合してなる接合ウェハにデバイス構造が形成される。従って、分割ウェハ上にエピタキシャル膜を形成するよりも低コストに、割れを考慮した十分な厚みの接合ウェハを形成し、ウェハを再利用することが可能である。本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0008] [図1]実施の形態1に係る半導体デバイスの製造方法の基本プロセスを示す図である。

[図2]実施の形態1に係る半導体デバイスの製造方法を示すフローチャートである。

[図3]接合ウェハの厚みを500 μ mとする場合の、実施の形態1に係る半導体デバイスの製造方法を示す図である。

[図4]接合ウェハの厚みを500 μ mとする場合の、実施の形態1に係る半導体デバイスの製造方法を示す図である。

[図5]接合ウェハの厚みを350 μ mとする場合の、実施の形態1に係る半導体デバイスの製造方法を示す図である。

[図6]接合ウェハの厚みを350 μ mとする場合の、実施の形態1に係る半導体デバイスの製造方法を示す図である。

[図7]2枚の分割ウェハからなる接合ウェハにおける接合面の深さを示す図である。

[図8]3枚の分割ウェハからなる接合ウェハにおける接合面の深さを示す図である。

[図9]実施の形態1に係る半導体デバイスの製造方法における、ウェハの分割

タイミングのパターンを示す図である。

[図10]実施の形態1に係る半導体デバイスの製造方法において、エピタキシャル膜の形成前にSiCウェハを分割する場合の基本プロセスを示す図である。

[図11]実施の形態2に係る半導体デバイスの製造方法の基本プロセスを示す図である。

[図12]実施の形態2の変形例に係る半導体デバイスの製造方法の基本プロセスを示す図である。

[図13]実施の形態3に係る半導体デバイスの製造方法の基本プロセスを示す図である。

[図14]実施の形態3の変形例に係る半導体デバイスの製造方法の基本プロセスを示す図である。

発明を実施するための形態

[0009] < A. 実施の形態1 >

< A-1. 基本プロセス >

図1は、本実施の形態における半導体デバイスの製造方法の基本プロセスを示す概要図である。図2は本実施の形態における半導体デバイスの製造方法のフローチャートである。以下、図1および図2を参照して、本実施の形態における半導体デバイスの製造方法を説明する。

[0010] まず、ステップS101において、単結晶のSiCウェハ10上にエピタキシャル膜11が成膜され、エピタキシャル膜11上にデバイスの表面構造（以下、デバイス構造）12が形成される。デバイス構造12の形成には、イオン注入および表面電極の形成が含まれる。デバイス構造12は、例えばSiCパワーデバイス構造である。SiCウェハに代えてGaNウェハまたは酸化ガリウムウェハが用いられる場合、デバイス構造12は、例えばGaN高周波デバイス構造、GaNパワーデバイス構造、または酸化ガリウムパワーデバイス構造である。SiCウェハ上にGaN高周波デバイス構造、GaNパワーデバイス構造、または酸化ガリウムパワーデバイス構造が形成さ

れてもよい。エピタキシャル膜11およびデバイス構造12が形成されたSiCウェハ10をSiCウェハ13と称する。

[0011] ステップS101では、さらにSiCウェハ13と同様のSiCウェハ17が形成される。すなわち、単結晶のSiCウェハ14上にエピタキシャル膜15が成膜され、エピタキシャル膜15上にデバイス構造16が形成される。エピタキシャル膜15およびデバイス構造16が形成されたSiCウェハ14をSiCウェハ17と称する。SiCウェハ13, 17を第1ウェハとも称する。ここで、SiCウェハ10, 14は複数のSiCウェハを接合して形成された接合ウェハであってもよい。SiCウェハ10, 14は、N型もしくはP型の導電型、または半絶縁性を有する。

[0012] 次に、ステップS102において、SiCウェハ13が、デバイス構造12を含むデバイス付ウェハ19と、デバイス構造12を含まない分割ウェハ20とに分割される。デバイス付ウェハ19は、SiCウェハ10から分割されたSiCウェハ18と、SiCウェハ18上のエピタキシャル膜11と、エピタキシャル膜11上のデバイス構造12とを備える。

[0013] ステップS102では、SiCウェハ17もSiCウェハ13と同様に分割される。すなわち、SiCウェハ17が、デバイス構造16を含むデバイス付ウェハ22と、デバイス構造16を含まない分割ウェハ23とに分割される。デバイス付ウェハ22は、SiCウェハ14から分割されたSiCウェハ21と、SiCウェハ21上のエピタキシャル膜15と、エピタキシャル膜15上のデバイス構造16とを備える。デバイス付ウェハ19, 22を第1デバイス付ウェハとも称し、分割ウェハ20, 23を第1分割ウェハとも称する。なお、本ステップにおけるSiCウェハ13, 17の分割にはレーザースライス技術などが用いられる。

[0014] その後、ステップS103において、デバイス付ウェハ19, 22のデバイス構造12, 16とは反対側の面である裏面が処理される。まず、研削または研磨などにより、レーザースライスによってダメージを受けたデバイス付ウェハ19, 22の裏面側のダメージ層が除去され、デバイス付ウェハ1

9, 22が所望の板厚に調整される。その後、デバイス付ウェハ19, 22の裏面に、図示しない裏面電極の形成などの通常の裏面プロセスが行われる。

[0015] 次に、ステップS104において、分割ウェハ20, 23のおもて面加工が行われる。分割ウェハ20, 23も、レーザースライスによってダメージを受けたダメージ層を含むため、研削または研磨などによりこのダメージ層が除去され、さらに分割ウェハ20, 23が所望の板厚に調整される。後述する接合ウェハにおける接合面の深さを考慮して、分割ウェハ20, 23の厚みは、望ましくは50 μ m以上であり、より望ましくは80 μ m以上であり、最も望ましくは100 μ m以上である。分割ウェハ20, 23の板厚を調整する際に、必要に応じて分割ウェハ20, 23の裏面側の加工、例えば研削または研磨などをおこなってもよい。裏面側の加工を行うことにより、板厚の調整の他、デバイスプロセス中についた傷等を除去することができる。その結果、後のステップS105で高品質な接合ウェハを得ることができる。ここで、高品質な接合ウェハは、ダメージの抑制、反りの抑制、または平坦性の向上などが為されたものを指す。分割ウェハ20, 23の裏面側の加工は、分割および接合によりデバイス付ウェハを作製する上で一定の効果を有する工程であるとも言える。

[0016] その後、ステップS105において、分割ウェハ20, 23を接合する。分割ウェハ20, 23を接合してなるウェハを接合ウェハ24と称する。接合ウェハ24を第1接合ウェハとも称する。この際、分割ウェハ20, 23の接合面には、研削、研磨またはCMPなどにより表面加工が行われていてもよい。接合ウェハ24の反りを低減するため、分割ウェハ20, 23の反りまたは表面状態が検査され、その結果に応じて接合する分割ウェハ20, 23の組み合わせが定められてもよい。このようにすると、高品質な接合ウェハが得られる。ここで、2枚の分割ウェハ20, 23は、同時に作製されても別々に作製されてもよい。つまり、2枚の分割ウェハ20, 23は、例えば異なる加工設備を用いて同時または順に作製されてもよく、同一の加工

設備で順に作製されてもよい。このようにすると、柔軟な生産が可能となり、分割ウェハの生産性を向上させることができる。なお、ここでは2枚の分割ウェハ20、23が接合されることを説明しているが、3枚以上の任意の数の分割ウェハが接合されて接合ウェハ24が形成されてもよい。

[0017] 分割ウェハ20、23は、例えば常温接合により接合される。常温接合によれば、接合界面にメタル層などが含まれず、清浄な界面が得られる。そして、常温接合によれば接合界面にアモルファス層が生じる。分割ウェハ20、23の接合後、研削、研磨またはCMPなどにより接合ウェハ24が所望の板厚に加工されてもよい。この工程で、接合ウェハ24は通常用いられるSiCウェハと同程度の厚みになるため、厚膜のエピタキシャル膜を薄いSiCウェハ上に形成して全体の強度を維持するような場合より低コストに、かつ割れるリスクなく分割ウェハ20、23を再利用することが可能となる。

[0018] 分割ウェハ20、23は、接合前に、外周面と切断面との交点の尖った部分、換言すれば分割ウェハ20、23の角部分を除去するベベル加工が行われてもよい。この場合、接合ウェハ24の端部の形状は断面視で「3」のような形状、または変異点を5つから7つ有する折れ線状の形状となる。分割ウェハ20、23の端部の形状が曲線状である場合に、接合ウェハ24の端部の形状は接合によって「3」のような形状となる。分割ウェハ20、23の端部の形状がそれぞれ三角形である場合、接合により変異点が1つ重複し、接合ウェハ24の端部の形状は変異点を5つ有する折れ線状の形状となる。分割ウェハ20、23の端部の形状がそれぞれ台形である場合、接合により変異点が1つ重複し、接合ウェハ24の端部の形状は変異点を7つ有する折れ線状の形状となる。この場合、接合後のベベル加工が不要で、かつ削る量が少なく済むため、接合ウェハ24の面積を大きくすることができる。

[0019] あるいは、接合前の分割ウェハ20、23にはベベル加工を行わず、接合ウェハ24に対してベベル加工を行ってもよい。この場合、接合ウェハのベベル形状は、接合ウェハでない通常のウェハと同様、断面視で「) 」のよう

な曲線形状、または台形状となる。この場合、「3」のような形状と比べて、接合ウェハ24のチップング防止の効果が高まる。また、接合前の分割ウェハ20、23と、接合後の接合ウェハ24との両方にベベル加工を行ってもよい。この場合、加工時のチップングの防止と、接合ウェハ24のチップング防止との効果の両方を得ることができる。

[0020] 次に、ステップS106において、接合ウェハ24上にエピタキシャル膜25が成膜され、さらにエピタキシャル膜25の上にデバイス構造26が形成される。こうして形成されたウェハを接合ウェハ27と称する。

[0021] その後、ステップS107において、接合ウェハ27が厚さ方向に分割され、デバイス構造26を含むデバイス付ウェハ29と、デバイス構造26を含まない分割ウェハ30とが得られる。デバイス付ウェハ29を第2デバイス付ウェハとも称し、分割ウェハ30を第2分割ウェハとも称する。デバイス付ウェハ29は、SiCウェハ10の上にエピタキシャル膜25が形成され、エピタキシャル膜25の上にデバイス構造26が形成された構造である。この工程は、ステップS102と同様である。

[0022] なお、接合ウェハ27は2枚の分割ウェハ20、23の接合面を含んでいるが、この接合面はデバイス付ウェハ29に含まれないことが望ましい。これにより、接合面によるデバイス特性の変動をデバイス付ウェハ29において避けることができる。ここで、常温接合によって接合ウェハ27が形成されていた場合にはその接合界面にアモルファス層が生じることから、デバイス付ウェハ29のSiCウェハ28にはアモルファス層が含まれないことが望ましいとも言える。ただし、デバイス付ウェハ29が2枚の分割ウェハ20、23の接合面を含んでいても、デバイス構造の種類またはデバイスに求められる特性などを考慮すると、問題とならない場合がある。この場合、デバイス付ウェハ29を得る際に接合面を含まないようにする必要はなく、ウェハ分割工程のプロセス調整または厚み調整の自由度を向上させることができる。

[0023] ステップS107で得られたデバイス付ウェハ29には、再びステップS

103の図示しない裏面処理が行われる。また、ステップS107で得られた分割ウェハ30には、再びステップS104以降の処理が行われてもよい。その後、分割ウェハ30は他の分割ウェハと接合されることにより、更なるデバイス付ウェハの作成に利用することができる。すなわち、第2分割ウェハである分割ウェハ30を新たな第1分割ウェハとしてステップS105からステップS107の処理が少なくとも1回繰り返される。

[0024] こうして、2枚のSiCウェハ13, 17から3枚のデバイス付ウェハ19, 22, 29が得られた。上記の処理を繰り返すことにより、元のSiCウェハよりも多い枚数のデバイス付ウェハを得ることができる。また、含まれる各種欠陥の量が少ないSiCウェハ、いわゆる高品質ウェハを基に、複数のデバイス付ウェハを作製することもでき、高品質なデバイスを効率的に多数、生産することができる。

[0025] 複数の分割ウェハを接合させた接合ウェハは、それぞれの分割ウェハの状態により、結晶欠陥、例えば貫通転位などの各種欠陥の量が接合面を境に異なる場合がある。この場合、接合ウェハのデバイス構造形成面側とその反対面側とで、表層に存在する結晶欠陥密度が異なっていたり、接合界面の近傍に存在する結晶欠陥密度が異なっていたりする。さらには、通常ウェハでは表面から裏面にかけて連続する貫通転位が、接合ウェハでは接合界面で非連続となる。しかしながら、各種欠陥の量が複数の分割ウェハ間で異なる場合でも、それがデバイスプロセスまたはデバイス特性に与える影響は無視できる。ここで、デバイス構造または分割ウェハを適宜選択することで、上記の欠陥の不連続性等がデバイスプロセスまたはデバイス特性に与える影響はさらに抑制できる。さらに、デバイス付きウェハに接合面を含まないようにすると、上記の欠陥の不連続性等がデバイス特性に及ぼす影響を排除することができる。

[0026] < A - 2 . 実運用 >

図3から図6は、図1に示した基本プロセスを実際の運用に落とし込んだ場合の流れを示す図である。図3および図4は、厚さ500 μ mのSiCウ

エハでの流動例を示し、図5および図6は、厚さ $350\mu\text{m}$ のSiCウェハでの流動例を示している。

[0027] 図3および図5は、SiCウェハA3, B3から出発して接合ウェハE1が形成されるまでを示している。図4および図6は、接合ウェハE1とSiCウェハF3から接合ウェハG1が形成されるまでを示している。図3から図6において、ウェハの中に示された数字はウェハの厚み(μm)を示している。また、ウェハの上または下に丸括弧付きで記された数字は、除去されたウェハの厚み(μm)を示している。また、ウェハ内の破線は接合面を示しており、接合面の横に大括弧付きで記された数字は、接合面の深さ(μm)、すなわち接合ウェハのおもて面から接合面までの深さ(μm)を示している。但し、これらの図に示される各層の厚みおよび深さは例示であり、適宜変更可能である。

[0028] 図3に示されるように、SiCウェハA3, B3が用意される。エピタキシャル膜を含むSiCウェハA3, B3の厚みは $510\mu\text{m}$ である。SiCウェハA3はSiCウェハA1のおもて面にデバイス構造A2が形成されたものである。また、SiCウェハB3はSiCウェハB1のおもて面にデバイス構造B2が形成されたものである。なお、図3から図6の説明において、デバイス構造はエピタキシャル膜を含むものとする。例えば、デバイス構造A2は、より具体的には、SiCウェハA1上に形成されたエピタキシャル膜と、そのエピタキシャル膜上に形成されたデバイス構造とを含んでいる。このことは、図3から図6の説明で登場する他のデバイス構造においても同様である。

[0029] SiCウェハA3は、デバイス構造A2を有するデバイス付ウェハA4と、デバイス構造A2を有さない分割ウェハA12とに分割される。デバイス付ウェハA4は、SiCウェハA11と、その上のデバイス構造A2とで構成される。SiCウェハA11の裏面が $50\mu\text{m}$ 除去され、SiCウェハA11の厚みは $100\mu\text{m}$ となる。分割ウェハA12は、おもて面が $50\mu\text{m}$ 、裏面が $10\mu\text{m}$ 除去され、厚みが $300\mu\text{m}$ となる。

- [0030] 分割ウェハA12は、さらに裏面が $25\mu\text{m}$ 除去され、厚みが $275\mu\text{m}$ となる。
- [0031] SiCウェハB3は、デバイス構造B2を有するデバイス付ウェハB4と、デバイス構造B2を有さない分割ウェハB12とに分割される。デバイス付ウェハB4は、SiCウェハB11と、その上のデバイス構造B2とで構成される。SiCウェハB11は裏面が $50\mu\text{m}$ 除去され、厚みが $100\mu\text{m}$ となる。分割ウェハB12はおもて面が $50\mu\text{m}$ 、裏面が $10\mu\text{m}$ 除去され、厚みが $300\mu\text{m}$ となる。
- [0032] 分割ウェハB12は、さらにおもて面が $25\mu\text{m}$ 除去され、厚みが $275\mu\text{m}$ となる。
- [0033] 次に、分割ウェハA12、B12が接合され、厚さ $550\mu\text{m}$ の接合ウェハC1が得られる。ここで、接合ウェハC1の接合面の深さは $275\mu\text{m}$ である。
- [0034] その後、接合ウェハC1のおもて面が厚さ $50\mu\text{m}$ 除去され、接合ウェハC1の厚さが $500\mu\text{m}$ となる。ここで、接合ウェハC1の接合面の深さは $225\mu\text{m}$ である。
- [0035] 次に、接合ウェハC1上にデバイス構造C2を形成する。接合ウェハC1とデバイス構造C2からなるウェハを接合ウェハC3と称する。接合ウェハC3の厚みは $510\mu\text{m}$ であり、接合ウェハC3における接合面の深さは $235\mu\text{m}$ である。
- [0036] その後、接合ウェハC3は、デバイス構造C2を有するデバイス付ウェハC4と、デバイス構造C2を有さない分割ウェハC5とに分割される。デバイス付ウェハC4は、分割ウェハA12の一部であるSiCウェハA121と、SiCウェハA121上のデバイス構造C2とで構成される。接合ウェハC3における接合面は、デバイス付ウェハC4には含まれない。SiCウェハA121の裏面が $50\mu\text{m}$ 除去されることにより、デバイス付ウェハC4の厚みは $100\mu\text{m}$ となる。分割ウェハC5は、分割ウェハA12の一部であるSiCウェハA122と、分割ウェハB12とで構成される。分割ウ

エハC5はおもて面が $50\mu\text{m}$ 、裏面が $10\mu\text{m}$ 除去され、厚みは $300\mu\text{m}$ となる。ここで、分割ウェハC5における接合面の深さは $35\mu\text{m}$ である。

[0037] 分割ウェハC5は、さらに裏面が $25\mu\text{m}$ 除去され、厚みは $275\mu\text{m}$ となる。

[0038] SiCウェハD3が用意される。SiCウェハD3はSiCウェハD1のおもて面にデバイス構造D2が形成されたものである。

[0039] SiCウェハD3は、デバイス構造D2を有するデバイス付ウェハD4と、デバイス構造D2を有さない分割ウェハD12とに分割される。デバイス付ウェハD4は、SiCウェハD11と、その上のデバイス構造D2とで構成される。SiCウェハD11の裏面が $50\mu\text{m}$ 除去されることにより、SiCウェハD11の厚みは $100\mu\text{m}$ となる。分割ウェハD12はおもて面が $50\mu\text{m}$ 、裏面が $10\mu\text{m}$ 除去され、厚みが $300\mu\text{m}$ となる。

[0040] 分割ウェハD12は、さらにおもて面が $25\mu\text{m}$ 除去され、厚みは $275\mu\text{m}$ となる。

[0041] 次に、分割ウェハC5、D12が接合され、厚さ $550\mu\text{m}$ の接合ウェハE1が得られる。このとき、接合ウェハE1は、SiCウェハA122と分割ウェハB12との接合面である第1の接合面と、および分割ウェハB12と分割ウェハD12との接合面である第2の接合面とを含んでいる。第1の接合面の深さは $35\mu\text{m}$ であり、第2の接合面の深さは $275\mu\text{m}$ である。

[0042] その後、図4に示されるように、接合ウェハE1のおもて面が $50\mu\text{m}$ 除去される。これにより、接合ウェハE1からSiCウェハA122が除去され、接合ウェハE1の厚さは $500\mu\text{m}$ となる。ここで、接合ウェハE1における接合面の深さは $225\mu\text{m}$ である。

[0043] 次に、接合ウェハE1のおもて面にデバイス構造E2が形成される。接合ウェハE1とその上のデバイス構造E2からなるSiCウェハを接合ウェハE3と称する。接合ウェハE3の厚さは $510\mu\text{m}$ であり、接合ウェハE3における接合面の深さは $235\mu\text{m}$ である。

- [0044] その後、接合ウェハE 3がデバイス構造E 2を有するデバイス付ウェハE 4と、デバイス構造E 2を有さない分割ウェハE 5とに分割される。デバイス付ウェハE 4は、分割ウェハB 1 2の一部であるSiCウェハB 1 2 1と、その上のデバイス構造E 2とで構成される。分割ウェハE 5は、分割ウェハD 1 2と、分割ウェハB 1 2の一部であるSiCウェハB 1 2 2とで構成される。分割ウェハE 5はおもて面が50 μ m、裏面が10 μ m除去され、厚みが300 μ mとなる。
- [0045] 分割ウェハD 1 2は、さらに裏面が25 μ m除去され、厚みは275 μ mとなる。
- [0046] SiCウェハF 3が用意される。SiCウェハF 3はSiCウェハF 1のおもて面にデバイス構造F 2が形成されたものである。
- [0047] SiCウェハF 3は、デバイス構造F 2を有するデバイス付ウェハF 4と、デバイス構造F 2を有さない分割ウェハF 1 2とに分割される。デバイス付ウェハF 4は、SiCウェハF 1 1と、その上のデバイス構造F 2とで構成される。SiCウェハF 1 1の裏面が50 μ m除去されることにより、SiCウェハF 1 1の厚みは100 μ mとなる。分割ウェハF 1 2はおもて面が50 μ m、裏面が10 μ m除去され、厚みは300 μ mとなる。
- [0048] 分割ウェハF 1 2は、さらにおもて面が25 μ m除去され、厚みは275 μ mとなる。
- [0049] 次に、分割ウェハE 5, F 1 2が接合され、厚さ550 μ mの接合ウェハG 1が得られる。このとき、接合ウェハG 1は、SiCウェハB 1 2 2と分割ウェハD 1 2との接合面である第1の接合面と、および分割ウェハD 1 2と分割ウェハF 1 2との接合面である第2の接合面とを含んでいる。第1の接合面の深さは35 μ mであり、第2の接合面の深さは275 μ mである。
- [0050] その後、接合ウェハG 1のおもて面が50 μ m除去される。これにより、接合ウェハG 1からSiCウェハB 1 2 2が除去され、接合ウェハG 1の厚さは500 μ mとなる。接合ウェハG 1における接合面の深さは225 μ mである。

- [0051] 図3および図4では、接合ウェハG1の形成までを説明したが、接合ウェハG1にデバイス構造を形成し、その後接合ウェハG1からさらに分割ウェハを取り出すことも可能である。このように、分割ウェハ同士の接合による接合ウェハと、接合ウェハへのデバイス構造の形成と、接合ウェハの分割と、を繰り返すことにより、分割ウェハを利用したデバイス付ウェハの作成を繰り返すことができる。
- [0052] 2枚のSiCウェハA3, B3から3枚のデバイス付ウェハA4, B4, C4が得られた。また、3枚のSiCウェハA3, B3, D3から5枚のデバイス付ウェハA4, B4, C4, D4, E4が得られた。すなわち、n枚のSiCウェハ10から(2n-1)枚のデバイス付ウェハが得られる。これにより、SiCウェハの使用数量を減らしてデバイス付ウェハを作製することができ、コスト低減効果が得られる。
- [0053] 図3および図4の例示では、SiCウェハA3, B3, D3, F3を、500 μ m厚のSiCウェハにエピタキシャル膜が10 μ m形成されたものとして記載している。しかし、SiCウェハA3, B3, D3, F3を構成する各層の厚みはこの限りではなく、所望のデバイス特性、またはウェハ厚に応じて適宜変更され得る。例えば、ウェハ厚が350 μ mでエピタキシャル膜厚が10 μ mの場合が図5および図6に示されている。
- [0054] 図3および図4の例示では、デバイス付ウェハA4, C4, E4の厚みが100 μ mであるが、この限りではなく、デバイス特性に応じて適宜選択される。また、SiCウェハA11, A121, B121の裏面が50 μ m除去されているが、その限りではない。分割時のダメージ層を除去し、デバイス付ウェハA4, C4, E4を所望の厚さにするため、SiCウェハA11, A121, B121の裏面の除去量は、例えば10 μ mから100 μ mの間で適宜選択されてよい。
- [0055] 図3および図4の例示では、分割ウェハA12, C5, E5の厚みが275 μ mとなっているが、この限りではない。分割ウェハA12, C5, E5の厚みは50 μ m以上、望ましくは80 μ m以上、最も望ましくは100 μ

m以上であればよい。これにより分割ウェハの割れを防止でき、更にデバイス付ウェハC4, E4において接合面が含まれない運用が可能となる。デバイス付ウェハは、接合面が含まれないことで、接合面がデバイス特性に与える影響を除外でき、接合手段を用いない通常のウェハを用いたデバイスと同等の特性を得ることができる。

[0056] 分割ウェハA12, C5, E5のおもて面が50 μ m除去されているが、この限りではない。分割時のダメージ層を除去、または、分割ウェハA12, C5, E5を所望の厚さにするため、分割ウェハA12, C5, E5のおもて面の除去量は、例えば10 μ mから100 μ mの間で適宜選択されてよい。

[0057] 図3および図4の例示では、分割ウェハA12, C5, E5の裏面の加工を2回に分けて実施しているが、その限りではなく、一括で実施しても2回以上の複数の工程に分けて実施してもよい。一括で実施する場合は、工程数の削減効果が得られる。複数の工程に分ける場合は、除去後の品質の向上が期待できる。

[0058] 図3および図4の例示では、分割ウェハA12, C5, E5の夫々の裏面が、2回の工程の合計で35 μ m除去されている。しかし、分割ウェハA12, C5, E5の裏面の除去量はその限りではなく、分割ウェハA12, C5, E5が所望の厚さになるように適宜選択が可能である。また、分割ウェハA12, C5, E5を表面の加工により所望の厚さにすることができる場合は、裏面の加工を行わなくてもよい。分割ウェハA12, C5, E5の裏面を除去することで、通常ウェハに施されるレーザー印字を除去することができるため、接合時のレーザー印字の影響、つまり接合面のダメージまたは凹凸を無くすことができ、接合ウェハの品質を向上できる。この効果は、分割ウェハの裏面の除去量の合計が1 μ m以上の場合に現れ、特に30 μ m以上の場合に顕著に得られる。

[0059] 図3および図4の例示では、分割ウェハA12, C5, E5および分割ウェハB12, D12, F12の表面の合計除去量が異なっているが、同じで

もよい。同じ場合、これらの分割ウェハの加工プロセスを統一できるため、生産性の観点で優位となる。また、図3および図4の例示では、分割ウェハA12, C5, E5及びB12, D12, F12の裏面の合計除去量が異なっているが、同じでもよい。同じ場合、これらの分割ウェハの加工プロセスを統一できるため、生産性の観点で優位となる。

[0060] 図3および図4の例示においては、275 μ m厚の2枚の分割ウェハを接合して、550 μ m厚の接合ウェハC1, E1, G1を作製している。しかし、分割ウェハの厚さはこの限りではなく、適宜変更が可能である。また、異なる厚さの分割ウェハを接合してもよく、例えば、分割ウェハA12と分割ウェハB12の厚さが異なってもよい。

[0061] 図3および図4の例示においては、接合ウェハC1, E1, G1のおもて面を50 μ m除去している。しかし、接合ウェハC1, E1, G1のおもて面の除去量はこの限りではなく、接合ウェハC1, E1, G1が所望の厚さとなるように適宜変更可能である。また、接合時に所望の厚さとなっている場合、ここでの除去は不要である。なお、接合ウェハの膜厚が元々のウェハの膜厚と同じである必要はなく、異なってもよい。接合後のウェハの方が厚い場合、デバイス製造プロセスにおいて、割れや反りをより低減することができる。同じである場合は、通常のウェハと同様のプロセスが可能である。薄い場合でも、接合ウェハの厚みが100 μ m以上、より望ましくは250 μ m、最も望ましくは300 μ m以上であれば、デバイスプロセスを流動することが容易となる。

[0062] なお、それぞれの膜厚の除去工程後、研削、研磨またはCMP等により仕上げ加工を施してもよい。特に分割ウェハの接合面の仕上げに関しては、表面粗さを小さくするために精密な加工が求められる場合があり、研磨またはCMPで鏡面処理されることが望ましい。これにより高品質な接合ウェハを得ることができる。

[0063] なお、図3および図4で例示したデバイス構造A2, B2, C2, D2, E2, F2は同じ構造でも良いし、異なってもよい。つまり、通常のウ

エハ上のデバイス構造と接合ウェハ上のデバイス構造とで、異なっても良い。例えば、デバイス構造A2とデバイス構造C2とが異なっても良い。接合ウェハの厚さが薄く、それゆえ反りまたは割れに対して通常ウェハより敏感になる場合には、その接合ウェハ上にはプロセス負荷の小さいデバイスを製造することで、反りまたは割れを回避することができる。あるいは、厚膜のエピタキシャル膜を必要とするデバイスを製造することによっても、接合ウェハの反りまたは割れの影響を低減することができる。ここでいうデバイス構造は、ダイオード、トランジスタ、サイリスタなどの半導体素子またはこれら組み合わせたものが形成されたものであってもよい。

[0064] また、通常ウェハで作製したデバイスの製造歩留まりによって、接合ウェハ上のデバイス構造を決定してもよい。つまり、通常ウェハの品質が低く、それを用いて作製されたデバイスの製造歩留まりが低い場合、そのウェハから分割、接合して得られる接合ウェハには、ウェハの品質に鈍感なデバイス構造を形成してもよい。また、通常ウェハの品質が高く、それを用いて作製されたデバイスの製造歩留まりが高い場合、そのウェハから分割、接合して得られる接合ウェハには、ウェハの品質に敏感なデバイス構造を形成してもよい。ここで、ウェハの品質はデバイス特性に影響が表れる欠陥の量または種類によって決まることがある。そのため、デバイスの製造歩留まりだけでなく、この欠陥の量および種類のうち少なくとも一つをデバイス構造作製よりも前にあらかじめ計測し、所望の特性が得られることを判断する情報を得てから、接合ウェハ上のデバイス構造を決定してもよい。このように、歩留まりが高く高品質なウェハと歩留まりが低く低品質なウェハとの間で、形成するデバイス構造を変えることにより、工場全体の製造歩留まりを向上することができる。

[0065] なお、図3および図4において例示したプロセスを適宜変更した場合においても、 n 枚のSiCウェハ10から $(2n-1)$ 枚のデバイス付ウェハが得られる。このように、SiCウェハの使用量が減り、コスト低減効果を得ることができる。すなわち、本開示の技術の効果を十分に得ることができる。

。

[0066] 図5および図6は、ウェハの厚みのみが図3および図4とは異なるため、これらの図の説明は省略する。図3および図4と同様、図5および図6に例示されている数値も適宜変更が可能である。

[0067] < A - 3. ウェハの厚みおよび接合面の深さ >

図1の例で説明すると、デバイス付ウェハ29に接合面が含まれると、接合面がデバイスの特性に影響を与える場合がある。特に、接合面で接合不良が生じている場合、これによりデバイスの特性が悪影響を受ける。このようなリスクを避けるため、デバイス付ウェハ29は接合ウェハの接合面を避けて形成されることが望ましい。従って、接合ウェハ24における接合面の深さは、デバイス付ウェハ29の厚みよりも大きいことが望ましい。このことを考慮して、接合ウェハ24における接合面の深さは、望ましくは50 μm 以上であり、より望ましくは80 μm 以上であり、最も望ましくは100 μm 以上である。これにより、接合ウェハを用いてデバイス構造を形成した場合でも、デバイス特性に接合面の影響が出ず、接合を伴わない通常ウェハを使用した場合と同等の特性を得ることができる。

[0068] なお、図3および図4に示されるデバイス構造形成前の接合ウェハC1, E1, G1において、接合面の深さはいずれも225 μm である。また、図5および図6に示されるデバイス構造形成前の接合ウェハC1, E1, G1において、接合面の深さはいずれも160 μm である。

[0069] 図7に示されるように、接合ウェハが2つの分割ウェハを接合してなる場合には、その接合面の深さが、接合ウェハの表面から50 μm 以上であることが望ましい。また、図8に示されるように、接合ウェハが3つの分割ウェハを接合してなる場合には、最も浅い接合面の深さが、接合ウェハの表面から50 μm 以上であることが望ましい。

[0070] 図3および図4において接合ウェハC1, E1, G1の厚みは500 μm であり、図5および図6において接合ウェハC1, E1, G1の厚みは350 μm であった。これらの接合ウェハの厚みは、接合ウェハ上にデバイス構

造が形成される際に反りが生じないことを考慮して定められる。すなわち、接合ウェハの厚みは望ましくは $100\mu\text{m}$ 以上、より望ましくは $250\mu\text{m}$ 、最も望ましくは $300\mu\text{m}$ 以上である。

[0071] < A-4. ウェハの分割タイミング >

図1から図6では、デバイス構造を有するSiCウェハから分割ウェハが分割された。すなわち、SiCウェハにデバイス構造が形成された後、分割が行われた。しかし、接合ウェハを構成する分割ウェハが元のSiCウェハから分割されるタイミングは、元のSiCウェハにデバイス構造が形成された後には限らない。図9には、様々なウェハの分割タイミングが「+」で示されている。後の接合によって接合ウェハのおもて面側になる分割ウェハと、裏面側になる分割ウェハの両方とも、元のSiCウェハにエピタキシャル膜が形成される前に分割されてもよいし（エピ前）、元のSiCウェハにエピタキシャル膜が形成された後、デバイス構造が形成される前に分割されてもよいし（エピ後）、元のSiCウェハにデバイス構造が形成された後に分割されてもよい。また、後の接合によって接合ウェハのおもて面側になる分割ウェハと、裏面側になる分割ウェハとで、元のSiCウェハからの分割タイミングが異なってもよい。換言すれば、分割工程はエピタキシャル膜形成前、デバイス形成前、またはデバイス形成後に実施されてもよい。

[0072] 図10は、エピタキシャル膜の形成前にSiCウェハを分割する場合の基本プロセスを示している。以下、図10に沿って基本プロセスを説明する。

[0073] まず、高品質なSiCウェハ40と低品質なSiCウェハ43を用意する。両SiCウェハ40、43における品質の差は、例えば欠陥の数、または平坦度などに表れる。高品質なSiCウェハ40、低品質なSiCウェハ43に比べて、表面欠陥または結晶中の転位密度が小さい。SiCウェハの品質の見極めには、例えば、光学顕微鏡観察、フォトルミネッセンスイメージング観察、またはX線回折解析等が用いられる。

[0074] SiCウェハ40は2枚の高品質な分割ウェハ41、42に分割され、同様にSiCウェハ43は2枚の低品質な分割ウェハ44、45に分割される

。その後、分割ウェハ41、42、44、45の切断面に形成されたダメージ層が研削または研磨などにより除去される。

[0075] 次に、高品質な分割ウェハ41と低品質な分割ウェハ44とが接合され、接合ウェハ46が形成される。また、高品質な分割ウェハ42と低品質な分割ウェハ45とが接合され、接合ウェハ47が形成される。

[0076] その後、接合ウェハ46上にエピタキシャル膜48およびデバイス構造49が形成される。接合ウェハ46、エピタキシャル膜48およびデバイス構造49からなるウェハを接合ウェハ50と称する。同様に、接合ウェハ47上にエピタキシャル膜51およびデバイス構造52が形成される。接合ウェハ47、エピタキシャル膜51およびデバイス構造52からなるウェハを接合ウェハ53と称する。

[0077] 次に、接合ウェハ50が、デバイス構造49を有するデバイス付ウェハ54と分割ウェハ44とに分割される。デバイス付ウェハ54は、高品質な分割ウェハ41、エピタキシャル膜48およびデバイス構造49を備えて構成される。同様に、接合ウェハ53が、デバイス構造52を有するデバイス付ウェハ55と分割ウェハ45とに分割される。デバイス付ウェハ55は、高品質な分割ウェハ42、エピタキシャル膜51およびデバイス構造52を備えて構成される。

[0078] この方法によれば、低品質なSiCウェハを接合ウェハにおける裏面側のウェハ、すなわち支持基板として用いることにより、高品質なSiCウェハから複数枚のデバイス付ウェハが作成される。また、エピタキシャル膜の形成前に初期のSiCウェハから複数枚のウェハを分割することで、分割された全ての分割ウェハを再利用することができる。なお、高品質な分割ウェハを接合ウェハにおけるおもて面側とし、低品質なウェハを接合ウェハにおける裏面側とすることは、図1から図6で説明したデバイス形成後にウェハが分割される場合にも適用可能である。この方法のように、ウェハの品質を見極め、高品質な分割ウェハを接合ウェハの表面として活用することで、高品質なウェハをより効率的に活用でき、製造工場としての総合的なデバイス歩

留まりを向上することが可能となり、より生産性を向上することができる。

[0079] < A - 5 . 変形例 >

上記の説明では、分割元のウェハを単結晶の SiC ウェハとした。この場合、SiC は加工が容易であるため、分割ウェハ同士を接合しやすいというメリットがある。しかし、分割元のウェハ、例えば第 1 ウェハ、第 1 分割ウェハ、または第 1 接合ウェハなどは、SiC に限らず、ダイヤモンド、窒化ガリウム (GaN) 、酸化ガリウム (Ga₂O₃) 、窒化アルミニウム (AlN) など他の単結晶材料からなるものであってもよい。このような場合であっても、各分割ウェハ間に熱膨張係数の差がないため、安定して接合を行うことができる。

[0080] 図 3 から図 6 の例において、接合ウェハを構成する各分割ウェハの厚みは同一であった。例えば、図 3 において接合ウェハ C 1 を構成する分割ウェハ A 1 2 , B 1 2 の厚みはいずれも 275 μm であった。また、図 5 において接合ウェハ C 1 を構成する分割ウェハ A 1 2 , B 1 2 の厚みはいずれも 190 μm であった。しかし、接合ウェハを構成する各分割ウェハの厚みは同じでなくてもよい。

[0081] 図 3 から図 6 の例では、1 枚の接合ウェハが 1 枚のデバイス付ウェハと、デバイス構造を有さない 1 枚の分割ウェハとに分割された。しかし、1 枚の接合ウェハが 1 枚のデバイス付ウェハと、デバイス構造を有さない複数枚の分割ウェハとに分割されてもよい。

[0082] また、図 10 の例では、1 枚の SiC ウェハ 40 が 2 枚の分割ウェハ 41 , 42 に分割された。しかし、1 枚の SiC ウェハ 40 が複数枚の分割ウェハに分割されてもよい。このことは図 10 の例における SiC ウェハ 43 についても同様である。

[0083] < A - 6 . 効果 >

図 1 の例で言えば、実施の形態 1 に係る半導体デバイスの製造方法は、(a) 複数の SiC ウェハ 13 , 17 の夫々を厚さ方向に分割することにより、SiC ウェハ 13 , 17 からデバイス構造を含まない少なくとも 1 つの分

割ウェハ20, 23を得る工程と、(b)異なるSiCウェハ13, 17から得られた複数の分割ウェハ20, 23を接合して接合ウェハ24を得る工程と、(c)接合ウェハ24の表面にデバイス構造26を形成する工程と、を備える。このように、SiCウェハ13からデバイス付ウェハ19を得た残りの分割ウェハ20を他の分割ウェハ23と共に再利用することにより、さらなるデバイス付ウェハ29を得ることができる。

[0084] ウェハを再利用する方法として、分割ウェハの上に分厚いエピタキシャル層を形成する特許文献1に記載の方法は、経済性が悪く、さらにウェハが反りやすく割れやすいという問題点がある。これに対して本実施の形態の方法では分割ウェハ同士を接合するため、反りを抑制しつつ、低コストにウェハを再利用することができる。

[0085] また、図1の例でいえば、接合ウェハ24は、異なるSiCウェハ13, 17から分割されたデバイス構造を含まない複数の分割ウェハ20, 23を接合してなる接合ウェハである。そして、接合ウェハ24の表面から50 μ m以上深い位置に、複数の分割ウェハ20, 23の接合面が存在する。これにより、接合ウェハ24を用いて接合面を含まないデバイス付ウェハ29を製造することができる。従って、接合面がデバイスの特性に与える影響を避けることができる。

[0086] <B. 実施の形態2>

実施の形態1では、複数の分割ウェハを接合して接合ウェハが形成された。これに対して実施の形態2では、1枚の分割ウェハを分割ウェハではない単結晶ウェハと接合することにより接合ウェハが形成される。

[0087] <B-1. 基本プロセス>

図11は、実施の形態2における半導体デバイスの製造方法における基本プロセスを示す概要図である。以下、図11を参照して、実施の形態2における半導体デバイスの製造方法を説明する。

[0088] まず、SiCウェハ63と単結晶SiCウェハ67が用意される。SiCウェハ63は、SiCウェハ60の上にエピタキシャル膜61が形成され、

さらにエピタキシャル膜61の上にデバイス構造62が形成されたものである。

[0089] 次に、SiCウェハ63が、デバイス構造62を有するデバイス付ウェハ65とデバイス構造62を有さない分割ウェハ66とに分割される。デバイス付ウェハ65はSiCウェハ60から分割されたSiCウェハ64と、SiCウェハ64上のエピタキシャル膜61と、エピタキシャル膜61上のデバイス構造62とを備えて構成される。

[0090] デバイス付ウェハ65の裏面、および分割ウェハ66のおもて面には、分割によるダメージ層が生じている。これらのダメージ層は、研削または研磨などにより除去される。

[0091] 次に、分割ウェハ66が単結晶SiCウェハ67と接合され、こうして接合ウェハ68が形成される。分割ウェハ66が接合ウェハ68のおもて面側であり、単結晶SiCウェハ67が接合ウェハ68の裏面側である。このように、単結晶SiCウェハ67は分割ウェハ66の支持基板として用いられる。

[0092] その後、接合ウェハ68上にエピタキシャル膜69が形成され、さらにエピタキシャル膜69上にデバイス構造70が形成される。接合ウェハ68、エピタキシャル膜69およびデバイス構造70からなるウェハを接合ウェハ71と称する。

[0093] 次に、接合ウェハ71が、デバイス構造70を有するデバイス付ウェハ72と単結晶SiCウェハ67とに分割される。ここで、デバイス付ウェハ72は、分割ウェハ66と単結晶SiCウェハ67との接合面を含まないことが望ましい。そのため、デバイス構造70の厚みを考慮し、接合ウェハ68における分割ウェハ66と単結晶SiCウェハ67との接合面は、接合ウェハ68の表面から50 μ m以上深い位置にあることが望ましく、80 μ m深い位置にあることがより望ましく、100 μ m以上深い位置にあることが最も望ましい。言い換えれば、分割ウェハ66の厚みは、50 μ m以上であることが望ましく、80 μ m以上であることがより望ましく、100 μ m以上

であることが最も望ましい。これにより、デバイス付ウェハ72に接合面が含まれず、接合面によるデバイスへの影響を除去することができる。

[0094] このように、単結晶SiCウェハ67は分割ウェハ66上にデバイス構造70を形成する際の支持基板として用いられる。単結晶SiCウェハ67は接合ウェハ71から分割された後、別の分割ウェハの支持基板として再利用することが可能である。ここで、支持基板は、SiCウェハとの接合に適した反り、表面粗さ、または表面凹凸などの構造を有していない場合がある。そこで、SiCウェハと支持基板とを接合する前に、SiCウェハの支持基板と接合する面を研削、研磨、またはCMPなどで処理したり、SiCウェハを加圧または加熱などで処理したりすることによって、支持基板との接合に適した反り、表面粗さ、または表面凹凸などの構造をSiCウェハもしくは支持基板、または両方に形成してもよい。これにより、SiCウェハと支持基板との接合を良好にすることができる。

[0095] なお、接合ウェハ71から分割された単結晶SiCウェハ67の板厚は、当初の単結晶SiCウェハ67の板厚から変化していてもよい。すなわち、接合ウェハ71から単結晶SiCウェハ67を分割する際に、分割ウェハ66と単結晶SiCウェハ67との接合面で分割される必要はない。また、分割後の単結晶SiCウェハ67のダメージ層を除去することにより、接合面が除去されてもよい。また、分割後の単結晶SiCウェハ67に接合面が残っていてもよい。

[0096] 図11の例では、1枚のSiCウェハ63が1枚のデバイス付ウェハ65とデバイス構造を有さない1枚の分割ウェハ66とに分割された。しかし、1枚のSiCウェハ63が1枚のデバイス付ウェハ65とデバイス構造を有さない複数枚の分割ウェハとに分割されてもよい。

[0097] 単結晶SiCウェハ67に代えて、単結晶GaNウェハまたは単結晶酸化ガリウムウェハが用いられてもよい。ウェハからの放熱またはウェハへの蓄熱など、デバイス製造プロセスにおける熱マネジメントの観点からこのような代替ウェハが用いられてもよい。

[0098] SiCウェハ63に代えて実施の形態1で言及した他の材料のウェハが用いられてもよい。その場合、支持基板として用いられるウェハと分割ウェハとは同一の材料で構成されると、接合強度を確保しやすい。

[0099] 分割ウェハと支持基板とを接合させた接合ウェハは、それぞれのウェハの状態により、結晶欠陥、例えば貫通転位などの各種欠陥の量が接合面を境に異なる場合がある。この場合、接合ウェハのデバイス構造形成面側とその反対面側とで、表層に存在する結晶欠陥密度が異なっていたり、接合界面の近傍に存在する結晶欠陥密度が異なっていたりする。さらには、通常ウェハでは表面から裏面にかけて連続する貫通転位が、接合ウェハでは接合界面で非連続となる。しかしながら、各種欠陥の量が複数のウェハ間で異なる場合でも、それがデバイスプロセスまたはデバイス特性に与える影響は無視できる。ここで、デバイス構造、分割ウェハまたは支持基板を適宜選択することで、上記の欠陥の不連続性等がデバイスプロセスまたはデバイス特性に与える影響はさらに抑制できる。さらに、デバイス付きウェハに接合面を含まないようにすると、上記の欠陥の不連続性等がデバイス特性に及ぼす影響を排除することができる。

[0100] <B-2. 変形例>

図12は、実施の形態2の変形例における半導体デバイスの製造方法における基本プロセスを示す概要図である。この変形例では、エピタキシャル膜が形成される前にSiCウェハの分割が行われる。以下、図12を参照して、実施の形態2の変形例における半導体デバイスの製造方法を説明する。

[0101] まず、SiCウェハ80と、2枚の単結晶SiCウェハ83、84が用意される。

[0102] 次に、SiCウェハ80が2枚の分割ウェハ81、82に分割される。

[0103] 分割ウェハ81の裏面および分割ウェハ82のおもて面には、分割によるダメージ層が生じている。これらのダメージ層は、研削または研磨などにより除去される。

[0104] その後、分割ウェハ81と単結晶SiCウェハ83が接合されて接合ウェ

ハ85が形成され、分割ウェハ82と単結晶SiCウェハ84が接合されて接合ウェハ86が形成される。このように、単結晶SiCウェハ83, 84は分割ウェハ81, 82の支持基板として用いられる。

[0105] 次に、接合ウェハ85上にエピタキシャル膜87が形成され、エピタキシャル膜87上にデバイス構造88が形成される。接合ウェハ85、エピタキシャル膜87およびデバイス構造88からなるウェハを接合ウェハ89と称する。同様に、接合ウェハ86上にエピタキシャル膜90が形成され、エピタキシャル膜90上にデバイス構造91が形成される。接合ウェハ86、エピタキシャル膜90およびデバイス構造91からなるウェハを接合ウェハ92と称する。

[0106] その後、接合ウェハ89がデバイス構造88を有するデバイス付ウェハ93と単結晶SiCウェハ83とに分割される。デバイス付ウェハ93は分割ウェハ81、エピタキシャル膜87およびデバイス構造88を備える。同様に、接合ウェハ92がデバイス構造91を有するデバイス付ウェハ94と単結晶SiCウェハ84とに分割される。デバイス付ウェハ94は分割ウェハ82、エピタキシャル膜90およびデバイス構造91を備える。

[0107] ここで、デバイス付ウェハ93, 94は、分割ウェハ81, 82と単結晶SiCウェハ83, 84との接合面を含まないことが望ましい。そのため、デバイス構造88, 91の厚みを考慮し、接合ウェハ85, 86における分割ウェハ81, 82と単結晶SiCウェハ83, 84との接合面は、接合ウェハ85, 86の表面から50 μ m以上深い位置にあることが望ましく、80 μ m深い位置にあることが望ましく、100 μ m以上深い位置にあることが最も望ましい。言い換えれば、分割ウェハ81, 82の厚みは、50 μ m以上であることが望ましく、80 μ m以上であることがより望ましく、100 μ m以上であることが最も望ましい。これにより、デバイス付ウェハ93, 94に接合面が含まれず、接合面によるデバイスへの影響を除去することができる。

[0108] 以上の方法によれば、単結晶SiCウェハ83, 84を支持基板として用

いることにより、SiCウェハから分割された複数の分割ウェハ81, 82上にデバイス構造88, 91を形成することが可能となる。また、接合ウェハ89, 92から分割された単結晶SiCウェハ83, 84は、他の分割ウェハに対する支持基板として再利用することが可能である。

[0109] なお、接合ウェハ89, 92から分割された単結晶SiCウェハ83, 84の板厚は、当初の単結晶SiCウェハ83, 84の板厚から変化していてもよい。すなわち、接合ウェハ89, 92から単結晶SiCウェハ83, 84を分割する際に、分割ウェハ81, 82と単結晶SiCウェハ83, 84との接合面で分割する必要はない。また、分割後の単結晶SiCウェハ83, 84のダメージ層を除去することにより、接合面が除去されてもよい。また、分割後の単結晶SiCウェハ83, 84に接合面が残っていてもよい。

[0110] 図12の例では、1枚のSiCウェハ80が2枚の分割ウェハ81, 82に分割された。しかし、1枚のSiCウェハ80は3枚以上の分割ウェハに分割されてもよい。

[0111] SiCウェハ80に代えて、実施の形態1でも言及した他の材料のウェハが用いられてもよい。その場合、支持基板として用いられるウェハと分割ウェハとは同一の材料で構成されることが、接合強度を確保するために望ましい。

[0112] <B-3. 効果>

実施の形態2に係る半導体デバイスの製造方法は、(a)ウェハを厚さ方向に分割することにより、分割ウェハを得る工程と、(b)分割ウェハを単結晶の支持基板に接合して接合ウェハを得る工程と、(c)接合ウェハにデバイス構造を形成する工程と、を備える。これにより、ウェハの割れを抑制しつつ、高い生産性でウェハを再利用して半導体デバイスを製造することができる。

[0113] また、実施の形態2に係る接合ウェハは、ウェハから分割されたデバイス構造を含まない分割ウェハを支持基板に接合してなる接合ウェハであって、表面から50 μ m以上深い位置に、分割ウェハと支持基板との接合面が存在

することが望ましい。この場合、接合ウェハ上にデバイス構造を形成し、その後デバイス構造を含むデバイス構造付ウェハを当該接合ウェハから分割する場合に、デバイス構造付ウェハに接合面が含まれないため、接合面によるデバイスへの影響を除去することができる。

[0114] 実施の形態1で示した分割ウェハを支持基板として用いる場合（例えば図10に示すプロセス）では、支持基板となるウェハを通常ウェハから分割して製造するため、支持基板の厚さに制限が生じたり、所望の膜厚の接合ウェハを得るために支持基板または分割ウェハを除去する際に無駄が生じたりする場合がある。本実施の形態では支持基板は直接インゴットから分割して製造される。そのため、板厚の制限が無く、支持基板として必要な板厚の単結晶ウェハを直接製造することができるため無駄が削減できる。これにより高いコスト低減効果を得ることが可能となる。またデバイス製造には適さない結晶欠陥の多い低品質な結晶を支持基板として使用することで、製造プロセス全体を通しての材料ロスを低減することも可能である。

[0115] < C. 実施の形態3 >

実施の形態2では、1枚の分割ウェハを分割ウェハではない単結晶ウェハと接合することにより接合ウェハが形成された。これに対して実施の形態3では、1枚の分割ウェハを分割ウェハではない多結晶ウェハと接合することにより接合ウェハが形成される。

[0116] < C-1. 基本プロセス >

図13は、実施の形態3における半導体デバイスの製造方法における基本プロセスを示す概要図である。以下、図13を参照して、実施の形態3における半導体デバイスの製造方法を説明する。

[0117] まず、SiCウェハ103と多結晶SiCウェハ107が用意される。SiCウェハ103は、SiCウェハ100の上にエピタキシャル膜101が形成され、さらにエピタキシャル膜101の上にデバイス構造102が形成されたものである。

[0118] 次に、SiCウェハ103が、デバイス構造102を有するデバイス付ウ

エハ105とデバイス構造102を有さない分割ウェハ106とに分割される。デバイス付ウェハ105はSiCウェハ100から分割されたSiCウェハ104と、SiCウェハ104上のエピタキシャル膜101と、エピタキシャル膜101上のデバイス構造102とを備えて構成される。

[0119] デバイス付ウェハ105の裏面、および分割ウェハ106のおもて面には、分割によるダメージ層が生じている。これらのダメージ層は、研削または研磨などにより除去される。

[0120] 次に、分割ウェハ106が多結晶SiCウェハ107と接合され、こうして接合ウェハ108が形成される。分割ウェハ106が接合ウェハ108のおもて面側であり、多結晶SiCウェハ107が接合ウェハ108の裏面側である。このように、多結晶SiCウェハ107は分割ウェハ106の支持基板として用いられる。

[0121] その後、接合ウェハ108上にエピタキシャル膜109が形成され、さらにエピタキシャル膜109上にデバイス構造110が形成される。接合ウェハ108、エピタキシャル膜109およびデバイス構造110からなるウェハを接合ウェハ111と称する。

[0122] 次に、接合ウェハ111が、デバイス構造110を有するデバイス付ウェハ112と多結晶SiCウェハ107とに分割される。このように、多結晶SiCウェハ107は分割ウェハ106上にデバイス構造110を形成する際の支持基板として用いられる。多結晶SiCウェハ107は接合ウェハ111から分割された後、別の分割ウェハの支持基板として再利用することが可能である。ここで、支持基板は、SiCウェハとの接合に適した反り、表面粗さ、または表面凹凸などの構造を有していない場合がある。そこで、SiCウェハと支持基板とを接合する前に、SiCウェハの支持基板と接合する面を研削、研磨、またはCMPなどで処理したり、SiCウェハを加圧または加熱などで処理したりすることによって、支持基板との接合に適した反り、表面粗さ、または表面凹凸などの構造をSiCウェハもしくは支持基板、または両方に形成してもよい。これにより、SiCウェハと支持基板との

接合を良好にすることができる。

[0123] なお、接合ウェハ111から分割された多結晶SiCウェハ107の板厚は、当初の多結晶SiCウェハ107の板厚から変化していてもよい。すなわち、接合ウェハ111から多結晶SiCウェハ107を分割する際に、分割ウェハ106と多結晶SiCウェハ107との接合面で分割してもよいが、する必要はない。また、分割後の多結晶SiCウェハ107のダメージ層を除去することにより、接合面が除去されてもよい。また、分割後の多結晶SiCウェハ107に接合面が残っていてもよい。

[0124] 接合ウェハ108は分割ウェハ106と多結晶SiCウェハ107との接合面を含んでいる。デバイス付ウェハ112は、この接合面を含まないことが望ましい。従って、接合ウェハ108における分割ウェハ106と多結晶SiCウェハ107との接合面の深さは、望ましくは50 μ m以上であり、より望ましくは80 μ m以上であり、最も望ましくは100 μ m以上である。言い換えれば、SiCウェハ103から分割される分割ウェハ106の厚みは、望ましくは50 μ m以上であり、より望ましくは80 μ m以上であり、最も望ましくは100 μ m以上である。これにより、デバイス付ウェハ112に接合面が含まれず、接合面によるデバイスへの影響を除去することができる。

[0125] 図13の例では、1枚のSiCウェハ103が1枚のデバイス付ウェハ105とデバイス構造を有さない1枚の分割ウェハとに分割された。しかし、1枚のSiCウェハ103が1枚のデバイス付ウェハ105とデバイス構造を有さない複数枚の分割ウェハとに分割されてもよい。

[0126] SiCウェハ63に代えて実施の形態1でも言及した他の材料のウェハが用いられてもよい。その場合、支持基板として用いられるウェハと分割ウェハとは同一の材料で構成されることが、接合強度を確保するためには望ましい。

[0127] 分割ウェハと支持基板とを接合させた接合ウェハは、それぞれのウェハの状態により、結晶欠陥、例えば貫通転位などの各種欠陥の量が接合面を境に

異なる場合がある。この場合、接合ウェハのデバイス構造形成面側とその反対面側とで、表層に存在する結晶欠陥密度が異なっていたり、接合界面の近傍に存在する結晶欠陥密度が異なっていたりする。さらには、通常ウェハでは表面から裏面にかけて連続する貫通転位が、接合ウェハでは接合界面で非連続となる。しかしながら、各種欠陥の量が複数のウェハ間で異なる場合でも、それがデバイスプロセスまたはデバイス特性に与える影響は無視できる。ここで、デバイス構造、分割ウェハまたは支持基板を適宜選択することで、上記の欠陥の不連続性等がデバイスプロセスまたはデバイス特性に与える影響はさらに抑制できる。さらに、デバイス付きウェハに接合面を含まないようにすると、上記の欠陥の不連続性等がデバイス特性に及ぼす影響を排除することができる。

[0128] < C - 2 . 変形例 >

図 1 4 は、実施の形態 3 の変形例における半導体デバイスの製造方法における基本プロセスを示す概要図である。この変形例では、エピタキシャル膜が形成される前に S i C ウェハの分割が行われる。その他、エピタキシャル膜の形成後、デバイス構造の形成前に S i C ウェハの分割が行われてもよい。以下、図 1 4 を参照して、実施の形態 3 の変形例における半導体デバイスの製造方法を説明する。

[0129] まず、S i C ウェハ 1 2 0 と、2 枚の多結晶 S i C ウェハ 1 2 3 , 1 2 4 が用意される。

[0130] 次に、S i C ウェハ 1 2 0 が 2 枚の分割ウェハ 1 2 1 , 1 2 2 に分割される。

[0131] 分割ウェハ 1 2 1 の裏面および分割ウェハ 1 2 2 のおもて面には、分割によるダメージ層が生じている。これらのダメージ層は、研削または研磨などにより除去される。

[0132] その後、分割ウェハ 1 2 1 と多結晶 S i C ウェハ 1 2 3 が接合されて接合ウェハ 1 2 5 が形成され、分割ウェハ 1 2 2 と多結晶 S i C ウェハ 1 2 4 が接合されて接合ウェハ 1 2 6 が形成される。このように、多結晶 S i C ウェ

ハ123は分割ウェハ121の支持基板として用いられ、多結晶SiCウェハ124は分割ウェハ122の支持基板として用いられる。

[0133] 次に、接合ウェハ125上にエピタキシャル膜127が形成され、エピタキシャル膜127上にデバイス構造128が形成される。接合ウェハ125、エピタキシャル膜127およびデバイス構造128からなるウェハを接合ウェハ129と称する。同様に、接合ウェハ126上にエピタキシャル膜130が形成され、エピタキシャル膜130上にデバイス構造131が形成される。接合ウェハ126、エピタキシャル膜130およびデバイス構造131からなるウェハを接合ウェハ132と称する。

[0134] 接合ウェハ125、126は分割ウェハ121、122と多結晶SiCウェハ123、124の接合面を含んでいる。デバイス付ウェハ133、134は、この接合面を含まないことが望ましい。従って、接合ウェハ125、126における分割ウェハ121、122と多結晶SiCウェハ123、124との接合面の深さは、望ましくは50 μ m以上であり、より望ましくは80 μ m以上であり、最も望ましくは100 μ m以上である。言い換えれば、SiCウェハ120から分割される分割ウェハ121、122の厚みは、望ましくは50 μ m以上であり、より望ましくは80 μ m以上であり、最も望ましくは100 μ m以上である。これにより、デバイス付ウェハ133、134に接合面が含まれず、接合面によるデバイスへの影響を除去することができる。

[0135] その後、接合ウェハ129がデバイス構造128を有するデバイス付ウェハ133と多結晶SiCウェハ123とに分割される。デバイス付ウェハ133は分割ウェハ121、エピタキシャル膜127およびデバイス構造128を備える。同様に、接合ウェハ132がデバイス構造131を有するデバイス付ウェハ134と多結晶SiCウェハ124とに分割される。デバイス付ウェハ134は分割ウェハ122、エピタキシャル膜130およびデバイス構造131を備える。

[0136] 以上の方法によれば、多結晶SiCウェハ123、124を支持基板とし

て用いることにより、S i C ウェハから分割された複数の分割ウェハ 1 2 1, 1 2 2 上にデバイス構造 1 2 8, 1 3 1 を形成することが可能となる。また、接合ウェハ 1 2 9, 1 3 2 から分割された多結晶 S i C ウェハ 1 2 3, 1 2 4 は、他の分割ウェハに対する支持基板として再利用することが可能である。

[0137] なお、接合ウェハ 1 2 9, 1 3 2 から分割された多結晶 S i C ウェハ 1 2 3, 1 2 4 の板厚は、当初の多結晶 S i C ウェハ 1 2 3, 1 2 4 の板厚から変化していてもよい。すなわち、接合ウェハ 1 2 9, 1 3 2 から多結晶 S i C ウェハ 1 2 3, 1 2 4 を分割する際に、分割ウェハ 1 2 1, 1 2 2 と多結晶 S i C ウェハ 1 2 3, 1 2 4 との接合面で分割される必要はない。また、分割後の多結晶 S i C ウェハ 1 2 3, 1 2 4 のダメージ層を除去することにより、接合面が除去されてもよい。また、分割後の多結晶 S i C ウェハ 1 2 3, 1 2 4 に接合面が残っていてもよい。

[0138] 図 1 4 の例では、1 枚の S i C ウェハ 1 2 0 が 2 枚の分割ウェハに分割された。しかし、1 枚の S i C ウェハ 1 2 0 は 3 枚以上の分割ウェハに分割されてもよい。

[0139] < C - 3 . 効果 >

図 1 4 の例で言えば、実施の形態 3 に係る半導体デバイスの製造方法は、(a) S i C ウェハ 1 2 0 を厚さ方向に分割することにより、5 0 μ m 以上の厚みの分割ウェハ 1 2 1, 1 2 2 を得る工程と、(b) 分割ウェハ 1 2 1, 1 2 2 を支持基板である多結晶 S i C ウェハ 1 2 3, 1 2 4 に接合して接合ウェハ 1 2 5, 1 2 6 を得る工程と、(c) 接合ウェハ 1 2 5, 1 2 6 にデバイス構造 1 2 8, 1 3 1 を形成する工程と、を備える。これにより、ウェハの割れを抑制しつつ、高い生産性でウェハを再利用して半導体デバイスを製造することができる。

[0140] また、図 1 4 の例で言えば、実施の形態 3 に係る接合ウェハは、S i C ウェハ 1 2 0 から分割されたデバイス構造を含まない分割ウェハ 1 2 1, 1 2 2 を支持基板である多結晶 S i C ウェハ 1 2 3, 1 2 4 に接合してなる接合

ウェハであって、表面から50 μ m以上深い位置に、分割ウェハ121, 122と多結晶SiCウェハ123, 124との接合面が存在する。これにより、ウェハの割れを抑制しつつ、高い生産性でウェハを再利用して半導体デバイスを製造することができる。

[0141] 実施の形態1で示した分割ウェハを支持基板として用いる場合（例えば図10に示すプロセス）では、支持基板となるウェハを通常ウェハから分割して製造するため、支持基板の厚さに制限が生じたり、所望の膜厚の接合ウェハを得るために支持基板または分割ウェハを除去する際に無駄が生じたりする場合がある。本実施の形態では支持基板は直接インゴットから分割して製造される。そのため、板厚の制限が無く、支持基板として必要な板厚の単結晶ウェハを直接製造することができるため無駄が削減できる。これにより高いコスト低減効果を得ることが可能となる。またデバイス製造には適さない結晶欠陥の多い低品質な結晶を支持基板として使用することで、製造プロセス全体を通しての材料ロスを低減することも可能である。

[0142] また、実施の形態2で示した支持基板に単結晶ウェハを用いる場合と比較して、多結晶基板は安価で製造できるため、コスト低減効果を得ることができる。

[0143] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。上記の説明は、すべての態様において、例示である。例示されていない無数の変形例が想定され得るものと解される。例えば、実施の形態1に示した分割、接合およびこれらに関するウェハ表裏の処理の工程、または分割ウェハ、接合ウェハおよびデバイス付ウェハの特徴は、実施の形態2, 3で示した支持基板を用いた形態において組み合わせたり、適宜、変形、省略したりすることが可能である。

符号の説明

[0144] 10, 13 SiCウェハ、11, 15, 25 エピタキシャル膜、12, 16, 26 デバイス構造、19, 22, 29 デバイス付ウェハ、20, 23, 30, 66, 106 分割ウェハ、67 単結晶SiC基板、10

7 多結晶S i C基板。

請求の範囲

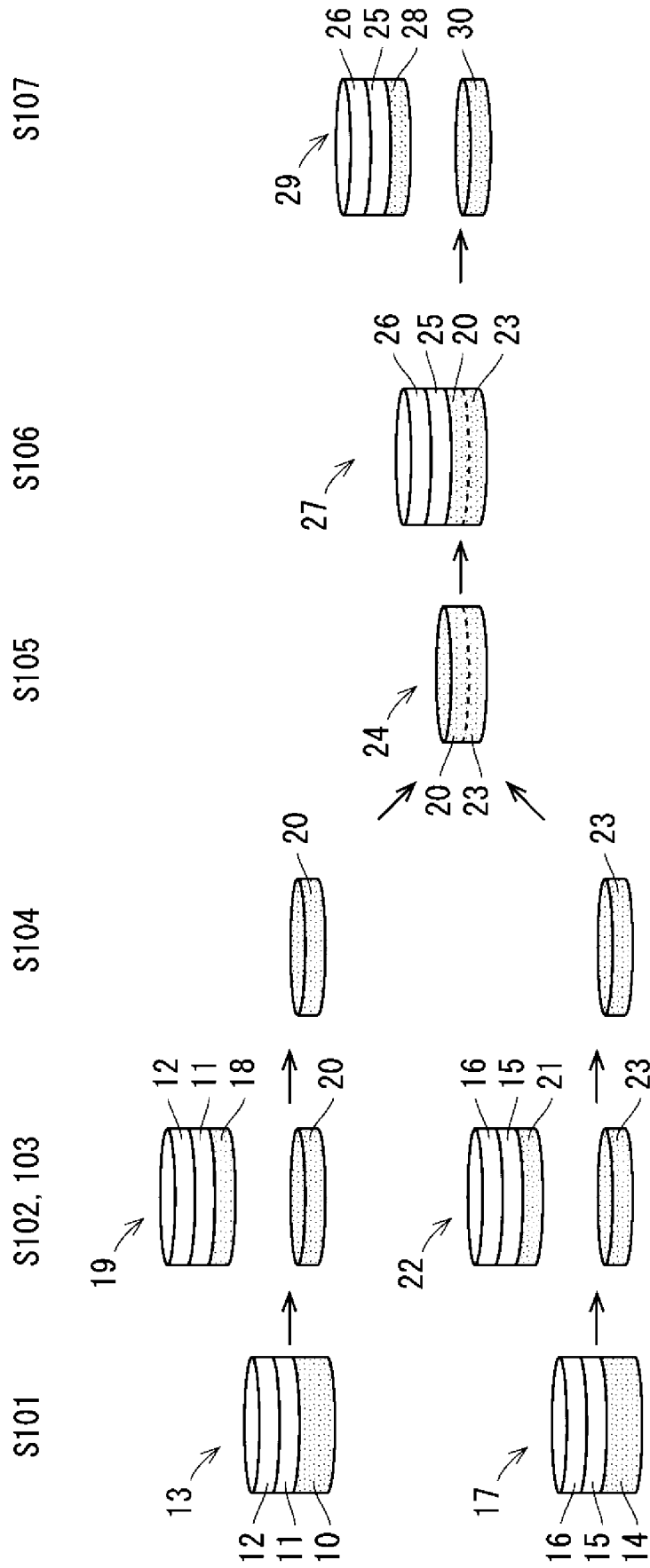
- [請求項1] (a) 複数の第1 ウェハの夫々を厚さ方向に分割することにより、各前記第1 ウェハからデバイス構造を含まない少なくとも1つの第1 分割ウェハを得る工程と、
- (b) 異なる前記第1 ウェハから得られた複数の前記第1 分割ウェハを接合して接合ウェハである第1 接合ウェハを得る工程と、
- (c) 前記第1 接合ウェハの表面にデバイス構造を形成する工程と、を備える、
- 半導体デバイスの製造方法。
- [請求項2] 前記工程 (a) は、表面にデバイス構造が形成された各前記第1 ウェハを、デバイス構造を含むデバイス付ウェハである第1 デバイス付ウェハと、少なくとも1つの前記第1 分割ウェハとに分割する工程である、
- 請求項1 に記載の半導体デバイスの製造方法。
- [請求項3] (d) デバイス構造が形成された前記第1 接合ウェハを、デバイス構造を含むデバイス付ウェハである第2 デバイス付ウェハとデバイス構造を含まない少なくとも1つの第2 分割ウェハとに分割する工程をさらに備える、
- 請求項1 または請求項2 に記載の半導体デバイスの製造方法。
- [請求項4] (e) 前記工程 (d) の後、前記第2 分割ウェハを新たな前記第1 分割ウェハとして、前記工程 (b) から前記工程 (d) を少なくとも1 回繰り返す工程をさらに備える、
- 請求項3 に記載の半導体デバイスの製造方法。
- [請求項5] 少なくとも1つの前記第1 ウェハは、複数のウェハを接合して形成された接合ウェハである、
- 請求項1 から請求項4 のいずれか1 項に記載の半導体デバイスの製造方法。
- [請求項6] 前記デバイス付ウェハの分割元のウェハが複数のウェハを接合して

形成された接合ウェハである場合、前記デバイス付ウェハは、分割元の前記接合ウェハに含まれる接合面を含まない、請求項3に記載の半導体デバイスの製造方法。

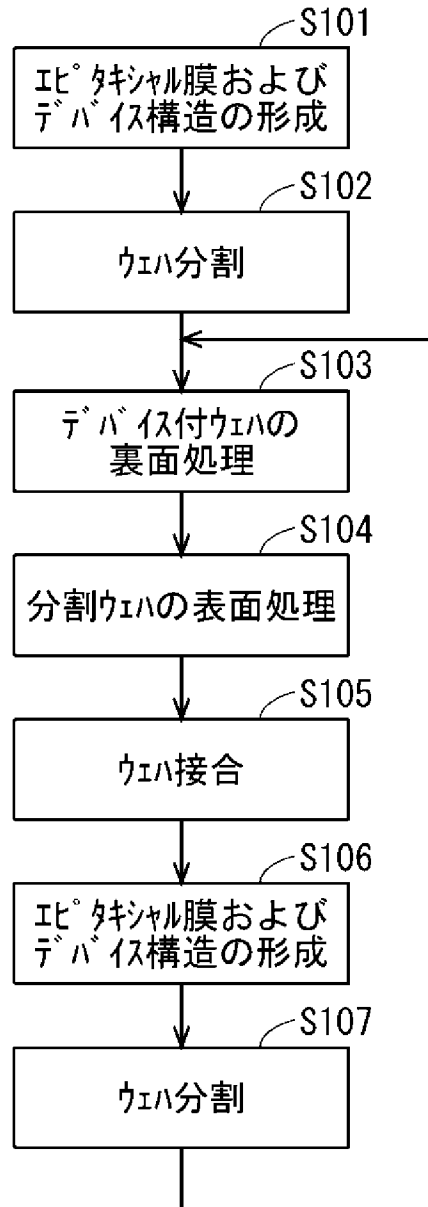
- [請求項7] 前記第1ウェハの材料はSiCである、請求項1から請求項6のいずれか1項に記載の半導体デバイスの製造方法。
- [請求項8] 前記第1ウェハの材料は単結晶SiCである、請求項7に記載の半導体デバイスの製造方法。
- [請求項9] 前記第1分割ウェハの厚さは50 μ m以上である、請求項1から請求項8のいずれか1項に記載の半導体デバイスの製造方法。
- [請求項10] 前記デバイス構造はSiCパワーデバイス構造である、請求項1から請求項9のいずれか1項に記載の半導体デバイスの製造方法。
- [請求項11] 異なるウェハから分割されたデバイス構造を含まない複数の分割ウェハを接合してなる接合ウェハであって、
表面から50 μ m以上深い位置に、複数の前記分割ウェハの接合面が存在する、
接合ウェハ。
- [請求項12] 前記ウェハの材料はSiCである、請求項11に記載の接合ウェハ。
- [請求項13] 前記ウェハの材料は単結晶SiCである、請求項12に記載の接合ウェハ。
- [請求項14] 前記ウェハは、N型またはP型の導電型、もしくは半絶縁性である、
請求項11から請求項13のいずれか1項に記載の接合ウェハ。
- [請求項15] 複数の前記分割ウェハの接合面にアモルファス層が存在する、請求項11から請求項14のいずれか1項に記載の接合ウェハ。

- [請求項16] (a) ウェハを厚さ方向に分割することにより、分割ウェハを得る工程と、
(b) 前記分割ウェハを支持基板に接合して接合ウェハを得る工程と、
、
(c) 前記接合ウェハにデバイス構造を形成する工程と、を備える、半導体デバイスの製造方法。
- [請求項17] 前記接合ウェハにおける前記分割ウェハと前記支持基板との接合面は、前記接合ウェハの表面から50 μ m以上深い位置にある、請求項16に記載の半導体デバイスの製造方法。
- [請求項18] 前記支持基板は単結晶SiCまたは単結晶GaNである、請求項16または請求項17に記載の半導体デバイスの製造方法。
- [請求項19] 前記支持基板は多結晶基板である、請求項16または請求項17に記載の半導体デバイスの製造方法。
- [請求項20] ウェハから分割された前記デバイス構造を含まない分割ウェハを支持基板に接合してなる接合ウェハであって、
表面から50 μ m以上深い位置に、前記分割ウェハと前記支持基板との接合面が存在する、
接合ウェハ。
- [請求項21] 前記ウェハおよび前記支持基板の材料は、単結晶SiCまたは単結晶GaNである、
請求項20に記載の接合ウェハ。
- [請求項22] 前記ウェハの材料は多結晶SiCである、
請求項20に記載の接合ウェハ。
- [請求項23] 前記ウェハはN型もしくはP型の導電型、または半絶縁性である、
請求項20から請求項22のいずれか1項に記載の接合ウェハ。
- [請求項24] 前記分割ウェハと前記支持基板との接合面にアモルファス層が存在する、
請求項20から請求項23のいずれか1項に記載の接合ウェハ。

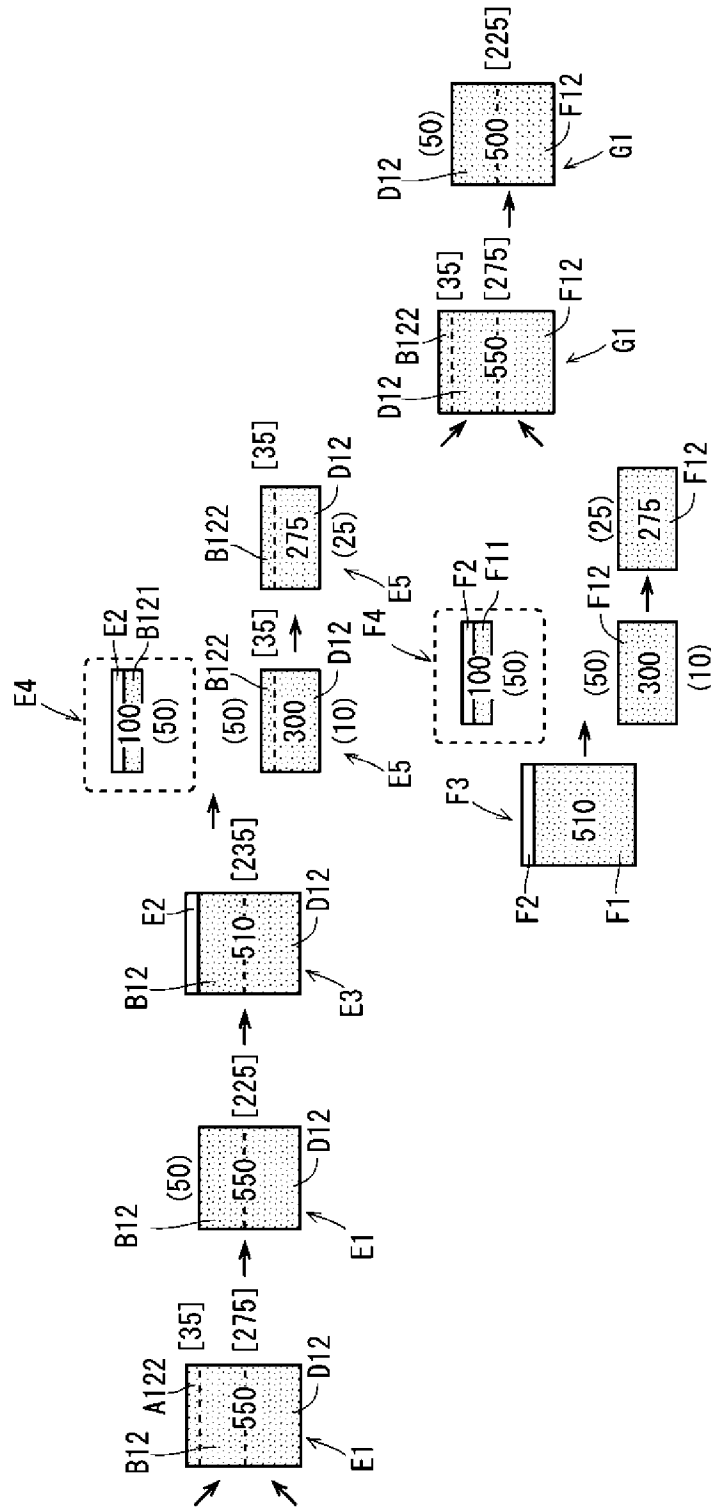
[図1]



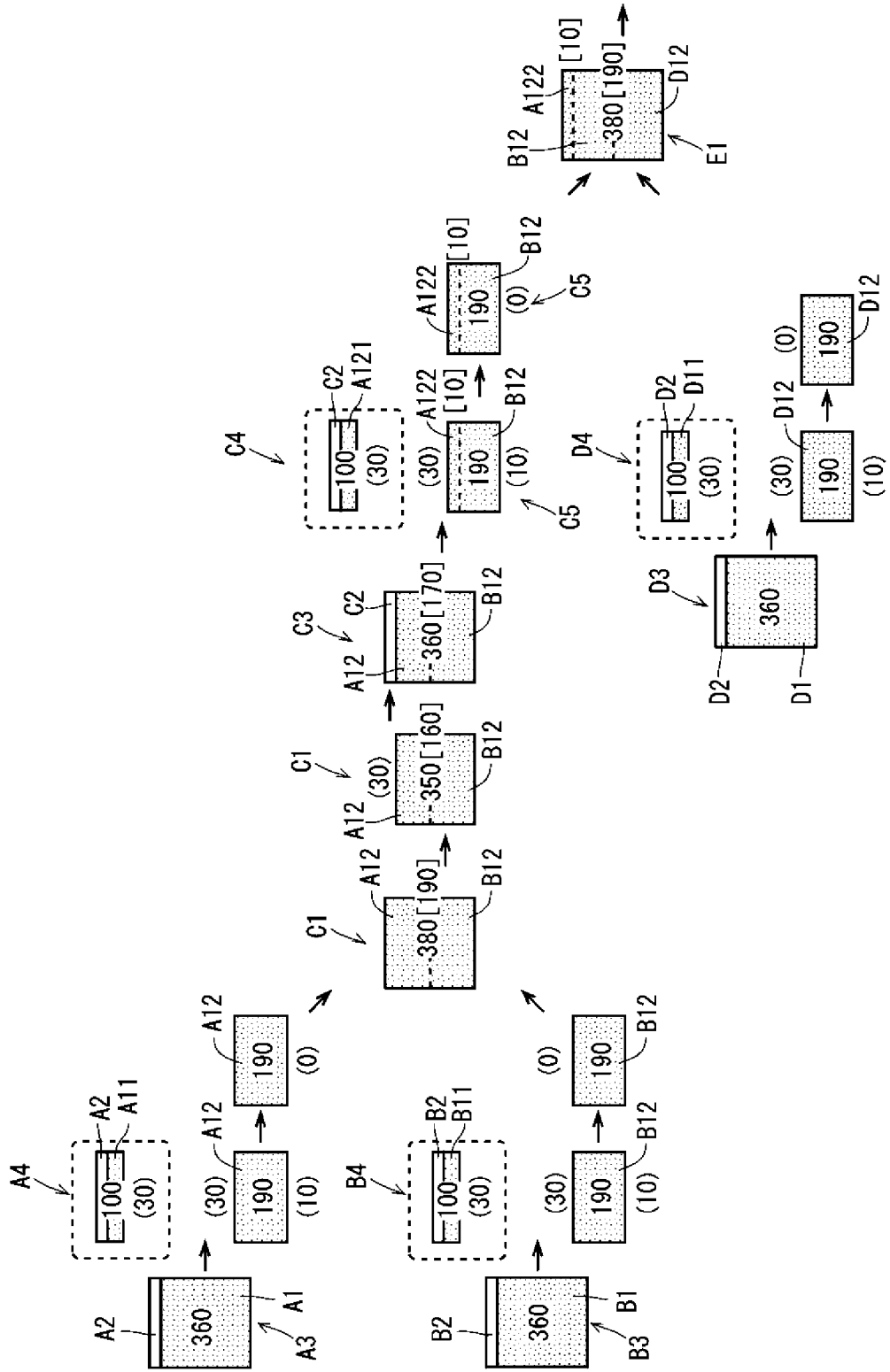
[図2]



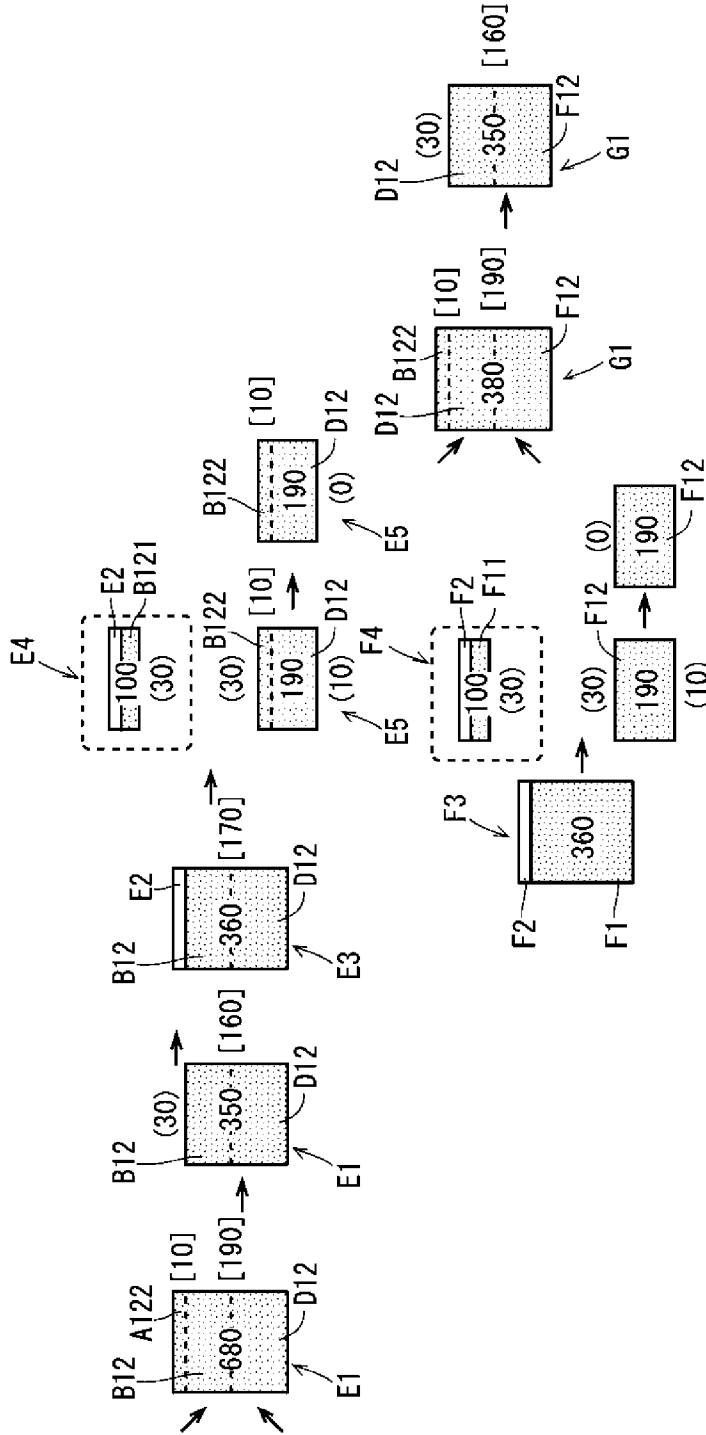
[図4]



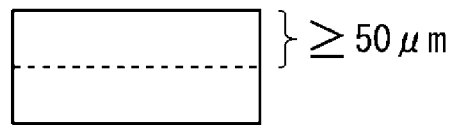
[図5]



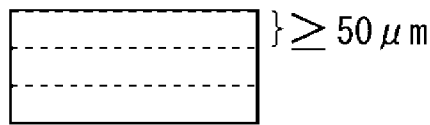
[図6]



[図7]



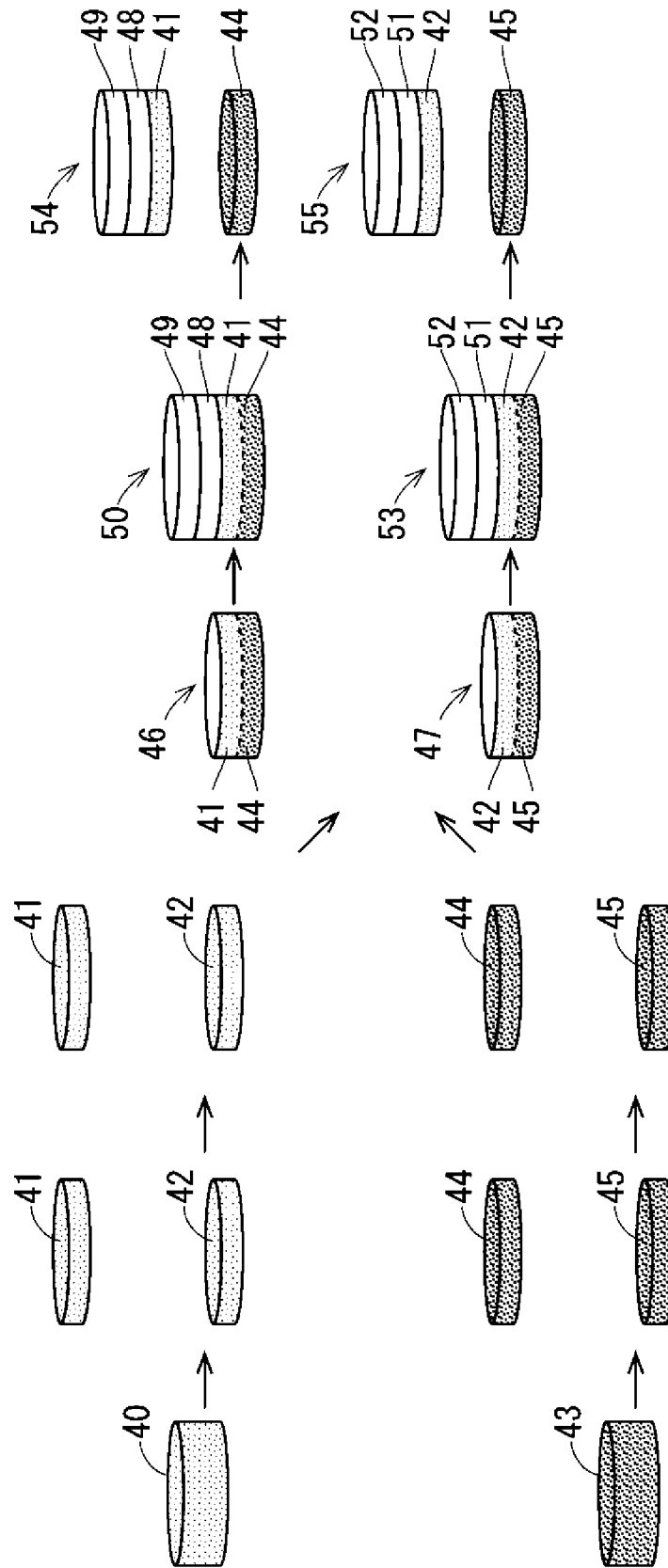
[図8]



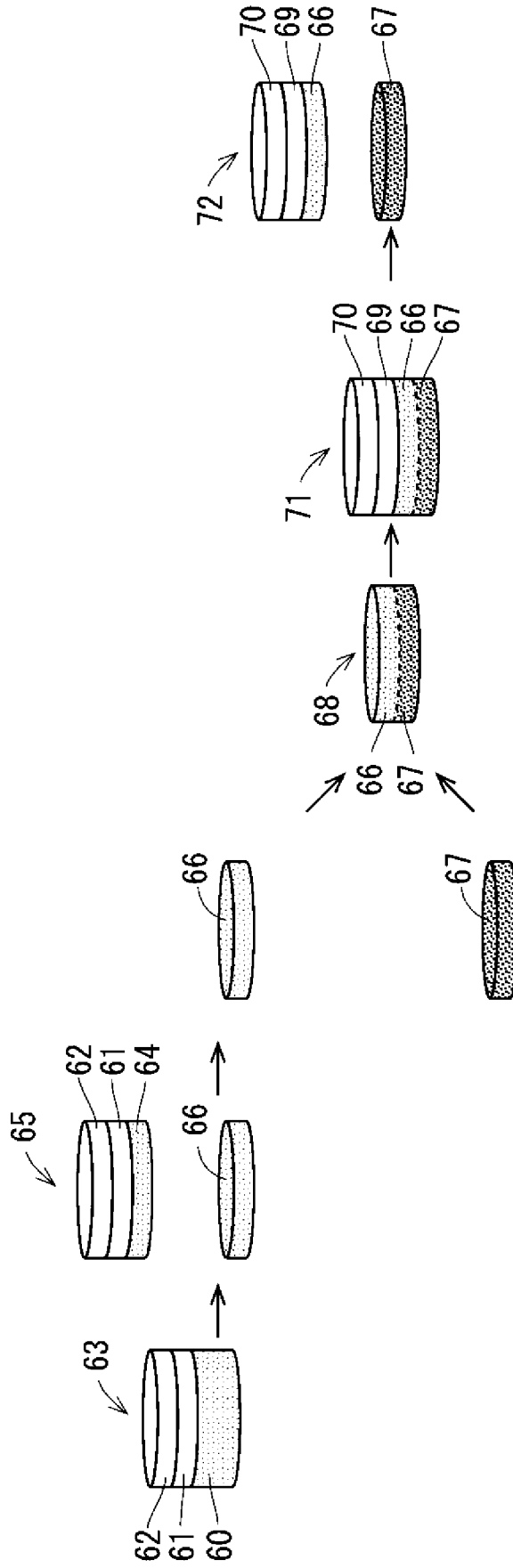
[図9]

		分割のタイミング (おもて面側になるもの)		
		Et°前	Et°後	デバイス形成後
分割のタイミング (裏面側になるもの)	Et°前	+ (図10)	+	+
	Et°後	+	+	+
	デバイス形成後	+	+	+ (図1~6)

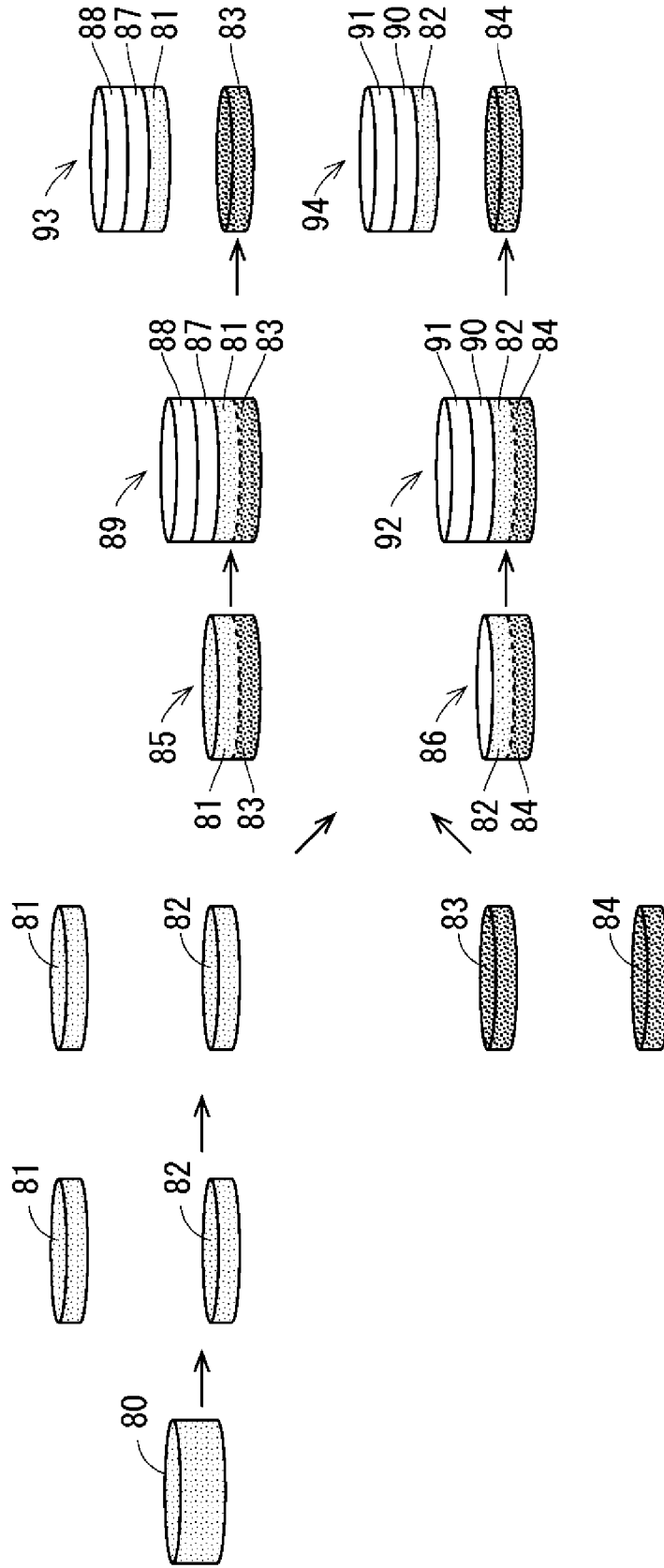
[図10]



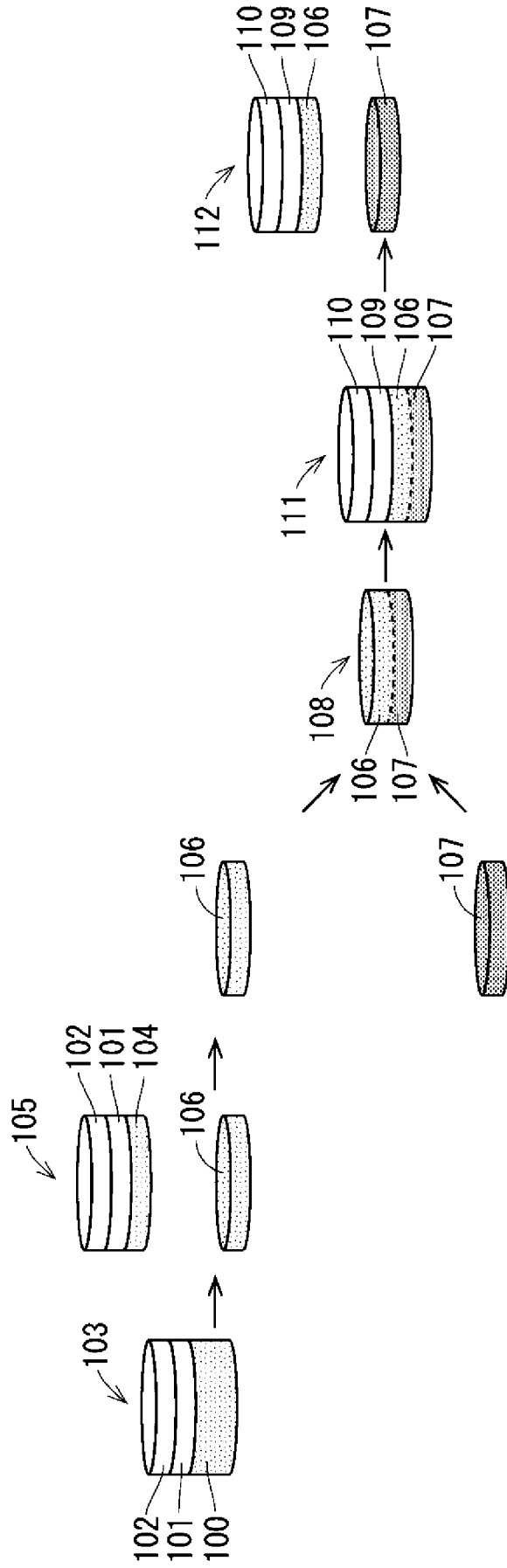
[図11]



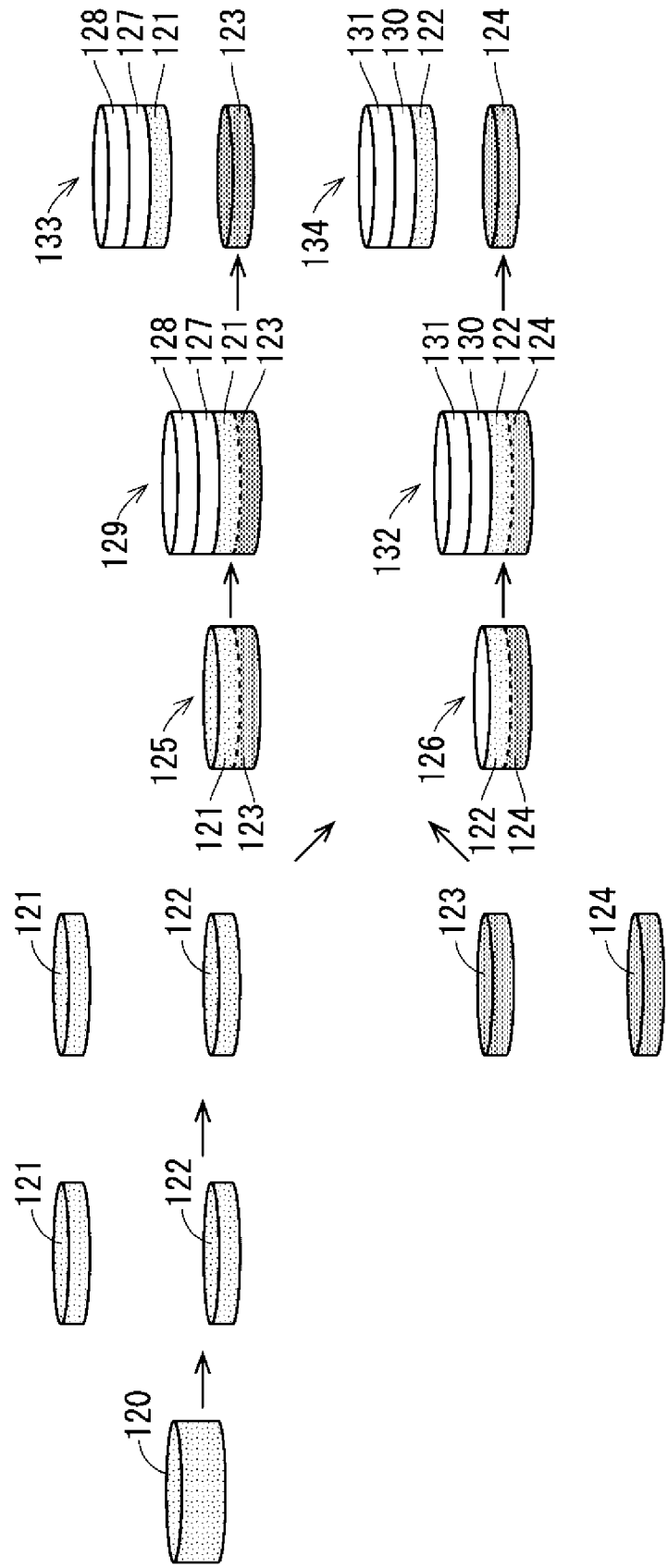
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012178

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 21/02 (2006.01)i; H01L 21/20 (2006.01)i; H01L 27/12 (2006.01)i FI: H01L21/02 B; H01L21/20; H01L27/12 B		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/02; H01L21/20; H01L27/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2014/125688 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 21 August 2014 (2014-08-21) paragraphs [0049]-[0053], [0194]-[0203], [0284]-[0286], [0327], [0330]-[0343], fig. 8, 10, 12, 16	16-24
A		1-15
A	JP 2022-504927 A (MASSACHUSETTS INSTITUTE OF TECHNOLOGY) 13 January 2022 (2022-01-13) entire text, all drawings	1-24
A	JP 2007-149907 A (SUMCO CORPORATION) 14 June 2007 (2007-06-14) entire text, all drawings	1-24
A	JP 2007-251129 A (S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES S.A.) 27 September 2007 (2007-09-27) entire text, all drawings	1-24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 23 May 2023		Date of mailing of the international search report 06 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012178

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2014/125688	A1	21 August 2014	US 2015/0380496 A1 paragraphs [0087]-[0093], [0123]-[0137], [0383]-[0385], [0436], [0440]-[0453], fig. 8, 10, 12, 16 JP 2014-157979 A JP 2014-157980 A JP 2014-157983 A CN 104995713 A TW 201434173 A	

JP	2022-504927	A	13 January 2022	US 2021/0351033 A1 entire text, all drawings WO 2020/081623 A1 EP 3867064 A1 CN 112839813 A KR 10-2021-0080440 A	

JP	2007-149907	A	14 June 2007	US 2008/0124929 A1 entire text, all drawings EP 1791174 A2 KR 10-2007-0055955 A	

JP	2007-251129	A	27 September 2007	US 2007/0216042 A1 entire text, all drawings EP 1835533 A1 KR 10-2007-0093798 A SG 136030 A CN 101038890 A TW 200741821 A	

JP	2021-158248	A	07 October 2021	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 21/02(2006.01)i; H01L 21/20(2006.01)i; H01L 27/12(2006.01)i FI: H01L21/02 B; H01L21/20; H01L27/12 B</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L21/02; H01L21/20; H01L27/12</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2023年																						
日本国実用新案登録公報	1996 - 2023年																						
日本国登録実用新案公報	1994 - 2023年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2014/125688 A1 (住友電気工業株式会社) 21.08.2014 (2014 - 08 - 21) 段落[0049]-[0053], [0194]-[0203], [0284]-[0286], [0327], [0330]-[0343], 図8, 10, 12, 16</td> <td>16-24</td> </tr> <tr> <td>A</td> <td></td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2022-504927 A (マサチューセッツ インスティテュート オブ テクノロジー) 13.01.2022 (2022 - 01 - 13) 全文、全図</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>JP 2007-149907 A (株式会社SUMCO) 14.06.2007 (2007 - 06 - 14) 全文、全図</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>JP 2007-251129 A (エス オー アイ テック シリコン オン インシュレータ テクノ ロジーズ エス. アー.) 27.09.2007 (2007 - 09 - 27) 全文、全図</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>JP 2021-158248 A (住友金属鉱山株式会社) 07.10.2021 (2021 - 10 - 07) 全文、全図</td> <td>1-24</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2014/125688 A1 (住友電気工業株式会社) 21.08.2014 (2014 - 08 - 21) 段落[0049]-[0053], [0194]-[0203], [0284]-[0286], [0327], [0330]-[0343], 図8, 10, 12, 16	16-24	A		1-15	A	JP 2022-504927 A (マサチューセッツ インスティテュート オブ テクノロジー) 13.01.2022 (2022 - 01 - 13) 全文、全図	1-24	A	JP 2007-149907 A (株式会社SUMCO) 14.06.2007 (2007 - 06 - 14) 全文、全図	1-24	A	JP 2007-251129 A (エス オー アイ テック シリコン オン インシュレータ テクノ ロジーズ エス. アー.) 27.09.2007 (2007 - 09 - 27) 全文、全図	1-24	A	JP 2021-158248 A (住友金属鉱山株式会社) 07.10.2021 (2021 - 10 - 07) 全文、全図	1-24
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
X	WO 2014/125688 A1 (住友電気工業株式会社) 21.08.2014 (2014 - 08 - 21) 段落[0049]-[0053], [0194]-[0203], [0284]-[0286], [0327], [0330]-[0343], 図8, 10, 12, 16	16-24																					
A		1-15																					
A	JP 2022-504927 A (マサチューセッツ インスティテュート オブ テクノロジー) 13.01.2022 (2022 - 01 - 13) 全文、全図	1-24																					
A	JP 2007-149907 A (株式会社SUMCO) 14.06.2007 (2007 - 06 - 14) 全文、全図	1-24																					
A	JP 2007-251129 A (エス オー アイ テック シリコン オン インシュレータ テクノ ロジーズ エス. アー.) 27.09.2007 (2007 - 09 - 27) 全文、全図	1-24																					
A	JP 2021-158248 A (住友金属鉱山株式会社) 07.10.2021 (2021 - 10 - 07) 全文、全図	1-24																					
国際調査を完了した日	23.05.2023	国際調査報告の発送日	06.06.2023																				
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	正山 旭 5F 9276 電話番号 03-3581-1101 内線 3516																				

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012178

引用文献	公表日	パテントファミリー文献	公表日
WO 2014/125688 A1	21.08.2014	US 2015/0380496 A1 段落[0087]-[0093], [0123]- [0137], [0383]-[0385], [0436], [0440]-[0453], 図 8, 10, 12, 16 JP 2014-157979 A JP 2014-157980 A JP 2014-157983 A CN 104995713 A TW 201434173 A	
JP 2022-504927 A	13.01.2022	US 2021/0351033 A1 全文、全図 WO 2020/081623 A1 EP 3867064 A1 CN 112839813 A KR 10-2021-0080440 A	
JP 2007-149907 A	14.06.2007	US 2008/0124929 A1 全文、全図 EP 1791174 A2 KR 10-2007-0055955 A	
JP 2007-251129 A	27.09.2007	US 2007/0216042 A1 全文、全図 EP 1835533 A1 KR 10-2007-0093798 A SG 136030 A CN 101038890 A TW 200741821 A	
JP 2021-158248 A	07.10.2021	(ファミリーなし)	