

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97110942

※申請日期：97.3.27

※IPC 分類：H01L 21/8239 (2006.01)
27/105

一、發明名稱：(中文/英文)

半導體記憶裝置以及用於製造該半導體記憶裝置之方法

SEMICONDUCTOR MEMORY DEVICES AND METHODS FOR FABRICATING THE
SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國·加州 95305·密爾皮塔斯·100 室·麥卡錫大道·北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California 95305,
U. S. A.

國籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共1人)

姓名：(中文/英文)

趙顯真 / CHO, HYUN-JIN

國籍：(中文/英文)

大韓民國 / KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年03月28日；11/692,313（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係提供一種用於製造記憶裝置之方法，包括：提供半導體基板，該半導體基板包含：具有第一導電類型之第一井區、具有第一導電類型之第二井區、覆於該第一井區上之第一閘極結構以及覆於該第二井區上之第二閘極結構；共形地沉積絕緣材料層覆於該半導體基板之暴露部分上；在覆於該第二井區之一部分之該絕緣材料層之一部分上方提供感光材料；該感光材料暴露出部分之該絕緣材料層；該絕緣材料層之該暴露部分係被非等向性蝕刻以提供鄰接該第二閘極結構之第一側壁之側壁間隔物(sidewall spacer)，以及覆於該第二閘極結構之一部分上且鄰接該第二閘極結構之第二側壁所形成之絕緣間隔物區塊；汲極區域及源極/基極區域係形成在該半導體基板中鄰接該第一閘極結構，以及陰極區域係形成在該半導體基板中鄰接該第二閘極結構；該汲極區域、該源極/基極區域以及陰極區域具有第二導電類型；第一導電類型的陽極區域係形成於該源極/基極區域中鄰接該第二閘極結構。

六、英文發明摘要：

A method is provided for fabricating a memory device. A semiconductor substrate is provided which includes a first well region having a first conductivity type, a second well region having the first conductivity type, a first gate structure overlying the first well region and the second gate structure overlying the second well region. An insulating material layer is conformally deposited overlying exposed portions of the semiconductor substrate. Photosensitive material is provided over a portion of the insulating material layer which overlies a portion of the second well region. The photosensitive material exposes portions of the insulating material layer. The exposed portions of the insulating material layer are anisotropically etched to provide a sidewall spacer adjacent a first sidewall of the second gate structure, and an insulating spacer block formed overlying a portion of the second gate structure and adjacent a second sidewall of the second gate structure. A drain region and a source/base region are formed in the semiconductor substrate adjacent the first gate structure and a cathode region is formed in the semiconductor substrate adjacent the second gate structure. The drain region, the source/base region, and the cathode region have a second conductivity type. An anode region of the first conductivity type is formed adjacent the second gate structure in a portion of the source/base region.

七、指定代表圖：

(一)本案指定代表圖為：第 (11) 圖。

(二)本代表圖之元件代表符號簡單說明：

500	記憶體單元、裝置
510	MOS電晶體
520	閘流體裝置
525	運送晶圓或基板
530	埋設氧化物絕緣層
532、534	P井區域、P型井區
540	半導體層
542	汲極區域
544、548	輕濃度摻雜延伸區域
550	源極/基極區域
552	陽極區域
554	基極區域
558	陰極區域
559	矽化物區域
562、568	閘極絕緣層
564、572	側壁間隔物
566、574	閘極電極
570	絕緣間隔物區塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明之實施例大致上係關於半導體記憶裝置。具體而言，本發明之實施例是關於製造用於半導體記憶裝置中以閘極側式閘流體為基礎之隨機存取記憶體（gated lateral thyristor-based random access memory；以下簡稱 GLTRAM）裝置，以及實作此種 GLTRAM 的記憶體單元結構及記憶裝置。

【先前技術】

積體電路記憶體係包含靜態隨機存取記憶體（SRAM）。許多 SRAM 單元結構係利用 6 電晶體（6-transistor）及 4 電晶體（4-transistor）記憶體單元來實現。這些被利用在許多 SRAM 單元的實現上的與此種 6 電晶體及 4 電晶體記憶體單元（用於 SRAM 單元的許多實作中）相關聯之大的佈局區域（layout area）限制了高密度 SRAM 的設計。

考慮到這些缺陷，一直有在試圖去建立以閘流體為基礎的記憶體單元來減小與傳統記憶體單元相關聯的佈局區域，以及提供具有簡單佈局之以閘流體為基礎的記憶體單元。閘流體係為一種雙穩態（bi-stable）之三端子裝置，其係由四層結構所構成，該四層結構係包含由 P 型陽極區域、N 型基極、P 型基極、以及 N 型陰極區域所配置的 PNP 組構。PN 接面係分別形成於 P 型陽極區域與 N 型基極之間、N 型基極與 P 型基極之間、以及 P 型基極與 N 型陰極

區域之間。接觸件 (contact) 製造於該 P 型陽極區域、該 N 型陰極區域以及耦接於閘極電極之該 P 型基極。

第 1 圖為電路圖 100，用以揭示包含 TRAM 單元 110 之傳統 TRAM 單元陣列。

如第 1 圖所示，TRAM 單元由字元線 120,130、位元線 150、與 NMOS 存取電晶體 170 串接之薄電容耦合型閘流體 (Thin Capacitively-Coupled Thyristor；以下簡稱 TCCT) 裝置 160。該 TCCT 裝置提供主動儲存元件，該主動儲存元件包括閘流體以及耦接於該閘流體之閘極的電容器。該 NMOS 存取電晶體係耦接於 TCCT 裝置 160 之陰極節點 146 與該位元線 150 之間。TCCT 裝置 160 之陽極節點 148 則被固接在正極偏壓。該 TCCT 裝置 160 呈現出雙穩態電流-對-電壓 (I-V) 特性。該雙穩態電流-對-電壓 (I-V) 特性會因 on/off 兩種狀態之間的電流比超過 1×10^5 而致使邏輯 1 (1) 與邏輯 0 (0) 的資料狀態之間產生過寬的讀取邊限 (read margin)。該雙穩態電流-對-電壓 (I-V) 特性會因位於邏輯 1 (1) 資料狀態而產生較佳的讀取電流，使 TCCT 裝置 160 處在順向二極體模式中而產生較高的電流。因為該 T-RAM 單元 110 的保存能力容易因難以控制之 NMOS 存取電晶體 170 的漏電流而受到損害，故該 TRAM 單元 110 可能難以維持良好的保存能力並且會干擾特性。

第 2 圖為電路圖 200，用以揭示包含 DRAM 單元 210,270 之傳統 TCCT-DRAM 單元陣列。相較於通常包含 MOSFET 裝置與電容器之傳統 DRAM 單元，該

TCCT-DRAM 單元 210 係由單一的 TCCT 裝置 260 以及包含寫入致能線 230、字元線 240、位元線 250 之三條控制線所組成。該 TCCT 裝置 260 係由閘流體（第 2 圖未標示）所組成，該閘流體包含連接於該位元線 250 之陽極節點 248、連接於該字元線 240 之陰極節點 246 及在該閘流體之 P 型基極區域之上直接連接於閘極線（gate line）之閘極電容器，該閘極線作用為該致能線 230。TCCT-DRAM 單元係使用基本的讀取/寫入操作來操作，該讀取/寫入操作包含備用模式（standby mode）、寫入邏輯 1（1）操作、寫入邏輯 0（0）操作以及讀取操作。

在備用模式中，位元線 250 及字元線 240 兩者皆位於 V_{dd} 以及藉由該閘流體之 P 型基極區域的充電狀態來保持已儲存的單元資料。該字元線 240 作用為在 TCCT-DRAM 單元內之字元線，並致動（activate）沿著該寫入致能線 230 連接之該 TCCT 單元。在寫入邏輯 1（1）操作期間，當該字元線 240 保持在接地位準時會使該寫入致能線產生脈衝，進而觸發該 TCCT 裝置 260 進行鎖存（latch）。除了對該位元線 250 所施加的電壓被保持在低位準之外，該寫入邏輯 0（0）操作的偏壓方案（bias scheme）如同邏輯 1（1）寫入操作，使得該寫入致能線 230 的脈衝將 TCCT 裝置 260 切換成其阻擋狀態（blocking state）。在讀取操作期間，該字元線 240 係保持於低位準，而該電壓中的改變或該位元線 250 的電流係被讀入感測放大器（sense amplifier）中。

雖然該 TCCT-DRAM 單元 210 不需要存取電晶體，但該 TCCT-DRAM 單元 210 的操作仍會遇到諸如在寫入 0 操作期間的電荷漏失 (charge loss) 的干擾問題。舉例而言，當選擇一個 TCCT-DRAM 單元 210 用於寫入 0 操作時，在該位元線 250 上的偏壓位準必須減少接地，以避免未選擇之 TCCT-DRAM 單元 270 輪流透過該位元線 250 產生電荷漏失。

因此，需要能解決上述問題的記憶裝置與記憶體單元結構，以及用以製造這些記憶裝置與記憶體單元結構的方法。

【發明內容】

根據一個實施例，本發明係提供一種用於製造半導體記憶裝置之方法。提供半導體基板，包含：具有第一導電類型之第一井區、具有該第一導電類型之第二井區、覆於該第一井區之上的第一閘極結構以及覆於該第二井區之上的第二閘極結構。絕緣材料層係共形地 (conformally) 沉積而覆於該半導體基板之暴露部分上。感光材料 (photosensitive material) 係設置在該絕緣材料層之一部分上方，該絕緣材料層之該一部分覆於該第二井區之一部分上。該感光材料暴露出部分的該絕緣材料層。該絕緣材料層之該暴露部分係被非等向性蝕刻以提供鄰接該第二閘極結構之第一側壁之側壁間隔物 (sidewall spacer)，以及覆於該第二閘極結構之一部分上且鄰接該第二閘極結構之第二側壁之所形成的絕緣間隔物區塊。汲極區域及源極/

基極區域係形成在該半導體基板中鄰接該第一閘極結構，以及陰極區域係形成在該半導體基板中鄰接該第二閘極結構。該汲極區域、該源極/基極區域以及陰極區域具有第二導電類型。該第一導電類型的陽極區域係鄰接在該源極/基極區域之一部分中之第二閘極結構而形成。

【實施方式】

下列的實施方式在本質上僅作為例示之用，而並不是為了限制本發明或本發明之應用及用途。該術語“例示(exemplary)”在這裡意指“作為為範例、實例或圖例”。在此描述作為“例示”之任何實施例並非必然被視為相對於其它實施例之較佳或有利者。以下描述之所有實作(implementation)為例示實作以提供熟悉該項技術領域者能夠據以製造或使用該發明，並且不意欲限制由本發明之申請專利範圍所定義的本發明之範疇。此外，並不打算受先前的技術領域、先前技術、發明內容或接下來的實施方式中所呈現的任何明確的或隱含的理論所限制。

為了簡潔起見，與電晶體設計及製造、記憶裝置之控制、記憶體單元程式化、記憶體單元抹除、及該裝置及系統(及該裝置及系統之個別操作組件)之其他功能性態樣相關的傳統技術，在此將不會詳細的描述。再者，此處所包含的不同圖式中所揭示的連接線是為了代表不同元件之間的例示功能性關係及/或實體耦接。應注意的是，本發明之實施例中可呈現許多替換或額外的功能性關係或實體連接。

接下來的描述係與“被連接 (connected)”或“被耦接 (coupled)”在一起之元件或節點或特徵 (feature) 有關。如此處所使用者，除非明確表明，否則，“被連接”意指一個元件、節點或特徵被直接地接合 (joint) 於 (或直接地連通 (communicate with)) 另一個元件、節點或特徵。同樣地，除非明確指明，否則，“被耦接”意指一個元件、節點或特徵被直接地或間接地接合於 (或直接地或間接地連通) 另一個元件、節點或特徵。

在說明書與申請專利範圍中，諸如“第一”、“第二”、“第三”、“第四” (若有的話) 的數字序號可被用來區別相似的元件，但非必要為用來描述特定連續的或依時間前後排列的順序。可理解的是，該些序號的術語係可相互替換使用。在適當的情況下，除了圖式或其它的描述外，於此處所描述之本發明之實施例係能連續製造或操作。

此外，術語“包括 (comprise)”、“包含 (include)”、“具有 (have)”及其任何變化係意欲涵蓋非專有包含 (non-exclusive inclusions) 的含意，使得包含元件清單的程序、方法、物件或裝置並非必要受限於這些元件，但可包含其他未明確列出或此種程序、方法、物件或裝置固有的其他元件。

第 3 圖為能用於本發明之實施例之記憶體系統 340 的方塊圖。該記憶體系統 340 係例示實施例的簡化表示，而實際的系統 340 也可包含未揭示於第 3 圖中之傳統元件、邏輯、組件、及功能性。該記憶體系統 340 能執行包含關

於記憶體陣列 342 之寫入 1(1)、讀取 1(1)、寫入 0(0)、及讀取 0(0) 的操作。

該記憶體系統 340 包含：該記憶體陣列 342，包括字元線及位元線通常配置成列 (row) 與行 (column) 之記憶體單元；列及行解碼器 344,348；以及感測放大器電路 346。該記憶體陣列 342 包含複數個記憶體單元 300。每一個記憶體單元係以列位址與行位址標出。就特定記憶體單元而言，特定的字元線藉由允許或避免於特定位元線上載送之訊號（以邏輯”0”或邏輯”1”表示）被寫入儲存元件或從儲存元件讀取，而控制對其特定儲存元件的存取。因此，每一個記憶體單元 100 能夠將一個資料位元儲存為邏輯”0”或邏輯”1”。

該記憶體陣列 342 之位元線能被連接至該感測放大器電路 346，同時其字元線能被連接至列解碼器 344。透過位址/控制線 361 將位址及控制訊號係輸入至該記憶體系統 340。該位址/控制線 361 被連接至該行解碼器 348、感測放大器電路 346、及列解碼器 344。除此之外，該位址/控制線 361 被用來獲得對記憶體陣列 342 之讀取或寫入存取。

該行解碼器 348 經由在行選擇線 362 上的控制及行選擇訊號而被連接至該感測放大器電路 346。該感測放大器電路 346 接收預定用於該記憶體陣列 342 之輸入資料以及透過輸入/輸出 (I/O) 資料線 363 輸出從記憶體陣列 342 所讀取之資料。藉由致動字元線（經由列解碼器 344）而從該記憶體陣列 342 之單元讀取資料，該字元線將相對於

該字元線之所有記憶體單元耦接至定義該陣列之行之個別的位元線 360。也致動一條或多條位元線。當特定的字元線與位元線被致動時，因而選擇一個位元或多個位元，被連接至位元線的該感測放大器電路 346 藉由量測介於該已致動的位元線及參考線之間的電位差以偵測及放大為被選擇之位元的資料。

第 4 圖為揭示依據本發明之實施例之記憶體單元陣列之電路圖。在一個實施例中，該陣列記憶體 400 能實作為如第 3 圖所示的記憶體系統 340 之記憶體陣列 342 的一部分。在第 4 圖中，該陣列 400 係揭示為包含是相同構造且以兩列及兩行組構的 4 個記憶體單元的區塊。雖然在第 4 圖中所揭示的陣列僅具有 4 個記憶體單元，但熟悉該項技術領域者將會了解到在許多的實際實作上（諸如：TRAM、SRAM、DRAM 積體電路或 NAND 或 NOR 型的快閃記憶體），記憶體陣列 400 能夠包含數以千計或更多的此種記憶體單元。接下來的描述中，將描述其中一個記憶體單元（即記憶體單元 410），即使第 4 圖中尚有 3 個其它記憶體單元，但它們每一個皆包括與該記憶體單元 410 相同的結構。

該記憶體單元 410 包括 GLT 裝置 460 以及 MOSFET 存取電晶體 470。複數條控制線係用來操作包含有第一字元線 420、第二字元線 430、第三字元線 440、及位元線 450 之記憶體單元 410。

該 MOSFET 存取電晶體 470 能夠包括 NMOS 存取電晶體或 PMOS 存取電晶體，視實作而定。此外，雖然術語

“MOSFET”意指具有金屬閘極電極及氧化物閘極絕緣體之裝置較為適當，但全文中該術語將意指包含依序位於半導體基板（矽或其它半導體材料）上方的閘極絕緣體、位於該閘極絕緣體（氧化或其它絕緣體）上方的導電閘極電極（金屬或其它導電材料）的任何半導體裝置。

在第 4 圖中，GLT 裝置係以元件符號 460 來表示。雖然未顯示，但應瞭解到，該 GLT 裝置 460 包括閘流體（未圖示）以及被連接至該閘流體之金屬氧化矽（Metal Oxide Silicon；MOS）電容器（未圖示），如第 11 圖所示。一般而言，該閘流體為雙穩態之三端子裝置，其包括閘極電極 465、陽極區域 462、陰極區域 464、及設置於該陽極區域 462 與該陰極區域 464 之間的一對基極區域（未圖示）。接觸件（contact）的製造方式包括：於該陽極區域 462 建立陽極端子、於該陰極區域 464 建立陰極端子、以及於該閘極電極 465 建立閘極端子。PN 或 NP 接面係分別形成於該陽極區域 462 與其中一個基極區域之間、該一對基極區域之間、及另一個基極區域與陰極區域 464 之間。在第 4 圖中之元件符號 460 所表示的 GLT 裝置 460 中，該 MOS 電容器（未圖示）被連接至該閘流體（未圖示）之其中一個基極區域。

在該記憶體單元 410 之一個例示實施例中（以下將以第 5 至 11 圖來描述），該 MOSFET 存取電晶體 470 包括 NMOS 存取電晶體，而該 GLT 裝置 460 包括耦接至 MOS 電容器（第 4 圖中未標記）的 PNP 閘流體（第 4 圖中未

標記)。該 PNP 閘流體包含閘極電極 465、P 型陽極區域 462、N 型基極區域（未圖示）、P 型基極區域（未圖示）、及 N 型陰極區域 464 所配置的 PNP 組構，其中該 N 型基極區域與該 P 型基極區域係側向地設置於 P 型陽極區域 462 與 N 型陰極區域 464 之間。如上述，該接觸件製造於該陽極區域 462、該陰極區域 464、以及該閘極電極 465。一 PN 接面係形成在 P 型陽極區域 462 與 N 型基極區域之間、另一 PN 接面係形成在該 N 型基極區域與該 P 型基極區域之間、及又一 PN 接面係形成在該 P 型基極區域與該 N 型陰極區域 464 之間。在這些實施例中，該 P 型陽極區域/N 型基極區域與該 P 型基極區域/N 型陰極區域作用為雙極性裝置（bipolar device）。該 GLT 裝置 460 之 MOS 電容器包含閘極電極 465、該 P 型基極區域、及設置於該閘極電極 465 與該 P 型基極區域之間之閘極絕緣體層。該閘極絕緣體層作為電容器介電質（capacitor dielectric）。該 N 型基極區域與該 P 型基極區域係彼此鄰接。該 MOS 電容器係連接至該閘流體之該 P 基區域。在其他替代的例示實施例中，該 MOSFET 存取電晶體 470 包括 PMOS 存取電晶體，而該 GLT 裝置 460 包括被耦接至 MOS 電容器之閘流體。在這個替代的實施例中，該閘流體包括以 NPN 組構配置之雙極性裝置，且該 MOS 電容器係連接至該雙極性裝置之 N 基區域。

該 MOSFET 存取電晶體 470 包括：在節點 448 處被耦接至位於該 GLT 裝置 460 之陽極端子 462 的源極區域

474、在節點 444 處被耦接至位於該位元線 450 的汲極區域 472、及在節點 441 處被耦接至位於該第一字元線 420 的閘極電極 475。

第 5 至 11 圖為揭示依據本發明之不同實施例所用以製造記憶體單元的方法步驟的剖面圖。熟悉該項技術領域者應瞭解到的是，記憶體單元 500 極可能是被互連在積體電路中之大量記憶體單元中的其中一者。在一個實施例中，該記憶體單元 500 能實作為如第 4 圖中所揭示之記憶體陣列 400 內的其中一個記憶體單元。在以下所描述的圖示實施例中，該例示記憶體單元 500 包括 N 通道 MOS (NMOS) 存取電晶體 510 以及包括被耦接至 MOS 電容器之 PNP 閘流體的 GLT 裝置 520。然而，如同以下將說明者，類似的方法步驟可被用來製造另一記憶體單元，其包括 P 通道 MOS (PMOS) 存取電晶體以及包括被耦接至 MOS 電容器之 NPN 閘流體的 GLT 裝置。

在製造記憶體單元的各種步驟中，MOS 電晶體及閘流體係為習知技術，故為了簡潔起見，許多傳統的步驟在此將只會簡要提及或完全省略，而將不會提供該習知技術詳細的流程。如以上所述，在此處使用的術語“MOS 電晶體”係以非限制的方式來解釋，且意指包含依序位於半導體基板上方的閘極絕緣體、位於該閘極絕緣體上方的導電閘極電極的任何半導體裝置。

在第 5 圖中所揭示該結構的步驟中，由於在製造記憶體單元 500 中的初始步驟為傳統的，因此將不會揭示以及

詳細描述該些初始步驟。該製造首先提供半導體結構或基板 505，在該半導體結構或基板 505 中及上製造記憶體單元 500。該半導體基板 505 能夠為塊狀 (bulk) 半導體或絕緣體上覆半導體 (semiconductor-on-insulator; 以下簡稱 SOI) 基板。依據本發明揭示於第 5 圖中之實施例中，該半導體基板 505 係揭示為 (SOI) 結構 505，其包括至少一個半導體材料薄層 540 被設置於埋設氧化物絕緣層 530 上或上方，依序被運送晶圓 (carrier wafer) 或基板 525 所支撐，使得該埋設氧化物絕緣層 530 被設置於該運送晶圓 525 與該半導體層 540 之間。那些熟悉半導體技術領域者應了解到，該半導體層 540 可為矽層、鍺層、砷化鎵 (gallium arsenide) 層、或其他半導體材料。在一個實施例中，該半導體層 540 包括在該埋設氧化絕緣層 530 上之薄單晶矽層。薄單晶矽層可為具有 (100) 表面晶向 (crystal orientation) 之矽基板。該薄矽層較佳的電阻值至少約每平方 1 至 35 歐姆 (Ohms)。如此處所使用的術語“矽層”將用來涵蓋極純之矽材料或典型地用在該半導體工業中的輕雜質濃度摻雜 (lightly impurity-doped) 之單晶矽材料，其可為矽混合少量的其他元素，諸如：鍺、碳，或其他類似的摻雜元素，諸如：硼、磷、砷，以形成大致上單晶化之半導體材料。在一個實施例中，該埋設氧化物絕緣層 530 可例如為二氧化矽層，其較佳厚度可大約為 50 至 200nm。

視需要之保護氧化物層 560 可被沉積在半導體層 540 上方，以使該半導體層 540 免於受到損害以及有助於在接

下來的植入 (implantation) 步驟期間控制植入深度 (implantation depth)。在一個實施例中，該保護氧化物層 560 可例如為二氧化矽層，其較佳厚度可大約為 10 至 20nm。

如第 6 圖所示，該半導體層 540 之至少一部分的表面可根據 MOS 電晶體 510 之導電類型來雜質摻雜 N 型導電率決定雜質 (conductivity determining impurities) 或 P 型導電率決定雜質。在第 6 圖中所示的電晶體之 NMOS 實施例中，該半導體層 540 係摻入 P 型導電率決定雜質，以在該半導體層 540 中建立 P 井區域 532,534。雜質摻雜可以例如藉由該植入及接下來的熱退火 (thermal annealing) 摻雜離子 (諸如：硼) 來進行。在 PMOS 的實施例中 (第 6 圖未揭示)，該半導體層可被摻入 N 型導電率決定雜質，以在該半導體層 540 中建立 N 井區域 (未圖示)。雜質摻雜可以例如藉由該植入及接下來的熱退火摻雜離子 (諸如：磷及砷) 來進行。

一旦形成該 P 型井區 532,534，部分的該保護氧化物層 560 將可選擇性地被移除，及溝槽 (trench) 能夠被蝕刻至該半導體層 540 用於在相鄰記憶體單元之間形成介電隔離 (dielectric isolating) 區域。舉例而言，該記憶體單元 500 藉由介電隔離區域 (未圖示) 可與其他的記憶體單元 (未圖示) 電性地隔離，該介電隔離區域較佳可為淺溝槽隔離 (shallow trench isolation; 以下簡稱 STI) 區域。在習知的技術中，有許多製程可用來形成 STI 區域，因此

無須詳細描述該製程。通常，STI 包含被蝕刻至該半導體層 540 的淺溝槽，接著在該淺溝槽內填充絕緣材料。於該溝槽填充絕緣材料（諸如：氧化物）之後，其表面通常需要平坦化(planarized)，例如藉由化學機械研磨法(chemical mechanical planarization；CMP)。

閘極絕緣材料 562 的層係形成在雜質摻雜 (impurity-doped) 區域之表面以及閘極電極 566,574 係分別覆於該閘極絕緣材料 562 及雜質摻雜之 P 井區域 532,534 上而形成。該閘極絕緣材料 562 的層可為熱成長(thermally grown) 二氧化矽或沉積的絕緣體（諸如：氧化矽、氮化矽）、或具有相較於高介電係數 (κ) 之二氧化矽的高介電係數 (κ) 絕緣體材料。“高- κ 介電係數”材料的例子可包含：鈦 (hafnium; Hf)、矽酸鋯 (zirconium silicates; Zr Si) 及其氧化物，包含但不限於：二氧化鈦 (HfO_2)、矽酸鈦氧化合物 (HfSiO)、或類似氧化物。所沉積的絕緣體可藉由例如：化學氣相沉積 (CVD)、低壓化學氣相沉積 (LPCVD)、電漿增強型化學氣相沉積 (PECVD)、原子層沉積 (ALD) 等方式來沉積。該已沉積的閘極絕緣體層 562 較佳地具有厚度大約為 1 至 10nm，然而實際的厚度可基於電路的實作來決定。

閘極電極 566,574 較佳地係藉由沉積、圖案化 (patterning)、及蝕刻金屬層或多晶矽 (polycrystalline silicon) 層（較佳為未摻雜之多晶矽層）所形成。該閘極電極 566,574 係形成在該半導體層 540 中之該 P 井區域

532,534 上方，且一般具有約 100 至 300 nm 的厚度。該多晶矽可以例如藉由在化學氣相沉積 (CVD) 的反應 (諸如：低壓化學氣相沉積 (LPCVD)) 中矽烷 (SiH_4) 的減少而被沉積。

在該閘極電極 566,574 已形成之後，遮罩層 (未圖示) 可視需要地 (optionally) 形成在該閘極電極 574 上方，以及該 P 井區域 532 之至少一個表面部分可用 N 型導電率決定雜質來雜質摻雜，以在鄰接該閘極絕緣層 562 之該半導體層 540 中建立輕濃度摻雜延伸區域 544,548。雜質摻雜可以例如藉由該植入及接下來的熱退火 (thermal annealing) 摻雜離子 (諸如：二氟化硼 (BF_2)) 來進行。

根據一個實施例，該方法依照第 7 至 11 圖繼續。根據該方法之另一實施例則依照第 12 至 14 及 11 圖繼續。

如第 7 圖所示，絕緣材料 569 之覆蓋 (blanket) 層 (諸如：氧化矽及/或氮化矽之介電層) 係共形地沉積而覆於該閘極電極 566,574 及包含輕濃度摻雜延伸區域 544,548 之該半導體層 540 的暴露部分上。然後，感光材料層 (諸如：光阻劑 (photoresist)) 被敷設於該絕緣材料 569 之覆蓋層上方，且被圖案化以留下剩餘部分 575 並暴露出該覆蓋絕緣層 569 之被選擇部分。然後，例如：藉由反應式離子蝕刻 (reactive ion etching; RIE) 將該覆蓋絕緣層 569 之暴露部分非等向性蝕刻 (蝕刻劑以箭頭 595 表示)。氧化矽及氮化矽可在例如：三氟甲烷 (CHF_3)、四氟化碳 (CF_4)、或六氟化硫 (SF_6) 等化學作用中被蝕刻。

如第 8 圖所示，絕緣材料 569 之覆蓋層被非等向性蝕刻，以在閘極電極 566 之側壁上形成側壁間隔物 564，以及在閘極電極 574 之側壁上形成側壁間隔物 572 及絕緣間隔物區塊 570。該絕緣間隔物區塊 570 覆於該半導體層 540 之一部分、閘極電極 574 之一部分和閘極電極 574 之側壁上。然後，在植入之後，移除該感光材料之剩餘部分 575。

如第 9 圖所示，遮罩材料層 586,588 (諸如：光阻層) 係接著被敷設於該閘極電極 566,574 上方。該遮罩材料層接著被圖案化以提供暴露出半導體層 540 之區域的離子植入遮罩，該等區域係對應於汲極區域 542、源極/基極區域 550、及陰極區域 558 之最終位置。該汲極區域 542、該源極/基極區域 550、及該陰極區域 558 的植入以箭頭 596 表示。在此例示實施例中，將植入 N 型導電率決定離子 (諸如：磷或砷)。在替代的實施例中，P 型導電率決定離子 (諸如：硼) 將被植入該半導體層之暴露區域。然後，移除該遮罩材料層 586,588。

如第 10 圖所示，在第 9 圖所示的植入步驟之後，離子植入遮罩 584,585 係設置在該裝置 500 上方，暴露出該源極/基極區域 550 之窄的部分，並且覆蓋該裝置 500 的剩餘部分，該剩餘部分包含 NMOS 電晶體結構 510 與該閘流體裝置 520 之一部分。離子植入遮罩 584,585 可包括光阻圖案層，該光阻圖案層包含開口，該開口係對應於該源極/基極區域 550 之窄的部分。在第 10 圖中，P 型導電率決定離子係以箭頭 597 表示，且使用高能量離子束植入該源極/

基極區域 550 之窄的部分，以形成該 GLT 裝置 520 之 P 型陽極區域 552。該 P 型陽極區域 552 的形成係將該源極/基極區域 550 分割成二個部分：該存取電晶體 510 之 N 型源極接面 550，以及該 GLT 裝置 520 之 N 型基極區域 554。該 P 型陽極區域 552 係設置於該存取電晶體 510 之 N 型源極接面 550 與該 GLT 裝置 520 之 N 型基極區域 554 之間。

如第 11 圖所示，藉由將該記憶體單元 500 曝露在高溫控制期間而執行快速熱退火 (rapid thermal anneal；以下簡稱 RTA) 步驟。該 RTA 步驟電性地活化了在該輕濃度摻雜延伸區域 544,548、該 N 型汲極區域 542、該 N 型源極區域 550、該 P 型陽極區域 552、該 N 型基極區域 554、以及該 N 型陰極區域 558 中之離子，以使植入該些區域之摻質離子朝側向擴散。矽化物區域 559 接著可被形成在該 N 型汲極區域 542、該閘極電極 566,574、該 N 型陰極區域 558、該 N 型源極區域 550、及該 P 型陽極區域 552 之暴露區域的表面上。該矽化物區域 559 係提供用來電性耦接接觸件於該些區域之機構，該些接觸件包含單一接觸件以接觸該存取電晶體 510 之 N 型源極區域 550 與該 GLT 裝置 520 之 P 型陽極區域 552。

第 5,6 和 12 至 14 圖為揭示依據本發明之替代實施例記憶體單元 500 和其製造的替代方法步驟的剖面圖。在第 12 至 14 圖所揭示之例示實施例中，在植入第 6 圖所示之該輕濃度摻雜延伸區域 544,548 之後及形成側壁間隔物 564,572 與絕緣間隔物區塊 570 之前，能將該 N 型汲極區

域 542、該 N 型源極/基極區域 550、以及該 N 型陰極區域 558 植入。

如第 12 圖所示，然後，將該遮罩材料層 586,588 (可例如為光阻劑) 敷設於該閘極電極 566,574 上方。該遮罩材料層係被圖案化以形成離子植入遮罩 586,588，暴露出該半導體層 540 之區域，該等區域係對應於該汲極區域 542、該源極/基極區域 550、及該陰極區域 558 之最終位置。該汲極區域 542、該源極/基極區域 550、及該陰極區域 558 的植入以箭頭 602 表示。在此例示實施例中，將植入 N 型導電率決定離子 (諸如：磷或砷)。在替代的實施例中，P 型導電率決定離子 (諸如：硼) 將被植入該半導體層之暴露區域。然後，移除該遮罩材料層 586,588。

如第 13 圖所示，絕緣材料 569 之覆蓋層 (諸如：氧化矽及/或氮化矽之介電層) 係共形地沉積而覆於該閘極電極 566,574 及包含在該半導體層 540 中之輕濃度摻雜延伸區域 544,548、該 N 型源極/基極區域 550、該 N 型汲極區域 542、以及該 N 型陰極區域 558 的該半導體層 540 之暴露部分上。然後，感光材料層 (諸如：光阻劑 (photoresist)) 係被敷設於該覆蓋絕緣層 569 上方，且被圖案化以留下剩餘部分 575 並暴露出該覆蓋絕緣層 569 之被選擇部分。然後，例如：藉由反應式離子蝕刻 (reactive ion etching; RIE)，將該覆蓋絕緣層 569 之暴露部分非等向性蝕刻 (蝕刻劑以第 13 圖中的箭頭 604 所表示)。氧化矽及氮化矽可在例如：三氟甲烷 (CHF_3)、四氟化碳 (CF_4)、或六氟化

硫 (SF_6) 等化學作用中被蝕刻。

如第 14 圖所示，絕緣材料 569 之覆蓋層係被非等向性蝕刻，以在閘極電極 566 之側壁上形成側壁間隔物 564，以及在閘極電極 574 之側壁上形成側壁間隔物 572 及絕緣間隔物區塊 570。該絕緣間隔物區塊 570 覆於該源極/基極區域 550 之一部分、閘極電極 574 之部分、以及該閘極電極 574 之側壁上。然後，移除該感光材料之剩餘部分 575。

離子植入遮罩 584,585 係設置於該裝置 500 上方，暴露出該源極/基極區域 550 之窄的部分，以及覆蓋該裝置 500 的剩餘部分，該剩餘部分包含 NMOS 電晶體結構 510 與該閘流體裝置 520 之一部分。在第 14 圖中，P 型導電率決定離子係以箭頭 597 表示，且使用高能量離子束植入該源極/基極區域 550 之窄的部分，以形成該 GLT 裝置 520 之 P 型陽極區域 552。該 P 型陽極區域 552 的形成係將該源極/基極區域 550 分割成二個部分：該存取電晶體 510 之 N 型源極接面 550，以及該 GLT 裝置 520 之 N 型基極區域 554。該 P 型陽極區域 552 係設置於該存取電晶體 510 之 N 型源極區域 550 與該 GLT 裝置 520 之 N 型基極區域 554 之間。然後如上參考第 11 圖所述而執行進一步處理。

第 11 圖中所示之記憶體單元 500 可由習知的步驟(未揭示)所完成，諸如：沉積介電材料層、蝕刻穿透該介電材料層的開口、以及形成延伸穿透該開口以電性接觸該 N 型汲極區域 542、該 N 型陰極區域 558、該 N 型源極區域 550、及該 P 型陽極區域 550 與該 P 型陽極區域 552、及/

或該閘極結構的金屬噴敷 (metallization)。舉例而言，能形成互連 (interconnect) 金屬噴敷層，用以連接字元線至該 N 型陰極區域 558、用以接觸被耦接至字元線之該閘極電極 566,574 以及用以連接位元線至該 N 型汲極區域 542。更多的層間介電材料層、額外的互連金屬噴敷層等等也可被敷設及圖案化以實現所實作之積體電路的適當電路功能。

因此，如第 11 圖所示，該記憶體單元 500 包括：該 NMOS 存取電晶體 510 以及鄰接半導體層 540 上之該 NMOS 存取電晶體 510 而製造之該 GLT 裝置 520。該 GLT 裝置 520 包括被耦接至 MOS 電容 534,568,574 之側面式 PNP 閘流體。該側面式 PNP 閘流體包括：交替的 P 型與 N 型材料，包含 P 型陽極區域 552、N 型基極區域 554、P 型基極區域 534 和 N 型陰極區域 558，其中，該基極區域 534,554 係側向地設置於該 P 型陽極區域 552 與該 N 型陰極區域 558 之間。該 NMOS 存取電晶體 510 之該 N 型源極區域 550 係被耦接至該 GLT 裝置 520 之 P 型陽極區域 552。耦接該 N 型源極區域 550 與 P 型陽極區域 552 可避免該 GLT 裝置 520，例如，在備用模式期間經由漏電流損耗電荷。該 NMOS 存取電晶體 510 之該 N 型源極區域 550 阻擋電荷自該 GLT 裝置 520 之 P 型陽極區域 552 洩漏，因為該存取電晶體係處於截止狀態 (off state)。一 PN 接面 (J_1) 係形成於該 P 型陽極區域 552 與該 N 型基極區域 554 之間，另一 PN 接面 (J_2) 係形成於該 N 型基極區域 554

與該 P 型基極區域 534 之間，又一 PN 接面 (J_3) 係形成於該 P 型基極區域 534 與該 N 型陰極區域 558 之間。在這些實施例中，該 P 型陽極區域/N 型基極區域 552,554 與該 P 型基極區域/N 型陰極區域 534, 558 作用為雙極性裝置。該 GLT 裝置 520 之該 MOS 電容器 534 568,574 包含閘極電極 574、該 P 型基極區域 534、和被設置於該閘電極 574 與該 P 型基極區域 534 之間的閘極絕緣體層 568。該閘極絕緣體層 568 作為電容器介電質。該 N 型基極區域 554 與該 P 型基極區域 534 係相互鄰接。當該 P 型陽極區域 552 係相對於該 N 型陰極區域 558 而處於正電位 ($+V_A$) 時 (該閘極電極 574 處沒有施加電壓)，則接面 J_1 與 J_3 為順向偏壓，同時接面 J_2 為逆向偏壓。由於該接面 J_2 為逆向偏壓，故無傳導產生 (截止狀態)。若施加於該 P 型陽極區域 552 之正電位 ($+V_A$) 增加超過該閘流體之崩潰電壓 (breakdown voltage) (V_{BK}) 時，會發生接面 J_2 的累增崩潰 (avalanche breakdown)，使該閘流體開始傳導 (導通狀態)。若相對於該 N 型陰極區域 558 在該閘電極 574 處施加正電位 (V_G) 時，該接面 J_2 的崩潰會在較低數值的正電位 ($+V_A$) 發生。藉由選擇適當的 V_G 值，能立刻將該閘流體切換成導通狀態。

MOS 電容器 534,568,574 係電容耦合至該閘流體之 P 基區域 534，並保持電荷來控制該閘流體之 P 基區域 534 的電位。該 P 基區域 534 的電壓位準決定是否觸發該 N 型基極區域 554、該 P 型基極區域 534、及該 N 型陰極區域

558 的 NPN 雙極性作用。在替代的例示實施例中，該 MOSFET 存取電晶體 510 包括 PMOS 存取電晶體，以及該 GLT 裝置 520 包括與 MOS 電容配置成 NPNP 結構之閘流體且有 MOS 電容器被連接至該閘流體之 N 基。

如第 4 和 11 圖所示，該 MOSFET 存取電晶體 510 包括：被耦接至該 GLT 裝置 520 之陽極區域的源極區域 548/550、被耦接至位元線 450 的汲極區域 542/544、以及被耦接至第一字元線 420 的閘極電極 566。如以下將參照第 15 圖並繼續參照第 4 和 11 圖而敘述者，記憶體單元 500 係使用複數條控制線來操作，該等控制線包含：該第一字元線 420、被耦接至該 GLT 裝置 520 之該閘極電極 574 的第二字元線 430、被連接至該 GLT 裝置 520 之該陰極 558 的第三字元線、以及該位元線 450。除了別的功能，此記憶體單元 500 的配置防止已儲存之電荷在寫入操作期間被放電，如以下將參照第 15 圖而描述者。

第 15 圖為揭示依據本發明之實施例於記憶體單元 400 操作期間施加於記憶體單元 400 之字元線 420,430,440 的電壓波形 1510,1520,1530 的時序圖。第 15 圖將配合參考第 4 和 11 圖來描述。

第 4 和 11 圖所揭示之該記憶體單元 400 可操作在任一不同的模式，包含：備用模式 1580、寫入 1 (1) 模式 1590、讀取 1 (1) 模式 1592、寫入 0 (0) 模式 1594 和讀取 0 (0) 模式 1596。當該第一字元線 420 被活化時，施加至該第一字元線 420 的電壓波形 1510 從低位準（例如：接

地或 0.0 伏特)轉換成高位準(例如:等於 1.2 伏特的 V_{dd})。當該第二字元線 430 在寫入 1 (1) 模式 1590 期間所發生的寫入 1 (1) 操作期間內被活化或當該第二字元線 430 在寫入 0 (0) 模式 1594 期間所發生的寫入 0 (0) 操作期間內被活化時,被施加至該第二字元線 430 的電壓波形 1520 從低位準(例如:-1.5 伏特)轉換成高位準(例如:0.0 伏特)。當該第三字元線 440 被活化時,被施加至該第三字元線 440 的電壓波形 1530 從高位準(例如:等於 1.2 伏特的 V_{dd})轉換成低位準(例如:接地或 0.0 伏特)。施加至該位元線 450 的電壓波形 1540 會根據該操作模式而在高位準(例如:等於 1.2 伏特的 V_{dd})與低位準(例如:接地或 0.0 伏特)之間進行轉換。

在備用模式 1580 中,該第三字元線 440 被保持在高電位 (V_{dd}),而負偏壓被施加在該第二字元線 430 及該位元線 450,且該第一字元線 420 被保持在低電壓。在一個例示實施例中,該高電壓值 (V_{dd}) 可介於 0.5 伏特至 3.0 伏特之間,而該負偏壓值可介於-1 伏特至-3 伏特之間。

在任一寫入操作期間,係藉由施加高電壓 (V_{dd}) 至該第一字元線 420 及施加低電壓至該第三字元線 440 而活化該記憶體單元 400,以“導通”該記憶體單元 400 之該 NMOS 存取電晶體 510。當第三字元線 440 相較於該 GLT 裝置 520 之該陽極區域 552 係處於低電壓時,該 GLT 裝置 520 中將無電流流動直到電壓脈衝 1522 (例如:0.0 伏特)被施加至該第二字元線 430 為止。因此,當電壓脈衝 1522

被施加至該第二字元線 430 且第三字元線 440 相較於該 GLT 裝置 520 之該陽極區域 552 係處於低電壓時，電流在該 GLT 裝置 520 裡流動。就寫入 1 (1) 模式 1590 期間所發生的該寫入 1 (1) 操作而言，高電位 (V_{dd}) 被施加至該位元線 450。就寫入 0 (0) 模式 1594 期間所發生的該寫入 0 (0) 操作而言，低電壓 (例如：介於 0 伏特至 0.5 伏特之間) 被施加至該位元線 450。

該記憶體單元 400 可藉由以下方式被選擇：藉由施加高電壓 (V_{dd}) 至該第一字元線 420 與施加低電壓至該第三字元線 440 (或將該第三字元線 440 接地)，以“導通”該記憶體單元 400 之 NMOS 存取電晶體 510。為了在讀取 1 (1) 模式 1592 中讀取該記憶體單元 400，該位元線 450 被預先充電 (pre-charged) 至接地位準 (0.0 伏特)。若被預先充電之該位元線 450 的位準被充電 (charged up)，則該感測放大器電路識別資料“1”正被讀取。為了在讀取 0 (0) 模式 1596 中讀取該記憶體單元 400，該位元線 450 被預先充電 (pre-charged) 至接地位準 (0.0 伏特)。若被預先充電之該位元線 450 的位準尚未改變，則該感測放大器電路識別資料“0”正被讀取。

雖然在先前之描述中已呈現至少一個範例實施例，然而應體會到的是，尚存在不計其數之變化。應體會到的是，此處所描述的例示實施例或實施例等並不是為了在任何程度上限制本發明之範疇、利用性、組構。反而，先前的詳細描述將提供方便的指南 (road map) 給本領域中之熟習技

藝者，以用於該描述的實施例或實施例等。應了解到的是，可在不超出本發明之範疇的情況下，對元件的功能及配置作出各式各樣的變化，其中，本發明之範疇係由申請專利範圍所界定，該範疇包含已知的等效物及在此專利申請案申請時可預見的等效物。

【圖式簡單說明】

本發明可藉由參考實施方式及申請專利範圍並一併考量以下的圖式而取得更完整的理解，其中：

第 1 圖為揭示傳統以閘流體為基礎之隨機存取記憶體 (Thyristor-based Random Access Memory; TRAM) 單元陣列之電路圖；

第 2 圖為揭示傳統薄電容耦合型閘流體 (Thin Capacitively-Coupled Thyristor; TCCT) DRAM 單元陣列之電路圖；

第 3 圖為能用於本發明之實施例之記憶體系統的方塊圖；

第 4 圖為揭示依據本發明之實施例之記憶體單元陣列之電路圖；

第 5 至 11 圖為揭示依據本發明之不同實施例所用以製造記憶體單元的方法步驟的剖面圖；

第 5、6、12 至 14、11 圖為揭示依據本發明之替換實施例所用以製造記憶體單元的方法步驟的剖面圖；

第 15 圖為揭示依據本發明之實施例於記憶體單元操作期間而施加於字元線之電壓的時序圖。

【主要元件符號說明】

100	電路圖	110	TRAM 單元
120、130	字元線	140、142、144、146、148	節點
150	位元線	160	TCCT 裝置
200	電路圖	210、270	TCCT-DRAM 單元
230	寫入致能線	240	字元線
250	位元線	242、246、248	節點
260	TCCT 裝置	340	記憶體系統
342	記憶體陣列	344	列解碼器
346	感測放大器電路	348	行解碼器
360	位元線	361	位址/控制線
362	行選擇線	363	輸入/輸出(I/O)資料線
400	記憶體陣列(記憶體單元)	410	記憶體單元
420	第一字元線	430	第二字元線
440	第三字元線	441、442、444、446、448	節點
450	位元線	460	GLT 裝置
462	陽極區域	464	陰極區域
465	閘極電極	470	MOSFET 存取電晶體
472	汲極區域	474	源極區域
475	閘極電極	500	記憶體單元、裝置
505	半導體基板	510	MOS 電晶體
520	閘流體裝置	525	運送晶圓或基板
530	埋設氧化物絕緣層	532、534	P 井區域、P 型井區
540	半導體層	542	汲極區域

544、548	輕濃度摻雜延伸區域	550	源極/基極區域
552	陽極區域	554	基極區域
558	陰極區域	559	矽化物區域
560	保護氧化物層	562、568	閘極絕緣層
564、572	側壁間隔物	566、574	閘極電極
569	絕緣材料、覆蓋絕緣層	570	絕緣間隔物區塊
575	剩餘部分	584、585	離子植入遮罩
586、588	遮罩材料層	595、604	蝕刻方向
596、597、602	離子植入方向	J_1 、 J_2 、 J_3	PN 接面
1510、1520、1530	電壓波形		
1580、1590、1592、1594、1596	模式		

十、申請專利範圍：

1. 一種用於製造記憶裝置之方法，該方法包括以下步驟：
提供半導體基板，該半導體基板包括：第一井區、第二井區以及覆於該第二井區上的至少一個閘極結構；
共形地沉積絕緣材料層覆於該半導體基板之暴露部分上；
在覆於該第二井區之一部分之該絕緣材料層的一部分上方提供感光材料，其中，該感光材料暴露出部分之該絕緣材料層；
非等向性蝕刻該絕緣材料層之暴露部分，以提供：
鄰接該至少一個閘極結構之第一側壁之側壁間隔物 (sidewall spacer)，
覆於該至少一個閘極電極結構之一部分上且鄰接該至少一個閘極電極結構之第二側壁所形成之絕緣間隔物區塊；以及
在完成該非等向性蝕刻步驟後，形成汲極區域、在該半導體基板中鄰接該第一閘極結構以及鄰接該第二閘極結構之源極/基極區域以及在該半導體基板中鄰接該第二閘極結構之陰極區域。
2. 如申請專利範圍第 1 項之方法，其中，該第一井區具有第一導電類型，其中，該第二井區具有該第一導電類型，其中，該至少一個閘極結構包括第二閘極結構，且其中，提供該半導體基板的步驟包括以下步驟：

提供半導體基板，該半導體基板包括該第一導電類型之第一井區與第二井區、覆於該第一井區上之第一閘極結構以及覆於該第二井區之該第二閘極結構。

3. 如申請專利範圍第 2 項之方法，

其中，該汲極區域、該源極/基極區域和該陰極區域具有第二導電類型。

4. 如申請專利範圍第 3 項之方法，復包括以下步驟：

在該源極/基極區域之一部分中鄰接該第二閘極結構形成該第一導電類型的陽極區域。

5. 如申請專利範圍第 3 項之方法，其中，形成汲極區域、在該半導體基板中鄰接該第一閘極結構以及鄰接該第二閘極結構之源極/基極區域以及在該半導體基板中鄰接該第二閘極結構之陰極區域，其中，該汲極區域、該源極/基極區域和該陰極區域具有第二導電類型的步驟包括以下步驟：

提供離子植入遮罩覆於該第一閘極結構與該第二閘極結構上，該離子植入遮罩暴露出部分的該第一井區與該第二井區；以及

將具有該第二導電類型之摻質離子植入該第一井區與該第二井區之該暴露部分中以形成：在該半導體基板中鄰接該第一閘極結構之該汲極區域與該源極/基極區域，以及在該半導體基板中鄰接該第二閘極結構之該基極區域與該陰極區域。

6. 如申請專利範圍第 5 項之方法，復包括以下步驟：

提供另一個離子植入遮罩，暴露出該源極/基極區域之一部分；以及

將具有該第一導電類型之摻質離子植入該源極/基極區域之該暴露部分中以形成陽極區域，該陽極區域鄰接該源極/基極區域之該暴露部分中的該第二閘極結構。

7. 如申請專利範圍第 3 項之方法，其中，形成汲極區域、在該半導體基板中鄰接該第一閘極結構以及鄰接該第二閘極結構之源極/基極區域以及在該半導體基板中鄰接該第二閘極結構之陰極區域，其中，該汲極區域、該源極/基極區域和該陰極區域具有第二導電類型的步驟係包括以下步驟：

提供離子植入遮罩覆於該第一閘極結構、該第一側壁間隔物、該第二閘極結構、該第二側壁間隔物以及該絕緣間隔物區塊，其中，該離子植入遮罩暴露出鄰接該第一側壁間隔物之部分的該第一井區以及暴露出鄰接該絕緣間隔物區塊與該第二側壁間隔物之部分的該第二井區；以及

將具有該第二導電類型之摻質離子植入該第一井區與該第二井區之該暴露部分以形成：在該第一井區之該暴露部分中鄰接該第一側壁間隔物之該汲極區域與該源極/基極區域，以及在該半導體基板中鄰接該第二側壁間隔物之該陰極區域。

8. 如申請專利範圍第 7 項之方法，復包括以下步驟：

提供另一個離子植入遮罩，暴露出該第二導電類型源極/基極區域之一部分；以及

將具有該第一導電類型之摻質離子植入該第二導電類型源極/基極區域之該暴露部分中用以：

在該第二導電類型源極/基極區域之該暴露部分中形成第一導電類型陽極區域；以及

藉由將該第二導電類型源極/基極區域分為第二導電類型源極區域和第二導電類型基極區域而定義第二導電類型源極區域和第二導電類型基極區域，其中，該第一導電類型陽極區域係鄰接該第二導電類型源極區域和該第二導電類型基極區域。

9. 如申請專利範圍第 8 項之方法，復包括以下步驟：

加熱該已植入之汲極區域、該已植入之源極區域、該已植入之基極區域、該已植入之陰極區域以及該已植入之陽極區域，以使被植入於該汲極區域、該源極區域、該基極區域、該陰極區域以及該陽極區域中之摻質離子朝外側向擴散。

10. 如申請專利範圍第 9 項之方法，復包括以下步驟：

在該源極區域以及該陽極區域中形成矽化物區域，該矽化物區域耦接該源極區域以及該陽極區域。

11. 一種用於製造記憶裝置之方法，該方法包括以下步驟：

提供半導體基板，該半導體基板包括：於該半導體基板中之第一井區和於該半導體基板中之第二井區，其中，該第一井區與該第二井區具有第一導電類

型；

形成覆於該第一井區上之第一閘極結構以及覆於該第二井區上之第二閘極結構；

共形地沉積絕緣材料層覆於該半導體基板之暴露部分上；

敷設感光材料層於該絕緣材料層上方；

將該感光材料層圖案化以覆蓋該絕緣材料層之一部分並暴露出該絕緣材料層之其他暴露部分，該絕緣材料層之該一部分覆於該第二井區之一部分以及該第二閘極結構之一部分；

以反應式離子（reactive ion）蝕刻該絕緣材料層之該暴露部分，以提供：鄰接該第一閘極結構之第一側壁間隔物、鄰接該第二閘極結構之第二側壁間隔物以及覆於閘極電極結構之一部分且鄰接該閘極電極結構之側壁之絕緣間隔物區塊；

在反應式離子蝕刻的步驟之後，形成鄰接其中一個該第一側壁間隔物之第二導電類型汲極區域、在該半導體基板中鄰接另一個該第一側壁間隔物和該絕緣間隔物區塊之第二導電類型源極/基極區域以及在該半導體基板中鄰接該第二側壁間隔物之第二導電類型陰極區域；以及

在該第二導電類型源極/基極區域之暴露部分中形成第一導電類型陽極區域。

12. 如申請專利範圍第 11 項之方法，其中，形成第二導電

類型汲極區域的步驟包括以下步驟：

在反應式離子蝕刻的步驟之後，提供離子植入遮罩覆於該第一閘極結構、該第一側壁間隔物、該第二閘極結構、該第二側壁間隔物以及該絕緣間隔物區塊，其中，該離子植入遮罩暴露出鄰接該第一側壁間隔物之部分的該第一井區以及暴露出鄰接該絕緣間隔物區塊與該第二側壁間隔物之部分的該第二井區；以及

將具有該第二導電類型之摻質離子植入該第一井區與該第二井區之該暴露部分中，以形成該第二導電類型之區域，其中，該第二導電類型之區域包括：鄰接其中一個該第一側壁間隔物之汲極區域、鄰接另一個該第一側壁間隔物和該絕緣間隔物區塊之源極/基極區域以及在該半導體基板中鄰接該第二側壁間隔物之陰極區域。

13. 如申請專利範圍第 12 項之方法，其中，形成第一導電類型陽極區域的步驟包括以下步驟：

將具有該第二導電類型之摻質離子植入該第一井區與該第二井區之該暴露部分中以形成該第二導電類型之區域的步驟之後，提供另一個離子植入遮罩暴露出該第二導電類型源極/基極區域之一部分；以及

將該第一導電類型之摻質離子植入該第二導電類型源極/基極區域之該暴露部分中用以：

在該第二導電類型源極/基極區域之該暴露部分中

形成第一導電類型陽極區域；以及

藉由將該第二導電類型源極/基極區域分為第二導電類型源極區域以及第二導電類型基極區域而定義該第二導電類型源極區域和該第二導電類型基極區域，其中，該第一導電類型陽極區域係鄰接該第二導電類型源極區域以及該第二導電類型基極區域。

14. 如申請專利範圍第 13 項之方法，復包括以下步驟：

加熱該已植入的第二導電類型汲極區域、該已植入的第二導電類型源極區域、該已植入的第二導電類型基極區域、該已植入的第二導電類型陰極區域以及該已植入的第一導電類型陽極區域，以使被植入於該第二導電類型汲極區域、該第二導電類型源極區域、該第二導電類型基極區域、該第二導電類型陰極區域以及該第一導電類型陽極區域之摻質離子朝外側向擴散。

15. 如申請專利範圍第 14 項之方法，復包括以下步驟：

形成耦接該源極區域以及該陽極區域的矽化物區域。

16. 如申請專利範圍第 11 項之方法，其中，該第一井區、該第二井區及該陽極區域包括 P 型半導體材料，且

其中，該汲極區域、該源極區域、該基極區域以及該陰極區域包括 N 型半導體材料。

17. 如申請專利範圍第 11 項之方法，其中，該第一井區、該第二井區及該陽極區域包括 N 型半導體材料，且

其中，該汲極區域、該源極區域、該基極區域以及該陰極區域包括 P 型半導體材料。

18. 一種用於製造記憶裝置之方法，該方法包括以下步驟：

提供半導體基板，該半導體基板包括：於該半導體基板中之第一井區、於該半導體基板中之第二井區，其中，該第一井區與該第二井區具有第一導電類型；

形成覆於該第一井區上之第一閘極結構以及覆於該第二井區上之第二閘極結構；

在形成第一閘極結構的步驟之後，形成第二導電類型汲極區域、在該半導體基板中鄰接該第一閘極結構且鄰接該第二閘極結構之第二導電類型源極/基極區域以及在該半導體基板中鄰接該第二閘極結構之第二導電類型陰極區域；

在形成該第二導電類型汲極區域的步驟之後，共形地沉積絕緣材料層覆於該半導體基板之暴露部分上；

將感光材料層敷設在該絕緣材料層上方；

將該感光材料層圖案化以覆蓋該絕緣材料層之一部分並暴露出該絕緣材料層之其他暴露部分，該絕緣材料層之該一部分覆於該第二導電類型源極/基極區域之一部分以及該第二閘極結構之一部分；

以反應式離子蝕刻該絕緣材料層之該暴露部分以提供：鄰接該第一閘極結構之第一側壁間隔物、鄰接

該第二閘極結構之第二側壁間隔物以及鄰接該閘極電極結構之側壁之絕緣間隔物區塊，其中，該絕緣間隔物區塊覆於閘極電極結構之一部分，以及覆於該第二導電類型源極/基極區域之一部分，該第二導電類型源極/基極區域之一部分對應於第二導電類型基極區域；以及

在反應式離子蝕刻的步驟之後，在該第二導電類型源極/基極區域之暴露部分中形成第一導電類型陽極區域。

19. 如申請專利範圍第 18 項之方法，其中，形成第二導電類型汲極區域的步驟包括以下步驟：

在形成第一閘極結構的步驟之後，提供離子植入遮罩覆於該第一閘極結構與該第二閘極結構上，其中，該離子植入遮罩暴露出部分之該第一井區與部分之該第二井區；以及

將具有該第二導電類型之摻質離子植入該第一井區與該第二井區之該暴露部分中，以形成該第二導電類型之區域，其中，該第二導電類型之區域包括：汲極區域、在該半導體基板中鄰接該第一閘極結構和該第二閘極結構之源極/基極區域以及在該半導體基板中鄰接該第二閘極結構之陰極區域。

20. 如申請專利範圍第 19 項之方法，其中，形成第一導電類型陽極區域的步驟包括以下步驟：

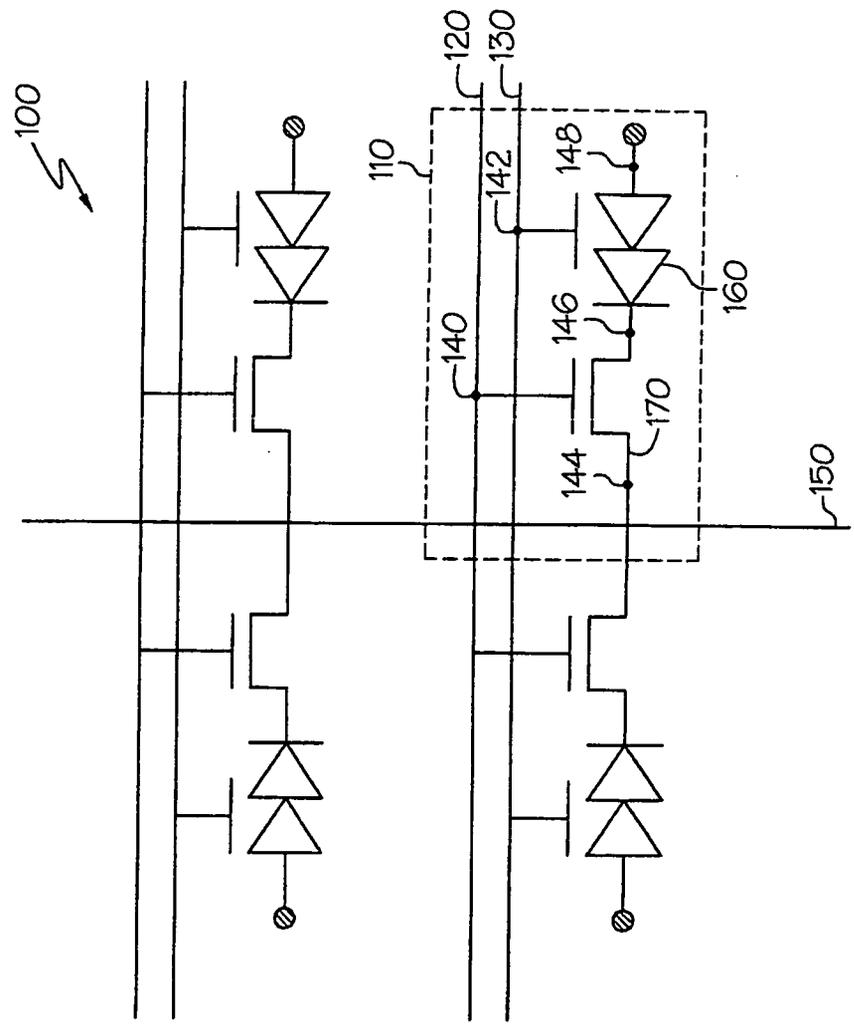
在反應式離子蝕刻的步驟之後，提供另一個離子

植入遮罩暴露出該第二導電類型源極/基極區域之一部分；以及

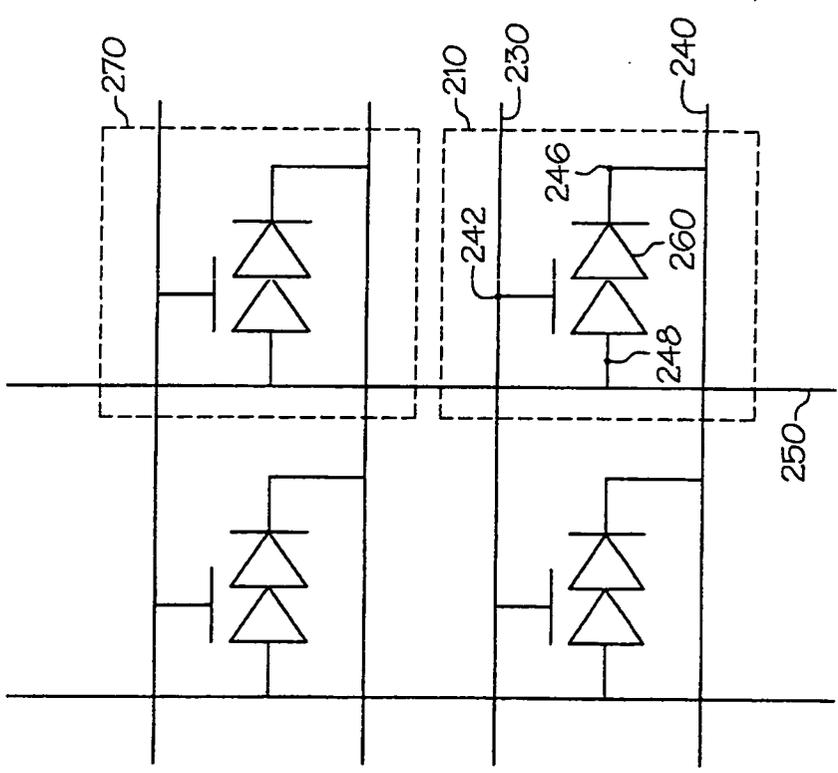
將該第一導電類型之摻質離子植入該第二導電類型源極/基極區域之該暴露部分中用以：

在該第二導電類型源極/基極區域之該暴露部分中形成第一導電類型陽極區域鄰接該絕緣間隔物區塊；以及

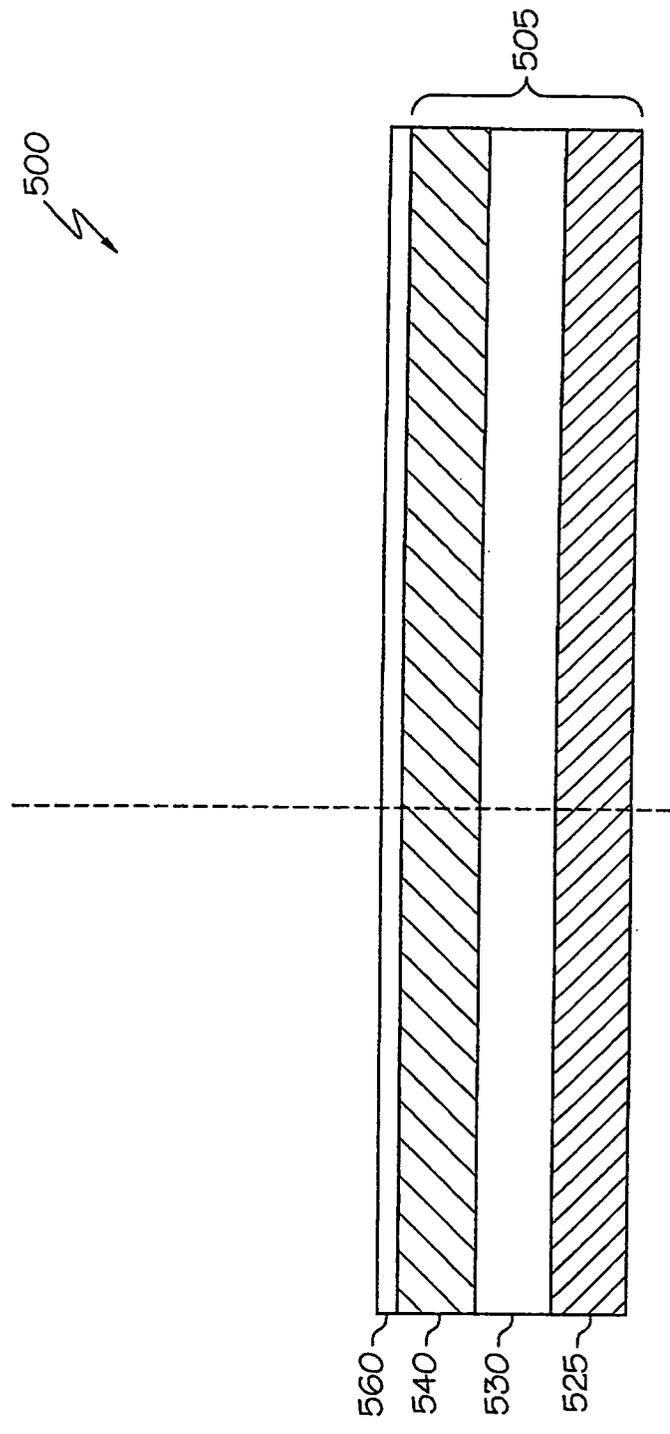
藉由將該第二導電類型源極/基極區域分為該第二導電類型源極區域和該第二導電類型基極區域而定義第二導電類型源極區域和第二導電類型基極區域，其中，該第一導電類型陽極區域係鄰接該第二導電類型源極區域和該第二導電類型基極區域。



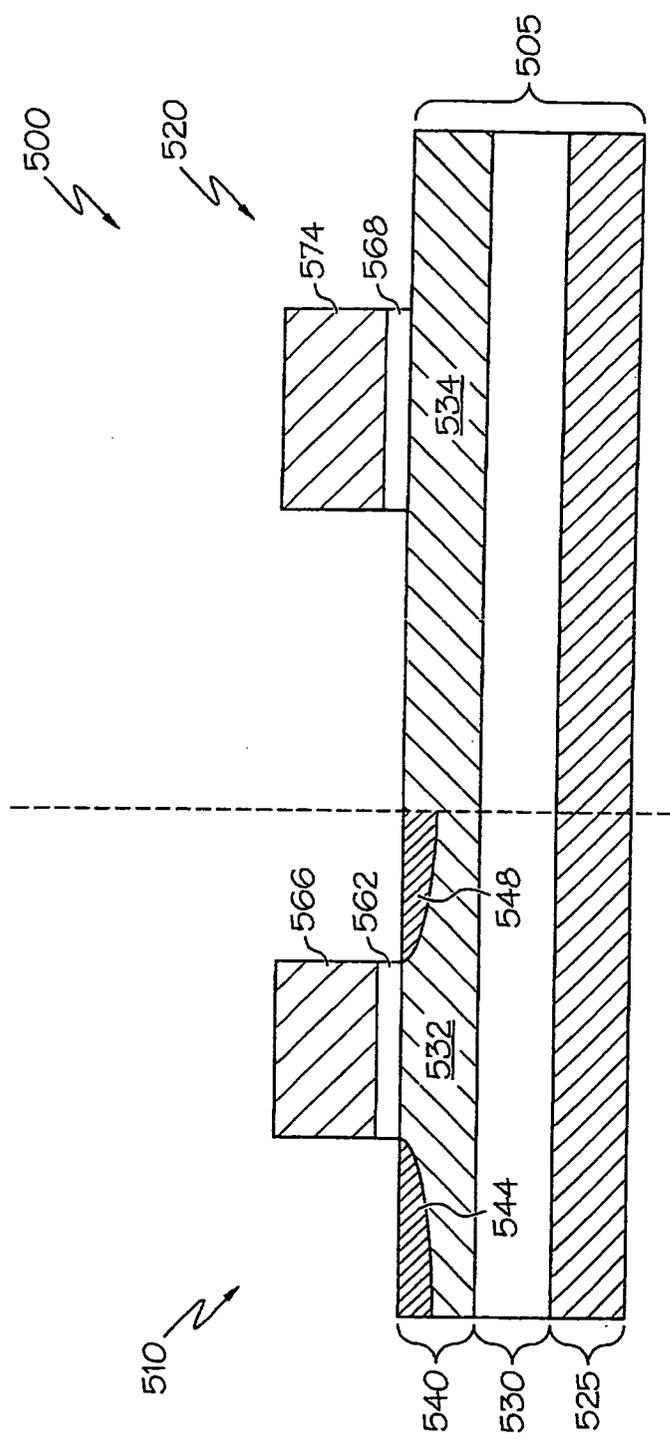
第 1 圖
(先前技術)



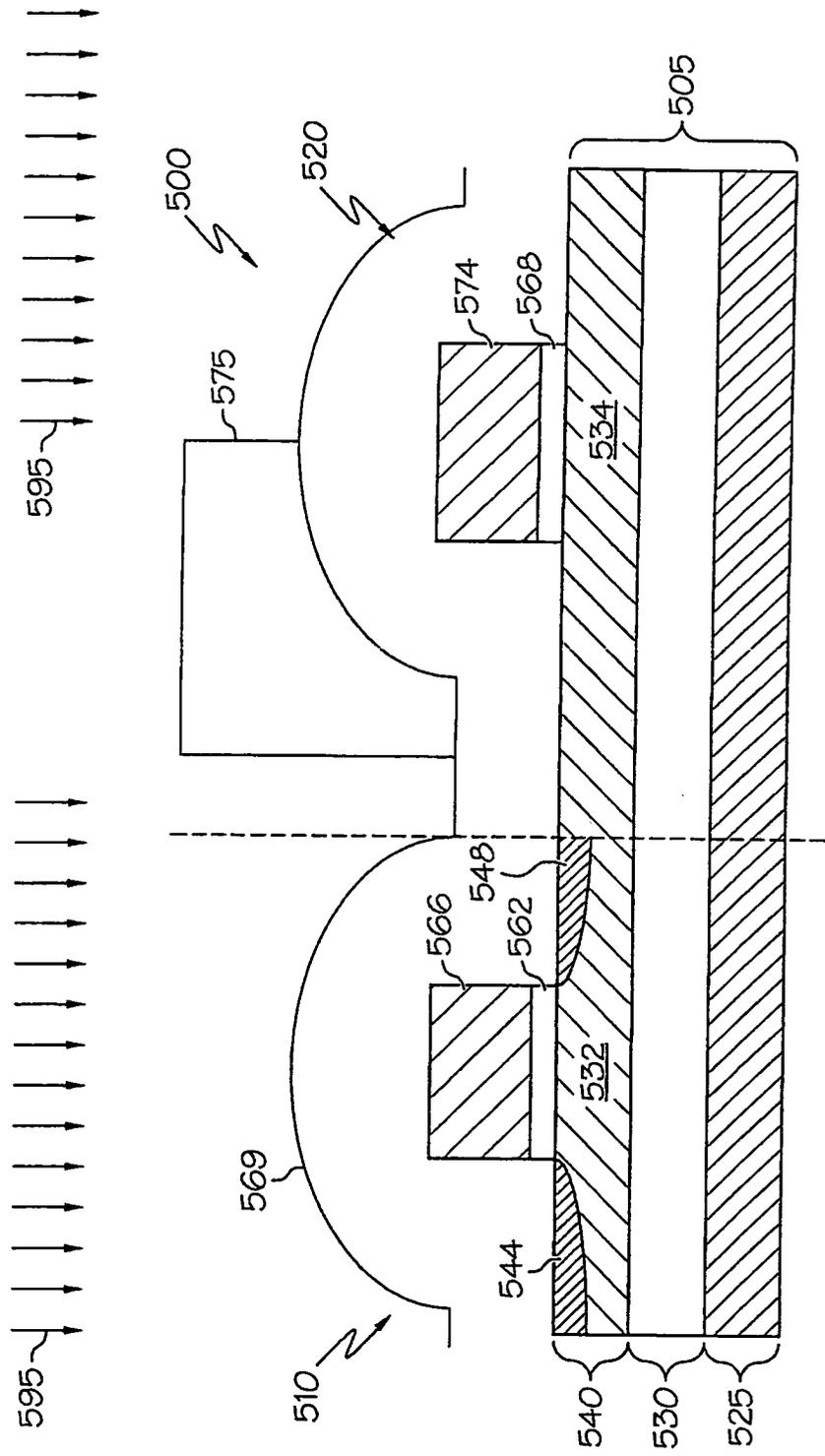
第 2 圖
(先前技術)



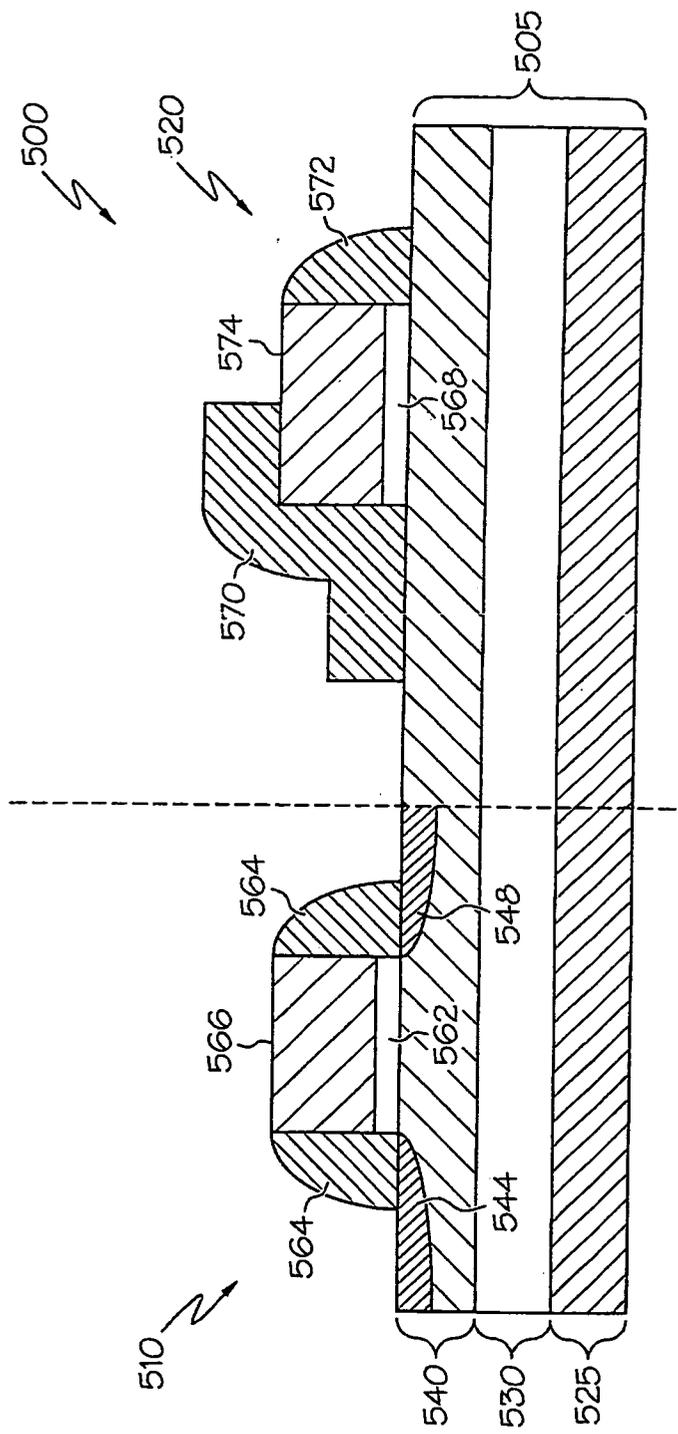
第 5 圖



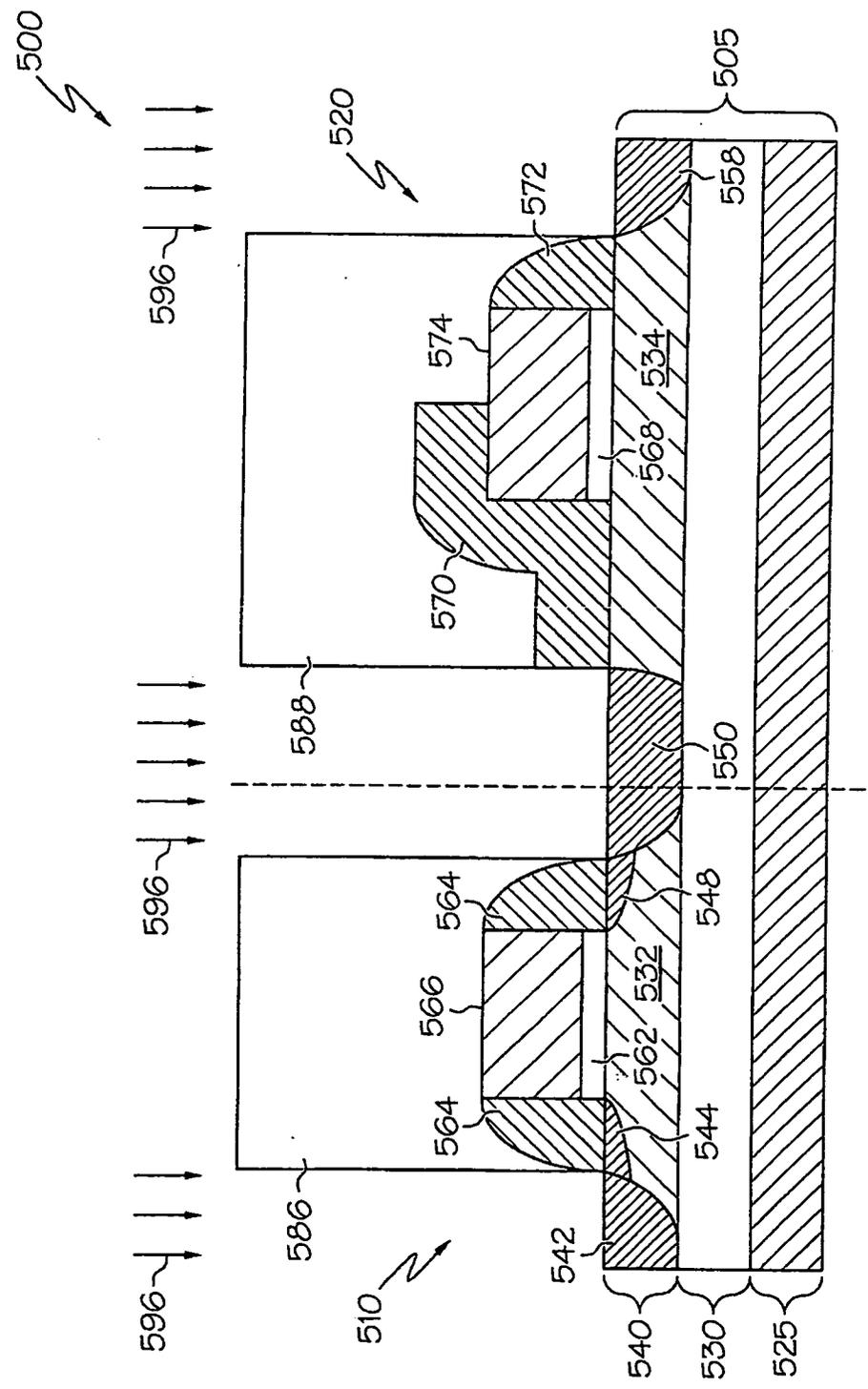
第 6 圖



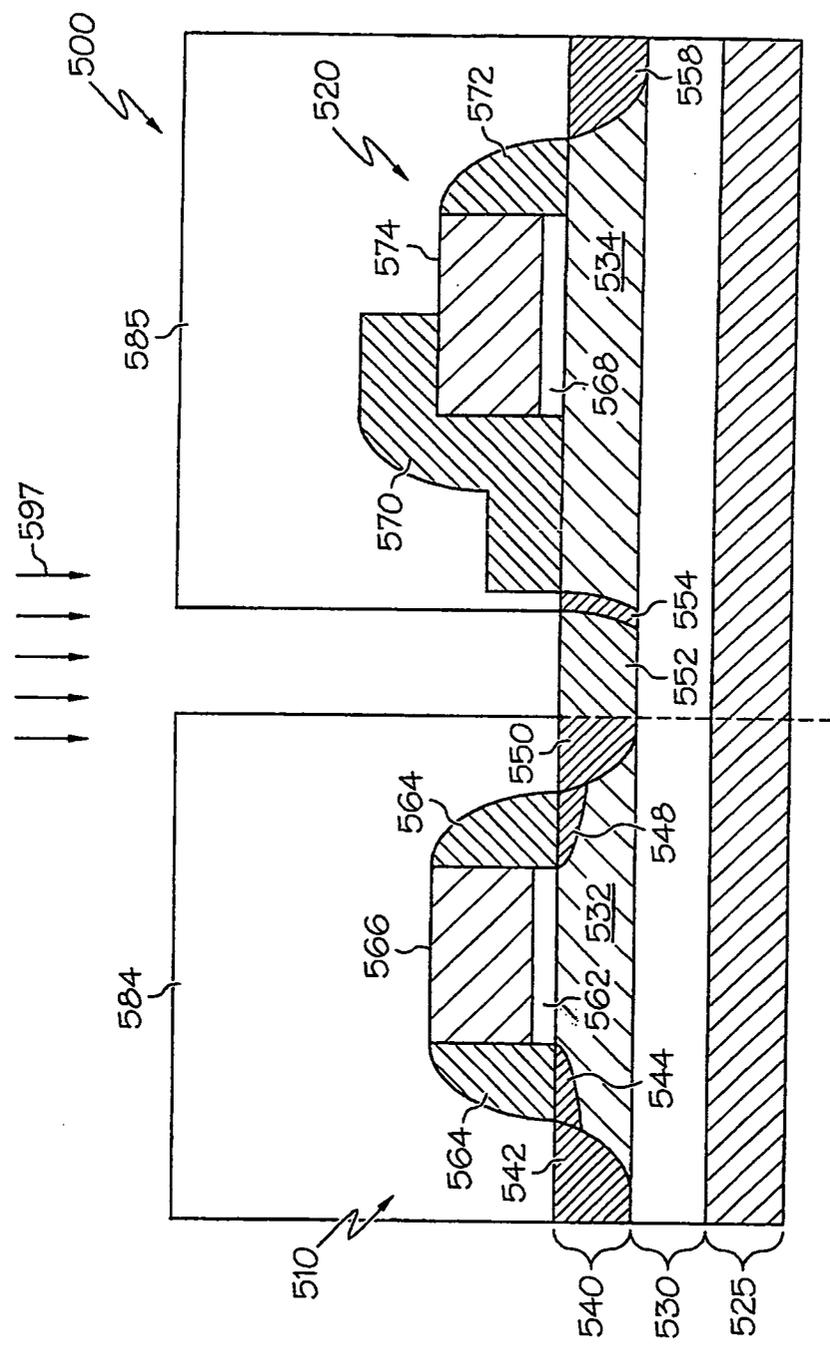
第 7 圖



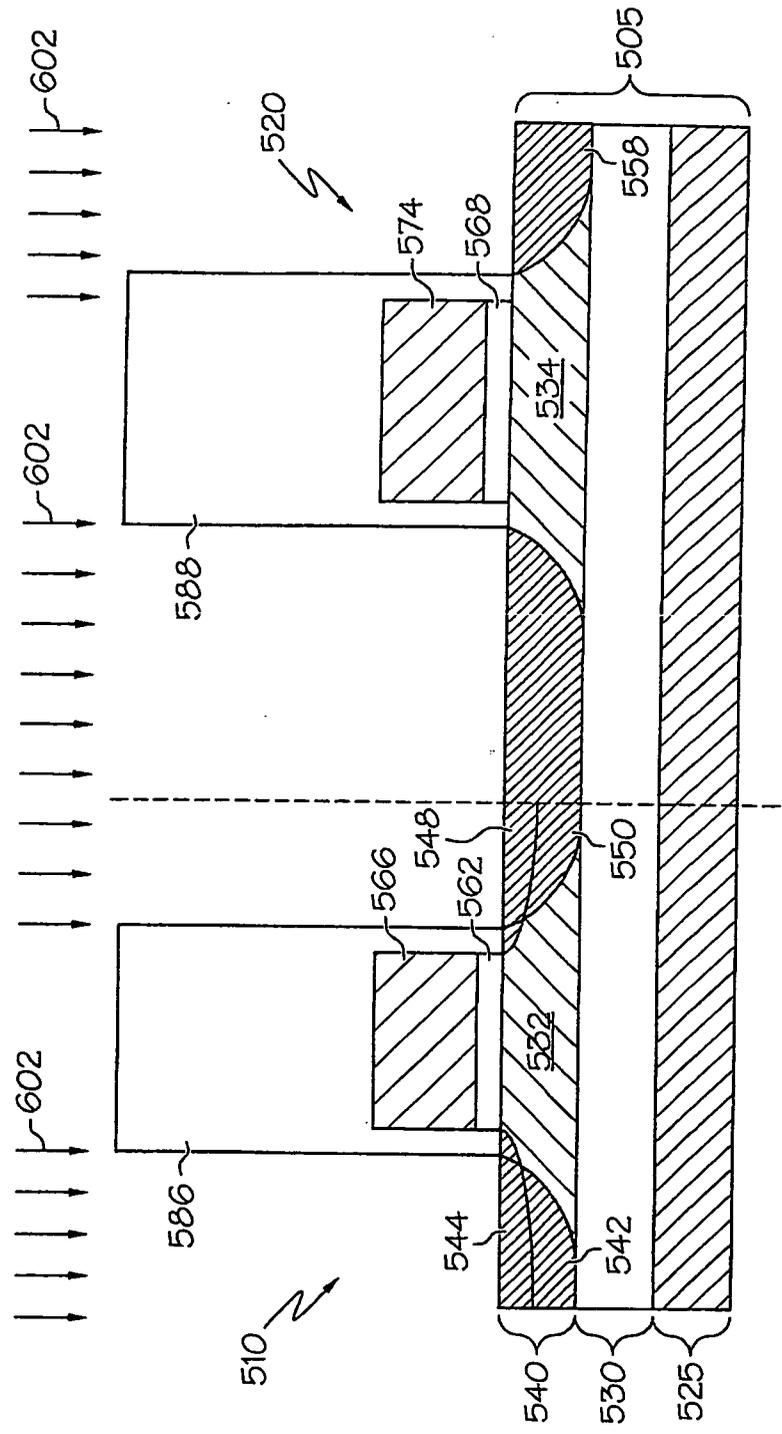
第 8 圖



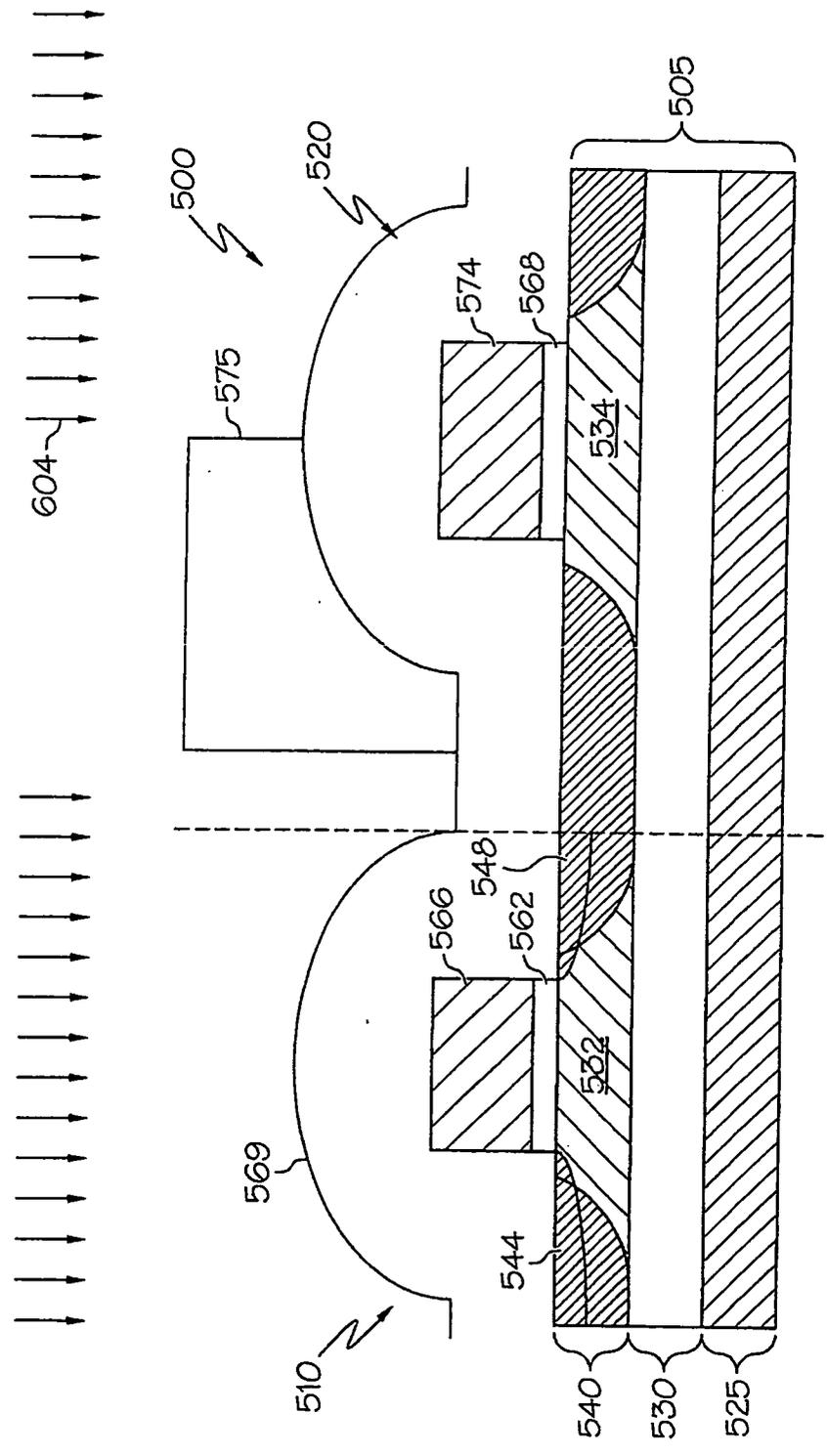
第 9 圖



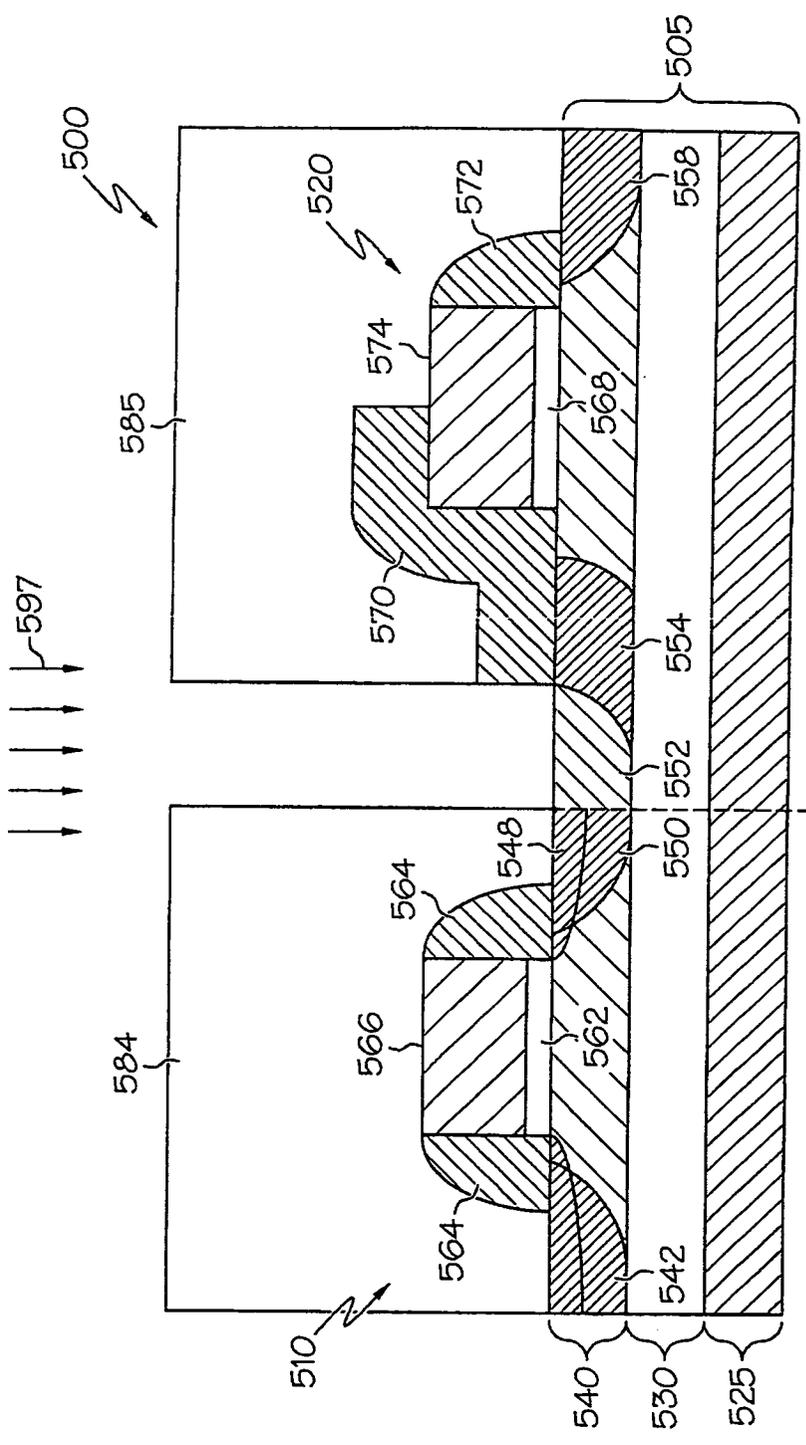
第 10 圖



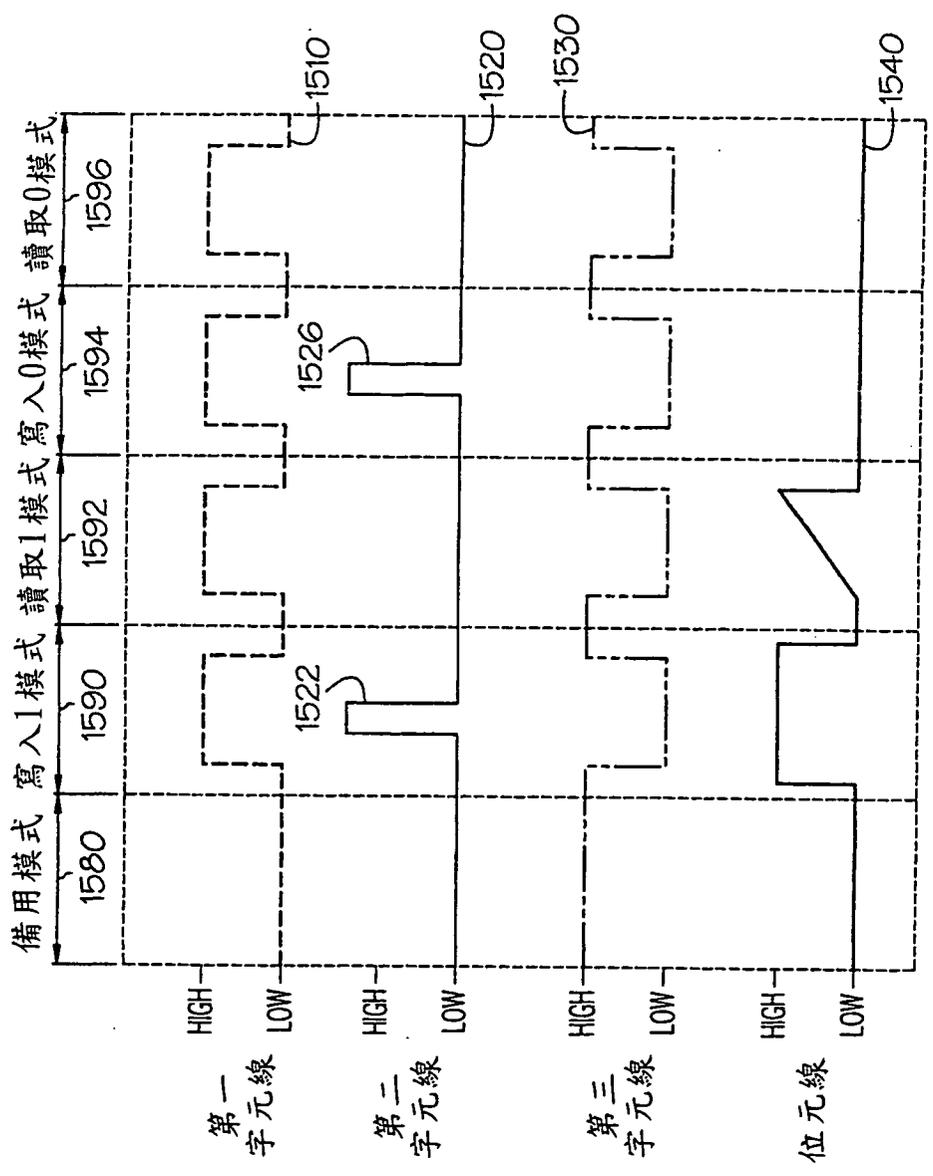
第 12 圖



第 13 圖



第 14 圖



第 15 圖