(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G11C 16/02

(11) 공개번호 특1999-0066130
(43) 공개일자 1999년08월16일

(21) 출원번호 10-1998-0001781
(22) 출원일자 1998년01월21일

(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이동기
경기도 성남시 분당구 구미동 111번지 하얀마을 그랜드빌라 308동 101호
(74) 대리인 임창현

심사청구 : 있음

(54) 불 휘발성 메모리 장치 및 그것의 프로그램 방법

요약

본 발명에 따른 불 휘발성 메모리 장치는 전기적으로 소거 및 프로그램 가능한 그리고 플로팅 게이트 및 제어 게이트를 가지는 적어도 하나의 메모리 셀과; 상기 메모리 셀은 복수 개의 가능한 데이터 상태들을 나타내는 복수 개의 균등한 드레솔드 전압 분포들 중 하나의 드레솔드 전압 분포를 가지며, 프로그램 동작 동안에, 상기 메모리 셀의 제어 게이트에 순차적으로 변화하는 프로그램 전압을 제공하며 상기 가능한 데이터 상태들 중 하나의 데이터 상태의 드레솔드 전압 분포를 갖도록 프로그램하는 수단을 포함하되, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 중 인접한 분포들 간의 차가 불균등하다.

대표도

도6

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 2 비트 데이터의 가능한 상태들에 대응하는 드레솔드 전압 분포를 보여주는 도면;

도 2는 종래 기술의 프로그램 방법에 따른 프로그램 전압 및 프로그램 기준 전압의 변화를 보여주는 파형도;

도 3은 불 휘발성 메모리 장치의 개략적인 구성을 보여주는 블록도;

도 4는 F-N 터널링을 이용한 프로그램 동작을 구조적으로 보여주는 단면도;

도 5는 역 F-N 터널링에 따른 드레솔드 전압의 변화를 보여주는 도면;

도 6은 본 발명에 따른 2 비트 데이터의 가능한 상태들에 대응하는 드레솔드 전압 분포를 보여주는 도면; 그리고

도 7은 본 발명의 프로그램 방법에 따른 프로그램 전압 및 프로그램 기준 전압의 변화를 보여주는 파형도이다.

*도면의 주요 부분에 대한 부호 설명

100 : 메모리 셀 어레이 120 : 워드 라인 전압 발생 회로

140 : 행 디코더 160 : 감지 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 전기적으로 소거 및 프로그램 가능한 셀들에 멀티-비트 데이터를 저장하는 불 휘발성 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

도 1은 종래 기술에 따른 2비트 데이터의 가능한 상태들에 대응하는 드레솔드 전압 분포를 보여주는 도면이다. 그리고, 도 2는 종래 기술의 프로그램 방법에 따른 프로그램 전압 및 프로그램 기준 전압의 변

화를 보여주는 파형도이다.

일예로 전기적으로 소거 및 프로그램 가능한 롬 (electrically erasable and programmable ROM : 이하 EEPROM 이라 칭함) 셀이 4 개의 가능한 상태들을 갖는다고 가정하자. 이 경우, 상기 가능한 상태들은 '0', '1', '10' 및 '11'이다. 도 1에 도시된 바와 같이, 상태 '0'은 소거된 상태를 나타내며, 상태들 '1' - '11'은 프로그램된 상태들을 나타낸다. 여기서, 프로그램된 상태들의 드레솔드 전압 분포는 대략 0.4V이며, 상기 분포는 공정 변화 및 여러 가지 변수에 따라 다르게 형성될 수 있다.

EEPROM 셀은 상기 각 상태에 대응하는 프로그램 기준 전압들 (Vref1), (Vref2) 및 (Vref3)에 의거하여 일련의 프로그램 및 프로그램 검증 동작들 (program and program verification operations)을 통해 요구되는 상태로 프로그램된다. 각 상태에 대응하는 프로그램 기준 전압들 (Vref1), (Vref2) 및 (Vref3)은, 도 1 및 도 2에 도시된 바와 같이, 각각 0.4V, 1.6V 및 2.8V이다. 상기 프로그램 기준 전압들의 간격은 1.2V로 일정하게 분포된다.

EEPROM 셀의 제어 게이트에 각 데이터 상태에 대응하는 선택 전압들 (도 1의 Vg1, Vg2 및 Vg3)을 순차적으로 공급해서, 앞서 설명된 과정을 통해서, 프로그램된 EEPROM 셀의 데이터 상태는 감지 증폭기 (sense amplifier) (도 3 참조) (예컨대, 페이지 버퍼)를 통해 감지된다.

임의의 선택 전압을 기준하여 낮은 드레솔드 전압 분포와 높은 드레솔드 전압 분포 사이의 간격은 다음과 같은 이유로 설정된다. EEPROM 셀에 저장된 데이터 상태는 감지 증폭기에 의해서 감지된다. 이때, 선택 전압과 EEPROM 셀의 드레솔드 전압의 차에 의해서 유기되는, 상기 EEPROM 셀을 통해 흐르는, 전류량을 충분히 감지할 수 있느냐 여부를 기준하여, 선택 전압과 그에 비해서 낮은 드레솔드 전압 사이의 간격 (또는, 마진)이 결정된다. 이는 도 1의 기호 (a)로 표시되어 있다.

이와 반대로, 선택 전압에 비해 높은 드레솔드 전압 분포를 갖는 데이터 상태에서는 누설 전류, 공정 변화, 전원 변화 등을 고려하여, 선택 전압과 그에 비해서 높은 드레솔드 전압 사이의 간격 (또는, 마진)이 결정된다. 이는 도 1의 기호 (b)로 표시되어 있다. 도 1 및 도 2에 도시된 바와같이, 임의의 선택 전압을 기준하여 낮고 그리고 높은 상태들 간의 마진들 (a) 및 (b), 그리고 프로그램 검증 전압들 사이의 간격은 동일한 간격으로 분포되어 있다.

점차적으로, 반도체 메모리 장치는 기술의 발달에 따라 고집적화 및 고속화의 추세에 있다. 그러한 추세에 따라 보다 높은 집적도를 갖는 반도체 메모리 장치의 실현을 위해, 앞서 설명된 바와 같이, 하나의 메모리 셀에 적어도 2비트의 데이터를 저장할 수 있는 멀티 기술이 연구 개발되고 있다. 멀티 기술은 하나의 메모리 셀에 멀티-비트 데이터를 저장하기 때문에, 단일 비트 (single bit)에 비해서 신뢰성 (reliability)이 떨어진다. 결과적으로, 멀티-비트 데이터를 저장하는 불 휘발성 메모리 장치가 실용화되기 위한 중요한 과제로 신뢰성 문제가 점차적으로 대두되고 있다.

발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 멀티-비트 데이터를 저장하는 불 휘발성 메모리 장치의 신뢰성 (reliability)을 향상시킬 수 있는 프로그램 방법을 제공하는 것이다.

본 발명의 다른 목적은 향상된 신뢰성을 갖는, 멀티 비트 데이터를 저장하는, 불 휘발성 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

(구성)

상술한 바와같은 목적을 달성하기 위한 본 발명의 일특징에 의하면, 전기적으로 소거 및 프로그램 가능한 그리고 플로팅 게이트 및 제어 게이트를 가지는 적어도 하나의 메모리 셀을 포함하되, 상기 메모리 셀은 복수 개의 가능한 데이터 상태들을 나타내는 복수 개의 균등한 드레솔드 전압 분포들 중 하나의 드레솔드 전압 분포를 갖는 불 휘발성 메모리 장치의 프로그램 방법에 있어서: 상기 가능한 데이터 상태들 중 하나의 데이터 상태의 드레솔드 전압 분포를 갖도록 프로그램하되, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 중 인접한 분포들 간의 차가 불균등한 것을 특징으로 한다.

이 실시예에 있어서, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 간의 차는 드레솔드 전압이 클수록 더 큰 것을 특징으로 한다.

이 실시예에 있어서, 상기 메모리 셀의 제어 게이트에 인가되는 전압을 기준하여, 상기 데이터 상태들 각각에 대응하는 드레솔드 전압들과 대응하는 상기 제어 게이트 전압들 간의 전압차는 균등한 것을 특징으로 한다.

이 실시예에 있어서, 독출 동작시 상기 데이터 상태들 각각에 대응하는 상기 제어 게이트에 인가되는 게이트 전압들과 상기 게이트 전압들에 비해서 높은 드레솔드 전압들 사이의 전압차는 불균등하되, 드레솔드 전압이 클수록 더 큰 것을 특징으로 한다.

이 실시예에 있어서, 상기 제어 게이트 전압들 간의 차는 불균등한 것을 특징으로 한다.

이 실시예에 있어서, 상기 프로그램 단계에서 상기 메모리 셀은 F-N 터널링에 의해서 프로그램되는 것을 특징으로 한다.

본 발명의 다른 특징에 의하면, 불 휘발성 메모리 장치에 있어서: 전기적으로 소거 및 프로그램 가능한 그리고 플로팅 게이트 및 제어 게이트를 가지는 적어도 하나의 메모리 셀과; 상기 메모리 셀은 복수 개의 가능한 데이터 상태들을 나타내는 복수 개의 균등한 드레솔드 전압 분포들 중 하나의 드레솔드 전압 분포를 가지며, 프로그램 동작 동안에, 상기 메모리 셀의 제어 게이트에 순차적으로 변화하는 프로그램 전압을 제공하며 상기 가능한 데이터 상태들 중 하나의 데이터 상태의 드레솔드 전압 분포를 갖도록 프

로그램하는 수단을 포함하되, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 중 인접한 분포들 간의 차가 불균등한 것을 특징으로 한다.

이 실시예에 있어서, 상기 메모리 셀은 F-N 터널링에 의해서 프로그램되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 간의 차는 드레솔드 전압이 클수록 더 큰 것을 특징으로 한다.

이 실시예에 있어서, 상기 메모리 셀의 제어 게이트에 인가되는 전압을 기준하여, 상기 데이터 상태들 각각에 대응하는 드레솔드 전압들과 대응하는 상기 제어 게이트 전압들 간의 전압차는 균등한 것을 특징으로 한다.

이 실시예에 있어서, 독출 동작시 상기 데이터 상태들 각각에 대응하는 상기 제어 게이트에 인가되는 게이트 전압들과 상기 게이트 전압들에 비해서 높은 드레솔드 전압들 사이의 전압차는 불균등하되, 드레솔드 전압이 클수록 상기 전압차는 더 큰 것을 특징으로 한다.

(작용)

이와같은 방법에 의해서, F-N 터널링을 이용한 메모리 장치에서 한계 드레솔드 전압값을 설정하여 그 보다 낮은 전압 하에서 가능한 데이터 상태들에 대응하는 드레솔드 전압들을 설정함으로써 신뢰성을 향상시킬 수 있다.

(실시예)

이하 본 발명의 실시예에 따른 참조도면 도 3 내지 도 7에 의거하여 상세히 설명한다.

다음의 설명에서는 본 발명의 보다 철저한 이해를 제공하기 위해 특정한 상세들이 예를들어 한정되고 자세하게 설명된다. 그러나, 당해 기술분야에 통상의 지식을 가진 자들에게 있어서는 본 발명이 이러한 상세한 항목들이 없이도 상기한 설명에 의해서만 실시될 수 있을 것이다.

도 3은 불 휘발성 메모리 장치의 구성을 개략적으로 보여주는 블록도이다.

본 발명의 배경 기술의 일예에 따른 불 휘발성 메모리 장치는, 도 3에 도시된 바와같이, 메모리 셀 어레이 (memory cell array) (100), 워드 라인 전압 발생 회로 (wordline voltage generating circuit) (120), 행 디코더 (row decoder) (140) 및 감지 증폭기 (sense amplifier) (160)를 포함한다. 상기 메모리 셀 어레이 (100)는, 도면에는 도시되지 않았지만, 행들과 열들로 배열된 복수 개의 전기적으로 소거 및 프로그램 가능한 롬 셀들로 구성된다. 상기 워드 라인 전압 발생 회로 (120)는 각 동작 모드에 관련된 서로 다른 워드 라인 전압들을 발생한다.

예컨대, 프로그램 모드에서, 도 2에 도시된 바와같이, 순차적으로 변화하는 프로그램 전압 (Vpgm) 및 프로그램 기준 전압들 (Vref1)-(Vref3)을 발생하게 된다. 그리고, 상기 감지 증폭기 (160)는 독출/검증 모드에서 선택된 셀에 저장된 데이터 상태를 감지 증폭하고, 프로그램 모드에서 상기 선택된 셀에 관련된 열 상에 요구되는 데이터 상태에 대응하는 전압을 전달한다.

상기 메모리 셀 어레이 (100), 워드 라인 전압 발생 회로 (120), 행 디코더 (140) 및 감지 증폭기 (160)는 이 분야의 지식을 습득한 자들에게 잘 알려져 있기 때문에, 그것에 대한 상세 회로는 도시되지 않았다.

도 4는 F-N 터널링을 이용한 EEPROM 셀에 대한 프로그램 동작을 구조적으로 보여주는 단면도이다. 도 5는 역 F-N 터널링에 따른 드레솔드 전압의 변화를 모의 실험한 결과를 보여주는 도면이다.

전기적으로 소거 및 프로그램 가능한 롬 (EEPROM) 셀은 핫 일렉트론 인젝션 (hot electron injection)과 콜드 일렉트론 터널링 (cold electron tunneling)을 이용하여 프로그램된다. 전자는 에버런치 (avalanche)을 이용하고, 후자는 터널링 즉, F-N (Fowler-Norheim) 터널링을 이용함은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 상기한 프로그램 방법들의 공통점은 EEPROM 셀의 플로팅 게이트 (10)에 (-) 전자들을 주입한다는 점이다. 그리고, 주입된 전자들의 양에 따라 EEPROM 셀의 드레솔드 전압 (threshold voltage)이 결정된다. 도 4에 도시된 바와 같이, EEPROM 셀은 (-) 전자들이 축적되는 플로팅 게이트 (floating gate) (10) 및, 프로그램 전압 (Vpgm)이 인가되는 제어 게이트 (control gate) (12)를 갖는다.

F-N 터널링을 이용하여 EEPROM 셀에 단일 비트 또는 멀티 비트 데이터를 저장하는 방법이 이하 개략적으로 설명된다.

제어 게이트 (12)에는 프로그램 전압 (Vpgm) (예컨대, 18V)이 인가된다. 상기 프로그램 전압 (Vpgm)에 의해서 플로팅 게이트 (10)에 소정 레벨의 플로팅 게이트 전압이 유기된다. 이때, 상기 유기된 플로팅 게이트 전압과 0V로 바이어스되는 벌크 (14)의 전압차에 의해서 유기되는 전계에 따라 채널로 전류가 흐른다. 이를 F-N 전류라 칭하고, 하기한 수학식 1과 같이 표현된다.

[수학식 1]

$$I_{F\text{-}N}=ATIMESJ_{F}S(\frac{V_{FG}}{T_{OX}})^{2}Sexp(\frac{-E_{F}ST_{OX}}{V_{FG}})$$

수학식 1에서, 기호 (A)는 F-N 다이오드 면적을 나타내고, 기호 (Tox)는 터널 산화막 또는 게이트 산화막 (16)의 두께를 나타낸다. 여기서, 터널 산화막 (16)은, 도 4에서, 플로팅 게이트 (10)와 벌크 (14) 사이에 형성되어 있다. 전압 (V_{FG})은 플로팅 게이트 (10)에 유기되는 전압이고, 기호들 (J_F) 및 (E_F)은 F-N 다이오드 파라미터 상수들이다. 수학식 1에 표기된 전류량에 따라 플로팅 게이트 (10)에 전하가 주입되고, 상기 주입된 전하량에 따라 플로팅 게이트 (10)의 전위가 변화된다. 즉, 셀의 초기 드레솔드

전압 (소거된 상태에 대응하는 드레솔드 전압)이 변한다.

예컨대, 셀의 제어 게이트 (12)에 인가되는 프로그램 전압 (Vpgm)이 18V이고, 제어 게이트 (12)와 플로팅 게이트 (10) 사이의 커패시턴스 (C1)와 플로팅 게이트 (10)와 벌크 (14) 사이의 커패시턴스 (C2)가 동일하다고 하자. 그러므로, 플로팅 게이트 (10)에 유기되는 전압 (V_{FG})은 1/2Vpgm [{C1/(C1+C2)}×Vpgm(18V)]가 된다. 그리고, 면적 (A)이 0.5㎛×0.5㎛이고, 두께 (T_{OX})가 100Å이고, FN 파라미터들 (J_F) 및 (E_F) 각각은 1.1×10^{-16}[A/V^2] 및 2.4×10^{8}[V/Cm]일 때, F-N 전류 (I_{F-N})는 1.06×10-12[A]이다. 임의의 프로그램 시간 동안에 상기 F-N 전류 (I_{F-N})에 의해 플로팅 게이트 (10)에 전하가 주입되고, 그 주입된 전하량에 따라 셀의 드레솔드 전압이 증가하게 된다.

셀의 플로팅 게이트 (10)에 주입된 전하량이 점자적으로 증가하면, 셀의 드레솔드 전압 역시 증가하는 반면에 플로팅 게이트 (10)의 전위는 낮아진다. 그 결과, 채널과 플로팅 게이트 (10) 사이의 전계 (electric field)가 프로그램 과정에서 유기되는 전계의 방향과 반대 방향으로 증가된다. 이때, 전계를 시간에 따른 수식으로 표현하면 하기한 수학식 2와 같이 표현될 수 있다.

[수학식 2]

$$E(t)=\frac{E_F}{\ln\left[e^{E_F/Ei(t)}+\frac{ATIMESJ_F\$E_F}{C_{CG}\$T_{OX}}\$t\right]}$$

$$Ei(t)=\frac{1}{T_{OX}}\$\frac{C_{FG}}{C_{CG}}\$V_T(t)$$

여기서, $V_T(t)=V_{T_init}-\Delta V_T(t)$ 이고, 기호 (C_{FG})는 플로팅 게이트 커플링 비이고, 기호 (C_{0G})는 제어 게이트 커플링 비를 나타낸다. 그리고, 전압 (V_{T_init})은 프로그램된 셀 드레솔드 전압 (threshold voltage)을 의미한다. 만약, 프로그램된 셀의 드레솔드 전압 (V_{T_init})에 의해 역으로 발생하는 전계 E(t)가 충분히 크면, 플로팅 게이트 (10)에서 채널로 역 F-N 전류 $I_R(t)$ 역시 증가하게 된다. 시간에 따라 흐르는 역 F-N 전류 $I_R(t)$는 수학식 3과 같이 표현될 수 있다.

[수학식 3]

$$I_R(t)=ATIMESJ_F\$E(t)^2\$\exp\left(\frac{-E_F}{E(t)}\right)$$

셀의 플로팅 게이트 (10)에 저장된 전하들이 상기 역 F-N 전류 $I_R(t)$에 의해서 빠져나가는 전하량은 수학식 4와 같이 표현될 수 있고, 그 결과 드레솔드 전압은 드레솔드 전압이 초기 프로그램된 초기 드레솔드 전압 (V_{T_init})에 비해서 낮아진다. 이를 수식으로 표현하면 수학식 5와 같다.

[수학식 4]

$$\Delta Q(t)=\int_0^t I_R\$(t)dt$$
$$=C_{FG}\$\Delta V_T(t)$$

[수학식 5]

$$\Delta V_T(t)=\frac{\Delta Q(t)}{C_{CF}}$$

$$=\frac{\int_0^t ATIMESJ_F\$E(t)^2\$e^{\frac{E_F}{E(t)}}\$dt}{C_{FG}}$$

$$=\frac{V_T(tDR)-V_T(0)}{C_{FG}}$$

$$=\frac{V_T(tDR)-V_{T_init}}{C_{FG}}$$

여기서, 전압 $V_{T(tDR)}$은 상용화된 플래시 EEPROM 셀의 데이터 유지 시간 (tDR=10years)으로 프로그램된 데

이터가 지속되는 시간을 나타낸다. 통상적으로, 그러한 시간 (tDR)은 제품 명세서 (specification)에 명시되어 있다.

앞서 설명된 과정을 모의실험(simulation)한 결과의 도면이 도 5에 도시되어 있다. 도 5에서 알 수 있듯이, 제품화된 EEPROM 셀의 데이터 유지 구간 (data retention period)이 경과한 후, 상태 '11'에 대응하는 드레솔드 전압이 대략 0.6V 낮아졌다. 선택 전압 (즉, 제어 게이트 전압)이 인가되는 경우, EEPROM 셀은 초기의 오프 셀 (off cell)에서 온 셀 (on cell)로 감지된다. 그 결과, 멀티-비트 데이터를 저장하는 불 휘발성 메모리 장치의 신뢰성이 저하될 수 있다. 이와 반대로, 도 5에서 알 수 있듯이, 나머지 상태들 '10' 및 '1'의 드레솔드 전압들은 데이터 유지 시간 (tDR) 동안에 거의 변화되지 않는다.

그러므로, 제품을 설계할 때 미리 역 F-N 터널링에 의한 드레솔드 전압의 변화를 고려하여 각 상태에 대응하는 드레솔드 전압들을 가능한 적은 역 F-N 터널링이 발생하는 전압 이하로 분포시킴으로써 앞서 설명된 신뢰성 문제를 사전에 방지할 수 있다. 그러한 전압을 이하 한계 드레솔드 전압 (Vmax)이라 칭한다.

도 6은 본 발명에 따른 2 비트 데이터의 가능한 상태들에 대응하는 드레솔드 전압 분포를 보여주는 도면이다. 그리고, 도 7은 본 발명의 프로그램 방법에 따른 프로그램 전압 및 프로그램 기준 전압의 변화를 보여주는 파형도이다.

본 발명에 따른 2 비트 데이터의 가능한 상태들은 상기 한계 드레솔드 전압 (Vmax) 이하에서 분포된다. 상기 각 상태에 대응하는 드레솔드 전압 분포 (threshold voltage distribution)는 0.4V이다. 앞서 설명된 역 F-N 터널링 현상의 가능성은 각 상태에 대응하는 드레솔드 전압들이 높을수록 크다. 이를 근거로 하여, 본 발명에 따른 셀 분포는 종래와 달리 불균등하다. 예컨대, 도 1에서, 선택 전압을 기준하여 낮고 그리고 높은 드레솔드 전압들 간의 마진들 (a) 및 (b)은 0.4V로 동일하다.

이와 반대로, 본 발명에 따른 셀 분포는 역 F-N 터널링 현상을 고려하여 한계 드레솔드 전압 (Vmax) 이하에서 분포되고, 각 선택 전압 (Vg1), (Vg2) 및 (Vg3)을 기준하여 낮은 드레솔드 전압 (a)과 높은 드레솔드 전압 (b), (b') 및 (b') 간의 차는 불균등하다.

예컨대, 선택 전압 (Vg2)과 EEPROM 셀의 드레솔드 전압 (0.6V)의 차에 의해서 유기되는, 상기 EEPROM 셀을 통해 흐르는, 전류량을 충분히 감지할 수 있느냐 여부를 기준하여, 상기 선택 전압 (Vg2)과 그에 비해서 낮은 드레솔드 전압 (0.6V) 사이의 간격 (또는, 마진)은 0.4V이다. 이와 반대로, 선택 전압 (Vg2)과 그에 비해서 높은 드레솔드 전압 (1.3V) (즉, 프로그램 기준 전압-Vref2) 사이의 간격 (또는, 마진)은 0.3V이다.

게다가, 각 선택 전압 (Vg1), (Vg2), 그리고 (Vg3)을 기준하여 높은 드레솔드 전압들 (즉, 프로그램 기준 전압들-Vref1, Vref2 및 Vref3)과 상기 각 선택 전압 (Vg1), (Vg2), 그리고 (Vg3) 간의 차는 드레솔드 전압이 높을수록 크다. 즉, 드레솔드 전압이 높으면 높을수록 역 F-N 터널링이 발생할 가능성은 높고, 드레솔드 전압이 낮으면 낮을수록 역 F-N 터널링이 발생할 가능성은 낮다.

결과적으로, 한계 드레솔드 전압 (Vmax) 이하에서 각 데이터 상태에 대응하는 드레솔드 전압들을 분포시킴으로써 사전에 신뢰성이 저하되는 것을 방지할 수 있다. 뿐만 아니라, 역 F-N 터널링이 발생할 가능성이 드레솔드 전압이 높을수록 크기 때문에, 마진들 (b, b', b')은 드레솔드 전압이 높을수록 더 많이 할당하고, 드레솔드 전압이 낮을수록 더 작게 할당하였다. 그러므로, F-N 터널링을 이용한 프로그램 동작시 플로팅 게이트 (10)에 저장된 전하들이 역 F-N 전류 $I_R(t)$ 및 여러 가지 누설원 (leakage source)에 의해 소실되어 유발될 수 있는 비트 페일 현상을 확률적으로 사전에 방지할 수 있다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상기한 바와같이, 한계 드레솔드 전압을 설정하여 상기 전압에 비해서 낮은 전압 하에서 F-N 터널링을 이용하여 전기적으로 소거 및 프로그램 가능한 롬 (EEPROM) 셀을 프로그램함으로써 셀에서 유발되는 역 F-N 전류에 의한 비트 페일 현상을 방지할 수 있다. 그 결과, 신뢰성이 향상된 불 휘발성 메모리 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1

전기적으로 소거 및 프로그램 가능한 그리고 플로팅 게이트 및 제어 게이트를 가지는 적어도 하나의 메모리 셀을 포함하되, 상기 메모리 셀은 복수 개의 가능한 데이터 상태들을 나타내는 복수 개의 균등한 드레솔드 전압 분포들 중 하나의 드레솔드 전압 분포를 갖는 불 휘발성 메모리 장치의 프로그램 방법에 있어서:

상기 가능한 데이터 상태들 중 하나의 데이터 상태의 드레솔드 전압 분포를 갖도록 프로그램하되, 상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 중 인접한 분포들 간의 차가 불균등한 것을 특징으로 하는 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 간의 차는 드레솔드 전압이 클수록

더 큰 것을 특징으로 하는 프로그램 방법.

청구항 3

제 2 항에 있어서,

상기 메모리 셀의 제어 게이트에 인가되는 전압을 기준하여, 상기 데이터 상태들 각각에 대응하는 드레솔드 전압들과 대응하는 상기 제어 게이트 전압들 간의 전압차는 균등한 것을 특징으로 하는 프로그램 방법.

청구항 4

제 2 항에 있어서,

독출 동작시 상기 데이터 상태들 각각에 대응하는 상기 제어 게이트에 인가되는 게이트 전압들과 상기 게이트 전압들에 비해서 높은 드레솔드 전압들 사이의 전압차는 불균등하되, 드레솔드 전압이 클수록 더 큰 것을 특징으로 하는 프로그램 방법.

청구항 5

제 4 항에 있어서,

상기 제어 게이트 전압들 간의 차는 불균등한 것을 특징으로 하는 프로그램 방법.

청구항 6

제 1 항에 있어서,

상기 프로그램 단계에서 상기 메모리 셀은 F-N 터널링에 의해서 프로그램되는 것을 특징으로 하는 프로그램 방법.

청구항 7

불 휘발성 메모리 장치에 있어서:

전기적으로 소거 및 프로그램 가능한 그리고 플로팅 게이트 및 제어 게이트를 가지는 적어도 하나의 메모리 셀과;

상기 메모리 셀은 복수 개의 가능한 데이터 상태들을 나타내는 복수 개의 균등한 드레솔드 전압 분포들 중 하나의 드레솔드 전압 분포를 가지며,

프로그램 동작 동안에, 상기 메모리 셀의 제어 게이트에 순차적으로 변화하는 프로그램 전압을 제공하며 상기 가능한 데이터 상태들 중 하나의 데이터 상태의 드레솔드 전압 분포를 갖도록 프로그램하는 수단을 포함하되,

상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 중 인접한 분포들 간의 차가 불균등한 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 메모리 셀은 F-N 터널링에 의해서 프로그램되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 9

제 7 항에 있어서,

상기 가능한 데이터 상태들 각각에 대응하는 드레솔드 전압 분포들 간의 차는 드레솔드 전압이 클수록 더 큰 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 10

제 7 항에 있어서,

상기 메모리 셀의 제어 게이트에 인가되는 전압을 기준하여, 상기 데이터 상태들 각각에 대응하는 드레솔드 전압들과 대응하는 상기 제어 게이트 전압들 간의 전압차는 균등한 것을 특징으로 하는 불 휘발성 메모리 장치.

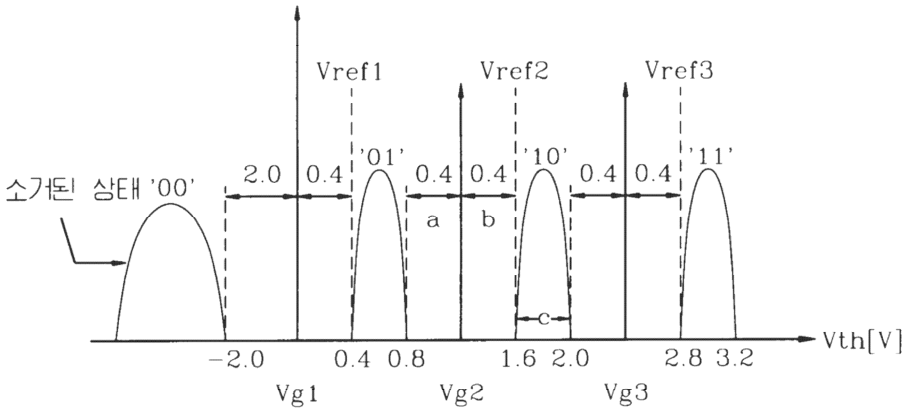
청구항 11

제 7 항에 있어서,

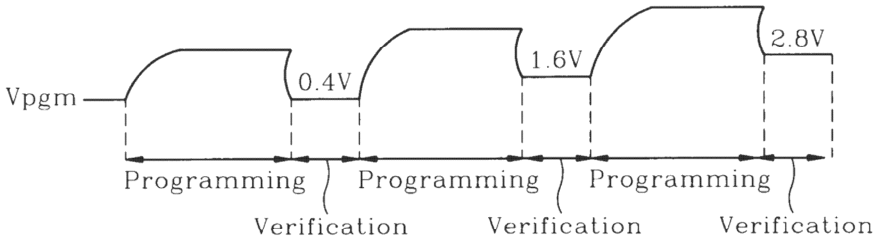
독출 동작시 상기 데이터 상태들 각각에 대응하는 상기 제어 게이트에 인가되는 게이트 전압들과 상기 게이트 전압들에 비해서 높은 드레솔드 전압들 사이의 전압차는 불균등하되, 드레솔드 전압이 클수록 상기 전압차는 더 큰 것을 특징으로 하는 불 휘발성 메모리 장치.

도면

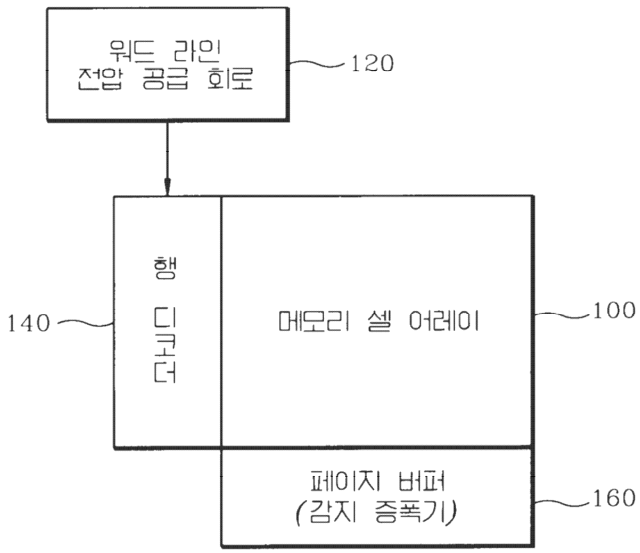
도면1


Vref1
Vref2
Vref3
소거된 상태 '00'
2.0
0.4
'01'
0.4
0.4
'10'
0.4
0.4
'11'
a
b
c
Vth[V]
-2.0
0.4
0.8
1.6
2.0
2.8
3.2
Vg1
Vg2
Vg3

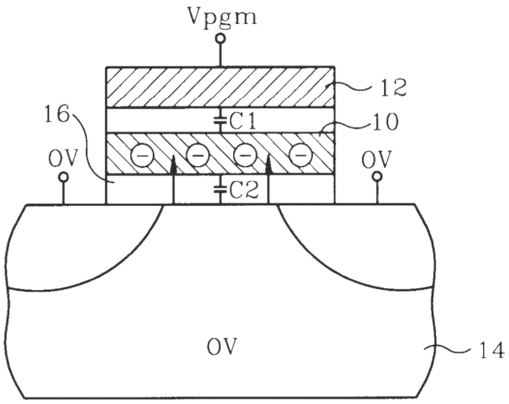
도면2


Vpgm
0.4V
1.6V
2.8V
Programming
Programming
Programming
Verification
Verification
Verification

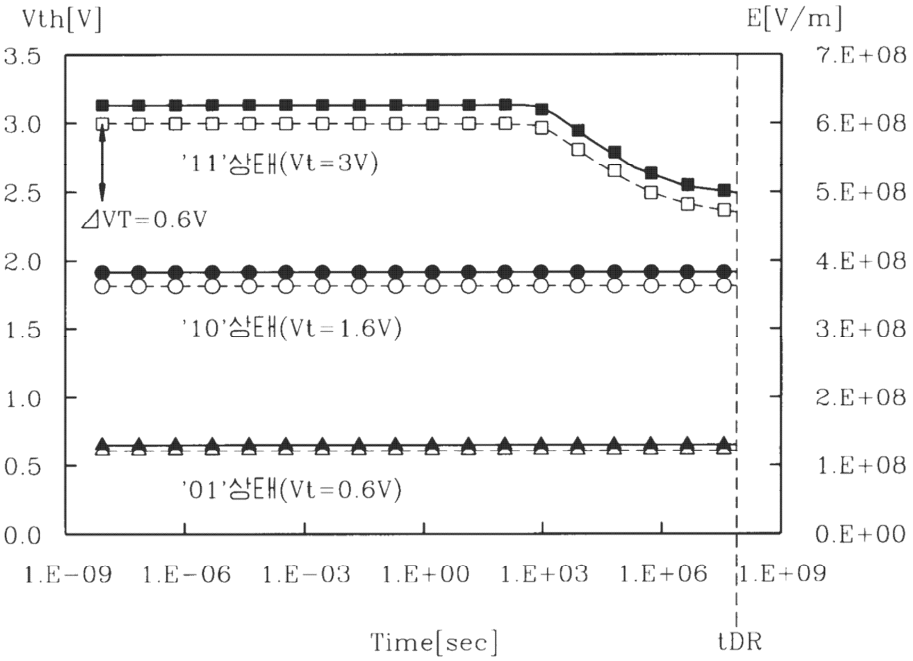
도면3


워드 라인
전압 공급 회로
120
행
디
코
더
140
메모리 셀 어레이
100
페이지 버퍼
(감지 증폭기)
160

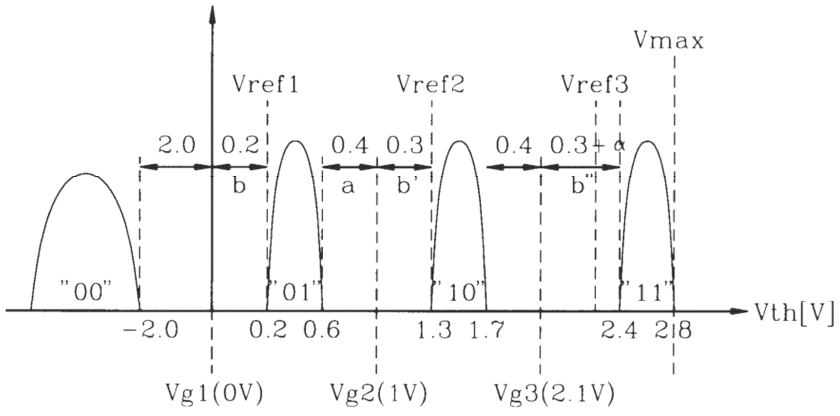
도면4


Vpgm
12
16
C1
10
0V
0V
C2
0V
14

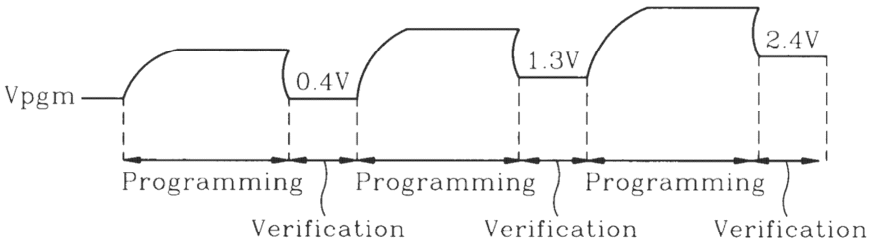
도면5


Vth[V]
E[V/m]
3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
7.E+08
6.E+08
5.E+08
4.E+08
3.E+08
2.E+08
1.E+08
0.E+00
'11'상태(Vt=3V)
⊿VT=0.6V
'10'상태(Vt=1.6V)
'01'상태(Vt=0.6V)
1.E-09
1.E-06
1.E-03
1.E+00
1.E+03
1.E+06
1.E+09
Time[sec]
tDR

도면6


Vmax
Vref1
Vref2
Vref3
2.0
0.2
0.4
0.3
0.4
0.3+α
b
a
b'
b''
"00"
"01"
"10"
"11"
Vth[V]
-2.0
0.2
0.6
1.3
1.7
2.4
2.8
Vg1(0V)
Vg2(1V)
Vg3(2.1V)

도면7


Vpgm
0.4V
1.3V
2.4V
Programming
Programming
Programming
Verification
Verification
Verification