



(12)发明专利申请

(10)申请公布号 CN 108922844 A

(43)申请公布日 2018. 11. 30

(21)申请号 201811056805.2

C23C 16/44(2006.01)

(22)申请日 2014.10.15

C23C 16/503(2006.01)

(30)优先权数据

C23C 16/509(2006.01)

61/900,838 2013.11.06 US

C23C 16/52(2006.01)

(62)分案原申请数据

201480065285.5 2014.10.15

(71)申请人 应用材料公司

地址 美国加利福尼亚州

(72)发明人 白宗薰 S·朴 陈兴隆

D·卢博米尔斯基

(74)专利代理机构 上海专利商标事务所有限公

司 31100

代理人 汪骏飞 侯颖嫫

(51)Int.Cl.

H01J 37/32(2006.01)

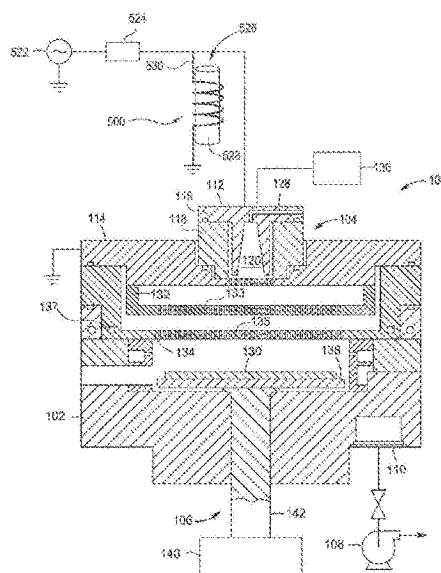
权利要求书2页 说明书7页 附图5页

(54)发明名称

通过DC偏压调制的颗粒产生抑制器

(57)摘要

本公开的实施例总体上涉及用于减少处理腔室中的颗粒产生的设备与方法。在一个实施例中,该方法总体上包括:在通电的顶部电极与接地的底部电极之间产生等离子体,其中该顶部电极平行于该底部电极;以及在膜沉积工艺期间对通电的顶部电极施加恒定为零的DC偏压电压,以最小化该通电的顶部电极与等离子体之间的电位差和/或该接地的底部电极与等离子体之间的电位差。最小化等离子体与电极之间的电位差减少颗粒产生,因为减小了这些电极的鞘区域中的离子的加速,且最小化离子与这些电极上的保护性涂覆层的碰撞力。因此,减少了基板表面上的颗粒产生。



1. 一种用于处理基板的设备,包括:
等离子体腔室;
盖组件,设置在所述等离子体腔室上方,所述盖组件包括顶部电极和底部电极,所述底部电极定位成与所述顶部电极基本上平行;
基板支撑件,设置在所述等离子体腔室内,所述基板支撑件具有基板支撑表面;以及
气体分配板,设置在所述基板支撑件与所述盖组件之间,
其中,所述顶部电极与射频(RF)电源和DC偏压调制配置电通信,并且所述DC偏压调制配置被配置成在工艺期间以恒定为零的DC偏压电压操作所述顶部电极。
2. 如权利要求1所述的设备,其中所述DC偏压调制配置被设置在所述顶部电极与地之间。
3. 如权利要求2所述的设备,其中所述DC偏压调制配置包括DC电源和功率控制器,所述功率控制器被配置成对所述顶部电极施加恒定为零的DC偏压电压。
4. 如权利要求3所述的设备,其中所述DC偏压调制配置还包括耦接至所述DC电源的RF滤波器。
5. 如权利要求1所述的设备,其中所述DC偏压调制配置包括电部件,所述电部件可操作为将在所述顶部电极处产生的DC偏压引导至地。
6. 如权利要求5所述的设备,其中所述电部件包括低通滤波器。
7. 如权利要求5所述的设备,其中所述电部件可操作为对来自所述RF电源的RF信号提供高阻抗路径并且对来自所述顶部电极的DC信号提供低阻抗路径或无阻抗路径。
8. 如权利要求5所述的设备,其中所述电部件包括芯元件以及绕所述芯元件的一部分缠绕的线圈。
9. 如权利要求8所述的设备,其中所述芯元件包括高导磁率的杆或管。
10. 如权利要求5所述的设备,其中所述电部件包括以单极或多级配置的带通滤波器。
11. 如权利要求1所述的设备,其中所述工艺是基板处理工艺,所述基板处理工艺使用包括蚀刻剂或离子化的活性基的工艺气体。
12. 如权利要求1所述的设备,其中所述RF电源在所述工艺期间提供约5W至5000W的RF功率。
13. 一种用于基板处理腔室的盖组件,所述盖组件包括:
顶部电极和底部电极,所述底部电极定位成与所述顶部电极相对,其中所述顶部电极与射频(RF)电源和DC偏压调制配置电通信,并且所述DC偏压调制配置可操作为在基板处理工艺期间向所述顶部电极提供恒定为零的DC偏压电压。
14. 如权利要求13所述的盖组件,其中所述DC偏压调制配置包括DC电源和功率控制器,所述功率控制器可操作为对所述顶部电极施加恒定为零的DC偏压电压。
15. 如权利要求13所述的盖组件,其中所述DC偏压调制配置还包括耦接至所述DC电源的RF滤波器。
16. 如权利要求13所述的盖组件,其中所述DC偏压调制配置包括电部件,所述电部件可操作为将在所述顶部电极处产生的DC偏压引导至地。
17. 如权利要求16所述的盖组件,其中所述电部件包括芯元件以及绕所述芯元件的一部分缠绕的线圈。

18. 如权利要求17所述的盖组件,其中所述芯元件包括高导磁率的杆或管。
19. 如权利要求16所述的盖组件,其中所述电部件包括以单极或多级配置的带通滤波器。
20. 如权利要求13所述的盖组件,其中所述RF电源在所述基板处理工艺期间提供约5W至5000W的RF功率。

通过DC偏压调制的颗粒产生抑制器

[0001] 本申请是申请日为2014年10月15日、申请号为201480065285.5、题为“通过DC偏压调制的颗粒产生抑制器”的分案申请。

技术领域

[0002] 本公开的实施例总体上涉及用于减少处理腔室中的颗粒产生的设备与方法。

背景技术

[0003] 在半导体器件的制造中,等离子体腔室通常用于执行各种制造工艺,诸如蚀刻、化学气相沉积(CVD)与溅射。通常,当处理气体的混合物持续流入腔室中且电源将气体激发到等离子体状态时,真空泵维持腔室内的非常低的压强。工艺气体混合物的组成被选择成实行期望的制造工艺。

[0004] 已经观察到,传统的等离子体处理腔室设计之一(其中在位于气体分配板的上的两个平行电极之间产生等离子体)会由于对电极的离子轰击而导致基板表面上的不想要的颗粒污染。在需要较高的RF输入功率(例如,超过550W)的沉积工艺中,一旦已创建等离子体,高的自感应的负DC偏压就自然地建立在通电的电极处。等离子体与自感应的负DC偏压之间的电位差在通电的电极处或附近形成鞘(sheath)电压。此鞘电压导致等离子体内的正离子朝向通电的电极加速,导致对通电的电极的离子轰击。在通电的电极包括保护性涂覆层的情况中,保护性涂覆层的一部分会由于离子轰击而剥落并且污染基板表面。虽然可使用较低的输入功率来产生等离子体(并且因此减少颗粒污染),但是将降低膜沉积速率,这进而会降低工艺生产率。

[0005] 因此,本领域中需要一种设备与工艺,可以有效地减少基板表面上的污染颗粒的产生并且维持高工艺生产率(即使是利用高等离子体功率),而不会显著增加处理或硬件成本。

发明内容

[0006] 本公开的实施例总体上涉及用于减少处理腔室中的颗粒产生的设备与方法。在一个实施例中,提供了用于减少处理腔室中的颗粒产生的方法。该方法包括:在顶部电极与底部电极之间产生等离子体,其中该顶部电极基本上平行于该底部电极;以及在膜沉积工艺期间对该顶部电极施加恒定为零的DC偏压电压。

[0007] 在另一实施例中,提供了用于减少处理腔室中的颗粒产生的方法。该方法包括:在顶部电极与底部电极之间产生等离子体,其中该顶部电极基本上平行于该底部电极;监测在该顶部电极处产生的DC偏压电压以获得DC偏压反馈信号;基于该DC偏压反馈信号来控制在该顶部电极处的DC偏压电压极性,以在膜沉积工艺期间调整该顶部电极与该等离子体之间的电位差和/或该底部电极与该等离子体之间的电位差。

[0008] 在又另一实施例中,提供了一种用于处理基板的设备。该设备包括:腔室主体;盖组件,该盖组件设置在该腔室主体上方,该盖组件包括顶部电极与底部电极,该底部电极定

位成基本上平行于该顶部电极；气体分配板，该气体分配板设置在基板处理区域与该盖组件之间；以及基板支撑件，该基板支撑件设置在该腔室主体内，该基板支撑件支撑该基板处理区域中的基板，其中该顶部电极电连接至射频 (RF) 电源与DC偏压调制配置，且该DC偏压调制配置配置成在膜沉积工艺期间以恒定为零的DC偏压电压来操作该顶部电极。

附图说明

[0009] 因此，为了可详细地理解本发明的上述特征的方式，可通过参照实施例对上文中简要概述的本公开进行更特定的描述这些实施例中的一些在附图中示出。然而，注意到，附图仅示出本公开的典型实施例，因此此附图不被视为限制本公开的范围，因为本公开可承认其他等效的实施例。

[0010] 图1是根据本公开的实施例的可用于处理半导体基板的处理腔室的示意性横剖面视图。

[0011] 图2示出根据本公开案的实施例的DC偏压方案 (1) – (5) 的颗粒测量。

[0012] 图3示出根据本公开的实施例的DC偏压方案 (6) – (9) 的颗粒测量。

[0013] 图4是示出根据本公开的实施例以不同的DC偏压电压在第一电极 (FP) 与第二电极 (SMD) 上测量到的离子能量变化的示图。

[0014] 图5描绘根据本公开的实施例的示出耦接至DC偏压调制配置的盖组件的图1的处理腔室的示意性横剖面视图。

[0015] 为了促进理解，已经在任何可能的地方使用相同的附图标记来表示附图中共同的相同组件。可构想到，实施例中公开的元件可有利地用于其他实施例中而不用具体详述。

具体实施方式

[0016] 本公开的实施例总体上涉及用于减少处理腔室中的颗粒产生的设备与方法。该方法总体上包括：在顶部电极与底部电极之间产生等离子体，以及对该顶部电极施加零DC偏压电压，以使得在膜沉积工艺期间利用恒定为零的DC偏压电压来操作该顶部电极。在另一实施例中，提供了一种用于处理基板的设备。该设备总体上包括盖组件，盖组件设置在腔室主体的上方。盖组件具有通电的顶部电极与接地的底部电极（设置成平行于通电的顶部电极），在其之间界定等离子体容积。低通滤波器设置在盖组件与RF电源之间并且配置成将DC偏压引导至地，以使得在膜沉积工艺期间以恒定为零的DC偏压电压来操作顶部电极（RF热的）。

[0017] 对顶部电极施加零DC偏压电压最小化通电的顶部电极与等离子体之间的电位差或接地的底部电极与等离子体之间的电位差，否则由于对通电的顶部电极或接地的底部电极上的保护性涂覆层的离子轰击，该电位差会导致基板表面上的颗粒污染。下面讨论本公开的细节与各种实施方式。

[0018] 示例性腔室硬件

[0019] 图1是根据本公开的实施例的可用于处理半导体基板130的处理腔室100的示意性横剖面视图。处理腔室100对于执行热工艺或基于等离子体的工艺会特别有用。处理腔室100总体上包括：腔室主体102；盖组件104，盖组件104设置在腔室主体102上方；以及基板支撑组件106，基板支撑组件106部分地设置在腔室主体102内。盖组件104设置在基板处理区

域152(在其中设置有基板130)的上方,并且通过气体分配板134与任选的阻隔板132与基板处理区域152分隔。阻隔板132(若有使用)与气体分配板134中的每一个具有相应的通孔133、135以允许等离子体从盖组件104传递至基板处理区域152。真空系统可用于从处理腔室100移除气体。真空系统包括真空泵108,真空泵108耦接至真空口110,真空口110设置在腔室主体102中。处理腔室100可附加地包括控制器136以用于控制处理腔室100内的工艺。

[0020] 盖组件104包括相对地设置在第二电极114上方的第一电极112。第一电极112与第二电极114形成一对平行的电极。第一与第二电极112、114可由高度掺杂的硅或金属(诸如,铝、不锈钢等)制成。第一与第二电极112、114可涂覆有保护层,保护层包括氧化铝或氧化钪。在一个实施例中,第一电极112可包括两个层叠的部件116、118,其中部件116的一部分可形成由部件118围绕的截头圆锥形。层叠的部件116、118与支撑层叠的部件116、118的第二电极114在其之间界定等离子体容积或腔120。若需要的话,层叠的部件116、118可建构为单个集成的单元。在任一情况中,第一电极112可与第二电极114分隔,在其之间具有绝缘构件。

[0021] 在一个实施例中,第一电极112分别连接至射频(RF)电源122与DC偏压调制配置150。RF电源122可以以大约400kHz与大约60MHz之间的频率在大约0W与大约3000W之间操作。在一个示例中,RF电源122以13.56MHz的频率操作。DC偏压调制配置150可包括DC电源124、耦接至DC电源124的RF滤波器126以及功率控制器144。RF滤波器126配置成防止RF信号(例如,来自RF电源122的信号)进入并损伤DC电源124。功率控制器144耦接至DC电源124并且配置成基于从第一电极112发射的DC偏压反馈信号来为DC电源124设定一设定点。由RF电源122传送的且由匹配网络146调谐的RF功率诱导第一电极112上的DC偏压以控制第一电极112的离子轰击的能量。虽然未示出,RF电源122可设置在与DC电源124相同的外壳中。

[0022] 第二电极114接地,由此在第一电极112与第二电极114之间形成电容。若期望的话,第二电极114可电性浮动。盖组件104也可包括一个或多个气体入口128以用于依序经由形成在第二电极114中的通孔131、经由形成在阻隔板132中的通孔133、以及然后经由形成在气体分配板134中的通孔135将工艺气体提供至基板130的表面。工艺气体可以是蚀刻剂或离子化的活性基(诸如离子化的氟、氯、或氨水)、或氧化剂,诸如臭氧。在某些实施例中,工艺气体可包括含有 NF_3 与He的等离子体。若期望的话,含有上述化学物质的远程等离子体可经由分离的气体入口(未示出)而引入处理腔室100中并且引进至气体分配板134。

[0023] 基板支撑组件106可包括基板支撑件138以在处理期间支撑其上的基板130。基板支撑件138可通过轴142耦接至致动器140,轴142延伸通过形成在腔室主体102的底表面中的位于中心的开口。致动器140可通过波纹管(未示出)柔性地密封至腔室主体102,波纹管防止真空从轴142的周围泄漏。致动器140允许基板支撑件138在工艺位置与较低的转移位置之间在腔室主体102内垂直移动。转移位置稍微低于形成在腔室主体102的侧壁中的狭缝阀的开口。

[0024] 基板支撑件138具有平坦的(或基本上平坦的)表面以用于支撑将在其上处理的基板130。基板支撑件138可通过致动器140在腔室主体102内垂直移动,致动器140通过轴142耦接至基板支撑件138。在操作中,基板支撑件138可升高至靠近盖组件104的位置,以控制要处理的基板130的温度。因此,基板130可经由从分配板134发出的辐射或来自分配板134的对流来加热。

[0025] 通过DC偏压调制的颗粒产生抑制器

[0026] 为了减少基板表面的颗粒污染(如同本公开的背景技术中所述的),发明人利用多种DC偏压方案(1)–(5)使用相同的工艺配方来执行一系列示例性氮化物沉积工艺以确定不同的DC偏压功率如何影响基板表面上的颗粒数量。示例性氮化物沉积工艺在处理腔室中(诸如图1的处理腔室100)中执行。多种DC偏压方案(1)–(5)(以及相关于图3在下面讨论的方案(6)–(9))是使用图1的DC偏压调制配置150或图5所示的DC偏压调制配置500来执行。

[0027] 在多种DC偏压方案(1)–(5)中,针对以下条件执行示例性氮化物沉积工艺大约300秒:大约0.7托耳的腔室压力、大约575W的RF功率(13.56MHz)、大约20sccm的 NF_3 流动速率、大约900sccm的 N_2O 流动速率、大约4000sccm的He流动速率、大约15°C的第一电极112的温度、大约70°C的第二电极114的温度、以及第一与第二电极112、114的每一者涂覆有大约60nm厚的氧化物保护层(例如,氧化钼)。在图2中示出针对每一DC偏压方案(1)–(5)的颗粒测量。发明人观察到,当第二电极114电性接地且没有DC偏压电压施加在第一电极112(即,根本没有在图1的处理腔室100中使用DC电源124)时,DC偏压方案(1)描绘了在沉积工艺之后基板表面上的颗粒数量从大约45增加至大约145。增加的颗粒数量相信是等离子体中产生的正离子被吸引至第一电极112的结果,第一电极112由于当创建等离子体时在第一电极112上建立的不可避免的自感应的DC偏压(大约+31V)处于负电位。在沉积工艺期间,离子朝向第一电极112加速并且轰击第一电极112上的保护性涂覆层,从而导致保护性涂覆层的一部分掉落并且污染基板表面。

[0028] DC偏压方案(3)–(5)描绘了:当-25V、-75V或-150V的负DC偏压电压分别施加在第一电极112时(其中第二电极114电性接地),基板表面上的颗粒的总数量逐渐增加。具体地,DC偏压方案(3)显示在沉积工艺之后基板表面上的颗粒数量从大约22增加至大约96。DC偏压方案(4)显示在沉积工艺之后基板表面上的颗粒数量从大约14增加至大约189。DC偏压方案(5)显示在沉积工艺之后基板表面上的颗粒数量从大约11增加至饱和的水平。DC偏压方案(3)–(5)描绘出清楚的趋势:对于第一电极112的负偏压电压的增加会导致基板表面上更多的颗粒产生,主要是由于第一电极112与等离子体之间的电位差的逐渐增加。当第一电极112与等离子体之间的电位差增加时,第一电极112处的鞘电压相应地增加,这导致第一电极112的鞘区域中的正离子的加速以及离子与第一电极112上的保护性涂覆层的碰撞力的增加。因此,观察到基板表面上更多的颗粒产生。当使用高输入功率(超过550W)用于沉积工艺时,颗粒产生会变得更加有问题,因为较高的输入功率也会在盖组件的通电的第一电极112处建立高的自感应的负DC偏压。此种高的自感应的负DC偏压与第一电极112处的鞘电压(由于第一电极112与等离子体之间的电位差引起的)导致对第一电极112上的保护性涂覆层的高能量离子轰击。因此,保护性涂覆层的一部分从第一电极112掉落并且污染基板表面。

[0029] 令人惊讶地,发明人已经观察到,当对第一电极112施加零DC偏压电压时(即,在沉积工艺期间,以恒定为零的DC偏压电压操作第一电极112同时第二电极114电性接地),DC偏压方案(2)仅导致在沉积工艺之后基板表面上的颗粒数量从大约8相对较小地增加至大约66。与DC偏压方案(1)相比,DC偏压方案(2)显示从100至大约58的改良的颗粒减少。事实上,在DC偏压方案(2)下的颗粒数量的增加被发现是方案(1)–(5)之中最小的。因此,发明人发现,通过在沉积工艺期间对第一电极112施加恒定为零的DC偏压电压,可极大地抑制基板表

面上的颗粒产生,因为第一电极112(RF热表面)与等离子体之间的电位差($V_{\text{第一电极}} - V_{\text{等离子体}}$)降低,这进而减小第一电极112处的鞘电压(见图4)。因此,降低了第一电极112的鞘区域中的离子的加速,并且最小化了离子与第一电极112的保护性涂覆层的碰撞力。

[0030] 发明人利用多种DC偏压方案(6)–(9)使用如同上面讨论的相同工艺配方来进一步执行一系列的氮化物沉积工艺,以确定不同的DC偏压功率(特别是正电压)如何影响基板表面上的颗粒数量。在图3中示出针对每一DC偏压方案(6)–(9)的颗粒测量。发明人观察到,当没有DC偏压电压施加在第一电极112(即,在图1的处理腔室100中根本没有使用DC电源124)时,DC偏压方案(6)描绘在沉积工艺之后基板表面上的颗粒数量从大约16增加至大约4097。增加的颗粒数量是由于负DC偏压引起的先前损伤、等离子体与第一电极112上所建立的高的自感应的负DC偏压之间的电位差(导致对第一电极112的离子轰击),以及还有如下事实:等离子体的电位显著大于接地的第二电极114的电位,这导致离子轰击第二电极114上的保护性涂覆层(即使在沉积工艺期间并没有DC偏压电压施加到第一电极112)。

[0031] DC偏压方案(8)与(9)显示:当75V与100V的正DC偏压电压分别施加到第一电极112时(其中第二电极114电性接地),基板表面上的颗粒的总数量显著增加。具体地,DC偏压方案(8)显示在沉积工艺之后基板表面上的颗粒数量从大约27显著增加至大约9102。DC偏压方案(9)也显示在沉积工艺之后基板表面上的颗粒数量从大约11显著增加至大约3469。DC偏压方案(8)–(9)描绘了对于第一电极112的正DC偏压电压的增加会导致基板表面上更多的颗粒产生,主要是由于接地的第二电极114与等离子体之间的电位差的较大增加(与第一电极112相比,见图4),因为等离子体必须假定为正电位以在接地的第二电极114处产生同等大小的电位,以反映由施加到第一电极112的正DC偏压电压引起的较大离子鞘电位。当第二电极114与等离子体之间的电位差增加时,第二电极114处的鞘电压也增加,这导致第二电极114的鞘区域中的离子的加速以及离子与第二电极114上的保护性涂覆层的碰撞力的增加。因此,观察到基板表面上更多的颗粒产生。

[0032] 类似的,发明人观察到,当对第一电极112施加零DC偏压电压时(即,在沉积工艺期间,以恒定为零的DC偏压电压操作第一电极112),DC偏压方案(7)描绘在沉积工艺之后基板表面上的颗粒数量从大约15相对较小地增加至大约767。当与DC偏压方案(6)相比时,DC偏压方案(7)显示即使电极被先前的负DC偏压损伤,施加零DC偏压电压仍然将颗粒减少从4081改善至大约752。事实上,在DC偏压方案(7)下的颗粒数量的增加被发现是方案(6)至(9)之中最小的。因此,发明人发现,通过在沉积工艺期间对第一电极112施加恒定为零的DC偏压电压,可极大地抑制基板表面上的颗粒产生,因为第一电极112与等离子体之间的电位差($V_{\text{第一电极}} - V_{\text{等离子体}}$)以及等离子体与第二电极114(接地表面)和腔室壁(接地表面)之间的电位差($V_{\text{第二电极}} - V_{\text{等离子体}}$)基本上彼此相等,这导致第一与第二电极112、114处的大约60V的最小鞘电压(见图4)。因此,第一与第二电极112、114两者基本上经历相同的由于高RF输入功率而导致的来自等离子体的离子轰击。然而,当零DC偏压电压施加至第一电极112时,电极112、114两者上的离子轰击能量是相对小于当正或负DC偏压电压施加到第一电极112时电极112、114两者上的离子轰击能量,如同图4所证明的,图4是示出根据本公开的一个实施例的不同DC偏压电压处的第一电极(FP)与第二电极(SMD)上测量到的离子能量变化的示图400。图4示出当零DC偏压电压施加至第一电极时,第一与第二电极上测量到的离子能量为大约60V,这相对小于当100V或–100V的DC偏压电压分别施加至第一电极时第一电极上测量

到的离子能量(大约110V)或第二电极上测量到的离子能量(大约160V)。

[0033] 基于上述的DC偏压方案(1)-(9),发明人已经确定,电极112、114上的保护性涂覆层会容易被离子轰击损伤,其中离子能量主要由第一电极112处的自感应DC偏压所决定。发明人发现,对第一电极112施加高的DC偏压电压(无论是正或负的DC偏压电压)会导致基板表面上的较高的颗粒污染。然而,在高功率膜沉积工艺期间对第一电极112施加恒定为零的DC偏压电压可帮助最小化第一电极112(RF热的)与等离子体之间的电位差($V_{\text{第一电极}} - V_{\text{等离子体}}$)或者等离子体与第二电极114(接地表面)和腔室壁(接地表面)之间的电位差($V_{\text{第二电极}} - V_{\text{等离子体}}$),而不会对膜沉积分布有任何显著的影响。最小化等离子体与电极112、114之间的电位差可减少颗粒产生,因为第一与第二电极的两侧处的鞘电压保持为最小,即使当RF输入功率为高时(超过550W)。因此,离子与第一和第二电极112、114上的保护性涂覆层的碰撞力减小,导致基板表面上的颗粒产生的减少。

[0034] 若期望的话,DC偏压电压可被调制成通过控制DC偏压电压极性来控制第一电极112和/或第二电极114上的离子轰击量。为了准确地控制DC偏压,基于诸如腔室配置、电极的表面积、化学与工艺状况、从第一电极112发送的DC偏压反馈信号等因素,或者基于电极的涂覆质量,使用功率控制器(例如,图1所示的功率控制器144)来执行闭环DC偏压调制。例如,若第一电极112具有较弱的保护性涂覆层(由于其截头圆锥形会在本性上使强力涂覆失效)并且第二电极114具有较强的保护性涂覆层,稍微正的DC偏压可传送至第一电极112以减少第一电极112上的轰击。在一个示例性实施例中,功率控制器144可配置成监测第一电极112(RF热的)上的自感应的DC偏压,而不用对第一电极112施加DC偏压电压。根据DC偏压反馈,在沉积工艺期间对第一电极112施加适当的DC偏压电压。DC偏压电压可以是零或可调整成通过控制DC偏压电压极性来控制第一电极112和/或第二电极114上的离子轰击量,如同上面讨论的。

[0035] 可实施多种方法来进一步增进基板表面上的颗粒产生的减少。例如,在某些实施例中,接合/粘合材料可使用在保护性涂覆层与底层电极之间,以提供较强的保护性涂覆层。接合/粘合材料对于第一电极112特别有利,因为第一电极112可能由于在本性上使强力涂覆失效的其截头圆锥形而具有较弱的涂覆质量,而第二电极114可能具有好得多的涂覆质量(因为第二电极114在底部处具有通孔131,通孔131会促成较强的涂覆能力来承受离子轰击)。在某些实施例中,气体分配板134可受到有效的冷却处理(达到不影响工艺性能的程度),以便在沉积工艺期间降低第二电极114的温度。这是因为第二电极114在工艺期间加热升温并冷却下来,且设置于其上的保护性涂覆层会经历来自此种温度循环的热应力,导致增加的颗粒产生。降低第二电极114的温度(例如,通过使冷却流体流过形成在气体分配板134中的通道137)降低第二电极114的温度变化,由此促进基板表面上的颗粒产生的减少。

[0036] 对盖组件104(盖组件104限制等离子体的辉光放电区域)的通电的电极施加恒定为零的DC偏压电压来减少颗粒污染的理念可以用多种方法实现,诸如图5所示的一个方法。图5描绘根据本公开的实施例的示出耦接至DC偏压调制配置500的盖组件104的图1的处理腔室100的示意性横剖面视图。

[0037] 在一个实施例中,第一电极112分别电连接至射频(RF)电源522与DC偏压调制配置500。DC偏压调制配置500可设置在盖组件104外的任何位置处,诸如第一电极112与地之间的位置处。虽然未示出,RF电源522可设置在与DC偏压调制配置500相同的外壳中。DC偏压调

制配置500通常用作低通滤波器,配置成将第一电极112处产生的自感应的DC偏压和/或任何DC偏压引导至地,同时防止由RF电源522传送的且由匹配网络524调谐的RF功率进入地而是使之去到第一电极112。因为第一电极112的DC偏压被引导至地,第一电极112在沉积工艺期间可维持在地电位(即,第一电极112处的DC偏压电压恒定地保持为零),而与RF输入功率或工艺无关。因此,第一电极112(RF致热的)与等离子体之间的电位差($V_{\text{第一电极}} - V_{\text{等离子体}}$)或者等离子体与第二电极114(接地表面)和腔室壁(接地表面)之间的电位差($V_{\text{第二电极}} - V_{\text{等离子体}}$)被减小或最小化。如同上面关于图2-图4讨论的,最小化等离子体与电极112、114之间的电位差可减少颗粒产生,而不会对膜沉积分布有任何显著的影响,因为第一与第二电极的两侧处的鞘电压保持最小。因此,离子与形成在第一和第二电极112、114上的保护性涂覆层的碰撞力减小,导致基板表面上的颗粒产生的减少。

[0038] 在图5所示的一个实施例中,DC偏压调制配置500总体上包括芯元件528与线圈530,线圈530缠绕芯元件528的一部分。线圈530可均匀分布在芯元件528的长度上,以获得DC偏压的感应效应的增加。因为芯元件528用于增强感应效应,线圈530本身可用于引导DC偏压电压,而在某些实施例中不需要芯元件528存在于DC偏压调制配置500中。芯元件528可包括高导磁率的杆或管,例如铁氧体杆,但根据耦接结构,其可以是在较低频率处有用的其他磁性材料。在一个实施例中,芯元件528可具有大约3英寸至大约8英寸(例如大约5英寸)的长度,以及大约0.2英寸至大约2英寸(例如大约1英寸)的直径。

[0039] 所得DC偏压调制配置500在13.56MHz的频率处可具有大约50db的功率衰减以及大约22uH的电感值(等于大约1900欧姆的电阻值),这对RF信号提供了高阻抗,且因此RF信号被禁止通过DC偏压调制配置500而进入地。然而,此种高值的电阻被认为对于DC信号是电性闭合的。换句话说,DC偏压调制配置500对于DC偏压电压不具有阻抗。

[0040] 虽然芯元件528与线圈530被示为DC偏压调制配置500的示例,这些部件不意在作为对本文所述的公开内容的范围的限制。相反,构想可配置为低通滤波器或带通滤波器(以单极或多级的配置)来截止感兴趣的频率的任何电部件或电路,只要该电部件或电路能够对RF信号提供高阻抗路径并且对来自第一电极112的DC信号提供至地的低或无阻抗路径。

[0041] 总结来说,通过将恒定为零的DC偏压电压施加至盖组件(盖组件设置在腔室主体的基板处理区域的上方)的通电的电极(通电的电极平行于接地的电极,以限制等离子体的辉光放电区域)来最小化通电的电极与等离子体之间的电位差或接地的电极与等离子体之间的电位差,来实现减少处理腔室中的颗粒产生的实施例。最小化等离子体与电极之间的电位差可减少颗粒产生,因为这些电极的鞘区域中的离子的加速降低,并且离子与电极上的保护性涂覆层的碰撞力被最小化。因此,减少了基板表面上的颗粒产生。

[0042] 虽然以上内容针对本公开的实施例,但是可设计本公开的其他和进一步的实施例而不背离本公开的基本范围,并且本公开的范围由所附权利要求书来确定。

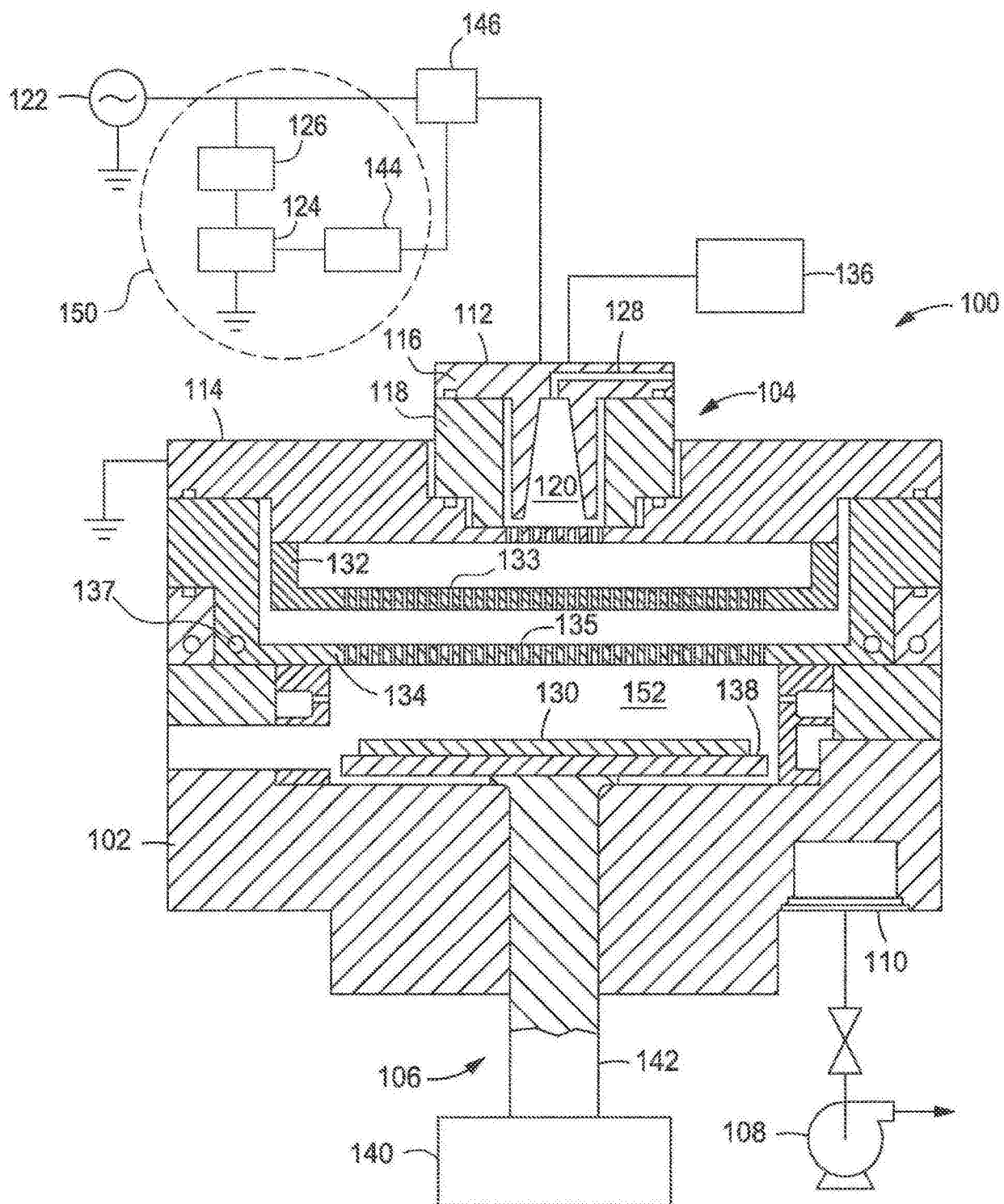


图 1

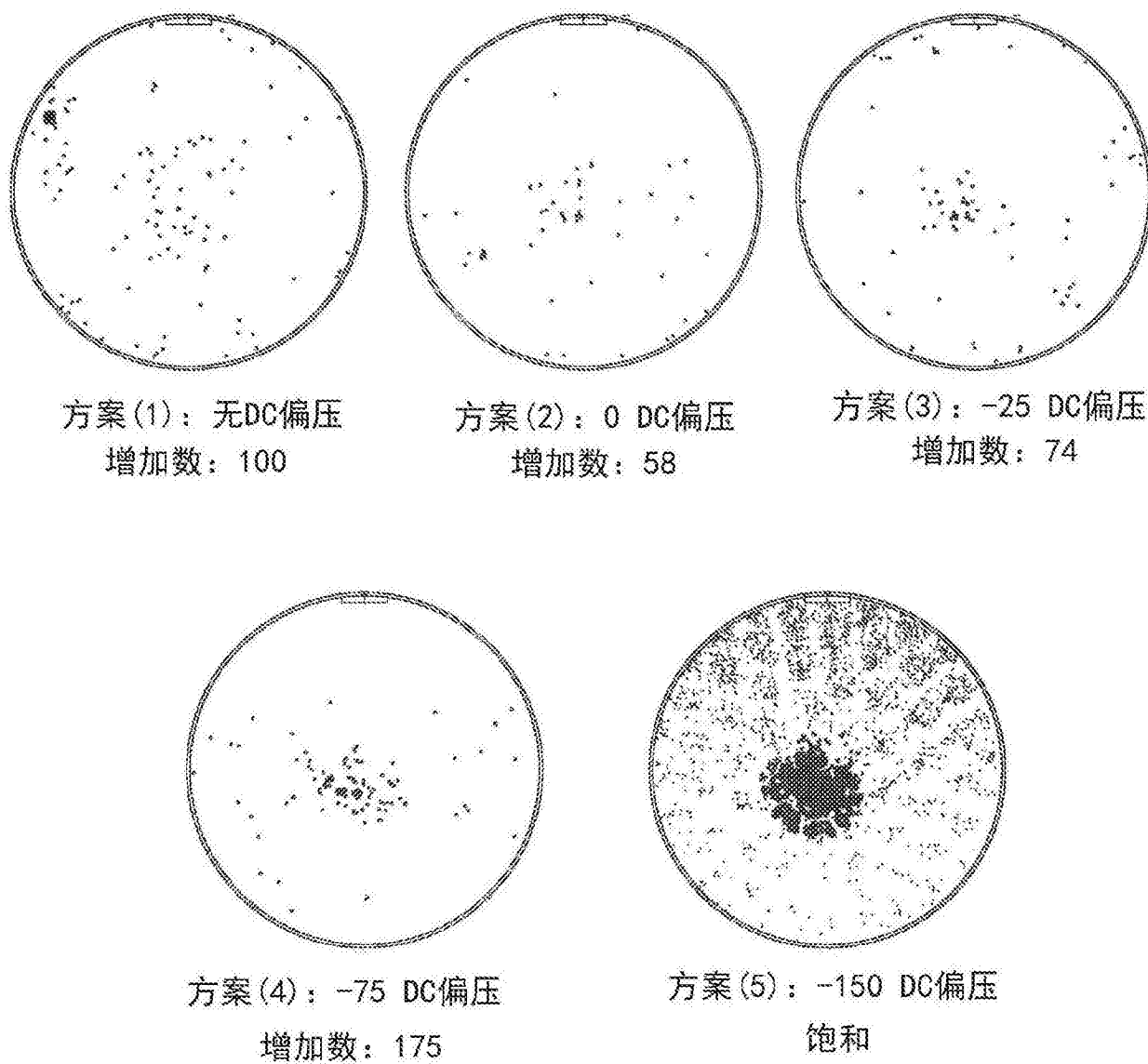
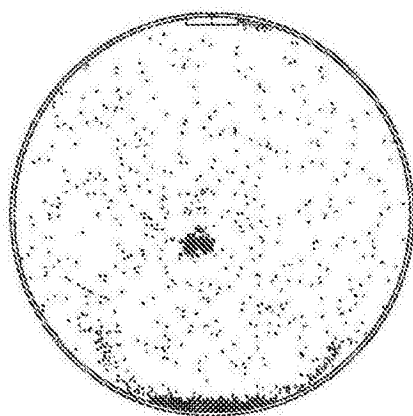
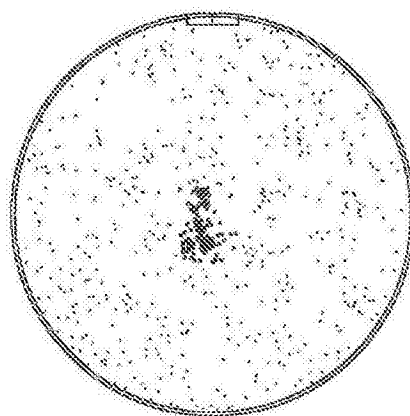


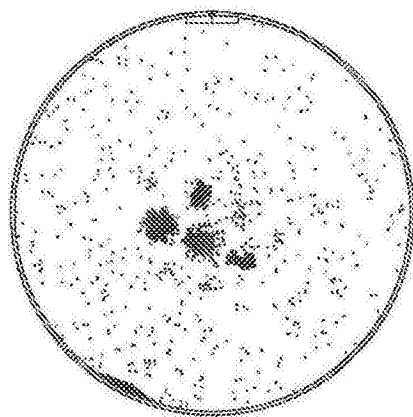
图2



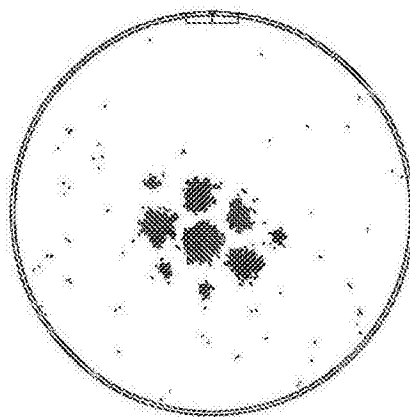
方案(6): 无DC偏压
增加数: 4081



方案(6): 0 DC偏压
增加数: 752



方案(8): +75 DC偏压
增加数: 9075



方案(9): +100 DC偏压
增加数: 3458

图3

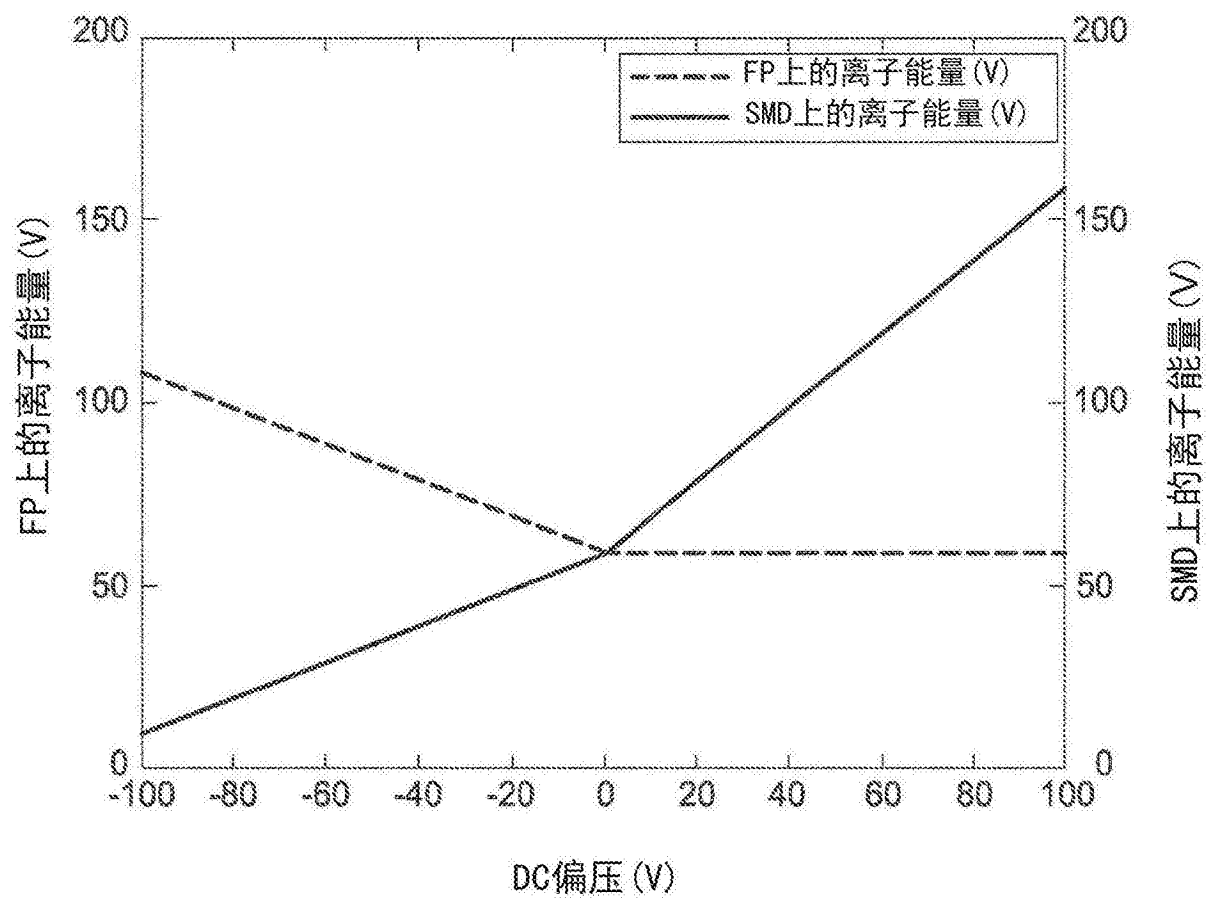


图4

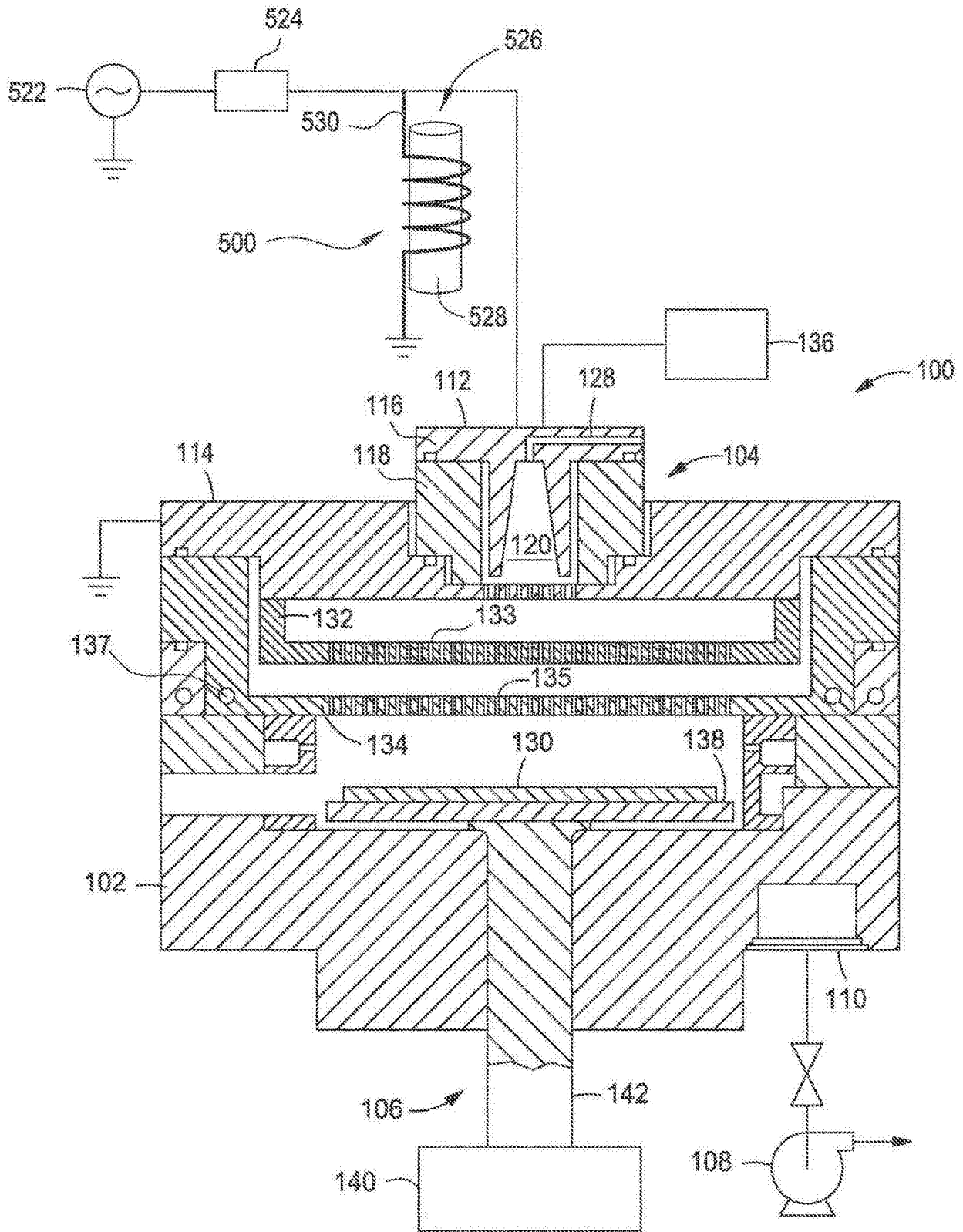


图5