



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월17일
(11) 등록번호 10-2500552
(24) 등록일자 2023년02월13일

(51) 국제특허분류(Int. Cl.)
H01L 29/40 (2006.01) H01L 21/67 (2006.01)
H01L 21/8238 (2006.01) H01L 29/06 (2006.01)
H01L 29/423 (2006.01) H01L 29/775 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/401 (2021.08)
H01L 21/67069 (2013.01)
(21) 출원번호 10-2020-7017074
(22) 출원일자(국제) 2019년09월13일
심사청구일자 2020년06월15일
(85) 번역문제출일자 2020년06월15일
(65) 공개번호 10-2021-0032299
(43) 공개일자 2021년03월24일
(86) 국제출원번호 PCT/JP2019/035998
(87) 국제공개번호 WO 2021/048995
국제공개일자 2021년03월18일
(56) 선행기술조사문헌
KR1020100012875 A*
KR101596329 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 히타치하이테크
일본국 도쿄도 미나토쿠 토라노몬 1초메 17방 1고
(72) 발명자
미우라 마코토
일본국 도쿄도 미나토쿠 도라노몬 1-17-1 주식회
사 히타치하이테크 내
사토 기요히코
일본국 도쿄도 미나토쿠 도라노몬 1-17-1 주식회
사 히타치하이테크 내
(뒷면에 계속)
(74) 대리인
문두현

전체 청구항 수 : 총 12 항

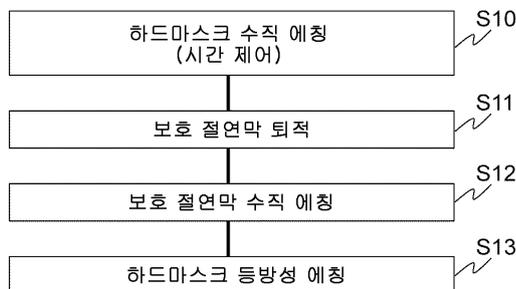
심사관 : 김종호

(54) 발명의 명칭 반도체 장치의 제조 방법 및 플라즈마 처리 장치

(57) 요약

세선(細線) 형상 또는 시트 형상의 채널이 기판에 수직인 방향으로 적층되는 적층 채널을 갖는 GAA형 FET 또는 나노포크형 FET과 같은 3차원 구조 디바이스의 제조 공정에 있어서, 서로 다른 문턱값 전압을 갖는 FET과의 사이를 넓히지 않고 일함수 제어 금속을 구분 제작한다. 이 때문에, 일함수 제어 금속막(22)이 노출될 때까지, 마스크 재료(23)를 개구하는 이방성 에칭을 행하는 제1 공정 S10과, 보호막(26)을 퇴적시키는 제2 공정 S11과, 제1 공정에서 개구된 마스크 재료의 측벽에 퇴적된 보호막을 남기고, 보호막을 제거하는 이방성 에칭을 행하는 제3 공정 S12와, 채널 간의 마스크 재료를, 보호막 및 일함수 제어 금속막에 대해서 선택적으로 제거하는 등방성 에칭을 행하는 제4 공정 S13을 실행한다.

대표도 - 도5



(52) CPC특허분류

H01L 21/823842 (2013.01)

H01L 29/0673 (2013.01)

H01L 29/42376 (2013.01)

H01L 29/42392 (2013.01)

H01L 29/775 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

소노다 야스시

일본국 도쿄도 미나토쿠 도라노몬 1-17-1 주식회사
히타치하이테크 내

사카이 사토시

일본국 도쿄도 미나토쿠 도라노몬 1-17-1 주식회사
히타치하이테크 내

명세서

청구범위

청구항 1

게이트 형성 영역에 세션(細線) 형상 또는 시트 형상의 채널이 기판에 수직인 방향으로 적층되는 적층 채널을 갖는 반도체 장치의 제조 방법으로서,

상기 반도체 장치는, 제1 절연막과 상기 제1 절연막에 의해 절연 분리되는 상기 적층 채널을 포함하는 제1 구조체, 및 제2 절연막과 상기 제2 절연막에 의해 절연 분리되는 상기 적층 채널을 포함하는 제2 구조체를 갖고 있고,

상기 제1 구조체 및 상기 제2 구조체 상에 게이트 절연막 및 제1 일함수 제어 금속막을 형성하고, 상기 게이트 형성 영역을 마스크 재료로 메우는 제1 공정과,

평면에서 봤을 때 일단이 상기 제1 절연막 상에, 타단이 상기 제2 절연막 상에 위치하는 패턴에 의해, 상기 제1 절연막의 상단을 덮는 상기 제1 일함수 제어 금속막 및 상기 제2 절연막의 상단을 덮는 상기 제1 일함수 제어 금속막이 노출될 때까지, 상기 마스크 재료를 개구하는 이방성 에칭을 행하는 제2 공정과,

상기 제2 공정 후, 보호막을 퇴적시키는 제3 공정과,

상기 제2 공정에서 개구된 상기 마스크 재료의 측벽에 퇴적된 상기 보호막을 남기고, 상기 보호막을 제거하는 이방성 에칭을 행하는 제4 공정과,

상기 제4 공정 후, 평면에서 봤을 때 상기 패턴 내에 위치하는 상기 마스크 재료를, 상기 보호막 및 상기 제1 일함수 제어 금속막에 대해서 선택적으로 제거하는 등방성 에칭을 행하는 제5 공정을 갖는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제5 공정 후, 상기 마스크 재료의 측벽에 퇴적된 상기 보호막 및 상기 제5 공정에 의해 노출된 상기 제1 일함수 제어 금속막을 제거하는 제6 공정과,

상기 제6 공정 후, 상기 게이트 형성 영역의 상기 마스크 재료를 제거하는 제7 공정과,

상기 제7 공정 후, 노출된 상기 제1 구조체 및 상기 제2 구조체 상에 제2 일함수 제어 금속막을 형성하는 제8 공정을 갖는 반도체 장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 반도체 장치는, 제1 문턱값 전압을 갖는 제1 MOSFET과 제2 문턱값 전압을 갖는 제2 MOSFET을 갖고,

상기 제1 MOSFET의 상기 적층 채널 상에는 제1 일함수 제어 금속 적층막이, 상기 제2 MOSFET의 상기 적층 채널 상에는 제2 일함수 제어 금속 적층막이 형성되어 있고,

상기 제1 일함수 제어 금속 적층막과 상기 제2 일함수 제어 금속 적층막은, 적층수 또는 적층막을 구성하는 일함수 제어 금속이 서로 다른 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 반도체 장치는, 제1 문턱값 전압을 갖는 제1 MOSFET과 제2 문턱값 전압을 갖는 제2 MOSFET을 갖고,

상기 제1 공정에 있어서, 상기 게이트 절연막 및 상기 제1 일함수 제어 금속막 사이에 문턱값 전압 조정막을 형

성하고,

상기 제1 MOSFET의 상기 적층 채널로부터 상기 문턱값 전압 조정막을 제거하고, 상기 제2 MOSFET의 상기 적층 채널에는 상기 문턱값 전압 조정막을 남겨서 열처리를 행하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서,

상기 제2 내지 상기 제5 공정을, 동일한 플라즈마 처리 장치 내에서 연속해서 행하는 반도체 장치의 제조 방법.

청구항 6

게이트 형성 영역에 세션 형상 또는 시트 형상의 채널이 기판에 수직인 방향으로 적층되는 적층 채널을 갖는 반도체 장치의 제조 방법으로서,

상기 채널을 둘러싸도록 게이트 절연막 및 제1 일함수 제어 금속막을 형성하고, 상기 게이트 형성 영역을 마스크 재료로 메우는 제1 공정과,

평면에서 봤을 때 단부가 상기 적층 채널 상에 위치하는 패턴에 의해, 상기 적층 채널의 최상층에 위치하는 상기 채널의 상단을 덮는 상기 제1 일함수 제어 금속막이 노출될 때까지, 상기 마스크 재료를 개구하는 이방성 에칭을 행하는 제2 공정과,

상기 제2 공정 후, 보호막을 퇴적시키는 제3 공정과,

상기 제2 공정에서 개구된 상기 마스크 재료의 측벽에 퇴적된 상기 보호막을 남기고, 상기 보호막을 제거하는 이방성 에칭을 행하는 제4 공정과,

상기 제4 공정 후, 평면에서 봤을 때 상기 패턴 내에 위치하고, 상기 적층 채널 간의 상기 마스크 재료를 제거하는 이방성 에칭을 행하는 제5 공정과,

상기 제5 공정 후, 평면에서 봤을 때 상기 패턴 내에 위치하고, 상기 적층 채널의 상기 채널 간의 상기 마스크 재료를, 상기 보호막 및 상기 제1 일함수 제어 금속막에 대해서 선택적으로 제거하는 등방성 에칭을 행하는 제6 공정을 갖는 반도체 장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 제6 공정 후, 상기 마스크 재료의 측벽에 퇴적된 상기 보호막을 제거하고, 상기 마스크 재료를, 상기 제1 일함수 제어 금속막에 대해서 선택적으로 제거하는 등방성 에칭을 행하는 제7 공정을 갖는 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 반도체 장치는, 제1 문턱값 전압을 갖는 제1 MOSFET과 제2 문턱값 전압을 갖는 제2 MOSFET을 갖고,

상기 제1 MOSFET의 상기 적층 채널과 상기 제2 MOSFET의 상기 적층 채널은 상기 기판 상에 인접해서 배치되고,

상기 제1 MOSFET의 상기 적층 채널 상에 상기 패턴의 단부가 위치함과 함께, 상기 패턴의 단부는 상기 적층 채널의 상기 채널의 중앙보다도 상기 제2 MOSFET의 상기 적층 채널측에 위치하는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제7 공정 후, 상기 제7 공정에 의해 노출된 상기 제1 일함수 제어 금속막을 제거하는 제8 공정과,

상기 제8 공정 후, 상기 게이트 형성 영역의 상기 마스크 재료를 제거하는 제9 공정과,

상기 제9 공정 후, 노출된 상기 채널을 둘러싸도록 제2 일함수 제어 금속막을 형성하는 제10 공정을 갖는 반도체 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 제1 MOSFET의 상기 적층 채널 상에는 제1 일함수 제어 금속 적층막이, 상기 제2 MOSFET의 상기 적층 채널 상에는 제2 일함수 제어 금속 적층막이 형성되어 있고,

상기 제1 일함수 제어 금속 적층막과 상기 제2 일함수 제어 금속 적층막은, 적층수 또는 적층막을 구성하는 일함수 제어 금속이 서로 다른 반도체 장치의 제조 방법.

청구항 11

제8항에 있어서,

상기 제1 공정에 있어서, 상기 게이트 절연막 및 상기 제1 일함수 제어 금속막 사이에 문턱값 전압 조정막을 형성하고,

상기 제1 MOSFET의 상기 적층 채널로부터 상기 문턱값 전압 조정막을 제거하고, 상기 제2 MOSFET의 상기 적층 채널에는 상기 문턱값 전압 조정막을 남겨서 열처리를 행하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 12

제7항에 있어서,

상기 제2 내지 상기 제7 공정을, 동일한 플라즈마 처리 장치 내에서 연속해서 행하는 반도체 장치의 제조 방법.

청구항 13

삭제

청구항 14

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 소자의 제조 방법 및 플라즈마 처리 장치에 관한 것이다.

배경 기술

[0002] 집적 회로칩의 기능·성능을 끊임없이 향상시키기 위해서는, 트랜지스터의 미세화가 불가결하다. 트랜지스터의 미세화를 실현하기 위하여, 미세화한 트랜지스터의 성능 향상을 도모하기 위한 소자의 구조, 재료에 관한 다양한 검토가 이루어지고 있다. 예를 들면 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET : Metal Oxide Semiconductor Field Effect Transistor)에 있어서의 소스/드레인 영역에의 변형의 도입, 고유전체 게이트 절연막 및 메탈 금속의 도입, 플레이너(Planar)형으로부터 핀(Fin)형과 같은 신구조의 도입 등을 들 수 있다.

[0003] Fin형 FET은, 3차원 구조를 갖는 핀형 채널의 주위를 게이트로 덮음으로써 게이트의 제어성을 향상시키고, 트랜지스터의 미세화에 수반하는 게이트 길이의 축소에 기인하는 단채널 효과(즉, 리크 전류의 증대)를 억제할 수 있다. 또한, 미세화가 진행되면, 채널은 와이어 형상 또는 시트 형상의 적층체로 되고, 그 주위가 게이트로 덮인 게이트 올 어라운드형 FET(GAA : Gate All Around)으로 되는 것이 예상되고 있다. GAA형 FET은, 와이어 또는 시트 형상의 채널(나노와이어 채널/나노시트 채널) 주위 모두를 게이트로 덮음으로써, Fin형 FET에 비해서 게이트 제어성을 더 향상시키고, 단채널 효과의 한층 더 높은 억제가 가능하게 된다.

[0004] Fin형 FET, GAA형 FET의 어느 것에 있어서도, FET의 채널 상에는, 게이트 절연막, 일함수 제어 금속, 저저항 게이트 금속이 적층된다. 이 중, 일함수 제어 금속은 FET이 동작 상태로 되기 위한 문턱값 전압을 결정하기 위하여, FET의 종류·용도에 따라서 적절한 금속 재료를 이용할 필요가 있다. 이 때문에, FET의 제조 프로세스에 있어서, FET의 종류마다 일함수 제어 금속을 교체하는 공정이 필요하게 되고, 제조 프로세스를 복잡화함과 함께, 트랜지스터의 미세화에 있어서의 제약으로 된다.

[0005] 특허문헌 1은, Fin형 FET에 관한 것이지만, 마스크 재료로 제1 일함수 제어 금속을 적층한 fin을 덮어서 패터닝을 행하고, 특정의 fin을 노출시키고 제1 일함수 제어 금속을 제거한 후에, 제2 일함수 제어 금속을 적층하는 방법을 개시한다.

[0006] 특허문헌 2는, GAA형 FET에 관한 것이고, 적층된 채널 간을 게이트 절연막 및 일함수 제어 금속으로 메운 GAA형 FET이 개시되어 있다.

[0007] 비특허문헌 1은, 수평 방향으로 배열한 한 쌍의 나노시트 채널 간을 절연막으로 매입(埋入)하고, 일함수 제어 금속이 들어가지 않는 구조(「나노포크 구조(Stacked nanosheet fork structure)」라 한다)를 제안한다. 절연막으로 분리되는 나노시트 채널 간의 간격을 단축할 수 있기 때문에, 미세화에 유리하게 된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 국제공개 제2013/101007호

(특허문헌 0002) 미국 특허출원공개 제2018/0308768호 명세서

비특허문헌

[0009] (비특허문헌 0001) P. Weckx et al., "Stacked nanosheet fork architecture for SRAM design and device co-optimization toward 3nm", Proceedings of IEDM 2017, 2017년, pp.505~508

발명의 내용

해결하려는 과제

[0010] 특허문헌 1에 개시되는 일함수 제어 금속을 교체하는 방법을 GAA형 FET에 적용할 경우, GAA형 FET의 구조에서는 일함수 제어 금속이 채널의 전체 둘레에 적층되어 있기 때문에, 적층된 나노와이어 또는 나노시트형 채널 간의 마스크 재료를 제거할 필요가 발생한다. 이 때문에, Fin형 FET에 비해서 수평 방향에의 마스크 재료의 에칭양이 증대하고, 일함수 제어 금속을 교체하는 FET간의 거리를 넓게 취하고 있지 않으면, 제거해서는 안되는 채널 간의 마스크 재료까지도 제거되어 버릴 우려가 있다.

[0011] 비특허문헌 1의 구조에 있어서도 마찬가지로 과제가 있다. 절연막으로 분리되는 나노시트 채널의 한쪽을 p형 채널로 하고, 다른 쪽을 n형 채널로 할 경우, 각각의 채널에 p형 FET용 일함수 제어 금속, n형 FET용 일함수 제어 금속을 적층하기 위하여, 일함수 제어 금속의 교체가 필요하게 된다. 비특허문헌 1에는 프로세스의 상세는 기재되어 있지 않지만, 절연막에 의해서 분리된 n형 채널과 p형 채널이 형성된 디바이스에 대해서, 예를 들면, n형 채널 간의 마스크 재료를 제거하는 공정에 있어서, 동시에 p형 채널 간의 마스크 재료까지도 제거되어 버릴 우려가 있다.

[0012] 이것에 대해서, 특허문헌 2에 개시되는 GAA형 FET의 구조에서는, 적층된 나노와이어 또는 나노시트형 채널 간에 마스크 재료가 존재하지 않는다. 이 때문에, 상기 과제를 회피할 수 있다. 그러나, 적층된 나노와이어 또는 나노시트 채널 간을 일함수 제어 금속으로 메우기 위하여, 일함수 제어 금속은 어느 정도의 막두께를 필요로 한다. 이 때문에, 미세화에 의해 게이트 길이가 축소된 경우에 게이트를 일함수 제어 금속으로 다 메우지 못하게 될 가능성이 발생한다. 또한, 적층된 나노와이어 또는 나노시트 채널 간에 게이트 매입 금속을 메울 수 없기 때문에, 게이트 저항이 증대할 우려가 있다.

[0013] 본 발명은, 세션(細線) 형상 또는 시트 형상의 채널이 기관에 수직인 방향으로 적층되는 적층 채널을 갖는 GAA형 FET 또는 나노포크형 FET과 같은 3차원 구조 디바이스의 제조 공정에 있어서, 서로 다른 문턱값 전압을 갖는 FET과의 사이를 넓히지 않고 일함수 제어 금속을 구분 제작하는 것을 가능하게 하는 공정, 및 일함수 제어 금속의 구분 제작을 동일 장치에서 연속해서 실행 가능한 플라즈마 처리 장치를 제공한다.

과제의 해결 수단

[0014] 본 발명은, 일함수 제어 금속막이 노출될 때까지, 마스크 재료를 개구하는 이방성 에칭을 행하는 제1 공정과, 보호막을 퇴적시키는 제2 공정과, 제1 공정에서 개구된 마스크 재료의 측벽에 퇴적된 보호막을 남기고, 보호막을 제거하는 이방성 에칭을 행하는 제3 공정과, 채널 간의 마스크 재료를, 보호막 및 일함수 제어 금속막에 대해서 선택적으로 제거하는 등방성 에칭을 행하는 제4 공정을 포함하는 반도체 소자의 제조 방법, 혹은, 이들 공정을 연속해서 실행하여 실행 가능한 플라즈마 처리 장치이다.

발명의 효과

[0015] 세션 형상 또는 시트 형상의 채널이 기판에 수직인 방향으로 적층되는 적층 채널을 갖는 GAA형 FET 또는 나노포크형 FET과 같은 3차원 구조 디바이스의 제조 공정에 있어서, 서로 다른 문턱값 전압을 갖는 FET과의 사이를 넓히지 않고 일함수 제어 금속을 구분 제작하는 것을 가능하게 한다.

[0016] 그 밖의 과제와 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

도면의 간단한 설명

- [0017] 도 1a는 실시예 1의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 1b는 실시예 1의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 1c는 실시예 1의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 1d는 실시예 1의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 1e는 실시예 1의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 2a는 나노포크형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 2b는 나노포크형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 2c는 나노포크형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 2d는 나노포크형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 2e는 나노포크형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 3은 도 2e의 구조를 위쪽으로부터 본 평면도.
- 도 4는 플라즈마 처리 장치의 구성예.
- 도 5는 실시예 1의 적층 채널 간 마스크 재료 제거 공정의 플로도.
- 도 6a는 실시예 1의 일함수 제어 금속의 교체 공정을 나타내는 단면도.
- 도 6b는 실시예 1의 일함수 제어 금속의 교체 공정을 나타내는 단면도.
- 도 6c는 실시예 1의 일함수 제어 금속의 교체 공정을 나타내는 단면도.
- 도 6d는 실시예 1의 일함수 제어 금속의 교체 공정을 나타내는 단면도.
- 도 6e는 실시예 1의 메탈 매입층 형성 공정을 나타내는 단면도.
- 도 7a는 실시예 2의 일함수 제어 금속의 교체 공정을 나타내는 평면도.
- 도 7b는 실시예 2의 일함수 제어 금속의 교체 공정을 나타내는 평면도.
- 도 7c는 실시예 2의 일함수 제어 금속의 교체 공정을 나타내는 평면도.
- 도 7d는 각 MOSFET에 적층된 일함수 제어 금속 적층막을 나타내는 도면.
- 도 8a는 GAA형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 8b는 GAA형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 8c는 GAA형 FET의 채널 형성 공정을 나타내는 조감도.
- 도 9a는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.

- 도 9b는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9c는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9d는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9e는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9f는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9g는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 9h는 실시예 3의 적층 채널 간 마스크 재료 제거 공정을 나타내는 단면도.
- 도 10은 실시예 3의 적층 채널 간 마스크 재료 제거 공정의 플로도.
- 도 11a는 실시예 4의 게이트 절연막 구분 제작 공정을 나타내는 단면도.
- 도 11b는 실시예 4의 게이트 절연막 구분 제작 공정을 나타내는 단면도.
- 도 11c는 실시예 4의 게이트 절연막 구분 제작 공정을 나타내는 단면도.
- 도 11d는 실시예 4의 게이트 절연막 구분 제작 공정을 나타내는 단면도.
- 도 11e는 실시예 4의 게이트 절연막 구분 제작 공정을 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 도면에 의거해서 본 발명의 실시형태를 설명한다. 또, 본 발명은 이하에 기술하는 실시예로 한정되는 것은 아니며, 그 기술사상의 범위에 있어서 각종 변형이 가능하다. 실시예를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 부여하고, 그 반복의 설명은 생략한다. 또한, 본 실시예로서 개시하는 내용에 대해서 재료나 제조 공정의 조합을 바꾸는 등, 많은 변경이 가능한 것은 물론이다. 또한, 도면은 반드시 정확하게 축척을 맞추고 있는 것은 아니며, 논리가 명확하게 되도록 중요한 부분을 강조해서 모식적으로 묘화하고 있다.
- [0019] (실시예 1)
- [0020] 실시예 1에서는, 나노포크형 FET을 갖는 디바이스에 있어서의, 적층 나노와이어 채널 또는 적층 나노시트 채널에의 일함수 제어 금속막의 구분 제작 공정에 대하여 설명한다. 우선, 도 2a~도 2e를 이용해서, 나노포크형 FET의 채널 형성 공정을 설명한다.
- [0021] 도 2a에 있어서, 단결정 실리콘(Si) 기판(1) 상에 단결정 실리콘게르마늄(SiGe)층(3)과 단결정 실리콘(Si)층(4)의 적층막이 형성되고, 최상층의 SiGe층(3) 상에는 박막 절연막(5) 및 하드마스크(6)가 형성되어 있다. SiGe층(3)과 Si층(4)의 적층막은, 화학 기상 성장법(CVD : Chemical Vapor Deposition) 등을 이용한 에피택셜 성장에 의해 성막하고, SiGe층(3) 내의 게르마늄(Ge)의 조성은 15~40%이면 된다. SiGe층(3)은 Si 기판(1)에 격자 정합하도록 성막되어 있고, SiGe 내부에는 SiGe와 Si의 격자 상수의 차이에 기인하는 변형 에너지가 함유되어 있다. SiGe층(3)과 Si층(4)의 적층막은, 번갈아 반복 적층된다. SiGe층(3)과 Si층(4)의 반복 적층수와 각각의 막두께는, FET에 요구되는 특성과 함께, SiGe층에 함유되는 변형 에너지가, SiGe층(3) 중에 결함이 발생하는 임계 막두께를 초과하지 않는 조건으로 조정될 필요가 있다. 바람직한 막두께는, 희생층으로 되는 SiGe층(3)이 약 8~20nm 정도이고, FET의 채널로 되는 Si층(4)이 약 5~10nm 정도이다. 또한, SiGe층(3)과 Si층(4)의 반복 적층수는 각각 3~6층으로 하면 된다. CVD법에 의한 에피택셜 성장은, 예를 들면 원료 가스에는 수소 회석한 모노실란(SiH₄), 디실란(Si₂H₆), 게르만(GeH₄) 등을 이용해서 행한다. 최상층의 SiGe층(3) 상에 형성하는 박막 절연막(5)은, 예를 들면 실리콘산화막(SiO₂), 또는 그것에 준하는 실리콘산질화막(SiON)이나 실리콘카본산화막(SiCO) 등의 절연막이면 되고, CVD법 등에 의해 성막하거나, SiGe층(3)을 산소 분위기 하에서 산화함에 의해 성막한다. 박막 절연막(5)의 막두께는 약 2~4nm 정도로 한다. 박막 절연막(5) 상의 하드마스크(6)는 CVD법 등에 의해 성막된 실리콘질화막(Si₃N₄) 또는 그것에 준하는 SiON막이나 SiCO막, 또는 실리콘산탄질화막(SiOCN막)이다. 하드마스크(6)의 막두께는 약 20~100nm 정도이다.
- [0022] 하드마스크(6)는 라인 형상의 패턴으로 가공되어 있고, 패턴폭은, 세션 형상의 나노와이어 채널을 형성하는 경우는 약 5~15nm 정도로 조정하면 되고, 시트 형상의 나노시트 채널을 형성하는 경우는 약 10~50nm 정도로 조

정하면 된다. 나노와이어 채널은, 채널의 주변 길이가 짧기 때문에 게이트에 의한 제어성이 높아지는 한편, 구동 전류의 전류값이 작다. 한편, 나노시트 채널은 게이트에 의한 제어성은 나노와이어에 비해서 약간 나빠지지만, 큰 구동 전류를 얻을 수 있다. 채널 형상은, 필요한 디바이스의 응용을 감안해서 결정된다. 라인 형상의 패턴은, 주기 형상 또는 그것에 준하는 패턴으로 되어 있고, 예를 들면 불화아르곤 가스(ArF)를 광원으로 하는 레이저를 이용할 경우, 패턴 주기가 40nm 이상 80nm 이하이면 자기 정합 더블 패턴닝(SADP : Self-Aligned Double Patterning)을, 패턴 주기가 20nm 이상 40nm 이하이면 자기 정합 4배 패턴닝(SAQP : Self-Aligned Quadruple Patterning)을 이용할 수 있다. 또한, 파장 13.5nm의 극단 자외선(EUV : Extreme Ultraviolet) 노광을 행하는 경우에는, 패턴 주기가 40nm까지는 단일 노광(Single Patterning)을, 패턴 주기가 20nm 이상 40nm 이하이면 SADP를 이용할 수 있다. 하드마스크(6)를 마스크로 하고, 박막 절연막(5), 및 SiGe층(3)과 Si층(4)의 적층막, 또한 Si 기판(1)의 일부를, 플라즈마를 이용한 수직성의 에칭에 의해 에칭 가공한다. 그 후, 일부가 패턴닝된 Si 기판(1)의 홈 내에, 소자 분리 영역을 형성하기 위한 소자 분리(STI : Shallow Trench Isolation) 절연막(2)을 퇴적하고, STI 절연막(2)의 에치백을 행함으로써 도 2a의 구조를 얻는다. STI 절연막(2)은 CVD 등을 이용해서 성막한다. STI 절연막(2)의 재료는 SiO₂ 또는 그것에 준하는 SiON이나 SiCO 등이어도 된다.

[0023] 계속해서, FET 간을 절연하기 위한 FET 분리 절연막(7)을, CVD법 등에 의해 도 2a의 패턴 구조를 덮도록 퇴적하고, 화학 기계 연마(CMP : Chemical Mechanical Polishing)로 표면을 평탄화한다. 다음으로, FET 분리 절연막(7)에 의해 FET 간 절연 분리를 행하는 영역 상에 레지스트(8)를 퇴적하고, 레지스트(8)에 패턴닝을 실시함으로써 도 2b에 나타내는 구조를 얻는다. 여기에서, 레지스트(8)는, 스핀·온·카본막/스핀·온·글라스막/유기 레지스트로 이루어지는 3층 레지스트여도 된다. 여기에서, 스핀·온·카본막은 주로 탄소로 이루어지는 유기막이고, 스핀·온·글라스막은 Si, 산소를 포함하는 유기막이다. 통상적으로, 3층 레지스트를 이용한 가공에서는, 레지스트를 이용해서 스핀·온·글라스막을 에칭하고, 스핀·온·글라스막을 마스크로 해서 스핀·온·카본막을 에칭한 후, 레지스트 및 스핀·온·글라스막을 제거해서 스핀·온·카본막을 마스크로서 이용하는 경우가 많고, 이 경우, 레지스트(8)는 스핀·온·카본막으로 주로 구성되게 된다.

[0024] 이 후, 레지스트(8)를 마스크로 해서 FET 분리 절연막(7)에 수직성의 에칭을 실시하고, 그 후, 산소 플라즈마 분위기 하에서 에칭을 행해서 레지스트(8)를 제거하고, 드라이에칭 또는 인산 등의 웨트에칭을 더 행해서 하드마스크(6)를 제거한다. 또한 SiGe층(3) 및 Si층(4)의 측벽에 더미 게이트 절연막(9)을 형성해서, 도 2c의 구조를 얻는다. 더미 게이트 절연막(9)은 SiO₂ 또는 그것에 준하는 절연막으로 하면 되고, 열산화법이나 플라즈마 산화법을 이용해서 SiGe층(3) 및 Si층(4)을 산화해서 형성해도 된다. 막두께는 1~3nm의 범위로 하는 것이 바람직하다.

[0025] 도 2c의 구조에 더미 게이트(10) 및 하드마스크(11)를 CVD법 등에 의해 퇴적하고(도 2d 참조), 하드마스크(11)에 패턴닝을 행해서 에칭 가공한 후에, 패턴닝한 하드마스크(11)를 마스크로 해서 더미 게이트(10)의 에칭을 행한다. 더미 게이트(10)는 비정질(아모퍼스) Si 또는 다결정(poly) Si로 형성하면 된다. 하드마스크(11)는 Si₃N₄ 또는 SiO₂ 또는 그것에 준하는 SiON 등의 절연막으로 한다. 하드마스크(11)의 패턴닝은, 게이트의 피치에 따라서 SADP나 단일 노광 등의 방법을 구분 사용함에 의해 행한다. 예를 들면, 게이트 피치를 40~70nm, 더미 게이트(10)의 폭을 15~30nm의 범위로 설정하고, 하드마스크(11)를 패턴닝한다. 하드마스크(11)의 에칭은, 예를 들면 하드마스크(11)의 재료에 Si₃N₄를 이용한 경우에는 CF₄와 산소의 혼합 가스에 Cl₂ 등을 첨가함으로써 하지(下地)의 더미 게이트(10)와의 선택비를 높게 유지할 수 있다. 이어지는 더미 게이트(10)의 에칭에는, Cl₂ 또는 HBr 등의 할로젠계의 가스를 이용함으로써 하지의 박막 절연막(5) 및 더미 게이트 절연막(9)을 스톱퍼로 하는 선택 에칭이 가능하게 된다.

[0026] 더미 게이트(10)의 가공 후, 게이트 측벽 스페이서(12)를 CVD법 등으로 퇴적하고, 이방성 에칭을 행함에 의해, 게이트 측벽에만 스페이서를 형성한다. 게이트 측벽 스페이서(12)는, 저비유전율막인 SiON막이나 SiOCN막, 또는 SiCO막을 이용하면 된다. 게이트 측벽 스페이서(12)에 SiCO막을 이용했을 경우, 게이트 측벽 스페이서(12)의 이방성 에칭은, 예를 들면 CF₄와 팔불화시클로부탄(C₄F₈)에 질소(N₂) 가스를 첨가한 혼합 가스를 에칭 가스로 하면 된다. 게이트 측벽 스페이서(12)의 수평 방향의 막두께는 5~15nm의 범위로 조정한다.

[0027] 다음으로, n형 FET의 소스/드레인 영역을 덮도록 하드마스크의 퇴적과 패턴닝을 행하고, 하드마스크를 마스크로 하는 에칭으로, p형 FET의 소스/드레인 영역에 있어서의 박막 절연막(5), 더미 게이트 절연막(9), 및 SiGe층(3)과 Si층(4)의 적층막을 에칭 제거한다. 이때, 게이트 측벽 스페이서(12)의 측벽에는 SiGe층(3)과 Si층(4)의 적층막의 측벽이 노출되고, STI 절연막(2) 표면 상에는 패턴닝된 Si 기판(1)이 노출된다. 이상의 노출면에 p형

SiGe 소스/드레인(13)을 주위의 절연막에 대해서 선택적으로 에피택셜 성장시킨다. 이 후, 마찬가지로의 공정을 거쳐 n형 FET의 소스/드레인(도시하지 않음)을 형성하여, 도 2d의 구조를 얻는다. 또, n형 FET의 소스/드레인 영역에는 고농도로 도핑된 n형 Si를 선택 성장시킨다. p형 SiGe 소스/드레인(13) 및 n형 Si 소스/드레인의 선택 성장은, CVD 장치를 이용한 에피택셜 성장에 의해 행하고, 원료 가스에는 수소 희석한 SiH₄, Si₂H₆, GeH₄, p형의 도핑 가스에는 수소 희석한 디보란(B₂H₆), n형의 도핑 가스에는 수소 또는 헬륨 가스로 희석한 포스핀(PH₃)을 이용한다. 성장은 수소 가스 분위기 하에서 행하고, 선택성을 향상시키기 위하여, 필요에 따라서 염화수소 가스(HCl)를 첨가한다.

[0028] 도 2d의 구조에 절연막(14)을 퇴적 후(도 2e 참조), CMP 등에 의한 표면 평탄화를 행함에 의해, n형 Si 소스/드레인 및 p형 SiGe 소스/드레인이 절연막(14)으로 덮인다. 또한, 절연막(14) 및 게이트 측벽 스페이서(12)를 마스크로 해서 더미 게이트(10)를 에칭 제거한다. 이 후, 박막 절연막(5), 더미 게이트 절연막(9) 및 SiGe층(3) (희생층)을 더 제거함에 의해, 도 2e의 구조를 얻는다. 더미 게이트(10)의 에칭은, Cl₂ 또는 HBr 등의 할로젠계의 가스를 이용한 등방성의 에칭 조건에서 행한다.

[0029] 도 3에, 도 2e의 조관도(鳥觀圖)를 위쪽으로부터 본 평면도(모식도)를 나타낸다. 도 3 내의 선분 a-a'는, FET의 게이트 형성 영역에 있어서 게이트에 병행 방향으로 그은 선분을 나타낸다. 도 1a는 선분 a-a'를 따른 단면을 나타내는 도면이고, 점선 사이에 있는 영역이, 도 3의 프레임(A)에 상당하는 영역이다.

[0030] 도 1a는, 도 2e 혹은 도 3의 구조 상에 게이트 절연막(21), p-일함수 제어 금속막(p형 FET용 일함수 제어 금속을 이하, 「p-일함수 제어 금속」이라 한다)(22), 및 하드마스크(23), 반사 방지막(24), 포토레지스트(25)를 퇴적하고, 포토레지스트(25) 및 반사 방지막(24)을 패터닝한 상태를 나타내고 있다. 여기에서, 게이트 절연막(21)은, 게이트에 의한 트랜지스터 동작 제어성을 높일 목적으로 산화하프늄(HfO₂)이나 산화알루미늄(Al₂O₃) 등의 고유전체 재료나 이들 고유전체 재료의 적층막이면 된다. 또한, 고유전체 재료에 지르코늄(Zr)이나 란타넘(La), 또는 이트륨(Y) 등의 금속 재료를 첨가해도 게이트 절연막의 특성 개선에 유효하다. 게이트 절연막(21)의 막두께는 약 0.5~3nm로 한다. 또한, 게이트 절연막(21)의 형성 전에 열산화 또는 플라즈마산화에 의해서 채널 Si 표면에 얇은 SiO₂를 약 0.5~1nm 정도 형성해도 된다. p-일함수 제어 금속막(22)에는 질화티타늄(TiN) 또는 탄탈륨질화막(TaN) 또는 이들과 동등한 일함수를 갖는 금속 화합물을 이용한다. p-일함수 제어 금속막(22)은 단층막이어도 되고, 상기한 막을 조합한 적층막이어도 된다. p-일함수 제어 금속막(22)의 막두께는 약 1~12nm의 범위로 조정한다. 도 1a에 있어서, 하드마스크(23), 반사 방지막(24), 포토레지스트(25)의 적층막은, 각각 스핀·온·카본막/스핀·온·글라스막/유기 레지스트로 이루어지는 3층 레지스트인 것이 바람직하다. 이 경우, 도포에 의해 막을 형성하기 때문에, 막의 형성과 함께 평탄화가 도모되기 때문이다. 그러나, CVD법 등에 의해 하드마스크(23)로서 탄소를 포함한 막을 퇴적하고, 반사 방지막(24)에는 SiON 등의 무기막을 이용하는 것도 가능하다.

[0031] 도 1a는, n형 FET 영역과 p형 FET 영역의 경계 패턴을 예시하고 있다. 이 때문에, n형 FET 영역에 있어서는, p-일함수 제어 금속막(22)으로부터 n-일함수 제어 금속막(n형 FET용 일함수 제어 금속을 이하, 「n-일함수 제어 금속」이라 한다)으로 교체할 필요가 있다. 이하, 일함수 제어 금속막을 교체하는 공정에 대하여 설명한다. 또, 본 공정이 필요한 패턴은, p형 FET 영역과 n형 FET 영역의 경계로 한정하지 않으며, 예를 들면 높은 문턱값 전압을 갖는 n형 FET 영역과 낮은 문턱값 전압을 갖는 n형 FET 영역의 경계, 또한 높은 문턱값 전압을 갖는 p형 FET 영역과 낮은 문턱값 전압을 갖는 p형 FET 영역의 경계가 있다.

[0032] 도 1a의 구조를 형성한 후, 포토레지스트(25) 및 반사 방지막(24)을 마스크로 하고 하드마스크(23)를 일부 패터닝해서 도 1b의 구조를 얻는다. 패턴의 경계는, 평면에서 봤을 때 p형 FET 영역과 n형 FET 영역을 격리하는 FET 분리 절연막(7) 상에 위치되어 있고, 하드마스크(23)의 에칭은, FET 분리 절연막(7)의 상단을 덮는 p-일함수 제어 금속막(22)이 노출된 단계에서 정지하도록 에칭 시간이 제어되어 있다.

[0033] 그 후, ALD(Atomic Layer Deposition)법에 의한 성막 기술에 의해, 보호 절연막(26)을 퇴적하여, 도 1c에 나타내는 구조를 얻는다. 보호 절연막(26)은, 반사 방지막(24)의 상면 및 측벽, 개구된 하드마스크(23)의 측벽 및 에칭된 평면, 노출된 p-일함수 제어 금속막(22)의 위에 퇴적된다. 보호 절연막(26)의 재료는, 탄소계 재료인 하드마스크(23)와의 에칭 선택비를 고려해서, 질소를 포함하는 절연막인 것이 바람직하며, 예를 들면 Si₃N₄막 또는 그것에 준하는 SiON막 등으로 한다. 보호 절연막(26)의 막두께는 약 2~3nm 정도로 제어된다. ALD법은 박막을 요철이 많은 복잡한 형상에 대해서도 제어성 좋게 성막할 수 있는 이점이 있다. 보호 절연막(26)을 CVD법

등에 의해서 성막해도 된다.

- [0034] 다음으로, 이방성의 선택 에칭을 행하고, 보호 절연막(26)을 수직 방향으로 에칭해서 도 1d에 나타내는 구조를 얻는다. 이 에칭에 의해, 반사 방지막(24)의 측벽의 일부와 하드마스크(23)의 측벽이 보호 절연막(26)에 의해 덮인 상태가 실현된다.
- [0035] 도 1d의 상태에서부터, 등방적인 선택 에칭을 실시하고, 하드마스크(23)를 n형 FET 영역으로부터 제거하여, 도 1e에 나타내는 구조를 얻는다. 본 에칭 공정에 있어서, p형 FET 영역에 있어서의 하드마스크(23)는, 상면은 반사 방지막(24)으로 덮이고, 측벽은 보호 절연막(26) 및 절연막(7)으로 보호되어 있기 때문에, n형 FET 영역으로부터 마스크 재료를 제거하기 위한 등방적인 에칭의 영향을 받지 않는다. 즉, n형 FET 영역으로부터 마스크 재료를 제거할 때까지의 기간에 있어서, n형 FET 영역과 p형 FET 영역의 경계를 넘어서, p형 FET 영역의 마스크 재료가 제거되어 버리는 경우가 없다.
- [0036] 이와 같은 적층 채널 간 마스크 재료 제거 공정을, ALD 성막 기능을 탑재한 플라즈마 처리 장치에서 행할 경우, 도 1b에 나타내는 하드마스크(23)의 이방성 에칭으로부터 도 1e에 나타내는 하드마스크(23)의 등방성 에칭까지의 일관 프로세스를 동일한 플라즈마 처리 장치 내에서 연속해서 처리할 수 있다. 플라즈마 처리 장치로서는, 유도 결합 플라즈마(ICP : Inductively Coupled Plasma)를 이용한 에칭 장치, 용량 결합 플라즈마(CCP : Capacitively Coupled Plasma)를 이용한 에칭 장치, 마이크로파 전자 사이클로트론 공명(ECR : Electron Cyclotron Resonance) 플라즈마를 이용한 에칭 장치의 어느 것이어도 된다.
- [0037] 일례로서, 도 4에, 마이크로파 ECR 플라즈마를 이용한 플라즈마 처리 장치의 구성을 나타낸다. 플라즈마 처리 장치는, 처리실(챔버)(401)을 갖고, 처리실(401)은 진공 배기구(402)를 통해 진공 배기 장치(도시하지 않음)에 접속되어 있고, 플라즈마 처리 중에는 처리실(401) 내는 0.1~10Pa 정도의 진공으로 유지된다. 또한, 처리실(401)의 상부에는, 샤워플레이트(403) 및 창부(404)가 배치되어 있다. 샤워플레이트(403)는, 복수의 구멍을 갖고, 재질은 예를 들면 석영이다. 가스 공급 기구는 가스원(405), 가스 공급 장치(406), 가스 도입구(407)를 갖고, 플라즈마 처리용의 원료 가스를 공급한다. 가스원(405)은 처리에 필요한 복수의 가스종을 갖는다. 가스 공급 장치(406)는 가스의 공급/차단을 제어하는 제어 밸브와 가스 유량을 제어하는 매스 플로 컨트롤러를 갖는다. 또한, 가스 도입구(407)는, 샤워플레이트(403)와 창부(404) 사이에 설치되어 있고, 가스를 샤워플레이트(403)의 구멍을 통해 처리실(401) 내에 도입한다. 창부(404)는, 처리실 위쪽으로부터의 전자파를 투과시킴과 함께, 처리실 위쪽을 기밀하게 봉지(封止)하는 역할을 갖는다. 창부(404)의 재질에는 유전체, 예를 들면 석영을 이용한다.
- [0038] 처리실(401)의 상부에는 전자파를 전파하는 도파관(409)이 접속되어 있고, 도파관(409)의 단부에는 고주파 전원인 플라즈마 생성용 고주파 전원(408)이 접속되어 있다. 플라즈마 생성용 고주파 전원(408)은 플라즈마 생성용의 전자파를 발생하기 위한 전원이며, 예를 들면 전자파로서는 주파수 2.45GHz의 마이크로파를 이용한다. 플라즈마 생성용 고주파 전원(408)으로부터 발생된 마이크로파는 도파관(409)을 전파하고, 처리실(401) 내에 입사한다. 도파관(409)이 수직 방향으로 연장되는 수직 도파관과 마이크로파의 방향을 90도 구부리는 코너를 겸한 도파관 변환기를 가짐에 의해, 마이크로파는 처리실(401)에 수직으로 입사된다. 마이크로파는 창부(404), 샤워플레이트(403)를 경유해서 처리실(401) 내를 수직으로 전파한다. 처리실(401)의 외주에 배치된 자장 발생 코일(410)은, 처리실(401)에 자장을 형성한다. 플라즈마 생성용 고주파 전원(408)으로부터 발진된 마이크로파는, 자장 발생 코일(410)에 의해 형성된 자장과 상호 작용에 의해, 처리실(401) 내에 고밀도 플라즈마를 생성한다.
- [0039] 처리실(401)의 아래쪽에는, 창부(404)에 대향해서 시료대(412)가 배치되어 있다. 시료대(412)의 재질에는, 알루미늄이나 티타늄을 이용한다. 시료대(412)는, 시료인 반도체 기관(411)을 상면에 재치(載置)해서 유지한다. 여기에서, 도파관(409), 처리실(401), 시료대(412) 및 반도체 기관(411)의 중심축은 일치하고 있다. 또한, 시료대(412) 내부에는 반도체 기관(411)을 정전 흡착하기 위한 전극이 설치되어 있고, 직류 전압을 인가함에 의해 반도체 기관(411)이 시료대(412)에 정전 흡착된다. 또한 시료대(412)에는, 에칭의 등방성/이방성을 제어하기 위하여 고주파 바이어스 전원(413)으로부터 고주파 전압이 인가된다. 인가하는 고주파 바이어스의 주파수는 예를 들면, 400kHz로 하면 된다.
- [0040] 플라즈마 처리 장치의 각 기구는 제어부(420)에 의해 제어된다(도 4에서는 각 기구와의 접속은 생략하고 있다). 제어부(420)는, 플라즈마 처리 장치가 실행하는 처리 조건(에칭 처리, ALD 성막 처리 등)에 따라서, 각 기구에 소정의 동작의 실행을 지시함에 의해, 각 기구가 제어된다. 예를 들면, 플라즈마 생성용 고주파 전원(408)을 제어하고, 플라즈마 발생을 위한 전자파의 ON-OFF를 제어한다. 또한, 가스 공급 기구를 제어하고, 처리실(40

1)에 도입하는 가스의 종류, 유량 등을 조정한다. 또한, 고주파 바이어스 전원(413)을 제어하고, 시료대(412)상의 반도체 기판(411)에 인가되는 고주파 전압의 강도를 제어한다.

[0041] 적층 채널 간 마스크 재료 제거 공정의 플로도를 도 5에 나타낸다.

[0042] 우선, 에칭 시간을 제어하고, 수직성의 에칭으로 하드마스크(23)를 에칭한다(S10, 도 1b). 이 공정에서는, 하드마스크 측벽의 Si 기판 표면에 대한 수직성을 유지하는 것이 중요하게 되기 때문에, Si 기판(1)을 놓는 시료대(412)에 고주파 바이어스를 인가한다. 이것에 의해, 플라즈마 내의 이온이 기판에 끌어당겨짐으로써, 수직성을 유지하며 에칭된다. 또, 하드마스크(23)의 에칭은, 하드마스크(23) 상부에 퇴적된 스핀·온·글라스막 등의 반사 방지막(24)의 에칭과 연속해서 동일 장치 내에서 에칭하는 것도 가능하다. 이 경우, 포토레지스트(25)를 마스크로 하는 스핀·온·글라스막(24)의 에칭은 예를 들면 육불화황(SF₆) 또는 CF₄나 C₄F₈ 등의 플로로카본계 가스 또는 그들의 혼합 가스를 이용하고, 스핀·온·글라스막(24)을 마스크로 해서 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23)를 에칭할 때에는 가스종을 전환하여, 산소 가스를 주된 에칭 원료로 해서 에칭을 행한다.

[0043] 하드마스크(23)의 에칭(S10)에 이어서, 보호 절연막(26)의 성막을, 에칭과 동일 플라즈마 처리 장치 내의 동일 처리실, 또는 진공의 반응실을 개재해서 에칭을 행하는 처리실과 접속된 성막용의 처리실에서 행한다(S11). 보호 절연막(26)은, 탄소계 재료인 하드마스크(23)와 선택비를 취하기 때문에, Si₃N₄ 또는 그것에 준하는 막인 것이 바람직하다. 예를 들면 Si₃N₄막을 ALD 성막할 경우, Si의 원료에는, 액체 원료인 비스(tert-부틸아미노)실란(Bis(tertbutylamino)silane : BTBAS)이나 비스(디에틸아미노)실란(Bis(DiEthylAmino)Silane : BDEAS), 또는 기체 가스인 디클로로실란(SiH₂Cl₂)을 이용한다. 액체 원료를 이용하는 경우는 원료를 기화시켜서 가스 라인에 보낸다. 원료는 캐리어 가스인 아르곤(Ar)과 함께 처리실로 보내지고, Si의 전구체(precursor)로서 도 1b의 구조 표면에 흡착한다. 그 후 Ar 가스 등의 퍼지 가스를 이용해서 처리실 내의 불필요한 전구체를 배기하고, 다음으로 N₂ 가스 또는 N₂ 가스와 수소(H₂) 가스의 혼합 가스, 혹은 암모니아(NH₃) 가스 등, 질소를 포함하는 가스를 유입해서 플라즈마화하여, 표면 반응시킨다. 이 후, 다시 Ar 등의 불활성 가스로 퍼지를 행하고, 처리실 내의 불필요한 가스를 배기한다. 이 일련의 프로세스에 의해, 원리적으로는 원자층 레벨의 막두께를 갖는 Si₃N₄막이 퇴적된다. 이 일련의 프로세스를 반복함에 의해, 도 1c에 나타내는 바와 같은 박막 ALD 절연막이 성막된다.

[0044] 다음으로, 보호 절연막(26)을 이방성 에칭에 의해 에칭한다(S12). 에칭 가스에는 트리플루오로메탄(CHF₃) 또는 디플루오로메탄(CH₂F₂) 또는 플루오로메탄(CH₃F) 등의 가스를 이용하거나, 혹은 CF₄나 C₄F₈ 등의 플로로카본계 가스와 수소의 혼합 가스를 이용한다. 이것에 의해, 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23)에 대해서, Si₃N₄막으로 이루어지는 보호 절연막(26)을 선택적으로 에칭하는 것이 가능하게 된다. 도 1d의 구조에 있어서 개구된 하드마스크(23)의 측벽이 남김없이 보호 절연막(26)으로 덮인 상태를 유지하기 위하여, 보호 절연막(26)의 수평 방향에의 에칭양을 극력 없애도록 고주파 바이어스를 조정하고, 에칭 시간을 제어한다. 에칭 시간은, n형 FET 영역에 있어서 에칭(S10)한 하드마스크(23)의 상측 평면에 보호 절연막(26)이 남지 않도록, 보호 절연막(26)을 기판에 수직 방향으로 에칭하기 위해서 걸리는 시간의 대략 1.5~2배 정도로 조정하여, 오버 에칭양을 확보한다.

[0045] 계속해서, 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23)를 등방 에칭한다(S13). 본 공정은, 도 1e에 나타나는 바와 같이, 스핀·온·글라스막 또는 그것에 준하는 막으로 이루어지는 반사 방지막(24), 개구된 하드마스크(23)의 측벽에 형성된 보호 절연막(26), 또한 TiN이나 TaN 등의 막으로 이루어지는 p-일함수 제어 금속막(22)에 대해서 하드마스크(23)를 선택적으로 에칭하는 공정이고, 산소 가스를 에칭에 이용한다. 등방성의 에칭이기 때문에, Si 기판에는 바이어스를 인가하지 않고, 플라즈마에 의해 생성된 산소 라디칼에 의한 에칭으로 한다.

[0046] 보호 절연막(26)을 Si₃N₄막 또는 그것에 준하는 막으로 했을 경우, 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23)와 보호 절연막(26)의 에칭 선택비는 10~50으로 할 수 있다. 따라서, 보호 절연막(26)의 막두께를 약 3nm로 하면, 하드마스크(23)의 수평 방향에의 에칭을 약 30nm 이상 행할 수 있다. 일반적인 나노와이어 또는 나노시트 채널의 폭은 5~30nm 정도이므로, 보호해야 할 영역의 하드마스크(23)를 보호 절연막(26)으로 보호한 채로, 적층된 나노와이어 또는 나노시트 채널 간에 잔존한 마스크 재료를 제거하는 것은 충분히 가능하다. 보다 폭이 넓은 나노시트 채널을 필요로 하는 용도가 있는 경우는, 그것에 따라서 보호 절연막(26)의 초기

막두께를 조정하면 된다.

- [0047] 이상의, 적층 채널 간 마스크 재료 제거 공정을 동일한 플라즈마 처리 장치에서 행하기 위해서는, 고정밀도/고선택 이방성 에칭, ALD 성막, 고선택 등방성 에칭이 가능하면 되며, 예를 들면, 고선택성이나 에칭 속도의 고정밀도 제어를 실현하기 위한 고정밀도의 가스 유량/온도/압력 제어성이 요구된다. 이상의 서로 다른 프로세스 공정(이방성 에칭/ALD 성막/ 등방성 에칭)을 연속해서 동일 장치 내에서 행할 경우, 스루풋의 향상을 가져올 수 있는 것 외에, 프로세스 도중에 웨이퍼를 대기에 노출됨에 의한 마스크 재료의 산화 등을 억제해서 수율 향상을 실현할 수 있다.
- [0048] 도 6a~6e를 이용해서, 적층 채널 간 마스크 재료 제거 공정에 이어지는, 일함수 제어 금속의 교체 공정과 메탈 매입층 형성 공정을 설명한다. 도 1e에 나타내는 구조로부터 반사 방지막(24) 및 보호 절연막(26)을 제거해서 도 6a의 구조를 얻는다. 여기에서, 스핀·온·글라스막 또는 그것에 준하는 막으로 이루어지는 반사 방지막(24)은, SF₆ 가스, 또는 CF₄나 C₄F₈ 등의 플로로카본계 가스 또는 그들의 혼합 가스를 이용해서, 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23) 및 Si₃N₄막 또는 그것에 준하는 막으로 이루어지는 보호 절연막(26)에 대해서 선택적으로 에칭한다. 등방성 또는 이방성 에칭의 조건을 이용할 수 있다. 계속해서, 보호 절연막(26)은, 원료 가스에 CHF₃ 또는 CH₂F₂, 또는 CH₃F, 혹은 CF₄나 C₄F₈ 등과 수소의 혼합 가스를 이용해서, 하드마스크(23)를 포함하는 주변의 막에 대해서 선택적으로 에칭한다. 에칭에는 등방성 에칭 조건을 이용한다. 이 반사 방지막(24) 및 보호 절연막(26)의 에칭은, 전술의 적층 채널 간 마스크 재료 제거 공정과 연속해서, 동일한 플라즈마 처리 장치 내에서 행하는 것도 가능하다.
- [0049] 도 6a의 구조로부터, 스핀·온·카본 등 탄소계 재료를 포함하는 하드마스크(23)를 마스크로 해서, p-일함수 제어 금속막(22)을 등방성의 드라이에칭 또는 웨트에칭으로 제거한다. p-일함수 제어 금속막(22)은 TiN 또는 TaN 또는 그것에 준하는 막으로 이루어지고, 드라이에칭을 행하는 경우에는 CHF₃와 Ar의 혼합 가스 등을 사용하면 되고, 웨트에칭을 행하는 경우에는 암모니아과산화수소 수용액(ammonia peroxide mixture : NH₃/H₂O₂/H₂O) 등을 이용하면 된다.
- [0050] 도 6b의 구조로부터, 산소 플라즈마 분위기 하 등에서 하드마스크(23)를 제거해서 도 6c의 구조를 얻고, 전면(全面)에 n-일함수 제어 금속막(27)을 더 성막함에 의해, 도 6d의 구조를 얻는다. 여기에서, n-일함수 제어 금속막(27)은, 티타늄알루미늄(TiAl) 또는 TiAl에 탄소(C), 산소(O), 질소(N) 등이 함유된 금속으로 이루어지거나 된다. n-일함수 제어 금속막(27)은 CVD법 또는 ALD법에 의해서 성막된다.
- [0051] 이 후, 게이트 매입 금속막(28)을 퇴적하고, CMP에 의한 평탄화를 거쳐 도 6e에 나타내는 구조를 얻는다. 게이트 매입 금속막(28)은 게이트 내의 금속 저항을 저감할 목적으로 퇴적되고, 텅스텐(W) 등의 재료를 이용할 수 있다.
- [0052] 도 6e에 있어서, n형 FET 영역에 있어서의 나노와이어 또는 나노시트 채널(4) 상에는, 게이트 절연막(21)을 개재해서 n-일함수 제어 금속막(27)이 형성되는 한편, p형 MOSFET 영역에 있어서의 나노와이어 또는 나노시트 채널(4) 상에는, 게이트 절연막(21)을 개재해서 p-일함수 제어 금속막(22)이 형성되어 있다. n형 FET과 p형 FET 간은 FET 분리 절연막(7)으로 격리되어 있고, MOSFET 간격의 축소가 이루어지고 있음에도 관계없이, 일함수 제어 금속막의 교체 공정에 있어서, 의도에 반해서 제거된 p-일함수 제어 금속막은 존재하지 않는다. 또한, 추가로, 적층된 나노와이어 채널 또는 나노시트 채널 간에는 저저항의 게이트 매입 금속막(28)이 퇴적되어 있음에 의해, 게이트 저항이 저감되어 있다.
- [0053] 이상과 같이, 나노포크형 FET의 수평 방향의 FET 간 간격을 축소할 수 있는 이점을 살리면서, 일함수 제어 금속을 FET의 문턱값 전압에 따라서 교체하는 것이 가능하게 된다. 또, 최초로 p-일함수 제어 금속막을 형성한 예를 설명했지만, n-일함수 제어 금속막을 형성해서 p-일함수 제어 금속막으로 교체하도록 해도 된다.
- [0054] (실시예 2)
- [0055] 실시예 2에 있어서, 일함수 제어 금속의 적층막을 구분 제작함에 의해, 문턱값 전압이 서로 다른 MOSFET을 실현한다. 도 7a는, 도 2e의 조관도를 위쪽으로부터 본 평면도이다. 도 7a에 나타나는 8개의 MOSFET의 채널은, 각각 3종류의 문턱값 전압을 갖는 n형 FET(nMOS-1~3) 및 p형 FET(pMOS-1~3)의 채널이고, 채널 상에 문턱값 전압에 따른 일함수 제어 금속의 적층막을 퇴적시킨다. 또, 동일한 문턱값 전압을 갖는 MOSFET에는 같은 부호를 부여하고 있다.

- [0056] 도 7a는, 실시예 1에 있어서 설명한 일함수 제어 금속의 교체 공정 중, 도 6c의 구조를 얻었을 때의 상태를 나타내고 있다. 영역(30)에 포함되는 채널, 즉 nMOS-2, 3 및 pMOS-1~3의 채널에는 p-일함수 제어 금속막(22)이 적층되어 있다. 여기에서는, 복수 종류의 일함수 제어 금속을 퇴적하는 프로세스를 상징하고 있기 때문에, p-일함수 제어 금속막(22)을 p-WFM-1(WFM : work function metal)로 기재하는 것으로 한다.
- [0057] 다음으로, 도 7b는, 실시예 1에 있어서 설명한 일함수 제어 금속의 교체 공정에 있어서의 n-일함수 제어 금속막(27)(도 6d 참조)의 퇴적 후, pMOS-1의 채널로부터 n-일함수 제어 금속막(27)을 제거한 상태이다. 이 프로세스는, 도 6d의 구조 상에 하드마스크(23), 반사 방지막(24), 포토레지스트(25)를 퇴적시키고, pMOS-1의 채널에 상응하는 영역을 개구해서 실시예 1에 있어서 설명한 적층 채널 간 마스크 재료 제거 공정을 실시한다. 이것에 의해, pMOS-1의 채널 상의 n-일함수 제어 금속막(27)이 노출되므로, 이것을 제거한다. 이 결과, 영역(31)에 포함되는 채널, 즉 nMOS-1~3 및 pMOS-2, 3의 채널에 n-일함수 제어 금속막(27)이 적층된다. n-일함수 제어 금속막(27)을 n-WFM-1로 기재하는 것으로 한다.
- [0058] 도 7c는, 도 7b의 구조 상에 n-일함수 제어 금속막(n-WFM-2)을 더 퇴적하고, nMOS-3 및 pMOS-1, 3의 채널로부터 n-일함수 제어 금속막(n-WFM-2)을 제거한 것이다. 이 프로세스는, 실시예 1에 있어서 설명한 적층 채널 간 마스크 재료 제거 공정을 실시함으로써 행할 수 있다. 노출된 nMOS-3 및 pMOS-1, 3의 채널 상의 n-일함수 제어 금속막(n-WFM-2)을 제거한다. 이 결과, 영역(32)에 포함되는 채널, 즉 nMOS-1, 2 및 pMOS-2의 채널에 n-일함수 제어 금속막(n-WFM-2)이 적층된다. 이상의 공정에 의해, 각 MOSFET에 적층된 일함수 제어 금속 적층막을 도 7d에 나타낸다.
- [0059] 이상의 일련의 공정에 의해, n형 FET과 p형 FET 각각에 복수 종의 일함수 제어 금속 적층막을 형성할 수 있다. p-WFM-1에는 TiN 또는 TaN, 혹은 이들의 적층막이나 그것에 준하는 막이 바람직하고, p-WFM-1의 막두께는 1~4 nm로 하는 것이 바람직하다. p-WFM-1의 에칭에는, 등방성의 드라이에칭 또는 웨트에칭을 행한다. 드라이에칭을 행하는 경우에는 전술과 같이 CHF₃와 Ar의 혼합 가스 등을 사용하거나, 원자층 레벨의 에칭이 가능한 ALE(Atomic Layer Etching)를 이용해도 되고, 웨트에칭을 행하는 경우에는 암모니아과산화수소 수용액 등을 이용한다.
- [0060] n-WFM-1에는 TiAl 또는 TiAl에 C, O, N 등이 함유된 금속, 혹은 탄화티타늄(TiC), 산화티타늄(TiO) 등의 재료가 바람직하고, 막두께는 1~4nm로 하면 된다. n-WFM-1의 에칭은, ALE 등을 이용해서 고정밀도로 에칭 속도를 제어해서 행하거나, 하지로 되는 p-WFM-1막과의 에칭 선택성이 우수한 웨트에칭을 이용해도 된다. n-WFM-1이 TiAl을 중심으로 하는 재료로 이루어질 경우, 웨트에칭에 수산화칼륨(KOH)이나 수산화암모늄(NH₄OH) 등의 알칼리계 에칭 용액을 이용하면 TiN이나 TaN으로 구성되는 p-WFM-1과의 선택비를 취하는 것이 가능하게 된다.
- [0061] n-WFM-2에는, n-WFM-1과 마찬가지로, TiAl 또는 TiAl에 C, O, N 등이 함유된 금속, TiC, TiO 등의 재료로 한다. 막을 구성하는 재료의 조성은, n-WFM-1과 동일해도 되고, 서로 다른 조성으로 해도 된다. n-WFM-1과 서로 다른 조성으로 하는 경우는, n-WFM-1과의 선택 에칭이 가능하게 된다. n-WFM-1과 동일 조성의 재료를 이용하는 경우는, n-WFM-2의 에칭은 ALE 등을 이용해서 에칭양을 제어해서 행한다. n-WFM-2의 막두께는 1~4nm로 하면 된다.
- [0062] n-일함수 제어 금속막을 p-일함수 제어 금속막 상에 형성함에 의해, p형 FET의 문턱값 전압을 변화시키는 것이 가능하게 된다. 예를 들면, n-일함수 제어 금속막에 TiAl 또는 그것에 준하는 막을 이용했을 경우, FET의 제조 공정 중의 열부하에 의해 Al이 p-일함수 제어 금속막 내에 확산되고, p형 FET의 문턱값 전압(절대값)이 상승한다. Al 확산은 n-일함수 제어 금속막의 막두께에 의존하고, 상기 막두께가 두꺼울수록 p형 FET의 문턱값 전압은 보다 상승한다. 한편, n형 FET에 있어서, n-일함수 제어 금속막의 하부에 p-일함수 제어 금속막을 형성하면 n-일함수 제어 금속의 영향이 약해지고, n형 FET의 문턱값 전압은 증대한다. 따라서, 도 7d에 나타내는 예에서 p형 FET, n형 FET 각각의 문턱값 전압(절대값)을 비교하면, p형 FET의 문턱값 전압(절대값)은 pMOS-1<pMOS-3<pMOS-2로 되고, n형 FET의 문턱값 전압은 nMOS-1<nMOS-2<nMOS-3으로 된다.
- [0063] 이와 같이, 일함수 제어 금속의 교체 공정을 서로 다른 영역에 복수 회 적용함으로써, n형, p형 각각에 복수 종의 문턱값 전압을 갖는 FET의 형성이 가능하게 된다. 나노포크형 FET을 예로 설명했지만, GAA형 FET에 있어서도 마찬가지이다.
- [0064] (실시예 3)
- [0065] 실시예 3에서는, GAA형 FET을 갖는 디바이스에 있어서의, 적층 나노와이어 채널 또는 적층 나노시트 채널에의

일함수 제어 금속막의 구분 제작 공정에 대하여 설명한다. 또, 실시예 1 또는 실시예 2와의 상위(相違)점을 중심으로 설명하고, 마찬가지로의 공정에 대하여, 중복하는 설명은 생략한다. 도 8a~도 8c에, GAA형 FET의 채널 형성 공정을 나타낸다.

- [0066] 도 8a에, Si 기판(51) 상에 단결정 SiGe층(53)과 단결정 Si층(54)의 적층막을 에피택셜 성장 후, 패터닝을 실시해서 STI 절연막(52)을 매입한 후의 구조를 나타낸다. 제조 과정으로서 실시예 1의 도 2a에 나타낸 공정과 동등하다(단, 도 8a는 패터닝을 위한 하드마스크 제거 후의 상태이다). 또한, Si를 채널로 하는 GAA형 FET을 제조하는 경우는, Si층(54)이 최상층에 위치하면 된다.
- [0067] 도 8b는, 더미 게이트 절연막(55)과 더미 게이트(60), 및 게이트 측벽 스페이서(62)를 형성하고, p형 FET의 SiGe 소스/드레인(63)과 n형 FET의 Si 소스/드레인(도시하지 않음)을 더 형성한 후의 구조를 나타낸다. 나노와이어 채널 또는 나노시트 채널 형성 전의 fin 형상의 SiGe층(53)/Si층(54)의 적층 구조가 더미 게이트(60)로 덮여 있다.
- [0068] 도 8c는, 소스/드레인 상에 절연막(64)을 형성하고, CMP에 의한 평탄화 후에 더미 게이트(60)를 제거하고, Si층(54)에 대해서 SiGe층(53)을 선택적으로 더 제거한 공정 후의 구조를 나타낸다. 본 공정에서, 외주가 모두 노출된 세션 형상 또는 시트 형상의 Si층(54)이 형성된다.
- [0069] 도 9a~도 9h에, GAA형 FET에 있어서 일함수 제어 금속의 구분 제작을 행하는 공정을 나타낸다. 도 9a에, 일함수 제어 금속의 구분 제작을 행하는 영역을 규정하기 위한 리소그래피를 행한 후의 도면을 나타낸다. 도 8c의 구조를 제작 후, 나노와이어 채널 또는 나노시트 채널을 형성하는 Si층(54) 상에 게이트 절연막(71)과 p-일함수 제어 금속막(72)을 형성하고, 스핀·온·카본막 등의 하드마스크(73), 스핀·온·글라스막 등의 반사 방지막(74), 포토레지스트(75)를 성막 및 퇴적하고, 포토레지스트(75)를 패터닝해서 도 9a의 구조를 얻는다.
- [0070] 도 9a에 나타내는 구조 상에, SiO₂ 등의 절연막을 퇴적하고, 이방성 에칭을 행함으로써 보조 절연막(76)을 형성하여, 도 9b에 나타내는 구조를 얻는다. 보조 절연막(76)은 포토레지스트(75)의 측벽으로서 작용하고, 포토레지스트(75)에서 획정(劃定)되는 패턴 영역을 넓히는 역할을 갖는다. 여기에서, 보조 절연막(76)의 막두께 d는, 평면에서 봤을 때 보조 절연막(76)의 측벽단이 n형 FET 영역에 존재하는, p형 FET 영역에 가장 근접하는 적층 채널 상에 위치하도록 조정한다. 또한, 후술하는 바와 같이, 보조 절연막(76)의 측벽단은 당해 채널의 중앙보다도 p형 FET 영역측에 위치해 있는 것이 바람직하다.
- [0071] 이 후, 포토레지스트(75) 및 보조 절연막(76)을 마스크로 해서 반사 방지막(74)을 이방성 에칭에 의해서 에칭하고, 다음으로 하드마스크(73)를 이방성의 시간 제어 에칭에 의해서 에칭함에 의해, 도 9c에 나타내는 구조를 얻는다. 여기에서, 하드마스크(73)의 에칭은, 최상층의 나노와이어 채널 또는 나노시트 채널(54) 상의 p-일함수 제어 금속막(72)이 노출된 시점에서 정지하도록 에칭 시간을 제어하게 하고, 최상층의 채널이 모두 노출되지 않도록 유의할 필요가 있다.
- [0072] 다음으로, 박막의 절연막(77)을 ALD법 또는 CVD법에 의해 성막하여, 도 9d에 나타내는 구조를 얻는다. 여기에서, 절연막(77)의 막종은 실시예 1과 마찬가지로, Si₃N₄막 또는 그것에 준하는 막으로 하고, 성막 조건 등은 실시예 1과 마찬가지로 한다.
- [0073] 다음으로, 박막의 절연막(77)을 수직성 에칭에 의해 가공함에 의해, 개구된 하드마스크(73)의 측벽을 보호하는 보호 절연막(77)을 형성한다(도 9e). 계속해서, 반사 방지막(74)과 하드마스크(73) 측벽의 보호 절연막(77)을 마스크로 해서 하드마스크(73)에 수직성의 에칭을 실시하여, 도 9f에 나타내는 구조를 얻는다. 본 에칭에 의해, n형 FET 영역에 잔존한 적층된 채널 간의 하드마스크(73)의 측벽이 노출된다.
- [0074] 도 9f에 나타내는 구조에 대해서, 하드마스크(73)를 등방성 에칭으로 에칭하여, 도 9g에 나타내는 구조를 얻는다. 에칭은 시간 제어에 의해 행하고, p형 FET 영역에 가장 근접하는 적층 채널에 있어서, 에칭 후에 잔존하는 하드마스크(73)의 측벽 위치가, 보호 절연막(77)에 의해 보호된 하드마스크(73)의 측벽 위치와 거의 가까워지는 곳에서 에칭을 정지한다. 본 에칭에서는, 에칭 후에 잔존하는 하드마스크(73)의 측벽 위치가, 나노와이어 또는 나노시트 채널(54)의 중앙보다도 p형 FET 영역측에 위치하도록 한다. 이것에 의해, n형 FET 영역의 내측에 위치하는 적층 채널층에 있어서는, 나노와이어 또는 나노시트 채널(54) 간의 하드마스크(73)의 노출된 양측면의 각각으로부터 채널의 폭의 절반 이상을 에칭할 수 있고, 나노와이어 또는 나노시트 채널 간에 잔존하는 마스크 재료를 완전하게 제거하는 것이 가능하게 된다.
- [0075] 도 9g에 나타내는 구조로부터 보호 절연막(77)을 에칭 제거하고, 하드마스크(73)의 등방성 에칭을 행함으로써

도 9h에 나타내는 구조를 얻는다. 이와 같이, 이방성 에칭과 등방성 에칭을 조합함으로써 하드마스크(73)의 수직인 측면을 얻을 수 있다. 전술한 바와 같이, 등방성 에칭으로 에칭하는 경계를, p형 FET 영역에 가장 근접하는 적층 채널의 나노와이어 또는 나노시트 채널의 중앙으로부터 p형 FET 영역측으로 설정해 둠으로써 하드마스크(73)의 등방 에칭 시의 에칭양을 적정화할 수 있고, n형 FET 영역과 p형 FET 영역의 경계를 엄밀하게 제어할 수 있다.

[0076] 이상 설명한 실시예 3에 있어서의 적층된 나노와이어 또는 나노시트 채널 간의 하드마스크 제거 프로세스를 도 10에 정리한다. 각 에칭 또는 보호 절연막의 성막 시의 조건은 실시예 1과 마찬가지로의 조건을 이용하면 된다. 또한, 도 10의 프로세스도, 실시예 1에서 설명한 바와 같이 동일한 플라즈마 처리 장치 내에서 일관 프로세스로서 연속해서 처리하는 것도 가능하다. 적층 채널 간 마스크 재료 제거 공정에 이어서는, 실시예 1과 마찬가지로, 일함수 제어 금속의 교체 공정과 메탈 매입층 형성 공정을 실행함에 의해, GAA형 FET을 제조할 수 있다.

[0077] 실시예 3에 나타내는 일함수 제어 금속 구분 제작 공정은, 마스크 영역을 바꿔서 복수 회 반복할 수 있고, 실시예 2와 마찬가지로, n형, p형 각각에 복수 층의 문턱값 전압을 갖는 MOSFET의 형성도 가능하다.

[0078] (실시예 4)

[0079] 실시예 4에 있어서는, MOSFET의 문턱값 전압에 따라서 게이트 절연막을 구분 제작한다. 도 11a에, Si 기판(81) 상에 나노와이어 또는 나노시트 채널(84)을 형성하고, 다음으로 게이트 절연막(101)과 p-일함수 제어 금속막(102)을 형성한 후의 구조를 나타낸다. 본 실시예에서는 게이트 절연막(101)과 p-일함수 제어 금속막(102) 사이에 문턱값 전압 조정막(103)이 형성되어 있다. 게이트 절연막(101)은 실시예 1과 마찬가지로, HfO₂나 Al₂O₃ 등의 고유전체 재료나 그것에 준하는 막으로 한다. 문턱값 전압 조정막(103)은, 예를 들면 산화란탄(La₂O₃)이나 산화마그네슘(MgO) 등의 금속 산화막을 이용한다. 도 11a에서는 일함수 제어 금속을 구분 제작하는 영역을, 각각 낮은 문턱값 전압을 갖는 p형 FET(저Vt) 영역과, 높은 문턱값 전압을 갖는 p형 FET(고Vt) 영역으로 한 예를 나타내고 있다. 도 11a의 구조에 대해서, 실시예 3의 일함수 제어 금속 구분 제작 공정을 실행함에 의해, 도 11b의 구조를 얻는다. 계속해서, 하드마스크(93)가 제거된 p형 FET(저Vt) 영역으로부터 p-일함수 제어 금속막(102), 및 문턱값 전압 조정막(103)을 제거하고, 그 후, p형 FET(고Vt) 영역으로부터 반사 방지막(94) 및 하드마스크(93)를 제거함에 의해, 도 11c에 나타내는 구조를 얻는다.

[0080] 다음으로, 도 11c의 구조에 열처리를 실시하면, p형 FET(고Vt) 영역에 있어서 La나 Mg 등의 금속 재료가 게이트 절연막(101) 중에 확산되고, 제2 게이트 절연막(104)으로 변화한다(도 11d). 제2 게이트 절연막(104) 내에서는 La나 Mg 등의 효과에 의해 게이트 절연막 내에서 분극자가 형성되고, 분극의 효과에 의해, FET의 채널 표면에는 플러스의 전계가 인가된다. 이 결과, p형 FET의 채널 표면에 있어서는 캐리어로 되는 정공의 밀도가 줄고, 문턱값 전압이 증대한다. 또, n형 FET의 경우는, 채널 표면에 있어서 캐리어로 되는 전자의 밀도가 증가하기 때문에, 문턱값 전압은 감소하는 방향으로 작용한다.

[0081] 이 후, p형 FET(고Vt) 영역으로부터 p-일함수 제어 금속막(102)과 문턱값 전압 조정막(103)을 제거하면 도 11e에 나타내는 구조를 얻는다. 이 후, p-일함수 제어 금속막을 다시 성막함에 의해, 동일한 일함수 제어 금속막을 가지면서 서로 다른 문턱값 전압을 나타내는 FET을 형성할 수 있다.

[0082] 이것에 의해, 일함수 제어 금속막을 복잡한 적층막으로 하거나, 막두께를 변화시키지 않고 문턱값 전압이 서로 다른 복수의 FET을 제조하는 것이 가능하게 되고, 일함수 제어 금속막의 박막화를 실현할 수 있기 때문에, 게이트 길이의 추가적인 축소 등에 기여할 수 있다. GAA형 FET을 예로 설명했지만, 나노포크형 FET에 있어서도 마찬가지이다.

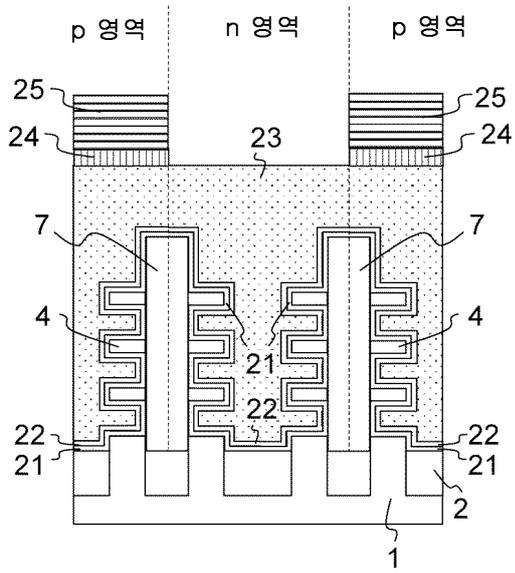
부호의 설명

- [0083] 1, 51, 81 : 실리콘 기판
- 2, 52, 82 : 소자 분리(STI) 절연막
- 3, 53 : 단결정 실리콘게르마늄층
- 4, 54, 84 : 단결정 실리콘층
- 5 : 박막 절연막
- 6, 61 : 하드마스크

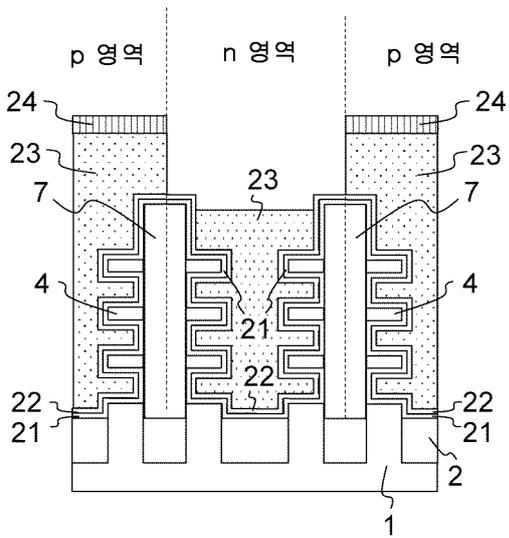
- 7 : FET 분리 절연막
- 8 : 레지스트
- 9, 55 : 더미 게이트 절연막
- 10, 60 : 더미 게이트
- 11, 61 : 하드마스크
- 12, 62 : 게이트 측벽 스페이서
- 13, 63 : p형 SiGe 소스/드레인
- 14, 64 : 절연막
- 21, 71, 101 : 게이트 절연막
- 22, 72, 102 : p-일함수 제어 금속막
- 23, 73 : 하드마스크
- 24, 74 : 반사 방지막
- 25, 75 : 포토레지스트
- 76 : 절연막
- 26, 77 : 보호 절연막
- 27 : n-일함수 제어 금속막
- 28 : 게이트 매입 금속막
- 30~32 : 영역
- 103 : 문턱값 전압 조정막
- 104 : 제2 게이트 절연막
- 401 : 처리실(챔버)
- 402 : 진공 배기구
- 403 : 샤워플레이트
- 404 : 창부
- 405 : 가스원
- 406 : 가스 공급 장치
- 407 : 가스 도입구
- 408 : 플라즈마 생성용 고주파 전원
- 409 : 도파관
- 410 : 자장 발생 코일
- 411 : 반도체 기판
- 412 : 시료대
- 413 : 고주파 바이어스 전원
- 420 : 제어부

도면

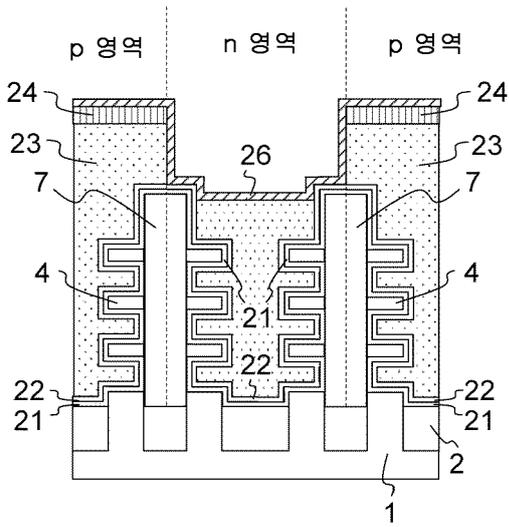
도면1a



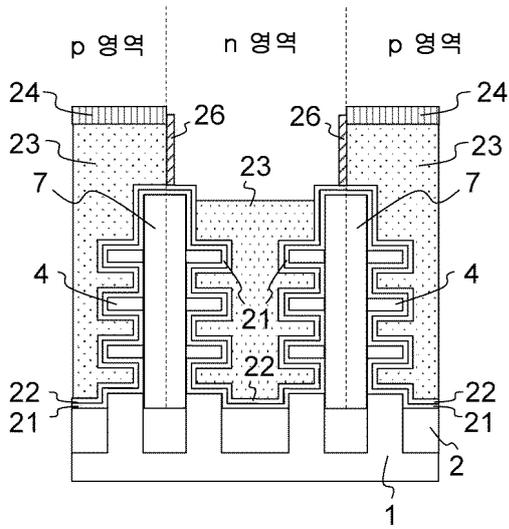
도면1b



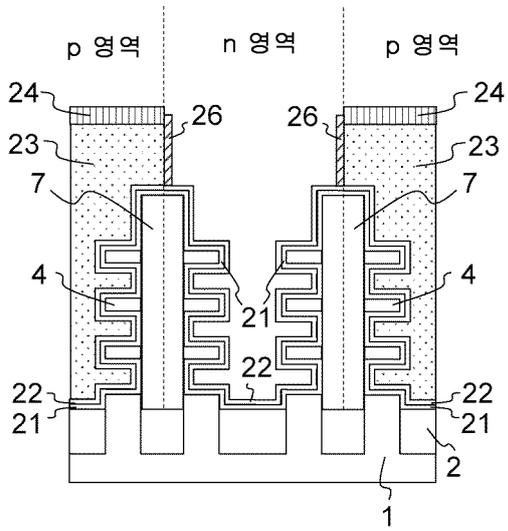
도면1c



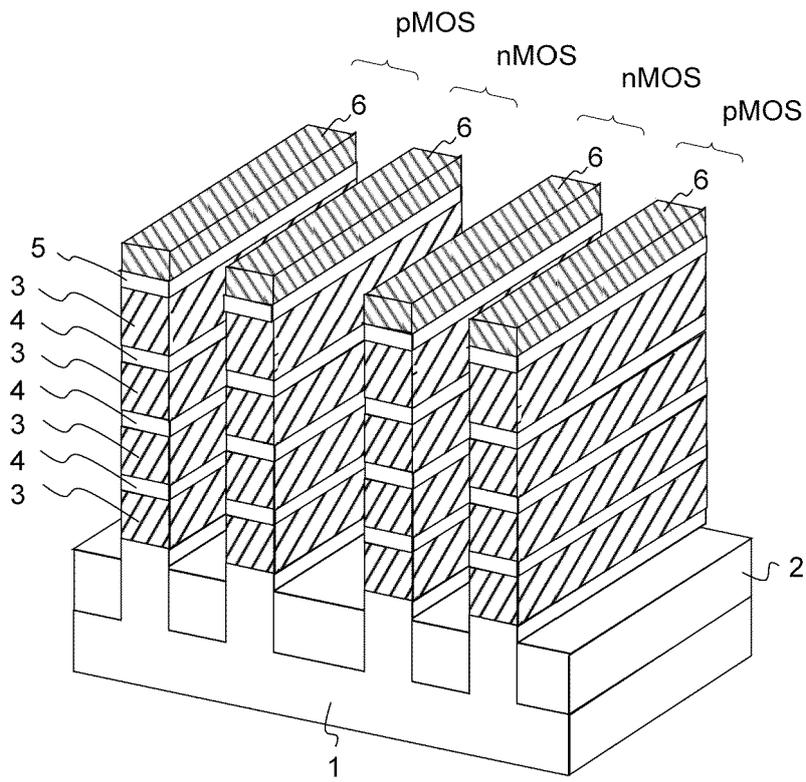
도면1d



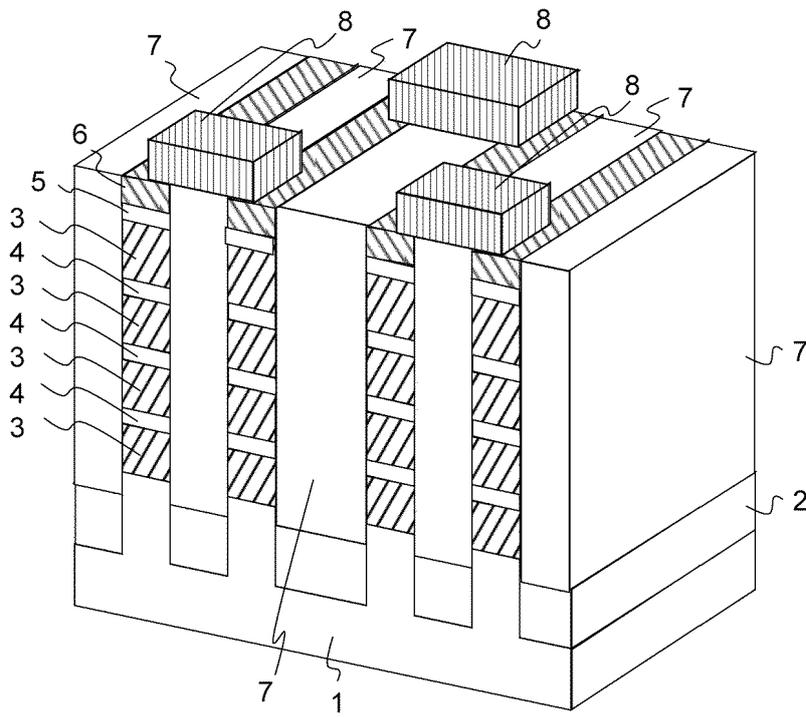
도면1e



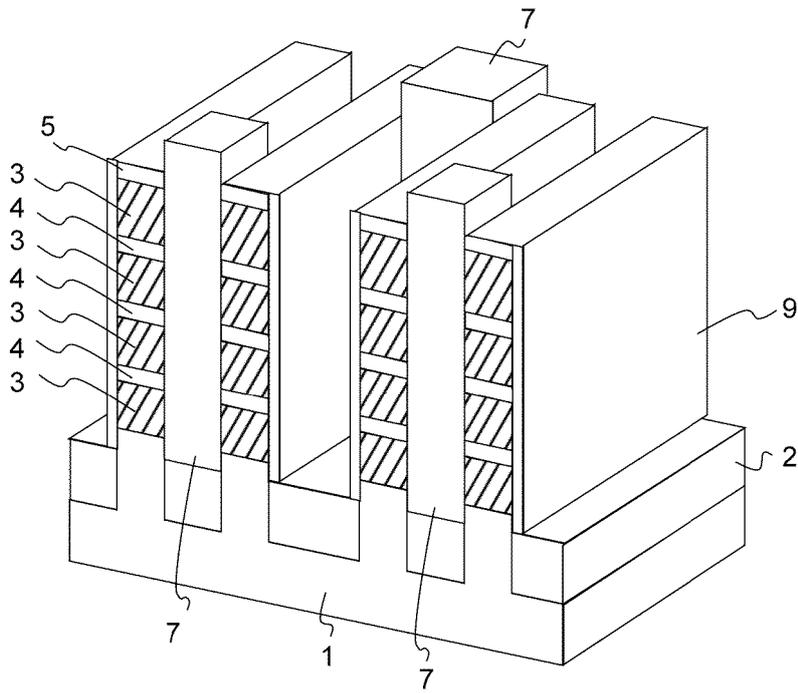
도면2a



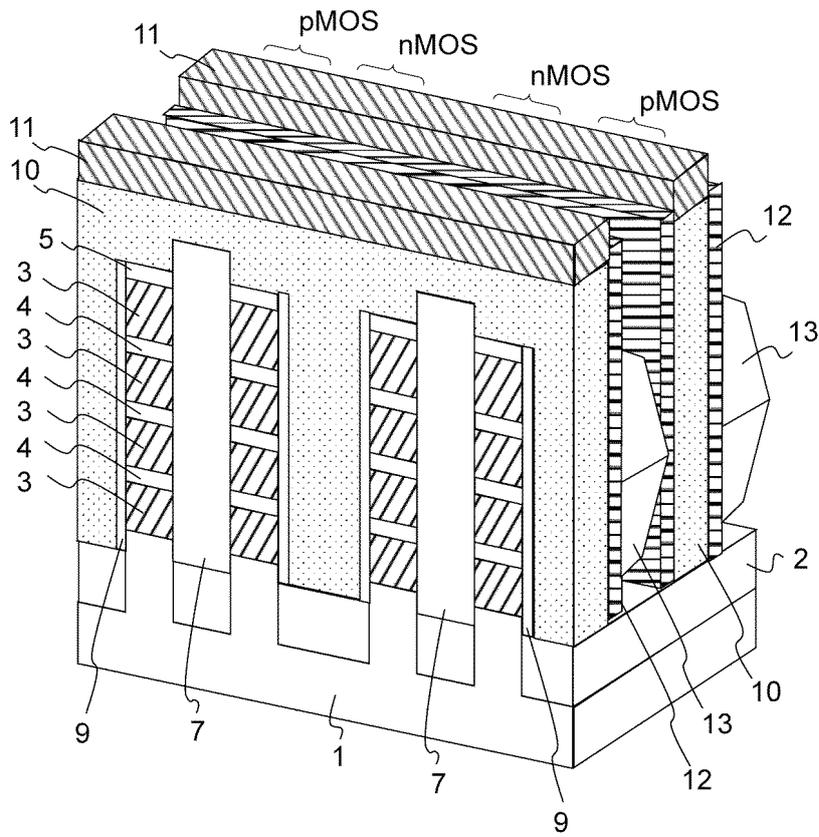
도면2b



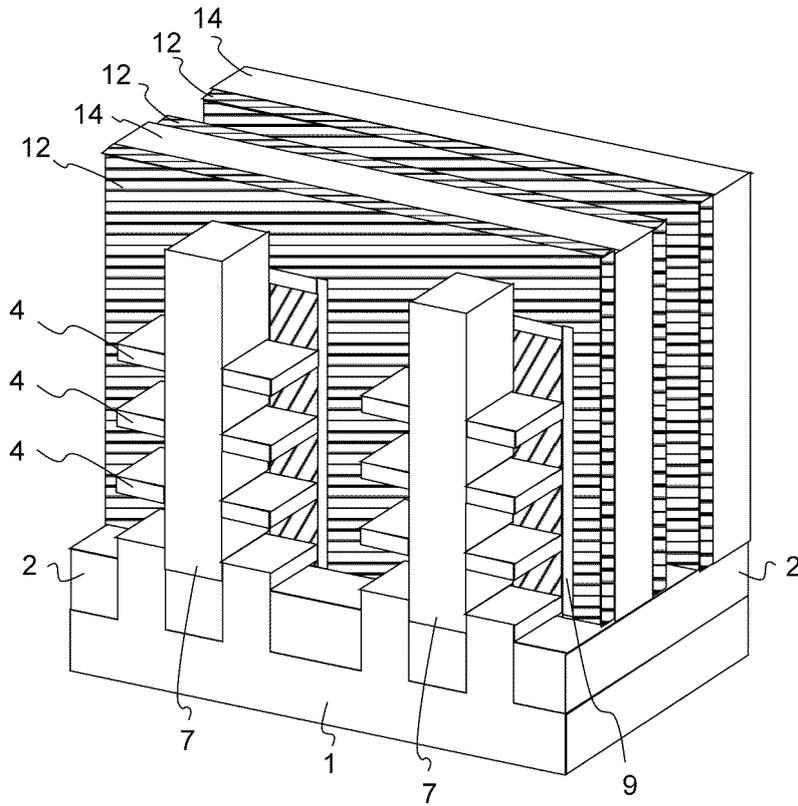
도면2c



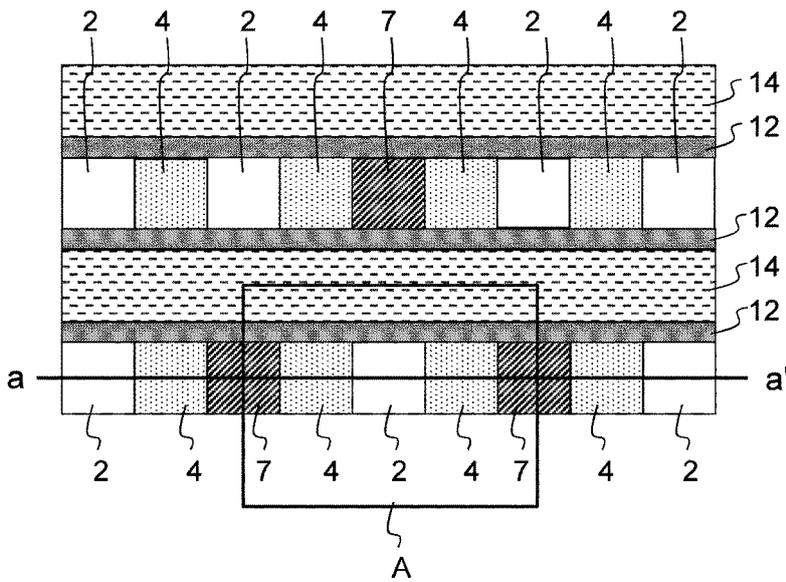
도면2d



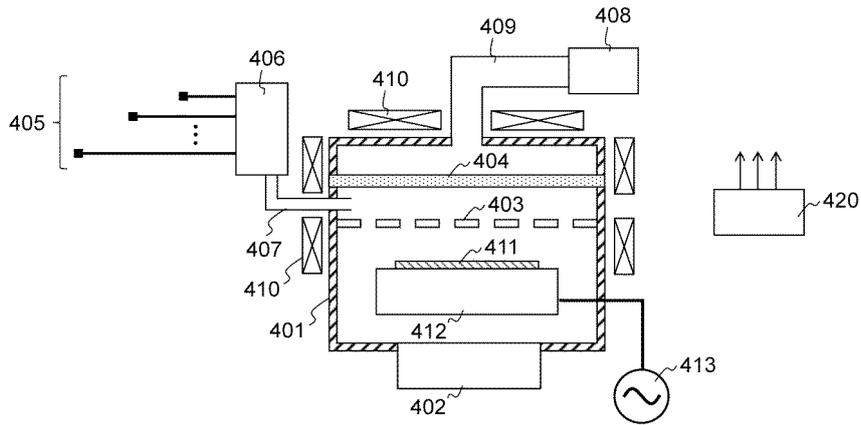
도면2e



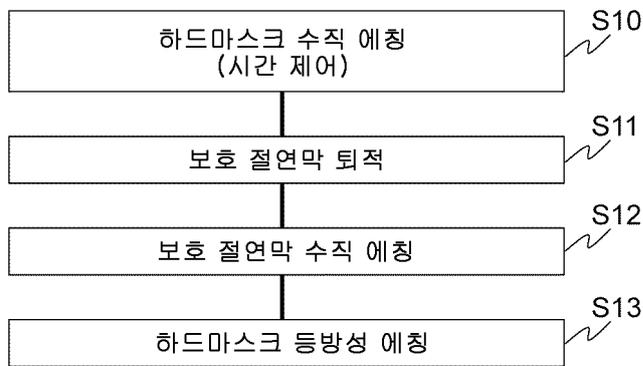
도면3



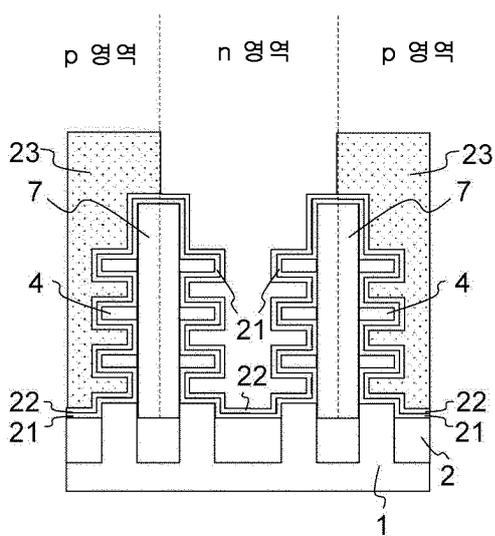
도면4



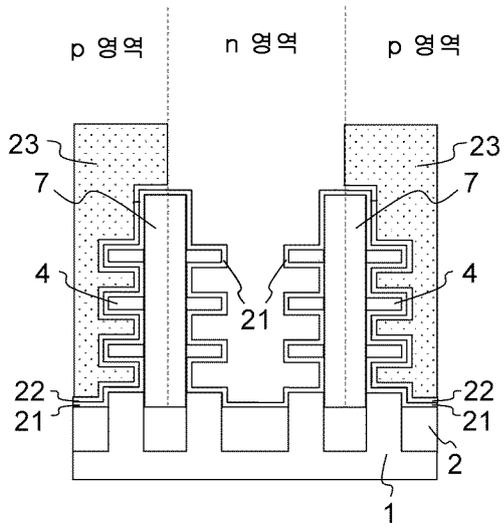
도면5



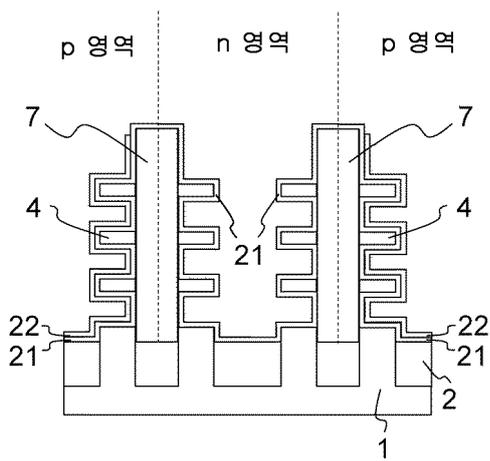
도면6a



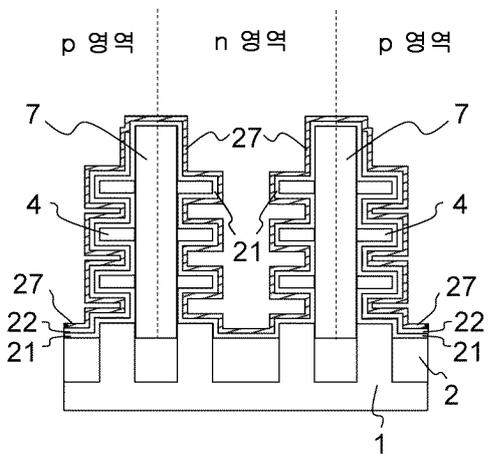
도면6b



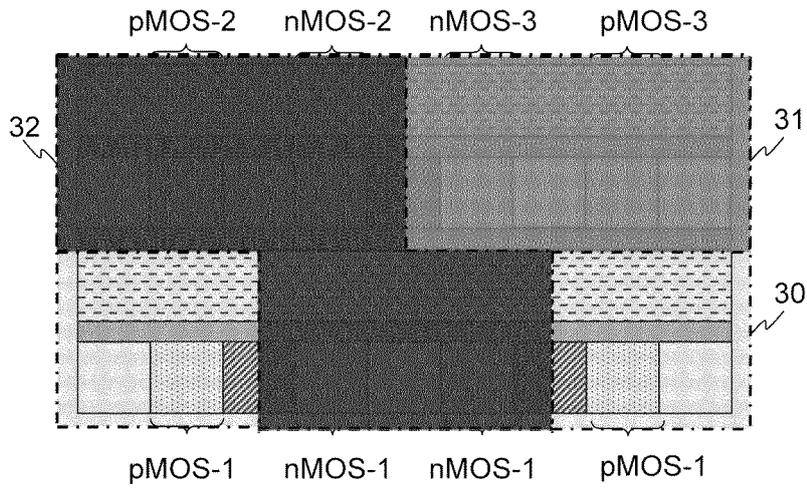
도면6c



도면6d



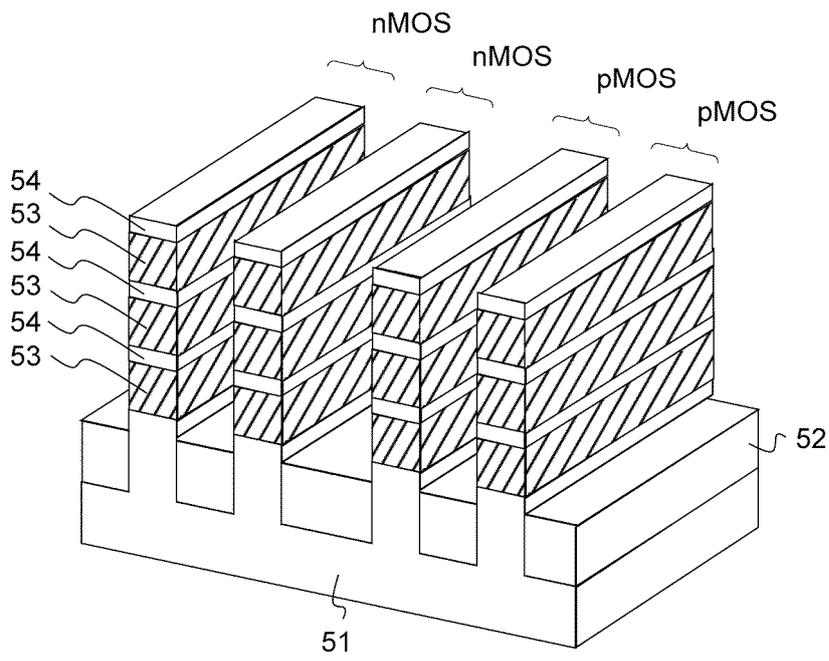
도면7c



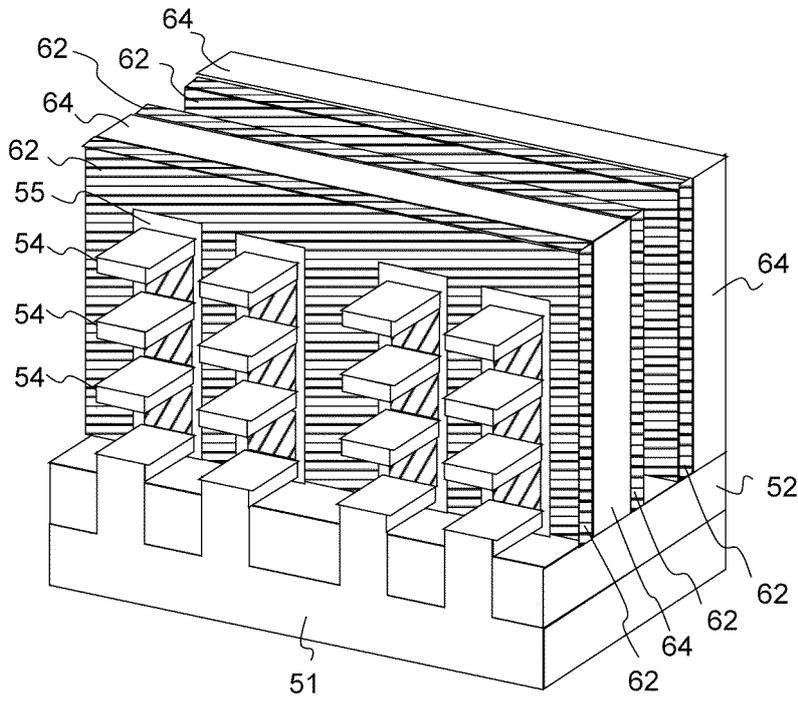
도면7d

MOSFET	nMOS-1	nMOS-2	nMOS-3	pMOS-1	pMOS-2	pMOS-3
WFM 적층막	n-WFM-2 n-WFM-1	n-WFM-2 n-WFM-1 p-WFM-1	n-WFM-1 p-WFM-1	p-WFM-1	n-WFM-2 n-WFM-1 p-WFM-1	n-WFM-1 p-WFM-1

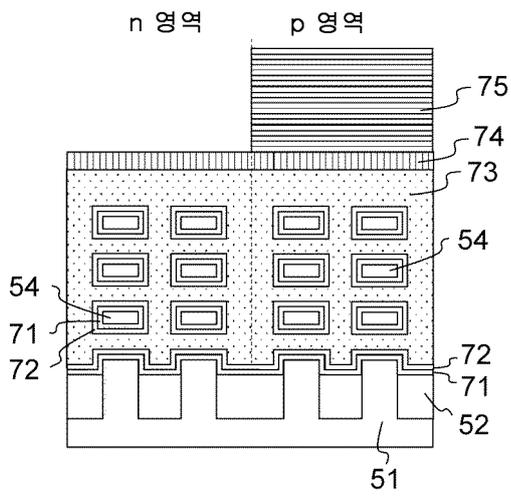
도면8a



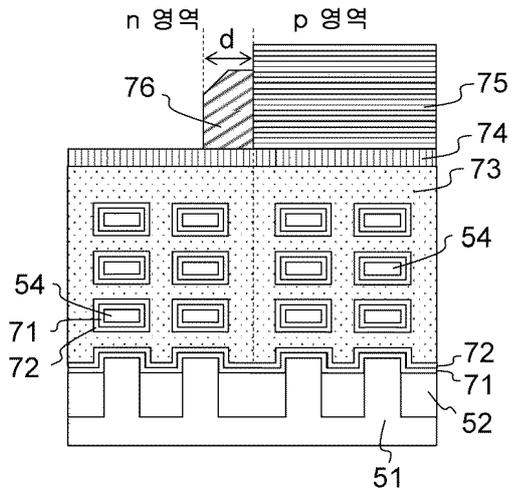
도면8c



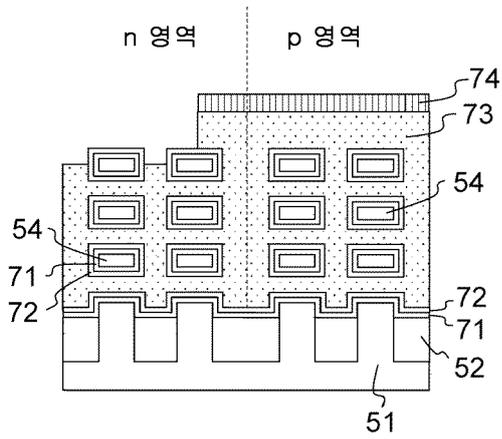
도면9a



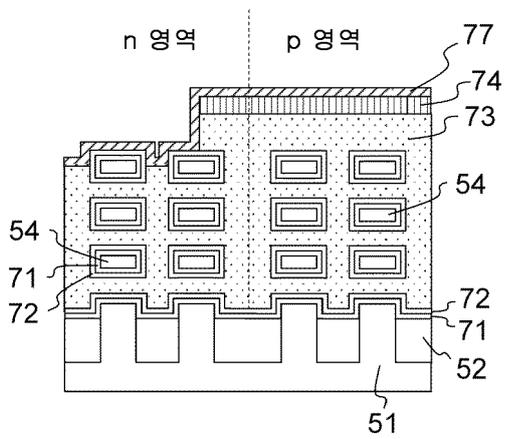
도면9b



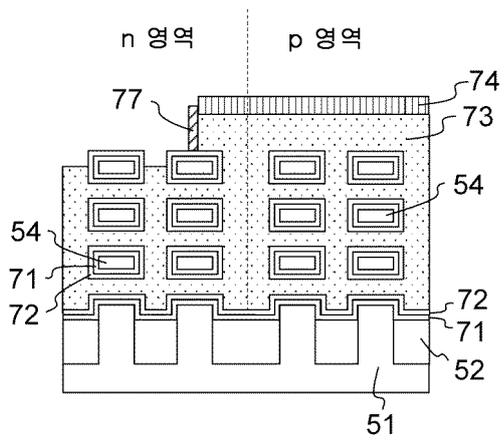
도면9c



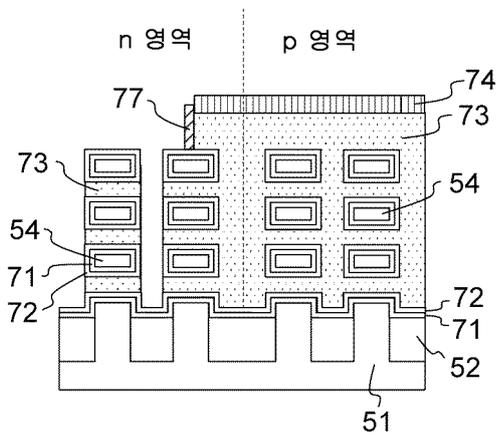
도면9d



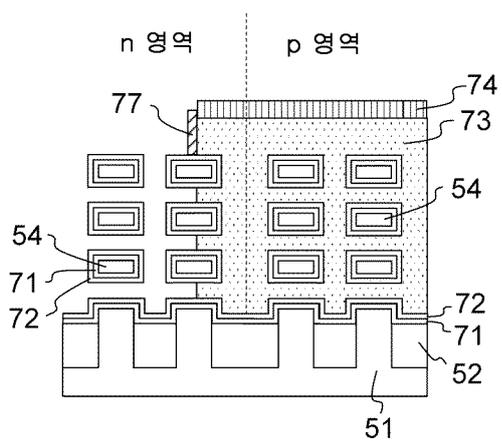
도면9e



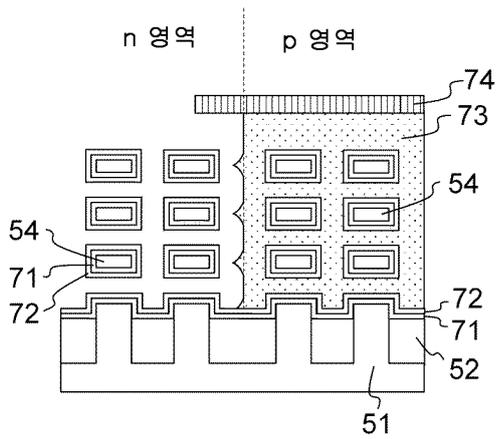
도면9f



도면9g



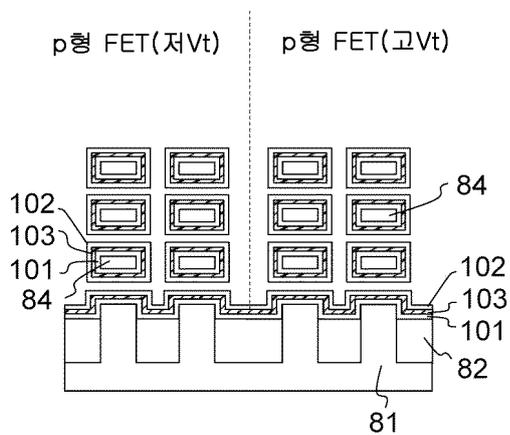
도면9h



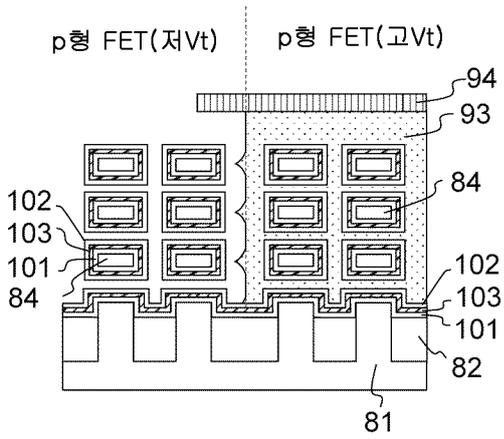
도면10



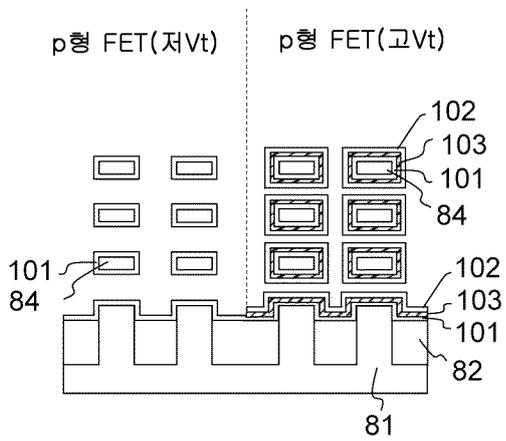
도면11a



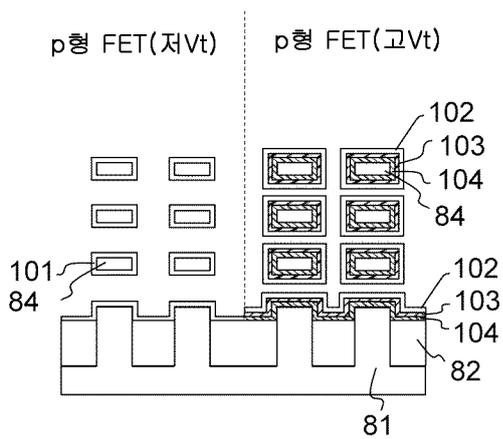
도면11b



도면11c



도면11d



도면11e

