



(12) 发明专利申请

(10) 申请公布号 CN 103390544 A

(43) 申请公布日 2013. 11. 13

(21) 申请号 201210147052. 2

(22) 申请日 2012. 05. 11

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 郝静安 胡华勇

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 顾珊

(51) Int. Cl.

H01L 21/027(2006. 01)

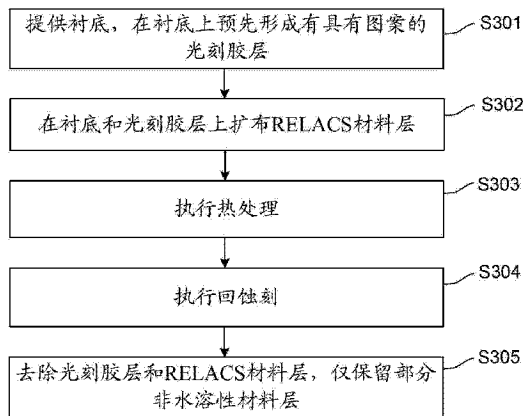
权利要求书1页 说明书7页 附图5页

(54) 发明名称

用于形成硬掩膜层的方法

(57) 摘要

本发明公开了一种用于形成硬掩膜层的方法,包括:提供衬底,在衬底上预先形成有具有图案的光刻胶层;在衬底的表面以及光刻胶层的表面和侧壁上扩布 RELACS 材料层;执行热处理,以在 RELACS 材料层与光刻胶之间的混合边界处形成非水溶性材料层;执行回蚀刻,去除位于光刻胶层的顶表面上方的 RELACS 材料层和非水溶性材料层,以至少露出光刻胶层的顶表面,从而仅在光刻胶层的侧壁上保留非水溶性材料层中的一部分;以及去除光刻胶层和 RELACS 材料层,仅保留非水溶性材料层的位于光刻胶层的侧壁上的部分,作为硬掩膜层。该方法克服了采用 PR 掩膜或者高度不一致的硬掩膜而存在的问题从而能够提高后续形成的图案的 CD 均一性,且该方法可与传统工艺兼容从而能够降低成本。



1. 一种用于形成硬掩膜层的方法,包括:
提供衬底,在所述衬底上预先形成有具有图案的光刻胶层;
在所述衬底的表面以及所述光刻胶层的表面和侧壁上扩布化学收缩辅助分辨率增强光刻材料层;
执行热处理,以在所述化学收缩辅助分辨率增强光刻材料层与所述光刻胶之间的混合边界处形成非水溶性材料层;
执行回蚀刻,去除位于所述光刻胶层的顶表面上方的所述化学收缩辅助分辨率增强光刻材料层和所述非水溶性材料层,以至少露出所述光刻胶层的顶表面,从而仅在所述光刻胶层的侧壁上保留所述非水溶性材料层中的一部分;以及
去除所述光刻胶层和所述化学收缩辅助分辨率增强光刻材料层,仅保留所述非水溶性材料层的位于所述光刻胶层的侧壁上的部分,作为所述硬掩膜层。
2. 根据权利要求1所述的方法,其中,所述化学收缩辅助分辨率增强光刻材料层的表面总是高于所述光刻胶层的表面。
3. 根据权利要求1或2所述的方法,其中,所述热处理为混合烘烤处理,烘烤温度为 $70^{\circ}\text{C} \sim 130^{\circ}\text{C}$ 且烘烤时间为 $20 \sim 90$ 秒。
4. 根据权利要求1所述的方法,其中,所述化学收缩辅助分辨率增强光刻材料层是通过旋涂工艺扩布在所述衬底的表面以及所述光刻胶层的表面和侧壁上的。
5. 根据权利要求1所述的方法,其中,所述光刻胶层和所述化学收缩辅助分辨率增强光刻材料层是通过包括曝光、显影和去离子水漂洗步骤的光刻工艺来去除的。
6. 根据权利要求5所述的方法,其中,所述去离子水漂洗步骤包括单次或两次漂洗。
7. 根据权利要求6所述的方法,其中,每次漂洗的时间为 $20 \sim 90$ 秒。
8. 根据权利要求1所述的方法,其中,在所述衬底和所述光刻胶层之间预先形成有目标材料层。
9. 一种用于自对准双重构图的方法,所述方法包括使用如权利要求1~8中任一项所述的方法形成的硬掩膜层进行掩蔽来执行后续工艺。
10. 根据权利要求9所述的方法,其中,所述后续工艺为蚀刻工艺、离子注入工艺或选择性外延生长工艺。

用于形成硬掩膜层的方法

技术领域

[0001] 本发明涉及半导体制造领域,且具体而言,涉及一种用于利用化学收缩辅助分辨率增强光刻(RELACS, Resolution Enhancement lithography Assisted by Chemical Shrink)材料在半导体制造过程中形成硬掩膜层的方法。此外,本发明还涉及利用该硬掩膜层进行自对准双重构图(SADP, Self-Aligned Double Patterning)的方法。

背景技术

[0002] 随着半导体器件尺寸不断缩小,光刻关键尺寸(CD, Critical Dimension)逐渐接近甚至超过了光学光刻的物理极限,由此给半导体制造技术尤其是光刻技术提出了更加严峻的挑战。而双重构图技术也适时而至,其基本思想是将目标图形一分为二,通过两次曝光得到单次曝光所不能获得的光刻极限。

[0003] 双重构图技术目前主要包括下列三种:SADP(自对准双重构图)、LELE(光刻-蚀刻-光刻-光刻)DP和LLE(光刻-光刻-蚀刻)DP。

[0004] LELE DP技术遵循光刻-蚀刻-光刻-蚀刻的工艺顺序,其主要原理是:首先在第一层光刻胶上通过曝光显影形成第一部分图案,接着通过蚀刻将该部分图案转移到下层硬掩膜材料层上,然后再旋涂第二层光刻胶并通过曝光显影形成第二部分图案,最后通过蚀刻将两部分图案最终转移到目标材料层上。第20100136784号美国专利申请中公开了该技术的具体实施方式。

[0005] LLE DP技术也称作双重光刻技术,其遵循光刻-光刻-蚀刻的工艺顺序,主要原理是:首先利用第一块掩模版曝光,在第一层光刻胶上形成第一部分图案,接着旋涂第二层光刻胶,然后利用第二块掩模版曝光,在第二层光刻胶上形成第二部分图案,最后进行蚀刻和清洗,将两次曝光得到的图案同时转移到目标材料层上。

[0006] SADP技术的主要原理是:首先在预先形成的光刻胶图案两侧形成间隙壁(spacer),然后去除光刻胶图案,并将间隙壁图案转移到目标材料层上,从而使单位面积内可形成的图案数量翻倍,即图案之间的最小间距(pitch)可减小至CD的二分之一。

[0007] 在上述三种技术中,LELE DP技术和LLE DP技术由于两次使用光刻胶,所以对光刻胶的线性度要求很高,并且因此也使得制造成本提高,以致其应用受到局限。而SADP技术由于仅单次使用光刻胶,并且能够突破CD的物理极限而使最小间距减小至CD的二分之一,因而尤其适用于制造CD在32nm以下的半导体制造工艺。

[0008] 在第6,383,952号美国专利中公开了一种利用RELACS材料的自对准双重构图技术。该技术包括:在衬底上形成光刻胶层;对该光刻胶层进行构图;在构图后的光刻胶层上扩布聚合物材料层;通过全面回蚀刻(blanketch back)工艺去除部分聚合物材料层,以仅在构图后的光刻胶层的侧壁上提供聚合物(以下被称为聚合物间隙壁);去除构图后的光刻胶层,并保留所述聚合物间隙壁,作为用于进一步蚀刻的硬掩膜层。其中,聚合物间隙壁是通过RELACS技术形成的。具体而言,RELACS技术是指利用光刻胶中的酸性成分与聚合物材料发生交联反应而在光刻胶和聚合物材料之间形成一层有机材料(以下被称为RELACS材

料)。RELACS 材料是一种能够溶于去离子水的聚合物,因而在利用其作为硬掩膜层对目标材料层进行构图之后,可以用去离子水(例如,通过漂洗(rinse)工艺)将其去除。然而,尽管这种技术具有诸多优点,但由于在去除多余的聚合物材料时采用了全面回蚀刻工艺,所以得到的聚合物间隙壁顶部呈锥状,如图 1 所示。利用这种具有锥状顶部的硬掩膜层对目标材料层进行构图,会导致构图后的目标材料层中图案的高度均一性较差,进而导致最终制作的半导体器件性能降低。

[0009] 鉴于上述原因,需要一种改进的自对准双重构图方法,期望该方法能够克服传统工艺的上述缺陷,并且能够容易与传统 CMOS 工艺兼容。

发明内容

[0010] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更并不意味着试图确定所要求保护的技术方案的保护范围。

[0011] 为解决上述现有技术中存在的问题,本发明提供一种用于形成硬掩膜层的方法,包括:提供衬底,在所述衬底上预先形成有具有图案的光刻胶层;在所述衬底的表面以及所述光刻胶层的表面和侧壁上扩布化学收缩辅助分辨率增强光刻材料层;执行热处理,以在所述化学收缩辅助分辨率增强光刻材料层与所述光刻胶层之间的混合边界处形成非水溶性材料层;执行回蚀刻,去除位于所述光刻胶层的顶表面上方的所述化学收缩辅助分辨率增强光刻材料层和所述非水溶性材料层,以至少露出所述光刻胶层的顶表面,从而仅在所述光刻胶层的侧壁上保留所述非水溶性材料层中的一部分;以及去除所述光刻胶层和所述化学收缩辅助分辨率增强光刻材料层,仅保留所述非水溶性材料层的位于所述光刻胶层的侧壁上的部分,作为所述硬掩膜层。

[0012] 优选地,所述化学收缩辅助分辨率增强光刻材料层的表面总是高于所述光刻胶层的表面。

[0013] 优选地,所述热处理为混合烘烤处理,烘烤温度为 $70^{\circ}\text{C} \sim 130^{\circ}\text{C}$ 且烘烤时间为 $20 \sim 90$ 秒。

[0014] 优选地,所述化学收缩辅助分辨率增强光刻材料层是通过旋涂工艺扩布在所述衬底的表面以及所述光刻胶层的表面和侧壁上的。

[0015] 优选地,所述光刻胶层和所述化学收缩辅助分辨率增强光刻材料层是通过包括曝光、显影和去离子水漂洗步骤的光刻工艺来去除的。

[0016] 优选地,所述去离子水漂洗步骤包括单次或两次漂洗。

[0017] 优选地,每次漂洗的时间为 $20 \sim 90$ 秒。

[0018] 优选地,在所述衬底和所述光刻胶层之间预先形成有目标材料层。

[0019] 优选地,所述方法包括使用如权利要求 1~8 中任一项所述的方法形成的硬掩膜层进行掩蔽来执行后续工艺。

[0020] 优选地,所述后续工艺为蚀刻工艺、离子注入工艺或选择性外延生长工艺。

[0021] 本发明进一步提供一种包含通过如上所述的方法制造的半导体器件的集成电路,其中所述集成电路选自随机存取存储器、动态随机存取存储器、同步随机存取存储器、静态随机存取存储器、只读存储器、可编程逻辑阵列、专用集成电路、掩埋式 DRAM 和射频电路。

[0022] 本发明进一步提供一种包含通过如上所述的方法制造的半导体器件的电子设备，其中所述电子设备选自个人计算机、便携式计算机、游戏机、蜂窝式电话、个人数字助理、摄像机和数码相机。

[0023] 根据本发明的方法能够克服如上所述在现有技术中由于采用 PR 掩膜或者高度不一致的硬掩膜而存在的问题，并且通过两次光刻和一至两次蚀刻工艺就能够形成小间距 ($CD \leq 32nm$) 图案，从而能够降低制造成本。此外，根据本发明的方法还可以利用传统工艺设备，例如，使用具有 248nm 波长的 KrF 准分子激光器作为光源的光刻设备，来形成 CD 在 32nm 以下的小间距图案，从而容易与传统 CMOS 工艺兼容。此外，根据本发明的方法由于简单易行，因而可以实现可靠的在线工艺控制。

附图说明

[0024] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的原理。在附图中：

[0025] 图 1 是示出了现有的 SADP 技术中所存在的问题的示意性剖面图；

[0026] 图 2A-2E 是示出了根据本发明示例性实施例的用于形成硬掩膜层的方法中各个步骤的示意性剖面图；

[0027] 图 3 是示出了根据本发明示例性实施例的用于形成硬掩膜层的方法的示例性实施例的流程图；以及

[0028] 图 4A-4B 是示出了利用本发明的硬掩膜层对目标材料层执行自对准构图工艺的示意性剖面图。

[0029] 应当注意的是，这些图旨在示出根据本发明的特定示例性实施例中所使用的方法、结构和 / 或材料的一般特性，并对下面提供的书面描述进行补充。然而，这些图并非按比例绘制，因而可能未能够准确反映任何所给出的实施例的精确结构或性能特点，并且这些图不应当被解释为限定或限制由根据本发明的示例性实施例所涵盖的数值或属性的范围。例如，为了清楚起见，可以缩小或放大分子、层、区域和 / 或结构元件的相对厚度和定位。在附图中，使用相似或相同的附图标记表示相似或相同的元件或特征。

具体实施方式

[0030] 现在，将参照附图更详细地描述根据本发明的示例性实施例。然而，这些示例性实施例可以多种不同的形式来实施，并且不应当被解释为只限于这里所阐述的实施例。应当理解的是，提供这些实施例是为了使得本发明的公开彻底且完整，并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中，为了清楚起见，夸大了层和区域的厚度，并且使用相同的附图标记表示相同的元件，因而将省略对它们的描述。

[0031] 应当理解的是，当元件被称作“连接”或“结合”到另一元件时，该元件可以直接连接或结合到另一元件，或者可以存在中间元件。不同的是，当元件被称作“直接连接”或“直接结合”到另一元件时，不存在中间元件。在全部附图中，相同的附图标记始终表示相同的元件。如在这里所使用的，术语“和 / 或”包括一个或多个相关所列项目的任意组合和所有组合。应当以相同的方式解释用于描述元件或层之间的关系的其他词语（例如，“在……之间”和“直接在……之间”、“与……相邻”和“与……直接相邻”、“在……上”和“直接在……”

上”等)。

[0032] 此外,还应当理解的是,尽管在这里可以使用术语“第一”、“第二”等来描述不同的元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分不应当受这些术语的限制。这些术语仅是用来将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开来。因此,在不脱离根据本发明的示例性实施例的教导的情况下,以下所讨论的第一元件、组件、区域、层或部分也可以被称作第二元件、组件、区域、层或部分。

[0033] 为了便于描述,在这里可以使用空间相对术语,如“在……之下”、“在……之上”、“下面的”、“在……上方”、“上面的”等,用来描述如在图所示的一个元件或特征与其他元件或特征的空间位置关系。应当理解的是,空间相对术语旨在包含除了器件在图中所描绘的方位之外的在使用或操作中的不同方位。例如,如果附图中的器件被倒置,则描述为“在其他元件或特征下方”或“在其他元件或特征之下”的元件之后将被定位为“在其他元件或特征上方”或“在其他元件或特征之上”。因而,示例性术语“在……下方”可以包括“在……上方”和“在……下方”两种方位。该器件也可以其他不同方式定位(旋转 90 度或处于其他方位),并且对这里所使用的空间相对描述符做出相应解释。

[0034] 这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和 / 或它们的组合。

[0035] 在此,参照作为示例性实施例的优选实施例(和中间结构)的示意性剖面图来描述根据本发明的示例性实施例。这样,预计会出现例如由制造技术和 / 或容差引起的示出的形状的变化。因此,示例性实施例不应当被解释为仅限于在此示出的区域的具体形状,而是还可以包含例如由制造所导致的形状偏差。例如,示出为矩形的注入区域在其边缘可以具有倒圆或弯曲的特征和 / 或注入浓度的梯度变化,而不仅是从注入区域到非注入区域的二元变化。同样,通过注入形成的掩埋区会导致在该掩埋区与注入通过的表面之间的区域中也会存在一些注入。因此,图所示出的区域实质上是示意性的,它们的形状并非意图示出器件中的各区域的实际形状,而且也并非意图限制根据本发明的示例性实施例的范围。

[0036] 除非另有定义,否则这里所使用的全部术语(包括技术术语和科学术语)都具有与本发明所属领域的普通技术人员通常理解的意思相同的意思。还将理解的是,除非这里明确定义,否则诸如在通用字典中定义的术语这类术语应当被解释为具有与它们在相关领域语境中的意思相一致的意思,而不以理想的或过于正式的含义来解释它们。

[0037] [示例性实施例]

[0038] 下面,将参照图 2A 至 2E 以及图 3 来详细说明根据本发明示例性实施例的用于在半导体制造过程中形成硬掩膜层的方法。

[0039] 参照图 2A 至 2E,其中示出了根据本发明示例性实施例的用于形成硬掩膜层的方法中各个步骤的示意性剖面图。

[0040] 首先,提供衬底 210。如图 2A 所示,在衬底 210 上预先形成有目标材料层 220,并且在目标材料层 220 上预先形成有具有图案的光刻胶层 230。衬底 210 的构成材料可以是未掺杂单晶硅、掺杂有 N 型或 P 型杂质的单晶硅、多晶硅、锗硅或者绝缘体上硅(SOI)等。目

标材料层 220 可以是形成在衬底上的互连布线层、栅极材料层或者硬掩膜层。所述互连布线层的构成材料选自钨、硅化钨、铝、钛和氮化钛中的至少一种。所述栅极材料层的构成材料选自多晶硅和铝中的一种。所述硬掩膜层的构成材料选自氧化物、未掺杂硅玻璃、玻璃上硅、SiON、SiN、SiBN、BN 和高介电常数(k)材料中的至少一种。需要说明的是,目标材料层 220 是可选而非必选的,可根据实际情况加以取舍。

[0041] 接着,在目标材料层 220 的表面以及光刻胶层 230 的表面和侧壁上扩布(spread)化学收缩辅助分辨率增强光刻(RELACS)材料层 240,如图 2B 所示。优选地,RELACS 材料层 240 的表面总是高于光刻胶层 230 的表面。扩布的方法可以采用常规的旋涂(spin coat)或喷涂(spray coat)。

[0042] RELACS 材料层 240 由一种水溶性聚合物构成,并且这种水溶性聚合物可在热处理条件(例如,烘烤条件)下与光刻胶发生热交联反应而改性为非水溶性聚合物材料。但需予以认识到,这里所使用的 RELACS 材料层包括现有的或将来会出现的能够达到预期效果的其他材料,只要该材料为水溶性材料并且在一定条件下可与光刻胶发生热交联反应而改性为非水溶性材料即可。

[0043] 接着,对图 2B 中形成的半导体结构执行热处理,使 RELACS 材料层 240 与光刻胶层 230 之间的混合边界部分发生改性,从而形成非水溶性材料层 234(例如,不可溶于去离子水),如图 2C 所示。这种改性技术对于本领域技术人员而言是公知的,通常被称为“RELACS 技术”,因此在此不再描述该技术的具体工艺方法和条件。需说明一点,所采用的热处理优选为混合烘烤(mixing bake)处理,烘烤温度为 70℃~130℃且烘烤时间为 20~90 秒。但需予以认识到,这里所采用的热处理也可采用现有的或将来会出现的能够达到预期效果的其他热处理工艺。

[0044] 接着,执行回蚀刻,去除位于光刻胶层 230 的顶表面上方的 RELACS 材料层 240 和非水溶性材料层 234,以至少露出光刻胶层 230 的顶表面,从而仅在光刻胶层 230 的侧壁上保留非水溶性材料层 234 中的一部分 234a,如图 2D 所示。回蚀刻所采用的工艺可以是半导体制造领域中常规的等离子体蚀刻(RIE)工艺。

[0045] 这里,需提请注意的是,从图 2D 中示意性剖面图可清楚看出,所保留的非水溶性材料层 234 中的一部分 234a 的顶部非常平直,并未如图 1 所示呈锥状。

[0046] 最后,去除未改性的光刻胶层 230 和 RELACS 材料层 240,仅保留非水溶性材料层 234 中的一部分 234a。去除方式可以例如通过常规光刻工艺中的全面曝光步骤使光刻胶层改性,之后通过常规光刻工艺中的显影步骤去除改性后的光刻胶,然后通过常规光刻工艺中的去离子水漂洗步骤去除水溶性 RELACS 材料层,从而最后仅保留非水溶性材料层 234 中的一部分 234a,如图 2E 所示,作为用于后续工艺的硬掩膜层。其中,去离子水漂洗步骤中漂洗次数可以为单次或两次,并且每次漂洗的时间可以为 20~90 秒。此外,本领域技术人员应当认识到,为了达到完全去除未发生热交联反应的水溶性 RELACS 材料的目的是,去离子水漂洗步骤漂洗次数也可以多于两次,并且每次漂洗时间可以为 90 秒甚或更长,藉此以确保后续形成的图案的 CD 均一性。

[0047] 这里,需予以说明的是,上述每道工序都可采用现有技术中的常规工艺,因而无需开发新的工艺,仅结合现有技术和传统设备就能够实施根据本发明的用于形成硬掩膜层的方法。此外,根据本发明的方法由于简单易行,因而可以实现可靠的在线工艺控制。

[0048] 参照图 3,其中示出了根据本发明示例性实施例的方法的流程图。

[0049] 首先,在步骤 301 中,提供衬底,在所述衬底上预先形成有具有图案的光刻胶层。在一个示例中,在所述衬底和所述光刻胶层之间预先形成有目标材料层。

[0050] 接着,在步骤 302 中,在所述衬底的表面以及所述光刻胶层的表面和侧壁上扩布 RELACS 材料层。在一个示例中,所述 RELACS 材料层的表面可以总是高于所述光刻胶层的表面。所述 RELACS 材料层可以由水溶性材料构成,并且所述水溶性材料可在热处理的工艺条件下与光刻胶发生交联反应而改性为非水溶性材料。

[0051] 接着,在步骤 303 中,执行热处理,以在所述 RELACS 材料层与所述光刻胶之间的混合边界处形成非水溶性材料层。

[0052] 接着,在步骤 304 中,执行回蚀刻,去除位于所述光刻胶层的顶表面上方的所述 RELACS 材料层和所述非水溶性材料层,以至少露出所述光刻胶层的顶表面,从而仅在所述光刻胶层的侧壁上保留所述非水溶性材料层中的一部分。

[0053] 最后,在步骤 305 中,去除所述光刻胶层和所述化学收缩辅助分辨率增强光刻材料层,仅保留所述非水溶性材料层的位于所述光刻胶层的侧壁上的部分,作为所述硬掩膜层。

[0054] [本发明的有益效果]

[0055] 下面,参照图 4A 至 4B 进一步结合具体应用对根据本发明的用于形成硬掩膜层的方法的有益效果进行描述。图 4A 至 4B 示意性示出了利用根据本发明方法形成的硬掩膜层对目标材料层执行的自对准构图工艺步骤。

[0056] 如图 4A 所示,首先,如上所述通过根据本发明的方法在目标材料层 420 上形成硬掩膜层 434a。

[0057] 然后,使用硬掩膜层 434a 进行掩蔽,蚀刻目标材料层 420,以将硬掩膜层的图案转移至目标材料层。蚀刻所采用的工艺是本领域公知的,在此不再赘述。

[0058] 这里,需予以理解的是,通过上述方式可以在目标材料层 420 形成栅结构、位线和/或有源区,作为后续形成的半导体器件的一部分。作为一个示例,将要在目标材料层 420 中形成栅结构图案,在此情况中,目标材料层 420 可以是导电层(例如,多晶硅层)或者金属层(例如,钨层或硅化钨层)。作为另一个示例,将要在目标材料层 420 中形成位线图案,在此情况中,目标材料层 420 可以是金属层(例如,钨或铝层)。需要提请注意,也可以利用本发明的硬掩膜层在目标材料层 420 中形成有源区图案,在此情况中,目标材料层 420 可以是半导体衬底,此时硬掩膜层 434a 作为有源区离子注入时的掩蔽层。另外,也可以利用本发明的硬掩膜层作为选择性外延生长的掩蔽层,并且还可以将其用于将来出现的需要掩蔽层的任何工艺。

[0059] 从图 4B 的示意性剖面图中可以看出,由于采用本发明的方法形成的硬掩膜层顶部非常平直且高度具有较佳的均一性,所以转移至目标材料层中的图案的高度也能够具有较佳的均一性。因此,本发明的方法能够克服现有工艺存在的 CD 均一性较差的问题,进而能够改善最终形成的半导体器件的性能。

[0060] [本发明的工业实用性]

[0061] 根据如上所述的实施例制造的半导体器件可应用于多种集成电路(IC)中。根据本发明的 IC 例如是存储器电路,如随机存取存储器(RAM)、动态 RAM(DRAM)、同步 DRAM

(SDRAM)、静态 RAM(SRAM)、或只读存储器(ROM)等等。根据本发明的 IC 还可以是逻辑器件,如可编程逻辑阵列(PLA)、专用集成电路(ASIC)、合并式 DRAM 逻辑集成电路(掩埋式 DRAM)、射频电路或任意其他电路器件。根据本发明的 IC 芯片可用于例如用户电子产品,如个人计算机、便携式计算机、游戏机、蜂窝式电话、个人数字助理、摄像机、数码相机、手机等各种电子产品中。

[0062] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外,本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

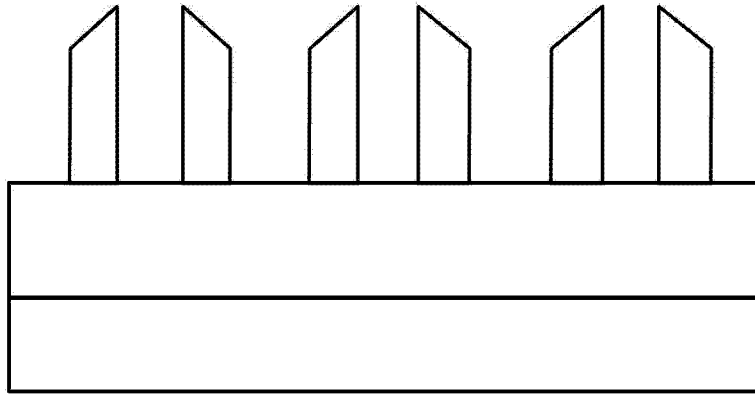


图 1

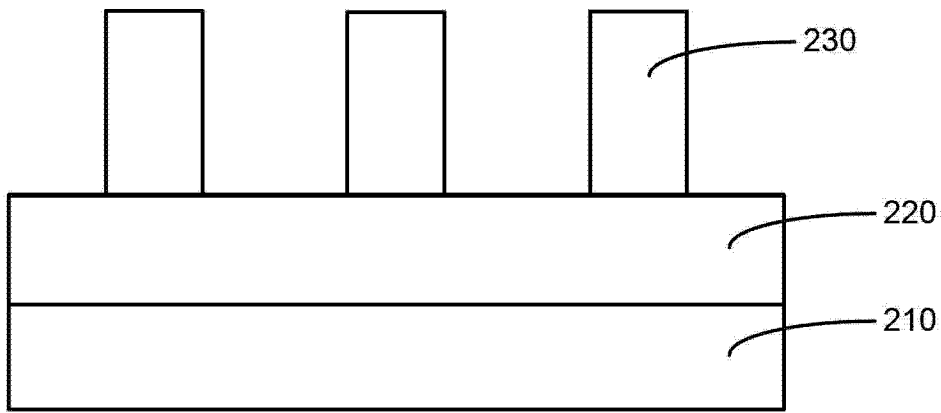


图 2A

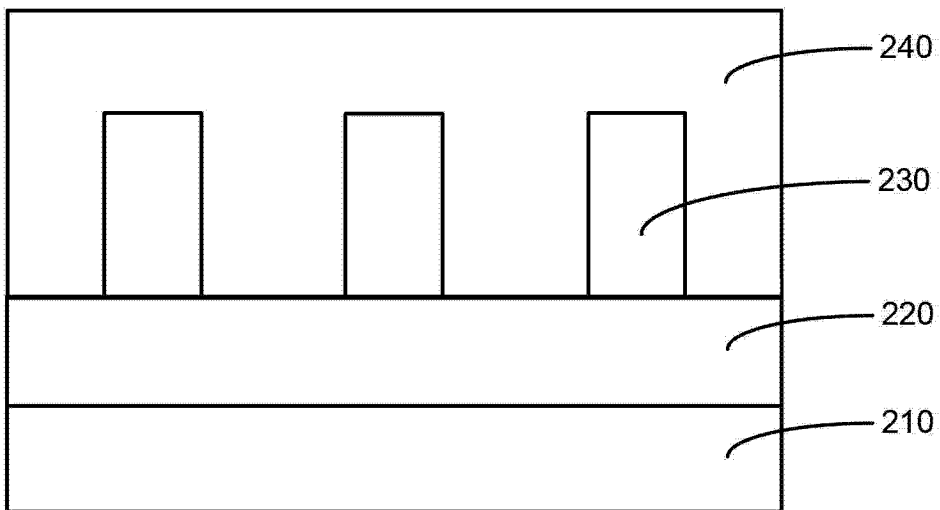


图 2B

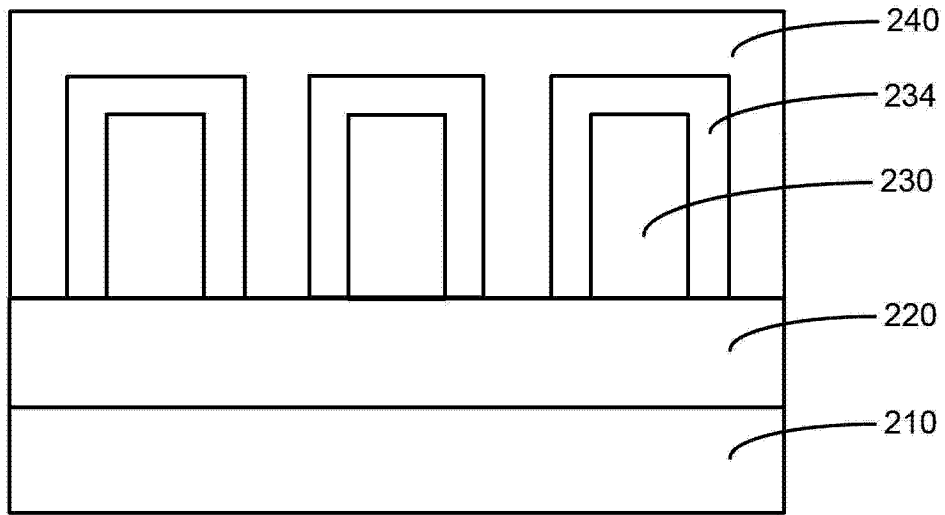


图 2C

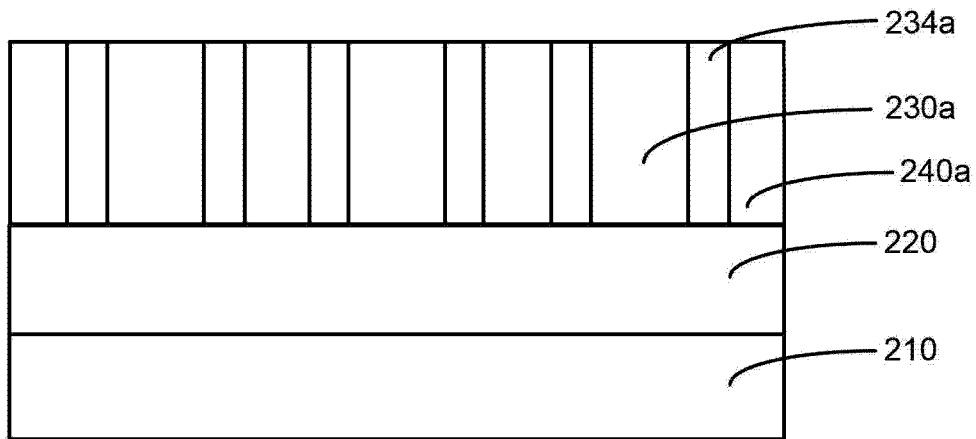


图 2D

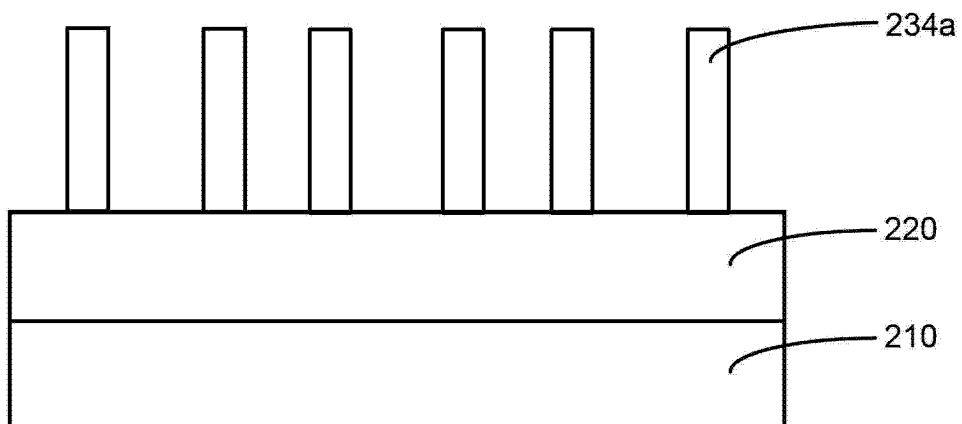


图 2E

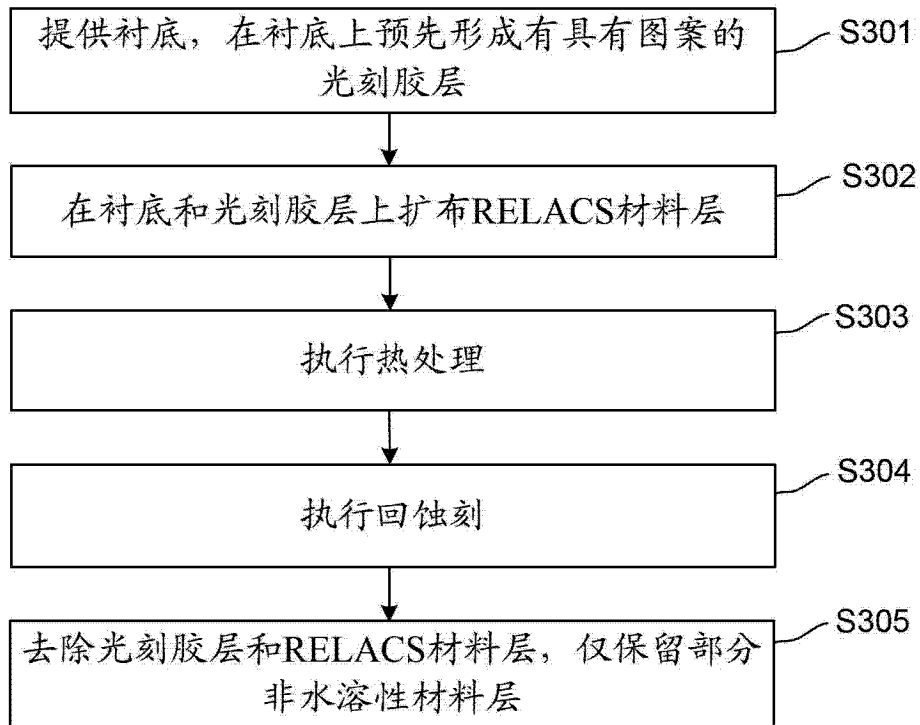


图 3

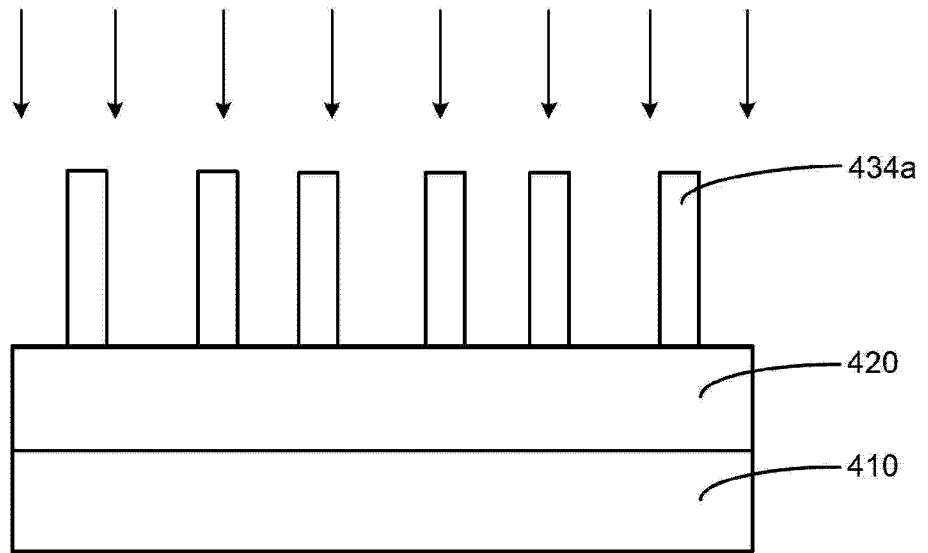


图 4A

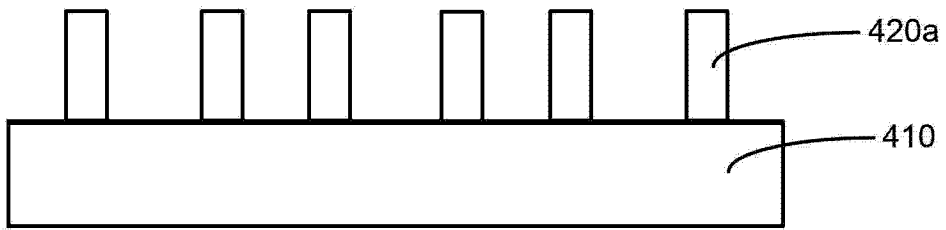


图 4B