



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년09월24일

(11) 등록번호 10-1443419

(24) 등록일자 2014년09월16일

(51) 국제특허분류(Int. C1.)

G11C 5/14 (2006.01) G11C 16/30 (2006.01)

G11C 7/20 (2006.01)

(21) 출원번호 10-2010-7004818

(22) 출원일자(국제) 2008년06월25일

심사청구일자 2013년06월24일

(85) 번역문제출일자 2010년03월03일

(65) 공개번호 10-2010-0066479

(43) 공개일자 2010년06월17일

(86) 국제출원번호 PCT/US2008/068091

(87) 국제공개번호 WO 2009/020718

국제공개일자 2009년02월12일

(30) 우선권주장

11/833,545 2007년08월03일 미국(US)

(56) 선행기술조사문헌

JP평성05109291 A

JP평성11096800 A

JP평성03046198 A

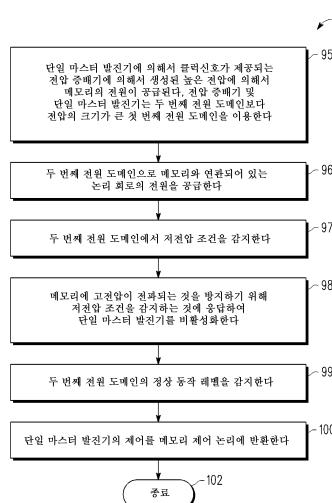
전체 청구항 수 : 총 8 항

심사관 : 권영학

(54) 발명의 명칭 고전압 메모리 교란을 방지하기 위한 방법 및 회로

(57) 요 약

본 발명은 2개의 공급 전압 중 하나가 사전 결정된 값 아래로 떨어짐으로써 생기는 메모리 어레이(12)에 있어서의 교란을 감소시키는 회로 및 방법에 관한 것이다. 메모리 제어 논리(22)는 논리 전원 도메인을 이용하여 동작된다. 논리 전원 도메인의 전압 보다 높은 전압이 발진기(18)가 발진하는 것에 응답하여 생성된다. 높은 전압은 메모리 어레이(12)를 동작시키기 위해 이용된다. 논리 전원 도메인이 최소한 첫 번째 레벨 또는 값일 때 발진기(18)의 동작은 메모리 제어 논리(22)에 의해 제어된다. 발진기(18)는 논리 전원 도메인이 첫 번째 레벨 아래로 떨어지는 경우 비활성화된다. 발진기(18)의 비활성화는 높은 전압의 생성을 방지하는 효과가 있다. 높은 전압이 적절히 제어될 수 없는 경우에 메모리 어레이(12)에 높은 전압이 인가되는 것을 용이하게 방지할 수 있다.

대 표 도 - 도3

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

회로로서,

제1 출력 및 제2 출력을 갖는 논리 전원 도메인에 의해 전원이 공급되는 메모리 제어 논리;

출력을 갖는 상기 논리 전원 도메인과 결합되는 저전압 표시자 회로;

상기 저전압 표시자 회로의 출력에 결합되는 제1 입력, 상기 메모리 제어 논리의 제1 출력에 결합되는 제2 입력, 및 출력을 갖는 발진기 제어 회로;

상기 발진기 제어 회로의 출력과 결합되는 제어 입력(control input), 및 발진기 출력을 갖는 발진기;

상기 발진기의 출력에 결합되고, 상기 논리 전원 도메인 보다 더 높은 절대값(absolute value)을 갖는 고전압들을 제공하는 복수의 전압 증배기(a plurality of voltage multipliers);

상기 복수의 전압 증배기 및 상기 메모리 제어 논리의 제2 출력에 결합되는 어레이 제어 논리; 및

상기 어레이 제어 논리에 결합되는 메모리 어레이

를 포함하는, 회로.

청구항 11

제10항에 있어서, 상기 발진기 제어 회로는, 상기 논리 전원 도메인 보다는 높고 상기 고전압들의 절대값들

보다는 낮은 값을 갖는 메모리 전원 도메인에 의해서 전원이 공급되는, 회로.

청구항 12

제11항에 있어서, 상기 발진기 제어 회로는,

상기 메모리 제어 논리의 제1 출력과 결합되는 입력 및 출력을 갖는 제1 레벨 시프터(a first level shifter);

상기 저전압 표시자 회로의 출력에 결합되는 입력 및 출력을 갖는 제2 레벨 시프터(a second level shifter); 및

상기 제1 레벨 시프터의 출력에 결합되는 입력, 상기 제2 레벨 시프터의 출력에 결합되는 제2 입력, 및 상기 발진기의 제어 입력에 결합되는 출력을 갖는 논리 게이트

를 포함하는, 회로.

청구항 13

제12항에 있어서, 상기 제2 레벨 시프터는,

상기 저전압 표시자 회로의 출력에 결합되는 게이트, 접지 단자(ground terminal)에 결합되는 소스, 및 드레인을 갖는 트랜지스터;

상기 트랜지스터의 드레인과 상기 메모리 전원 도메인 사이에 직렬로 결합되는 저항 요소(resistive element) 및 다이오드-연결된 트랜지스터(diode-connected transistor); 및

상기 메모리 전원 도메인에 의해서 전원이 공급되고 상기 저전압 표시자 회로의 출력에 결합되는 제1 입력, 상기 트랜지스터의 드레인에 결합되는 제2 입력, 및 상기 제2 레벨 시프터의 출력으로서의 출력을 갖는 레벨-시프팅 수단

을 포함하는, 회로.

청구항 14

제13항에 있어서, 상기 저전압 표시자 회로는, 상기 논리 전원 도메인이 사전 결정된 전압 레벨 아래에 있는 경우에 상기 저전압 표시자 회로의 출력을 로우 논리(a logic low)로 제공하는, 회로.

청구항 15

제10항에 있어서, 상기 어레이 제어 논리는 상기 메모리 제어 논리의 상기 제2 출력에 응답하여 상기 메모리 어레이에 상기 고전압들을 인가하는 것을 제어하기 위한 수단을 포함하고, 상기 메모리 제어 논리의 상기 제2 출력은 멀티 신호(multi-signal)인, 회로.

청구항 16

제14항에 있어서,

상기 메모리 어레이는 프로그래밍 및 삭제를 위하여 상기 고전압들을 요구하는 비휘발성 메모리 셀(non-volatile memory cells)을 포함하고;

상기 어레이 제어 논리는 상기 고전압들을 이용하여 상기 프로그래밍 및 삭제를 제어하며;

상기 어레이 제어 논리는 상기 논리 전원 도메인 및 상기 메모리 전원 도메인을 이용하는, 회로.

청구항 17

제10항에 있어서, 상기 저전압 표시자 회로는, 상기 논리 전원 도메인이 사전 결정된 전압 레벨 아래에 있는 경우에, 상기 발진기 제어 회로가 상기 발진기를 비활성화하도록 하는, 회로.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술 분야

[0001]

본 발명은 일반적으로 반도체에 관한 것으로, 더 구체적으로는, 반도체 데이터 저장 장치에 관한 것이다.

배경 기술

[0002]

집적 회로 내부에 다른 종류의 회로 조합체(circuitry)와 함께 내장되는 반도체 메모리가 동작하기 위해서는 일반적으로 서로 다른 2개의 전원 전압의 공급이 있어야 한다. 첫 번째 전원 공급 전압은 메모리를 위한 제어 회로에 전원을 공급하기 위해 사용된다. 이러한 제어 회로는 종종 논리 게이트에 의해 구현되고 상대적으로 낮은 공급 전압에 의해 전원이 공급된다. 두 번째 전원 공급 전압은 메모리를 지우거나 메모리에 프로그래밍을 하는 메모리 동작(memory operations)에 전원을 공급하기 위해 사용된다. 이러한 전압은, 특히 플래시 메모리 같은 경우에 있어서, 논리 회로에서 필요로 하는 전원의 크기에 비해서 더 크다. 낮은 수치의 전원 공급 전압(power supply voltage)이 논리 회로에 전원을 공급하기 위하여 필요한 임계값 아래로 떨어지는 경우, 오류가 있는 논리 신호들이 생성될 수 있다. 오류가 있는 논리 값으로 인하여 메모리 어레이에 있는 비트 셀(bit cells)이, 일반적으로 전하 펌프(charge pumps)나 전압 증배기(voltage multipliers)에 의해 생성되는 고전압 전원 공급에 잘못 노출될 수 있다. 고전압과 메모리 셀의 잘못된 결합은 메모리 셀의 전기적 특성을 변화시킬 수 있다. 이러한 변화된 전기적 특성에 의해 잘못된 데이터가 생길 수 있고 이로 인해 신뢰할 수 없는 동작을 가져오기도 한다.

도면의 간단한 설명

[0003]

본 발명은 도면을 참조하여 하나의 예시로서 설명되고, 도면에 의해 한정되지 않으며, 도면에서 동일한 참조 번호는 유사한 구성 요소를 나타낸다. 도면에 나타난 구성 요소들은 단순함과 명확함을 위해 예시되었으며 정확한 스케일로 그려진 것은 아니다.

도 1은 본 발명에 따라 고전압 메모리 교란(high voltage memory disturb)을 방지할 수 있는 메모리를 도시한 블록도.

도 2는 도 1에서 사용된 마스터 발진기(master oscillator) 및 마스터 발진기 제어부(master oscillator control)의 한 형태를 도시한 부분적인 개략도.

도 3은 본 발명에 따라 메모리에서 고전압 메모리 교란을 방지하는 방법을 도시한 흐름도.

도 4는 도 1에 나타난 메모리와 연관된 다양한 전압 신호를 도시한 타이밍도.

발명을 실시하기 위한 구체적인 내용

[0004]

도 1은 전압 교란 보호 설계(voltage disturb protection scheme)를 갖는 메모리(10)에 대해 도시한 것이다. 전압 교란 보호는 메모리 어레이의 전기적 특성을 원하지 않는 방식으로 바꿀 수 있는 고전압과 메모리 어레이(12)의 메모리 비트 셀과의 의도하지 않은 결합을 방지할 수 있다. 메모리 어레이(12)는 어레이 제어 논리(array control logic; 14)에 의해서 제어되는 복수의 메모리 비트를 갖는다. 어레이 제어 논리(14)는 두 개의 구별되는 전원 공급 전압의 전원 하에서 동작된다. 첫 번째 전원 공급 전압은 전원 도메인 1(Power Domain 1) 또는 메모리 전원 도메인(Memory Power Domain)으로 표시된다. 전원 도메인 1은 메모리 어레이(12)에서 메모리 비트를 프로그래밍 및 삭제하기 위해 필요한 충분히 큰 크기의 전압을 생성하기 위한 복수의 전하 펌프(multiple charge pumps)에 의해서 이용되는 공급 전압이다. 두 번째 전원 공급 전압은 전원 도메인 2(Power Domain 2) 또는 논리 전원 도메인(Logical Power Domain)으로 표시된다. 두 번째 전원 공급 전압은 첫 번째 전원 공급 전압보다 작으며 논리 게이트와 논리 회로에 전원을 공급하는 것이 가능하게 하는 최소한의 트랜지스터 동작 전압보다는 큰 크기를 갖는다. 따라서, 첫 번째 전원 공급 전압 및 두 번째 전원 공급

전압의 어느 것도 메모리 비트를 프로그래밍 및 삭제하기에 충분히 큰 크기를 갖지 않는다. 어레이 제어 논리(14)는 복수의 전하 펌프(16)에 의해서 전원이 공급된다. 복수의 전하 펌프 각각은 전압 증배기 회로 또는 전하 펌프 회로로서 구현된다. 복수의 전하 펌프(16)는 전원 도메인 1 및 전원 도메인 2 전원 공급 전압 모두에 의해서 동작된다. 복수의 전하 펌프(16)의 입력은 단일 마스터 발진기(single master oscillator; 18)의 출력과 결합되어 있다. 단일 마스터 발진기(18)는 공유되며, 공통의 발진기가 모든 복수의 전하 펌프(16)에 클럭 신호를 제공하기 위해 사용된다. 단일 마스터 발진기(18)는 전원 도메인 1 메모리 전원 전압에 의해 동작되고 입력은 마스터 발진기 제어부(20)의 출력과 결합되어 있다. 마스터 발진기 제어부(20)는 전원 도메인 1 메모리 전원 전압과 전원 도메인 2 논리 전원 전압에 의해서 동작된다. 마스터 발진기 제어부(20)의 첫 번째 입력은 저전압 표시자 신호(Low Voltage Indicator signal; 26)를 수신하기 위해 전원 도메인 2 저전압 표시자(24)의 출력에 연결되어 있다. 마스터 발진기 제어부(20)의 두 번째 입력은 메모리 제어 논리(22)의 첫 번째 출력에 연결되어 있다. 메모리 제어 논리(22)는 전원 도메인 2 논리 전원 전압에 의해서 동작된다. 메모리 제어 논리(22)의 두 번째 출력은 제어 신호(27)를 제공하기 위해 복수의 전하 펌프(16)의 제어 입력에 연결된다. 메모리 제어 논리(22)의 세 번째 출력은 메모리 어레이(12)와의 다양한 상호작용을 제어하기 위한 제어 신호(29)를 어레이 제어 논리(14)에 제공하기 위해 어레이 제어 논리(14)의 두 번째 제어 입력에 연결된다. 마스터 발진기 제어부(20)의 두 번째 출력은 어레이 제어 논리(14)의 두 번째 입력에 연결된다.

[0005] 동작할 때, 메모리(10)는 어레이 제어 논리(14)의 제어 하에서 데이터를 저장하도록 기능한다. 예시의 편리성을 위해, 메모리 어레이(12)를 향하는 데이터의 경로는 표시되지 않았지만 이는 통상적인 구조와 동작을 가진다. 메모리(10)는 논리 트랜지스터의 스위칭을 신뢰성 있게 할 정도로 충분히 높은 논리 전압 레벨로 표시된 논리회로에 전원을 공급하도록 논리 전원 도메인(전원 도메인 2)을 이용하여 동작된다. 이 전압은 프로세스 의존적(process dependent)이며 현재 1 볼트 범위에 있거나 그보다 작다. 이와 대조적으로, 메모리 전원 도메인(전원 도메인 1)은 프로그램 동작 또는 삭제 동작과 같은 특정 메모리 동작에 전원을 공급하기 위해 이용된다. 메모리 어레이(12)는 한 형태에서 플래시 메모리로서 구현됨을 가정한다. 이 형태에서 전원 도메인 1을 구현하기 위해 사용되는 전압은 보통 3 볼트 정도이거나 그보다 크다. 이 전압 역시 프로세스 의존적이며 미래에는 더 낮아질 수 있다. 어느 경우에서도, 전원 도메인 1 전압은 전원 도메인 2 전압보다는 상당히 (significantly) 크다.

[0006] 메모리(10)가 휴대용 전자 장치로서 구현되는 많은 어플리케이션에서, 휴대용 배터리가 전원 도메인 1과 전원 도메인 2 공급 전압의 양자에 대해 전원을 공급하기 위해 이용된다. 메모리(10)와 연관되어 있는 논리 동작이 높은 전압 메모리 동작보다 더 빈번하게 사용되기 때문에 전원 도메인 2 전압에 전원을 공급하기 위해 사용되는 배터리는 전원 도메인 1 전압에 전원을 공급하기 위해 사용된 배터리보다 더 빨리 고갈될 수 있다. 전원 도메인 2 저전압 표시자(24)는 전원 도메인 2 전압이 논리 회로에 신뢰성 있게 전원을 공급하도록 요구되는 사전 결정된 최소 전압 값 또는 레벨보다 낮게 떨어지는지를 표시하기 위해 사용된다. 전원 도메인 2 전압이 너무 낮아지는 경우에는 저전압 표시자 신호(26)가 마스터 발진기 제어부(20)에 송신된다(asserted). 마스터 발진기 제어부(20)는 저전압 표시자 신호(26)에 응답하여, 단일 마스터 발진기(18)에 이전에 제공된 활성화 신호(Enable signal)를 더 이상 송신하지 않을 것이다. 저전압 표시자 신호(26)가 송신되지 않았을 때, 메모리 제어 논리(22)는 적절한 전압에서 동작하고 메모리 제어 논리(22)는 마스터 발진기 제어부(20)에 제어 신호(23)를 제공한다. 이 조건 하에서, 메모리(10)는 정상적인 회로 동작에서 기능하고 단일 마스터 발진기(18)를 적절하게 제어하기 위해 마스터 발진기 제어부(20)에 제어 신호를 제공한다. 차례로 마스터 발진기(18)는 전원 도메인 1 신호를 선택적으로 올리는(boost) 복수의 전하 펌프(16)를 동작시키기 위한 적절한 타이밍을 갖는 클럭 신호를 생성한다. 메모리 제어 논리(22)는 복수의 전하 펌프(16)와 어레이 제어 논리(14)의 결합을 제어하기 위해 제어 신호(27)를 제공한다. 복수의 전하 펌프(16)는 전원 도메인 2를 이용하여 메모리 제어 논리(22)에 의해 이용되는 논리 전원 도메인과 복수의 전하 펌프(16)에 의해 이용되는 메모리 전원 도메인 사이를 인터페이싱하기 위한 복수의 전하 펌프(16) 내의 논리 인터페이스 회로(logic interface circuitry)에 전원을 공급한다. 어레이 제어 논리(14)는 복수의 전하 펌프(16)로부터 승압된 전압(boosted voltages)을 수신하고 승압된 공급 전압을 메모리 어레이(12) 내의 정확한 위치로 향하게 한다.

[0007] 전원 도메인 2 저전압 표시자(24)가, 메모리 제어 논리(22) 내의 논리 회로 및 메모리(10)의 다른 논리 회로가 신뢰성 있는 동작을 하기에는 너무 낮은 전원 도메인 2 전압을 갖는다고 결정하는 경우에는, 저전압 표시자 신호(26)가 송신된다. 저전압 표시자 신호(26)가 송신되면 마스터 발진기 제어부(20)는 기능할 수 없게 된다. 그 결과, 마스터 발진기(18)로 가는 활성화 신호가 마스터 발진기 제어부(20)에 의해서 더 이상 송신되지 않는다. 추가적으로, 마스터 발진기 제어부(20)는 더 이상 전원 도메인 1 금지 신호(Power Domain 1

Inhibit signal)를 어레이 제어 논리(14)에 송신하지 않는다. 대안적인 형태에서 활성화 신호는 마스터 발진기(18)의 전원을 완전히 끊는 기능을 하고 더 나아가 메모리(10)의 전원을 보존한다. 마스터 발진기(18)가 다시 사용 가능하게 되고 전원이 들어왔을 때, 메모리 작업과 연관된 동기화 문제는 없다. 어떤 형태에서도 마스터 발진기 제어부(20)로부터 제공된 활성화 신호는 마스터 발진기(18)로부터의 클럭 신호 출력을 제어하도록 기능한다. 전원 도메인 1 금지 신호에 응답하여, 어레이 제어 논리(14)는 전원 도메인 1 공급 전압이 메모리 어레이(12) 내의 비트 셀의 노드로 전파되지 않도록 한다. 저전압 표시 신호가 송신되었을 때 마스터 발진기 제어부(20)는 복수의 전하 펌프(16)로부터 복수의 승압 전압이 생성되는 것을 방지하는 기능을 한다는 점에 주의하여야 할 것이다. 단일 마스터 발진기(18)를 직접적으로 제어하여 복수의 전하 펌프 전압을 생성하는 것을 피함으로써 추가적인 전원의 절약이 성취될 수 있다.

[0008] 도 2는 마스터 발진기(18) 및 복수의 전하 펌프와 함께 마스터 발진기 제어부(20)의 한 형태를 도시한 것이다. 마스터 발진기 제어부(20)는 임의의 종류의 여러 통상적인 발진기 회로가 사용될 수 있기 때문에 상세하게 도시되지 않았다. 더 나아가, 도 2에 도시된 전하 펌프는 임의의 통상적인 전하 펌프 회로가 사용될 수 있기 때문에 상세한 설명은 제공되지 않았다. 도시된 형태에서 마스터 발진기 제어부(20)는 레벨 시프터 회로(level shifter circuit; 40) 및 레벨 시프터 회로(42)를 포함한다. 레벨 시프터 회로(40) 내에는 P-채널 트랜지스터(44)가 있으며, P-채널 트랜지스터의 소스는 전원 도메인 1(메모리 전원 도메인)의 공급 전압을 수신하기 위해 단자(terminal)에 연결되어 있다. 트랜지스터(44)의 드레인은 노드(47)에 연결되어 있고 N-채널 트랜지스터(46)의 드레인에도 연결되어 있다. 트랜지스터(46)의 게이트는 전원 도메인 2를 이용하는 도 1의 제어 신호(23)에 연결되어 있다. 제어 신호(23)는 전원 도메인 2를 위한 공급 전압이 신뢰성 있는 동작을 하기 위해 충분히 높은 경우에 마스터 발진기 제어부(20)를 통해 마스터 발진기(18)를 제어하기 위한 신호이다. 제어 신호(23)는 논리 전원 도메인 또는 전원 도메인 2에 의해 전원이 공급되는 인버터(52)의 입력에도 연결되어 있다. 인버터(52)의 출력은 N-채널 트랜지스터(50)의 게이트에 연결되어 있다. 트랜지스터(46) 및 트랜지스터(50) 각각의 소스는 접지 기준 신호(ground reference)를 수신하기 위한 단자에 연결되어 있다. 전원 도메인 1 전압을 수신하기 위해 P-채널 트랜지스터(48)의 소스는 트랜지스터(44)의 소스와 연결되어 있다. 트랜지스터(48)의 게이트는 노드(47)에 연결되어 있다. 트랜지스터(44)의 게이트는 노드(49) 및 트랜지스터(50)의 드레인에 연결되어 있다. 레벨 시프터 회로(40)는 첫 번째 및 두 번째 전원 도메인 모두에 의해서 전원이 공급되는 것에 주의해야 한다.

[0009] 레벨 시프터 회로(42)는 첫 번째 단자가 전원 도메인 1 전압을 수신하기 위한 단자에 연결된 저항(60)을 포함한다. 저항(60)의 두 번째 단자는 P-채널 트랜지스터(62)의 소스에 연결되어 있다. 트랜지스터(62)의 게이트는 트랜지스터(62)의 드레인과 노드(63)에서 연결되어 있다. N-채널 트랜지스터(64)의 드레인은 트랜지스터(62)의 드레인과 노드(63)에서 연결되어 있다. 트랜지스터(64)의 게이트는 전원 도메인 2 저전압 표시자(24)로부터의 저전압 표시자 신호(Low Voltage Indicator signal; 26)에 연결되어 있다. P-채널 트랜지스터(66)의 소스는 전원 도메인 1 전압을 수신하기 위한 단자에 연결되어 있다. 트랜지스터(66)의 드레인은 노드(68)에서 N-채널 트랜지스터(70)의 드레인에 연결되어 있다. 트랜지스터(70)의 게이트는 트랜지스터(64)의 게이트 및 전원 도메인 2 저전압 표시자(24)로부터의 저전압 표시자 신호(26)에 연결되어 있다. 트랜지스터(64) 및 트랜지스터(70)의 각각의 소스는 접지 기준 전압 단자(ground reference voltage terminal)에 연결되어 있다. P-채널 트랜지스터(72)의 소스는 전원 도메인 1 전압을 수신하기 위한 단자에 연결되어 있다. 트랜지스터(72)의 게이트는 노드(68)에 연결되어 있다. 트랜지스터(66)의 게이트는 노드(74)에서 트랜지스터(72)의 드레인과 연결되어 있다. N-채널 트랜지스터(76)의 드레인은 노드(74)에 연결되어 있다. 트랜지스터(76)의 게이트는 노드(63)에 연결되어 있고 트랜지스터(76)의 소스는 접지 기준 전압 단자에 연결되어 있다. P-채널 트랜지스터(80)의 소스는 전원 도메인 1 전압을 수신하기 위한 단자에 연결되어 있다. 트랜지스터(80)의 게이트는 노드(74)에서 N-채널 트랜지스터의 게이트(82)에 연결되어 있다. 트랜지스터(80)의 드레인은 노드(83)에서 트랜지스터(82)의 드레인에 연결되어 있다. 트랜지스터(82)의 소스는 접지 기준 전압 단자에 연결되어 있다. P-채널 트랜지스터(84)의 소스는 전원 도메인 1 전압을 수신하기 위한 단자에 연결되어 있다. 트랜지스터(84)의 게이트는 노드(83)에서 N-채널 트랜지스터(86)의 게이트에 연결되어 있다. 트랜지스터(84)의 드레인은 트랜지스터(86)의 드레인과 연결되어 있으며 전원 도메인 1 금지 신호를 제공한다. 트랜지스터(86)의 소스는 접지 기준 전압 단자에 연결되어 있다.

[0010] AND 게이트(53)의 첫 번째 입력은 노드(49)에 연결되어 있다. AND 게이트(53)의 두 번째 입력은 노드(74)에 연결되어 있다. AND 게이트(53)의 출력(54)은 마스터 발진기(18)의 입력에 연결된다. 마스터 발진기(18)는 도 1에서 도시된 바와 같이 전원 도메인 1에 의해 전원이 공급된다. 마스터 발진기(18)는 복수의 출력을 가지는데, 이들은 사전 결정된 복수의 전하 펌프(16)의 입력 중의 하나와 각각 결합되어 있다. 복수의 전하 펌프

프(16)는 제1 전하 펌프(90), 제2 전하 펌프(91), 및 N번째 전하 펌프(92)와 같은 추가적인 전하 펌프를 포함하는데, 여기서 N은 정수이다. 전하 펌프(90-92)의 각각은 어레이 제어 논리(14)에 결합되는 각각의 출력을 갖는다.

[0011] 동작 중인 경우, 레벨 시프터 회로(40)는 전원 도메인 2에 의해 전원이 공급되는 동안 디지털 신호를 수신하고 노드(49)에서 제어 신호(23)와 같은 디지털 값(즉, 논리 상태)을 갖는 출력 비트를 제공한다. 그러나, 레벨 시프터 회로(40)의 출력의 전압 레벨은 낮은 전원 도메인 2에서 높은 전원 도메인 1으로 전환된다. 레벨 시프터 회로(42)에서, 신호(78)는 전원 도메인 2 저전압 표시자(24)와 동일한 논리 값을 갖는다. 레벨 시프터 회로(40)도 마찬가지로, 레벨 시프터 회로(42)의 출력의 전압 레벨은 낮은 전원 도메인 2에서 높은 전원 도메인 1로 전환된다. 그러나, 레벨 시프터 회로(42) 내부의 모든 회로는 전원 도메인 1에 의해서 전원이 공급된다. 그러므로, 레벨 시프터 회로(42)의 출력은 정확한 반면, 레벨 시프터 회로(40)의 출력은 전원 도메인 2과 연관된 전압이 임계값 아래로 떨어지는 경우에는 정확하지 않을 수 있다. 레벨 시프터 회로(40) 및 레벨 시프터 회로(42)의 출력 모두가 활성화되지 않는 한, 높은 전원 도메인 1 공급 전압에 의해서 전원이 공급되는 AND 게이트(53)는 마스터 발진기(18)를 활성화시키지 않을 것이다. 그러므로, 레벨 시프터 회로(42)는 저전압 표시자 신호(26)가 송신되는 경우에 마스터 발진기가 활성화되지 않도록 보장하는 기능을 수행함을 이해하여야 한다.

[0012] 도 3은 고전압 메모리 교란을 방지하기 위한 방법(94)의 흐름도이다. 단계(95)에서는 단일 마스터 발진기에 의해서 클럭 신호가 제공되는 전압 증배기에 의해서 생성된 높은 전압에 의해서 메모리의 전원이 공급된다. 이 문맥에서 "높은 전압"은 상대적인 것이며 논리 함수(logic functions)를 구현하기 위해 연결된 트랜ジ스터에 전원을 공급하기 위해 사용하는 전압 보다 높은 값을 갖는 것을 의미한다. 이러한 높은 전압은 보통 플래시 메모리와 같은 메모리에 프로그래밍 및 삭제를 위한 작업을 수행하기 위해 요구된다. 전압 증배기 및 단일 마스터 발진기는 두 번째 전원 도메인보다 전압의 크기가 큰 첫 번째 전원 도메인을 이용한다. 단계(96)에서 메모리와 연관된 논리 회로는 두 번째 전원 도메인에 의해서 전원이 공급된다. 단계(97)에서는 두 번째 전원 도메인에서의 저전압 조건이 감지된다. 이 조건은 두 번째 전원 도메인 전압이 사전 결정된 임계값 아래로 떨어지는 경우에 발생한다. 단계(98)에서 두 번째 전원 도메인에서의 저전압 조건이 감지되는 것에 응답하여 단일 마스터 발진기(18)는 비활성화된다(disabled). 마스터 발진기(18)를 비활성화하는 것은 메모리 어레이(12)에 높은 전압이 전파되는 것을 방지한다. 단계(99)에서는 두 번째 전원 도메인이 정상적 동작 레벨(normal operating level)로 반환되는 것이 감지된다. 이러한 감지는 두 번째 전원 도메인 전압이 사전 결정된 시간 기간 동안 사전 결정된 임계값에 도달하거나 또는 초과하는 경우에 행하여진다. 단계(100)에서는, 단일 마스터 발진기(18)의 제어가 해제되거나 메모리 제어 논리(22)로 반환된다. 단계(102)에서, 전원 도메인 2가 정확하고 신뢰성 있는 동작을 제공하기 위해 적절한 크기를 갖고 있음을 표시하는 메모리(10)를 메모리 제어 논리(22)가 제어하고 있을 때 방법(94)은 종료한다.

[0013] 도 4는 상기에서 도 1 및 도 2와 관련하여 설명된 다양한 신호의 과정을 시간축과 전압축을 이용해서 도시한 것이다. 전원 도메인 1 신호는 예시된 시간 전체에 동안에 상수 값, V_{DD1} 을 갖는 것으로 도시되어 있다. 전원 도메인 2 신호는 0과 V_{DD2} 사이에서 변화하는 것으로 도시되어 있다. 시간 t1 이전에는 전원 도메인 2의 전압 V_{DD2} 은 사전 결정된 값(108)보다 낮은 값을 갖는다. 그러므로, 활성화된 로우 신호(active low signal)로 표시된 저전압 표시자 신호가 송신된다. 저전압 조건이 존재하는 경우에, 마스터 발진기(18)는 활성화 신호가 논리 값 0을 갖는 것으로 표시되어 비활성화된다. 시간 t1에서 전원 도메인 2의 값은 사전 결정된 값(108)을 초과하기 시작하면서 시간 t2가 될 때까지 공급 전압 값 V_{DD2} 을 갖는다. V_{DD2} 값을 갖는 활성화된 로우 인스턴스화(active low instantiation)에 의해 표시된 것처럼 이 구간 동안에는 저전압 표시자 신호(26)는 송신되지 않는다. 신뢰성 있는 동작을 위하여 적절한 전원 도메인 2 전압을 갖는 이 구간에서 마스터 발진기(18)는 V_{DD1} 신호로 활성화된다. 시간 t2 이후에는 사전 결정된 값(108)과 전원 도메인 2 전압은 만나지 않으며 저전압 표시자 신호(26)가 다시 송신된다. 추가적으로, 마스터 발진기(18)를 위한 활성화 신호는 송신되지 않으며 마스터 발진기(18)로부터 복수의 전하 펌프(16)로 클럭 신호가 제공되지 않는다. 이러한 과정은 전원 도메인 2의 전압이 사전 결정된 값(108)의 위 아래를 변화하는 동안의 끊김 없는 동작(seamless operation)을 나타낸다. 전압의 변화가 메모리 어레이(12)의 비트 셀에 프로그래밍된 전기적 특성을 교란시키는 것을 허용하지 않는다.

[0014] 메모리에 이용되는 복수의 전원 공급 전압 중의 하나가 신뢰성 있는 동작을 보장하기에 너무 낮은 값을 갖게 되어 야기되는 비트 셀 교란(bit cell disturb)을 최소화할 수 있는 방법 및 메모리 회로가 제공되었다는 것

을 인식해야 한다. 비휘발성 메모리 비트 셀(non-volatile memory bit cells)이 계속하여 더 작은 치수로 구현됨에 따라, 비트 셀은 잘못 저장된 비트 셀(incorrect stored bit cells)을 야기하는 전압 교란(voltage disturbance) 또는 메모리 교란(memory disturbances)에 대해 더 높은 민감도를 나타낸다. 일 실시예에서, 무효 논리 레벨 신호(invalid logic level signal)가 부가 기능(additional function)으로 이용되는 때에 파워 온 리셋 신호(power on reset signal)는 액티브(active)하게 된다. 논리 전압 레벨에 있는 전압 레벨을 갖는 파워 온 리셋 신호는 높은 전압 레벨로 변환되며, 메모리 시스템에 있는 복수의 전하 펌프를 비활성화하기 위한 활성화 신호로서 이용된다. 복수의 전하 펌프를 제어하는 마스터 발진기 또는 공통의 발진기를 비활성화함으로써 복수의 전하 펌프는 비활성화된다. 시스템에 있는 마스터 발진기가 동작하지 않는 경우, 전원 도메인 2의 높은 전압이 메모리 어레이 내의 비트 교란으로 이어지지 않을 것이라는 것을 보장할 수 있다. 전원 도메인 1의 전압이 임계값 밑으로 떨어질 때 복수의 전하 펌프의 동작이 선택적으로 비활성화되기 때문에, 어레이 제어 논리 회로에서 드레인 전류가 회피되어 메모리 어레이의 소프트(soft) 핫 캐리어 인젝션(hot carrier injection, HCI) 교란의 가능성을 제거한다. 본 명세서에서 설명된 방법은 비휘발성 메모리 어레이에서의 비트 교란을 효과적으로 피한다.

[0015] 일 실시예에서, 본 명세서에서는 메모리 어레이를 갖는 회로를 동작시키는 방법이 제시되어 있다. 메모리 제어 논리는 논리 전원 도메인을 이용하여 동작된다. 논리 전원 도메인의 전압 보다 높은 전압이 발진기의 발진에 응답하여 생성된다. 메모리 어레이를 동작시키기 위하여 높은 전압들이 이용된다. 논리 전원 도메인이 최소한 제1 레벨(first level)일 때 발진기의 동작은 메모리 제어 논리에 의해서 제어된다. 발진기는 논리 전원 도메인이 제1 레벨 보다 낮은 경우에는 비활성화된다. 다른 일 실시예에서, 높은 전압을 생성하는 방법은 발진기가 발진하는 것에 응답하는 전압 증배기를 이용하는 단계를 포함한다. 다른 일 실시예에서, 전압을 생성하는 방법은 전압 증배기에 높은 전압 보다 낮은 메모리 전원 도메인으로 전원을 공급하는 단계를 포함한다. 높은 전압을 이용하는 다른 일 실시예는, 메모리 어레이에 높은 전압을 적용하기(applying) 위한 어레이 제어 논리를 이용하는 단계를 포함한다. 높은 전압을 이용하는 다른 일 실시예는, 메모리 전원 도메인을 이용하여 어레이 제어 논리에 전원을 공급하는 단계를 포함한다. 발진기를 비활성화하는 다른 실시예는 논리 전원 도메인이 제1 레벨 아래로 떨어지는 것에 응답하여 저전압 표시자 신호를 송신하는 단계를 포함한다. 발진기는 저전압 표시자 신호를 송신하는 단계에 응답하여 비활성화된다. 발진기의 동작을 제어하는 다른 실시예는 발진기 제어 회로에 발진기 활성화 신호(oscillator enable signal)를 송신하기 위해 메모리 제어 논리를 이용하는 단계를 포함한다. 발진기를 활성화하기 위한 제1 논리 상태(a first logic state)에서 발진기 제어 회로의 출력은 발진기와 결합되어 있다. 저전압 표시자 신호를 송신하는 다른 실시예는 발진기 제어 회로가, 발진기를 비활성화시키는 제2 논리 상태(a second logic state)에서 발진기에 발진기 제어 회로의 출력을 제공하도록 하는 논리 상태에서 저전압 표시자 신호를 송신하는 단계를 포함한다. 저전압 표시자 신호를 송신하는 다른 실시예는 저전압 표시자 신호를 레벨-시프팅(level-shifting)하는 단계를 포함한다. 논리 게이트에 레벨-시프트된 저전압 표시자 신호가 제공된다. 논리 게이트의 출력은 발진기와 결합된다.

[0016] 다른 일 실시예에서, 회로는 제1 출력 및 제2 출력을 갖는 논리 전원 도메인에 의해서 전원이 공급되는 메모리 제어 논리를 포함한다. 저전압 표시자 회로는 논리 전원 도메인의 출력에 결합되어 있다. 발진기 제어 회로는 저전압 표시자 회로의 출력에 결합되어 있는 제1 입력, 메모리 제어 논리의 제1 출력과 결합되어 있는 제2 입력, 및 출력을 갖는다. 발진기는 발진기 제어 회로의 출력에 결합되어 있는 제어 입력(control input), 및 발진기 출력(oscillator output)을 갖는다. 복수의 전압 증배기는 발진기의 출력과 결합되어 있고 논리 전원 도메인 보다 높은 절대 레벨(absolute level)을 갖는 높은 전압을 제공한다. 어레이 제어 논리는 복수의 전압 증배기 및 메모리 제어 논리의 제2 출력에 결합되어 있다. 메모리 어레이에는 어레이 제어 논리에 결합되어 있다. 다른 일 실시예에서 발진기 제어 회로는, 논리 전원 도메인 보다 높은 레벨을 갖고 높은 전압의 절대값 보다 낮은 레벨을 갖는 메모리 전원 도메인에 의해 전원이 공급된다. 다른 일 실시예에서, 발진기 제어 회로는 입력이 메모리 제어 논리의 제1 출력과 결합되어 있는 제1 레벨 시프터 및 출력을 포함한다. 제2 레벨 시프터는 저전압 표시자 회로의 출력과 결합되어 있는 입력 및 출력을 갖는다. 논리 게이트는 제1 레벨 시프터의 출력에 결합되어 있는 입력, 제2 레벨 시프터의 출력과 결합되어 있는 제2 입력, 및 발진기의 제어 입력과 결합되어 있는 출력을 갖는다. 일 실시예에서, 제2 레벨 시프터는 저전압 표시자 회로의 출력과 결합되어 있는 게이트, 접지 단자와 결합되어 있는 소스, 및 드레인을 갖는 트랜지스터를 포함한다. 저항 요소 및 다이오드-연결된 트랜지스터는, 트랜지스터의 드레인과 메모리 전원 도메인 사이에 직렬로 연결되어 있다. 메모리 전원 도메인에 의해서 전원이 공급되는 레벨-시프팅 회로(level-shifting circuit)는 저전압 표시자 회로의 출력에 결합되어 있는 제1 입력, 제1 트랜지스터의 드레인에 결합되어 있는 제2 입력, 제2 레벨 시프터의 출력과 같은 출력을 갖는다. 저전압 표시자 회로는 사전 결정된 전압 레벨 보다 논리 전원

도메인이 낮은 경우 낮은 논리값(a logic low)으로 저전압 표시자 회로의 출력을 제공한다. 어레이 제어 논리는, 메모리 제어 논리의 제2 출력에 응답하여 메모리 어레이에 더 높은 전압을 인가하도록 제어하는 회로를 포함하는데, 메모리 제어 논리의 제2 출력은 멀티 신호(multi-signal)이다. 다른 일 실시예에서, 메모리 어레이에는 프로그래밍 및 삭제를 위하여 높은 전압을 요구하는 비휘발성 메모리 셀을 포함한다. 어레이 제어 논리는 높은 전압을 이용해 프로그래밍 및 삭제를 제어한다. 어레이 제어 논리는 두 번째 전원 도메인 및 첫 번째 전원 도메인을 이용한다. 논리 전원 도메인이 사전 결정된 전압 레벨 보다 낮은 경우, 저전압 표시자 회로는 발진기 제어 회로가 발진기를 비활성화하도록 한다.

[0017]

본 명세서에서는 다른 일 실시예로, 프로그래밍 및 삭제를 위하여 높은 전압을 요구하는 셀의 메모리 어레이(memory array of cells)를 갖는 회로가 제공된다. 메모리 제어 회로는 판독, 프로그래밍, 및 삭제 작업의 수행을 명령하는 신호를 제공하고 메모리 제어 회로는 논리 전원 도메인에 의해서 전원이 공급된다. 저전압 표시자는 논리 전원 도메인이 사전 결정된 레벨 밑으로 된 경우에 표시한다. 발진기는 적어도 메모리 전원 도메인에 의해 전원이 공급된다. 발진기 제어 회로는 저전압 표시자가 논리 전원 도메인이 사전 결정된 레벨 아래로 된 경우에는 발진기를 비활성화하고 논리 전원 도메인이 사전 결정된 레벨에 있거나 그 이상이 된 경우에는 메모리 제어 회로가 발진기를 제어하도록 허용한다. 복수의 전압 증배기는 발진기의 출력에 결합되어 있고, 적어도 메모리 전원 도메인에 의해 전원이 공급되고 메모리 전원 도메인 보다 높은 레벨을 갖는 높은 전압을 제공한다. 어레이 제어 회로는, 메모리 제어 회로에 의해 명령된 바에 따라 프로그래밍 및 삭제 작업을 수행하는데 높은 전압을 메모리 어레이로 인가하기 위한 메모리 제어 회로 및 복수의 전압 증배기에 결합되어 있다. 메모리 제어 회로는 복수의 전압 증배기를 제어한다. 일 실시예에서, 발진기 제어 회로는 저전압 표시자에 결합된 제1 레벨 시프터를 포함한다. 제2 레벨 시프터는 메모리 제어 회로와 결합되어 있다. 논리 게이트는 제1 레벨 시프터, 제2 레벨 시프터, 및 발진기와 결합되어 있다.

[0018]

비록 본 발명이 구체적인 도전형 형태(conductivity types) 또는 전위의 극성(polarity of potentials)에 따라 설명되었지만, 도전형 형태 및 전위의 극성은 반대로 할 수 있다. 게다가, 명세서 및 청구항에서 사용된 "앞," "뒤," "위," "아래," "위로," "밑으로," "보다 위의," "보다 아래의"와 같은 용어는 상대적인 위치를 고정적으로 설명하기 위한 것이 아니라 예시적인 목적을 위해서 사용된 것이다. 본 명세서에서 사용된 용어들의 경우는 적절한 조건하에서 교환가능하므로 예를 들어, 본 명세서에서 설명된 발명의 실시예는 명세서에서 예시되거나 설명된 경우 뿐만 아니라 다른 상황(orientations)에서도 동작 가능하다. 본 명세서에서 사용된 "포함하다," "포함하는," 또는 다른 변형된 용어들은 배타적이지 않은 포함(non-exclusive inclusion)을 의미하도록 쓰였는데, 예를 들어 구성요소의 리스트를 포함하는 과정, 방법, 물품, 또는 장치는 그 구성요소 뿐만 아니라 명시적으로 리스트에 나타나지 않은 다른 구성요소 또는 그 과정, 방법, 물품, 또는 장치에 내재하는 구성요소들을 포함할 수 있다. 본 명세서에서 사용된 부정관사(a or an)는 하나 또는 하나 이상으로 정의된다. 청구항에서 "적어도 하나 이상" 및 "하나 이상"과 같은 도입 문구(introductory phrase)의 이용이, 부정관사를 이용하여 다른 청구항의 구성요소를 도입하는 경우에 있어서, 동일한 청구항이 "하나 이상" 또는 "적어도 하나 이상" 및 부정관사의 도입 문구를 포함하는 경우에도, 하나의 구성요소를 가진 발명이 위에서 도입된 청구항의 구성요소를 포함하는 어떤 청구항을 제한하는 것으로 해석되어서는 안된다. 이 경우는 정관사에도 적용된다. 달리 명시되지 않는 이상, "첫째" 및 "둘째"와 같은 용어는 임의로 용어를 설명하는 구성 요소 사이를 구분하기 위해 사용된다. 그러므로, 이러한 용어들은 구성요소 간의 시간적인 의미를 정하거나 구성요소의 우선순위를 정하는 것은 아니다.

[0019]

본 명세서에서 사용된 '복수의'라는 용어는 둘 또는 둘 이상으로 정의된다. 본 명세서에서 사용된 '또 하나'라는 용어는 최소한 두 번째 또는 그 이상으로 정의된다. 본 명세서에서 사용된 '구비하는' 및/또는 '가지는'의 용어는 '포함하는'(즉, 개방된 언어)의 의미로 정의된다. 본 명세서에서 사용된 '결합된'의 용어는 '연결된'의 의미로 정의되는데, 이는 직접적이나 기계적으로 연결되어 있어야함을 반드시 의미해야 하는 것은 아니다.

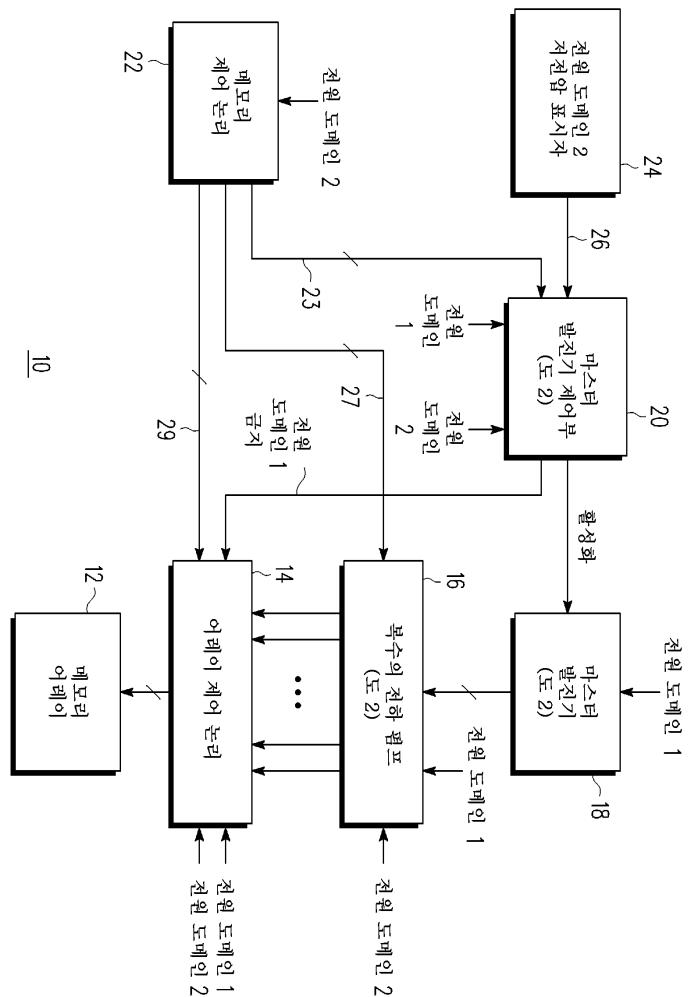
[0020]

비록 본 명세서에서는 발명이 구체적인 실시예를 참조하여 설명되었지만, 후술할 청구항에 기재된, 본 발명의 범위를 벗어나지 않은 상태에서 본 발명에 대한 다양한 수정 및 변화를 가하는 것도 가능하다. 예를 들어, 본 발명의 방법은 트랜지스터 뿐만이 아니라 다른 반도체 장치를 형성하는데에도 이용될 수 있다. 예를 들어, 다이오드 및 퓨즈도 이 방법을 이용해 구현될 수 있다. 또한, 본 명세서에서 구체적으로 기재된 재료 뿐만이 아니라 다양한 반도체 재료도 이용될 수 있다. 공통의 발진기에 의해서 클럭 신호가 제공되는 복수의 전하 펌프에 의해서 제어되는 각각의 어레이를 통해 복수의 메모리 어레이가 구현될 수 있다. 추가적으로 각각의 그룹화(groupings)는 단일 또는 마스터 발진기에 의해 제어되는, 복수의 전하 펌프의 그룹화가 구현될 수 있다. 본 명세서에서 나타난 구체적인 실시예와 관련하여 설명된 효용, 장점, 또는 문제에 대한 해결방법

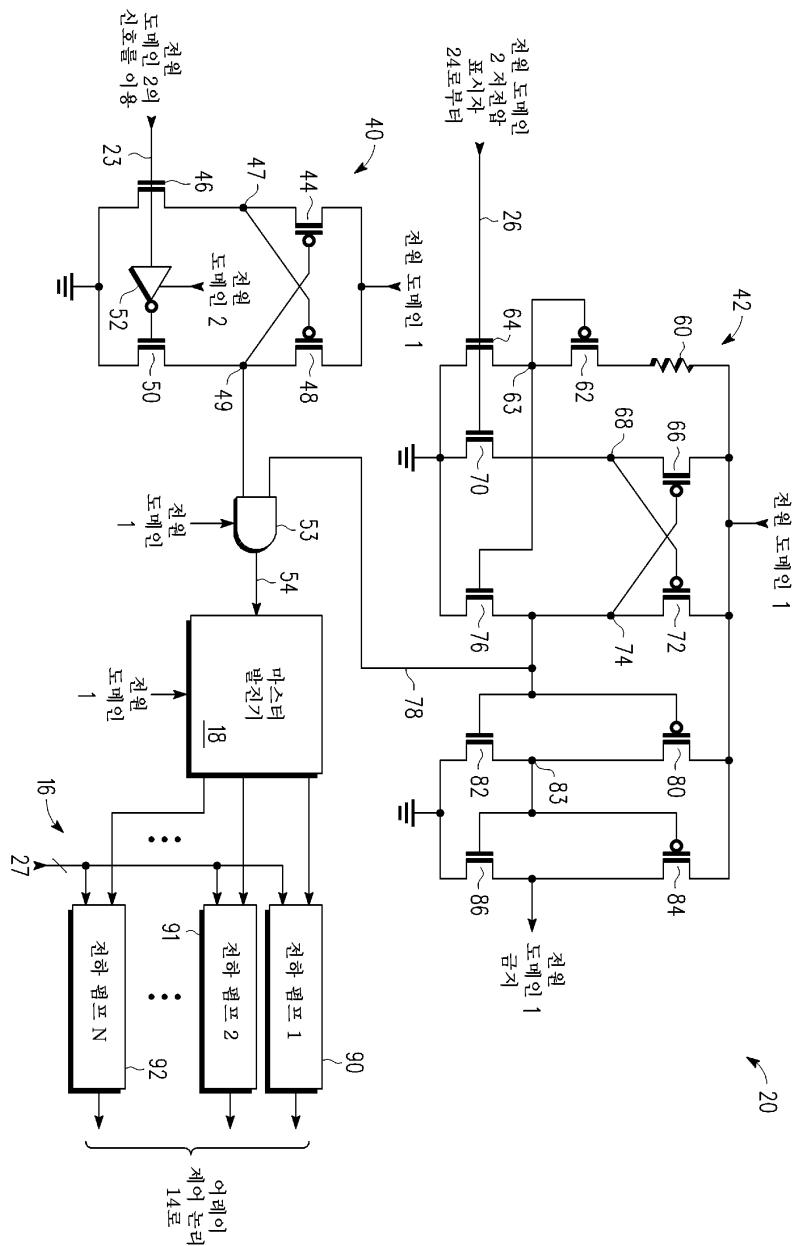
은 임의의 또는 모든 청구항의 중요하고, 반드시 요구되고, 필수적인 특징 또는 요소라고 해석되어서는 안 된다. 따라서, 명세서 및 도면은 발명의 범위를 제한하는 것이 아닌 예시를 위한 것으로 이해되어야 하며 본 발명에 대한 수정도 본 발명의 범위에 포함되는 것으로 보아야 한다.

도면

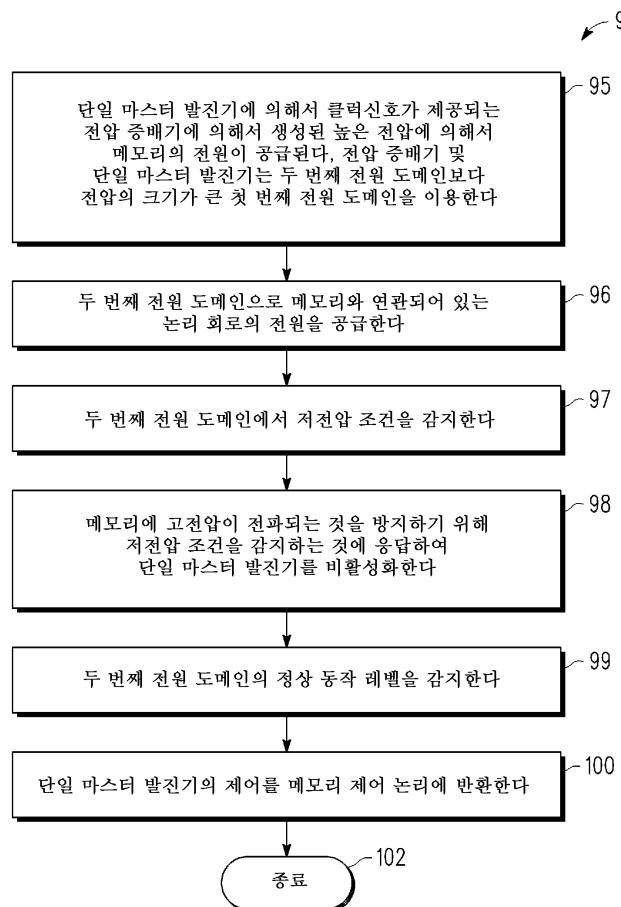
도면1



도면2



도면3



도면4

