

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 11 月 11 日 (11.11.2021)



(10) 国际公布号
WO 2021/223080 A1

- (51) 国际专利分类号:
H01L 23/60 (2006.01) **G01R 31/28** (2006.01)
H01L 23/544 (2006.01)
- (21) 国际申请号: PCT/CN2020/088673
- (22) 国际申请日: 2020 年 5 月 6 日 (06.05.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(**CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。
- (72) 发明人: 姜晓峰(**JIANG, Xiaofeng**); 中国北京市北
京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。韩林宏(**HAN, Linhong**); 中国北京市北

京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。杨慧娟(**YANG, Huijuan**); 中国北京市北
京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。张猛(**ZHANG, Meng**); 中国北京市北京
经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
代洁(**DAI, Jie**); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。张鑫(**ZHANG,
Xin**); 中国北京市北京经济技术开发区地泽路
9 号, Beijing 100176 (CN)。李慧君(**LI, Huijun**);
中国北京市北京经济技术开发区地泽路 9 号,
Beijing 100176 (CN)。王予(**WANG, Yu**); 中国北
京市北京经济技术开发区地泽路 9 号, Beijing
100176 (CN)。杨路路(**YANG, Lulu**); 中国北京
市北京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。白露(**BAI, Lu**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。王
思雨(**WANG, Siyu**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。和玉
鹏(**HE, Yupeng**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(54) Title: DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 显示基板及显示装置

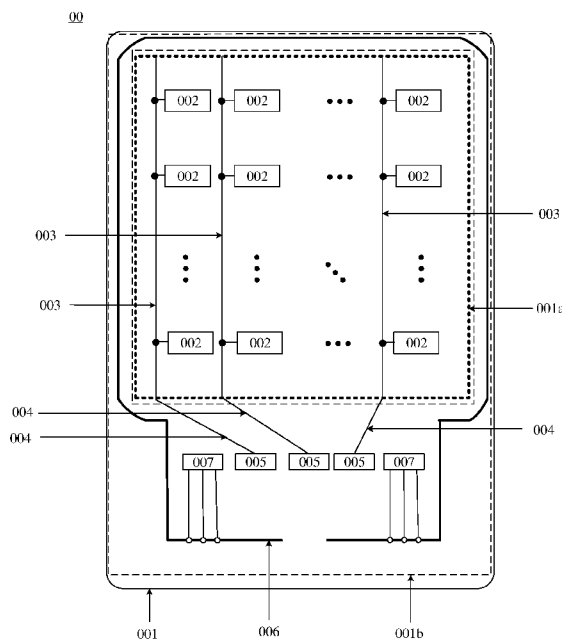


图 1

(57) Abstract: Provided are a display substrate (00) and a display device. The display substrate (00) comprises: a base substrate (001), a plurality of sub-pixels (002), a plurality of data lines (003), a plurality of data transmission lines (004), a plurality of electrostatic discharge circuits (005), a panel crack detection wiring (006) and a plurality of electrostatic discharge dummy circuits (007), wherein at least one electrostatic discharge dummy circuit (007) of the plurality of electrostatic discharge dummy circuits (007) can be connected to the panel crack detection wiring (006). Static electricity accumulated on the panel crack detection wiring (006) is released by means of the electrostatic discharge dummy circuit (007), such that other wirings in the display substrate (00) are prevented from being burnt out due to the static electricity accumulated on the panel crack detection wiring (006), and the yield of the display substrate (00) is improved.



(74) 代理人: 北京三高永信知识产权代理有限公司(BEIJING SAN GAO YONG XIN INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国北京市海淀区学院路蓟门里和景园A座1单元102室, Beijing 100088 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种显示基板(00)及显示装置。显示基板(00)包括: 显示基板(00)包括: 衬底基板(001), 多个子像素(002), 多条数据线(003), 多条数据传输线(004), 多个静电释放电路(005), 面板裂纹检测走线(006), 以及多个静电释放虚设电路(007), 其中多个静电释放虚设电路(007)中的至少一个静电释放虚设电路(007)可以与面板裂纹检测走线(006)连接。通过静电释放虚设电路(007)释放面板裂纹检测走线(006)上积累的静电, 避免显示基板(00)中的其他走线由于面板裂纹检测走线(006)上积累的静电而被烧断, 提高了显示基板(00)的良率。

显示基板及显示装置

技术领域

本申请涉及显示技术领域，特别涉及一种显示基板及显示装置。

背景技术

在显示基板的制造过程中，显示基板的边缘可能会出现难以观察到的微小裂纹，影响显示基板的质量。

发明内容

本申请提供了一种显示基板及显示装置，所述技术方案如下：

一方面，提供了一种显示基板，所述显示基板包括：

衬底基板，所述衬底基板具有显示区域，以及围绕所述显示区域的周边区域；

多个子像素，位于所述显示区域；

多条数据线，位于所述显示区域且与所述多个子像素电连接；

多条数据传输线，位于所述周边区域，且与所述多条数据线电连接；

多个静电释放电路，位于所述周边区域，且与所述多条数据传输线电连接，所述多个静电释放电路沿所述显示区域的边界的延伸方向排布；

面板裂纹检测走线，位于所述周边区域且环绕所述显示区域；

多个静电释放虚设电路，位于所述周边区域，沿所述显示区域的边界的延伸方向排布，所述多个静电释放虚设电路在沿所述显示区域边界的延伸方向上位于所述多个静电释放电路的至少一侧，所述多个静电释放虚设电路中的至少一个静电释放虚设电路与所述面板裂纹检测走线电连接，用于释放所述面板裂纹检测走线上的静电。

可选的，所述显示区域的边界包括依次连接的第一边界，第二边界，第三边界以及第四边界，所述多个静电释放电路和所述多个静电释放虚设电路位于靠近所述第一边界的所述周边区域；

所述多个静电释放虚设电路包括多个第一静电释放虚设子电路和多个第二静电释放虚设子电路；

在沿所述第一边界的延伸方向上，所述多个第一静电释放虚设子电路和所述多个第二静电释放虚设子电路分别位于所述多个静电释放电路的两侧。

可选的，所述面板裂纹检测走线包括：第一走线段，第二走线段以及第三走线段；

所述第一走线段为不连续走线，位于靠近所述显示区域的第一边界的所述周边区域，所述第一走线段沿所述第一边界的延伸方向延伸；

所述第二走线段为连续走线，位于靠近所述第一边界，所述第二边界以及所述第三边界的所述周边区域，所述第二走线段的两个端点位于靠近所述第一边界的所述周边区域；

所述第三走线段为连续走线，位于靠近所述第三边界，所述第四边界以及所述第一边界的所述周边区域，所述第三走线段的两个端点位于靠近所述第一边界的所述周边区域，所述第二走线段和所述第三走线段分别与所述第一走线段连接；

其中，所述多个静电释放虚设电路与所述第一走线段电连接。

可选的，所述第一走线段包括：沿所述第一边界的延伸方向延伸的第一子走线，第二子走线以及第三子走线，所述第一子走线和所述第二子走线位于所述第三子走线靠近所述显示区域的一侧；

所述第一子走线和所述第三子走线分别与所述第二走线段的两个端点连接，所述第二子走线和所述第三子走线分别与所述第三走线段的两个端点连接；

所述多个静电释放虚设电路与所述第三子走线电连接。

可选的，所述显示基板还包括：多条数据传输虚设线，所述多个静电释放虚设电路通过所述多条数据传输虚设线与所述第三子走线电连接。

可选的，所述显示基板还包括：多个第一测试电路，位于所述多个静电释放电路远离所述显示区域的一侧，且所述多个第一测试电路沿所述第一边界的延伸方向延伸排布；

所述多个第一测试电路中的至少一个所述第一测试电路包括：第一薄膜晶体管，第一控制线，第一测试数据线和第二测试数据线，所述第一控制线，所述第一测试数据线和所述第二测试数据线位于所述周边区域且沿所述第一边界的延伸方向延伸；

所述第一薄膜晶体管包括：第一源极，第一漏极和第一栅极，所述第一栅极与所述第一控制线电连接，所述第一源极与所述第一测试数据线，第二测试

数据线，所述第一子走线以及所述第二子走线中的一条线电连接，所述第一漏极与所述多条数据传输线中的一条电连接。

可选的，所述显示基板还包括：多个第一测试虚设电路，所述多个第一测试虚设电路在沿所述第一边界的延伸方向上，位于所述多个第一测试电路的两侧且位于所述多个静电释放虚设电路和所述第三子走线之间，所述多个第一测试虚设电路通过所述多条数据传输虚设线与所述第三子走线以及所述静电释放虚设电路电连接。

可选的，所述多个第一测试虚设电路中的至少一个所述第一测试虚设电路包括：第一虚设薄膜晶体管以及第二控制线，所述第二控制线位于所述周边区域且沿所述第一边界的延伸方向延伸，所述第一虚设薄膜晶体管包括：第一虚设源极，第一虚设漏极以及第一虚设栅极；

所述第一虚设栅极与所述第二控制线电连接，所述第一虚设漏极与所述多条数据传输虚设线中的一条电连接。

可选的，所述静电释放虚设电路的数量与所述第一测试虚设电路的数量相同，每个所述静电释放虚设电路通过一个所述第一测试虚设电路与所述第三子走线电连接。

可选的，所述显示基板还包括：多个第二测试电路，所述多个第二测试电路位于所述多个静电释放电路和所述多个第一测试电路之间，且所述多个第二测试电路通过所述多条数据传输线与所述多个静电释放电路以及所述多个第一测试电路电连接。

可选的，所述多个第二测试电路中的至少一个所述第二测试电路包括：第一子电路，第二子电路和第三子电路，所述第二子电路位于所述第一子电路与所述第三子电路之间，所述第一子电路位于所述第二子电路远离所述多个子像素的一侧。

可选的，所述多条数据传输线包括：多条第一数据传输线和多条第二数据传输线，所述多条第一数据传输线和所述多条第二数据传输线一一交替排布；

所述第一子电路包括：第二薄膜晶体管，第三控制线，以及第三测试数据线，所述第三控制线和所述第三测试数据线沿所述第一边界的延伸方向延伸；

所述第二薄膜晶体管包括：第二源极，第二漏极和第二栅极，所述第二源极与所述第三测试数据线的电连接，所述第二漏极与所述多条第一数据传输线中的一条电连接，所述第二栅极与所述第三控制线电连接。

可选的，所述第二子电路包括：第三薄膜晶体管，第四薄膜晶体管，第四控制线，第四测试数据线，以及第五测试数据线，所述第三控制线，所述第四测试数据线，以及所述第五测试数据线沿所述第一边界的延伸方向延伸；

所述第三薄膜晶体管包括：第三源极，第三漏极和第三栅极，所述第三源极与所述第四测试数据线电连接，所述第三漏极与所述多条第二数据传输线中的一条电连接，所述第三栅极与所述第四控制线电连接；

所述第四薄膜晶体管包括：第四源极，第四漏极和第四栅极，所述第四源极与所述第五测试数据线电连接，所述第四漏极与所述多条第二数据传输线中的一条电连接，所述第四栅极与所述第四控制线电连接。

可选的，所述第三子电路包括：第五薄膜晶体管，第六薄膜晶体管，第五控制线，第六测试数据线，以及第七测试数据线；所述第五控制线，所述第六测试数据线和所述第七测试数据线沿所述第一边界的延伸方向延伸；

所述第五薄膜晶体管包括：第五源极，第五漏极和第五栅极，所述第五源极与所述第六测试数据线电连接，所述第五漏极与所述多条第二数据传输线中的一条电连接，所述第五栅极与所述第五控制线电连接；

所述第六薄膜晶体管包括：第六源极，第六漏极和第六栅极，所述第六源极与所述第七测试数据线电连接，所述第六漏极与所述多条第二数据传输线中的一条电连接，所述第六栅极与所述第五控制线电连接。

可选的，所述显示基板还包括：多个第二测试虚设电路，所述多个第二测试虚设电路在沿所述第一边界的延伸方向上，位于所述多个第二测试电路的两侧且位于多个静电释放虚设电路和所述多个第一测试虚设电路之间，所述多个第二测试虚设电路通过所述多条数据传输虚设线与所述第一测试虚设电路以及所述静电释放虚设电路电连接。

可选的，所述多个第二测试虚设电路中的至少一个所述第二测试虚设电路包括：第一虚设子电路，第二虚设子电路和第三虚设子电路，所述第二虚设子电路位于所述第一虚设子电路与所述第三虚设子电路之间，所述第一虚设子电路位于所述第二虚设子电路远离所述多个子像素的一侧。

可选的，所述多条数据传输虚设线包括：多条第一数据传输虚设线和多条第二数据传输虚设线，所述多条第一数据传输虚设线和所述多条第二数据传输虚设线一一交替排布；

所述第一虚设子电路包括：第二虚设薄膜晶体管，第六控制线，以及第八

测试数据线, 所述第六控制线和所述第八测试数据线沿所述第一边界的延伸方向延伸, 所述第二虚设薄膜晶体管包括: 第二虚设源极, 第二虚设漏极和第二虚设栅极, 所述第二虚设漏极与所述多条第一数据传输虚设线中的一条电连接, 所述第二虚设栅极与所述第六控制线电连接。

可选的, 所述第二虚设子电路包括: 第三虚设薄膜晶体管, 第四虚设薄膜晶体管, 第七控制线, 第九测试数据线, 以及第十测试数据线, 所述第七控制线, 所述第九测试数据线, 以及所述第十测试数据线沿所述第一边界的延伸方向延伸;

所述第三虚设薄膜晶体管包括: 第三虚设源极, 第三虚设漏极和第三虚设栅极, 所述第三虚设漏极与所述多条第二数据传输虚设线中的一条电连接, 所述第三虚设栅极与所述第七控制线电连接;

所述第四虚设薄膜晶体管包括: 第四虚设源极, 第四虚设漏极和第四虚设栅极, 所述第四虚设漏极与所述多条第二数据传输线中的一条电连接, 所述第四虚设栅极与所述第七控制线电连接。

可选的, 所述第三虚设子电路包括: 第五虚设薄膜晶体管, 第六虚设薄膜晶体管, 第八控制线, 第十一测试数据线, 以及第十二测试数据线; 所述第八控制线, 所述第十一测试数据线和所述第十二测试数据线沿所述第一边界的延伸方向延伸;

所述第五虚设薄膜晶体管包括: 第五虚设源极, 第五虚设漏极和第五虚设栅极, 所述第五虚设漏极与所述多条第二数据传输线中的一条电连接, 所述第五虚设栅极与所述第八控制线电连接;

所述第六虚设薄膜晶体管包括: 第六虚设源极, 第六虚设漏极和第六虚设栅极, 所述第六虚设漏极与所述多条第二数据传输线中的一条电连接, 所述第六虚设栅极与所述第八控制线电连接。

可选的, 所述第二测试虚设电路的数量与所述静电释放虚设电路的数量以及所述第一测试虚设电路的数量相同, 每个所述静电释放虚设电路通过一个所述第二测试虚设电路与一个所述第一测试虚设电路电连接。

可选的, 所述显示基板还包括: 至少一个第一信号输入端;

所述至少一个第一信号输入端与所述面板裂纹检测走线中第一走线段中的第三子走线连接, 所述至少一个第一信号输入端被配置为接收测试信号, 以对所述显示基板进行检测。

可选的，所述至少一个第一信号输入端包括两个第一信号输入端，所述两个第一信号输入端分别位于所述第一测试电路的两侧。

可选的，所述显示基板还包括：第一检测端和第二检测端；

所述第一检测端与所述面板裂纹检测走线中第一走线段中的第一子走线连接，用于为所述第一子走线提供检测信号；

所述第二检测端与所述面板裂纹检测走线中第一走线段中的第二子走线连接，用于接收所述检测信号，以对所述显示基板进行检测。

可选的，所述多个静电释放虚设电路中的至少一个所述静电释放虚设电路包括：静电防护线，至少一个第一放电晶体管，以及至少一个第二放电晶体管；

所述至少一个第一放电晶体管的第一极和栅极均与所述面板裂纹检测走线电连接，所述至少一个第一放电晶体管的第二极与所述静电防护线电连接；

所述至少一个第二放电晶体管的第一极和栅极均与所述静电防护线电连接，所述至少一个第二放电晶体管的第二极与所述面板裂纹检测走线电连接。

可选的，所述多个静电释放虚设电路沿所述显示区域的边界均匀分布在所述周边区域。

另一方面，提供了一种显示装置，所述显示装置包括：如上述方面所述的显示基板。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本申请实施例提供的一种显示基板的结构示意图；

图2是本申请实施例提供的另一种显示基板的结构示意图；

图3是本申请实施例提供的又一种显示基板的结构示意图；

图4是本申请实施例提供的再一种显示基板的结构示意图；

图5是本申请实施例提供的再一种显示基板的结构示意图；

图6是本申请实施例提供的一种第一测试电路的结构示意图；

图7是图5所示的显示基板的局部示意图；

图8是本申请实施例提供的一种第一测试虚设电路的结构示意图；

图 9 是本申请实施例提供的另一种第一测试虚设电路的示意图；
图 10 是本申请实施例提供的再一种显示基板的结构示意图；
图 11 是本申请实施例提供的一种第二测试电路的结构示意图；
图 12 是本申请实施例提供的一种显示基板的截面图；
图 13 是本申请实施例提供的一种第二测试虚设电路的结构示意图；
图 14 是本申请实施例提供的再一种显示基板的结构示意图；
图 15 是本申请实施例提供的一种检测面板裂纹检测走线的电路图；
图 16 是本申请实施例提供的再一种显示基板的结构示意图；
图 17 是本申请实施例提供的一种静电释放虚设电路的电路图；
图 18 是本申请实施例提供的另一种静电释放虚设电路的电路图；
图 19 是本申请实施例提供的一种静电释放虚设电路释放负电荷的原理图；
图 20 是本申请实施例提供的一种静电释放虚设电路释放正电荷的原理图；
图 21 是本申请实施例提供的一种静电释放虚设电路的结构示意图；
图 22 是本申请实施例提供的一种静电释放虚设电路的电路图；
图 23 是本申请实施例提供的另一种静电释放电路的电路图；
图 24 是本申请实施例提供的一种静电释放电路释放负电荷的原理图；
图 25 是本申请实施例提供的一种静电释放电路释放正电荷的原理图；
图 26 是本申请实施例提供的一种静电释放电路的结构示意图；
图 27 是本申请实施例提供的一种静电释放虚设电路，第一测试虚设电路，以及第二测试虚设电路的结构示意图；
图 28 是本申请实施例提供的一种静电释放电路，第一测试电路，以及第二测试电路的结构示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

相关技术中，为了检测显示基板的边缘是否存在裂纹，通常在显示基板的衬底基板 001 的边缘区域设置面板裂纹检测 (panel crack detection, PCD) 走线。该 PCD 走线为环绕衬底基板的显示区域的环状走线。该 PCD 走线的一端和另一端均与检测电路连接以形成回路。该检测电路用于向该 PCD 的一端输入检测信号，并可以检测是否能够从该 PCD 走线的另一端接收到该检测信号。

但是, 由于该 PCD 走线需环绕衬底基板 001 的显示区域, 因此该 PCD 走线的长度较长, 导致在显示基板的制造过程中, 该 PCD 走线上容易积累静电, 该积累的静电容易导致该显示基板中的其他走线被烧断, 显示基板的良率较低。

图 1 是本申请实施例提供的一种显示基板的结构示意图。参考图 1 可以看出, 该显示基板 00 可以包括: 衬底基板 001, 多个子像素 002, 多条数据线 003, 多条数据传输线 004, 多个静电释放 (electro-static discharge, ESD) 电路 005, 面板裂纹检测走线 006, 以及多个静电释放虚设电路 007。示例的, 图 1 中示出了 6 个子像素 002, 3 条数据线 003, 3 条数据传输线 004, 3 个静电释放电路 005, 以及 2 个静电释放虚设电路 007。其中, 该衬底基板 001 可以具有显示区域 001a, 以及围绕该显示区域 001a 的周边区域 001b。

参考图 1, 该多个子像素 002 可以位于显示区域 001a, 多条数据线 003 可以位于该显示区域 001a 且与多个子像素 002 电连接。例如, 每条数据线 003 可以与多个子像素 002 中一列子像素 002 电连接。

该多条数据传输线 004 可以位于周边区域 001b, 且与多条数据线 003 电连接。例如, 每条数据传输线 004 可以与一条数据线 003 电连接。

该多个静电释放电路 005 可以位于周边区域 001b, 该多个静电释放电路 005 可以与多条数据传输线 004 电连接, 且该多个静电释放电路 005 可以沿显示区域 001a 的边界的延伸方向排布。也即是, 该静电释放电路 005 可以通过数据传输线 004 与数据线 003 电连接, 可以用于释放数据线 003 上的静电。

该面板裂纹检测走线 006 可以位于周边区域 001b 且环绕显示区域 001a。也即是, 该面板裂纹检测走线 006 可以为环绕显示区域 001a 的环状走线。

该多个静电释放虚设电路 007 可以位于周边区域 001b, 沿显示区域 001a 的边界的延伸方向排布, 该多个静电释放虚设电路 007 在沿显示区域 001a 边界的延伸方向上位于多个静电释放电路 005 的至少一侧, 该多个静电释放虚设电路 007 中的至少一个静电释放虚设电路 007 与面板裂纹检测走线 006 连接, 可以用于释放面板裂纹检测走线 006 上的静电。

需要说明的是, 在显示基板 00 的制造过程中, 需在衬底基板 001 的周边区域 001b 制造静电释放电路 005, 该静电释放电路 005 与显示基板 00 中的数据传输线 004 电连接, 该数据传输线 004 与数据线 003 电连接, 该静电释放电路 005 可以用于释放数据线 003 中的静电。由于在制造静电释放电路 005 时, 为了保证与数据传输线 004 电连接的静电释放电路 005 的制造精度, 可以在该衬底基

板 001 上制造不与数据传输线 004 电连接的静电释放电路 005, 即静电释放虚设电路 007。在本申请实施例中, 显示基板中设置的静电释放虚设电路 007 可以与面板裂纹检测走线 006 连接, 由此可以释放该面板裂纹检测走线 006 中的静电。

综上所述, 本申请实施例提供了一种显示基板, 该显示基板包括: 衬底基板, 多个子像素, 多条数据线, 多条数据传输线, 多个静电释放电路, 面板裂纹检测走线, 以及多个静电释放虚设电路, 其中多个静电释放虚设电路中的至少一个静电释放虚设电路可以与面板裂纹检测走线连接。本申请实施例提供的方案可以通过静电释放虚设电路释放面板裂纹检测走线上积累的静电, 避免显示基板中的其他走线由于面板裂纹检测走线上积累的静电而被烧断, 提高了显示基板的良率。

图 2 是本申请实施例提供的另一种显示基板的结构示意图。参考图 2 可以看出, 显示区域 001a 的边界可以包括依次连接的第一边界 001a1, 第二边界 001a2, 第三边界 001a3 以及第四边界 001a4。其中多个静电释放电路 005 和多个静电释放虚设电路 007 可以位于靠近第一边界 001a1 的周边区域 001b1。

参考图 2, 该多个静电释放虚设电路 007 可以包括多个第一静电释放虚设子电路 0071 和多个第二静电释放虚设子电路 0072, 例如图 2 中示出了两个第一静电释放虚设子电路 0071 和两个第二静电释放虚设子电路 0072。

在沿第一边界 001a1 的延伸方向 X 上, 多个第一静电释放虚设子电路 0071 和多个第二静电释放虚设子电路 0072 可以分别位于多个静电释放电路 005 的两侧。也即是, 在多个静电释放电路 005 的两侧均设置有静电释放虚设电路 007, 由此可以将多个第一静电释放虚设电路 007 中至少一个第一静电释放虚设电路 007 与面板裂纹检测走线 006 连接, 并将多个第二静电释放虚设电路 007 中至少一个第二静电释放虚设电路 007 与面板裂纹检测走线 006 连接, 而该第一静电释放虚设电路 0071 和第二静电释放虚设电路 0072 分别位于多个静电释放电路 005 的两侧, 因此该第一静电释放虚设电路 0071 和第二静电释放虚设电路 0072 可以分别释放面板裂纹检测走线 006 中不同区域的静电, 静电释放的可靠性较好, 显示基板的良率较高。

需要说明的是, 由于在显示基板 00 的制造过程中, 该面板裂纹检测走线 006 位于靠近第一边界 001a1 的周边区域 001b1 的部分相对于其他区域更容易积累静电。因此将该静电释放虚设电路 007 设置在靠近第一边界 001a1 的周边区域 001b1, 可以便于释放该面板裂纹检测走线 006 位于靠近第一边界 001a1 的周边

区域 001b1 的部分的静电。避免由于该面板裂纹检测走线 006 中积累的静电较多导致显示基板中的其他走线被烧断, 保证显示基板 00 的良率。

图 3 是本申请实施例提供的又一种显示基板的结构示意图。参考图 3 还可以看出, 该面板裂纹检测走线 006 包括: 第一走线段 0061, 第二走线段 0062 以及第三走线段 0063。

该第一走线段 0061 为不连续走线, 该第一走线段 0061 位于靠近显示区域 001a 的第一边界 001a1 的周边区域 001b, 且该第一走线段 0061 沿第一边界 001a1 的延伸方向 X 延伸。

第二走线段 0062 为连续走线, 该第二走线段 0062 位于靠近第一边界 001a1, 第二边界 001a2 以及第三边界 001a3 的周边区域 001b, 且该第二走线段 0062 的两个端点 0062a 和 0062b 位于靠近第一边界 001a1 的周边区域 001b1, 该第二走线段 0062 与第一走线段 0061 连接。

第三走线段 0063 为连续走线, 该第三走线段 0063 位于靠近第三边界 001a3, 第四边界 001a4 以及第一边界 001a1 的周边区域 001b, 且该第三走线段 0063 的两个端点 0063a 和 0063b 位于靠近第一边界 001a1 的周边区域 001b1, 该第三走线段 0063 与第一走线段 0061 连接。

其中, 该多个静电释放虚设电路 007 与第一走线段 0061 电连接, 从而释放第一走线段 0061, 以及与该第一走线段 0061 连接的第二走线段 0062 以及第三走线段 0063 中的静电。

参考图 3 还可以看出, 该第一走线段 0061 可以包括: 沿第一边界 001a1 的延伸方向 X 延伸的第一子走线 00611, 第二子走线 00612 以及第三子走线 00613。该第一子走线 00611 和第二子走线 00612 位于第三子走线 00613 靠近显示区域 001a 的一侧。

其中, 参考图 3, 该第一子走线 00611 的第一端 00611a 可以与第二走线段 0062 的第一端 0062a 连接, 第三子走线 00613 的第一端 00613a 可以与第二走线段 0062 的第二端 0062b 连接, 第二子走线 00612 的第一端 00612a 可以与第三走线段 0063 的第一端 0063a 连接, 第三子走线 00613 的第二端 00613b 可以与第三走线段 0063 的第二端 0063b 连接。并且, 该第一子走线 00611 的第二端 00611b 和第二子走线 00612 的第二端 00612b 具有间隙。多个静电释放虚设电路 007 可以与第三子走线 00613 连接。

需要说明的是, 该第一走线段 0061, 第二走线段 0062, 以及第三走线段 0063

可以采用同一次构图工艺制备得到，也可以采用不同的构图工艺制备得到，本申请实施例对此不作限定。图 3 中采用不同粗细的线条示意第一走线段 0061，第二走线段 0062，以及第三走线段 0063，只是为了区分各个走线段，并不表示各个走线段的实际线宽。在本申请实施例中，第一走线段 0061，第二走线段 0062，以及第三走线段 0063 的线宽可以相同。

图 4 是本申请实施例提供的再一种显示基板的结构示意图。参考图 4，显示基板 00 还可以包括：多条数据传输虚设线 008，多个静电释放虚设电路 007 通过多条数据传输虚设线 008 与第三子走线 00613 连接，由此实现静电释放虚设电路 007 与第三子走线 00613 的连接，从而释放静电。示例的，多个静电释放虚设电路 007 中的每个静电释放虚设电路 007 可以通过一条数据传输虚设线 008 与第三子走线 00613 连接。

参考图 4 可以看出，该显示基板 00 还可以包括：多个第一测试电路 009，例如，图 4 中示出了三个第一测试电路 009。该多个第一测试电路 009 可以位于多个静电释放电路 005 远离显示区域 001a 的一侧，且多个第一测试电路 009 可以沿第一边界 001a1 的延伸方向 X 延伸排布。

图 5 是本申请实施例提供的再一种显示基板的结构示意图。图 6 是本申请实施例提供的一种第一测试电路的结构示意图。结合图 5 和图 6 可以看出，该第一测试电路 009 可以包括：第一薄膜晶体管 0091，第一控制线 0092，第一测试数据线 0093 和第二测试数据线 0094。该第一控制线 0092，第一测试数据线 0093 和第二测试数据线 0094 可以位于周边区域 001b 且沿第一边界 001a1 的延伸方向 X 延伸。

图 7 是图 5 所示的显示基板的局部示意图。结合图 6 和图 7，该第一薄膜晶体管 0091 可以包括：第一源极 00911，第一漏极 00912 和第一栅极 00913。该第一栅极 00913 可以与第一控制线 0092 电连接，第一源极 00911 可以与第一测试数据线 0093，第二测试数据线 0094，第一子走线 00611 以及第二子走线 00612 中的一条线电连接，第一漏极 00912 可以与多条数据传输线 004 中的一条电连接。其中，图 7 中的第一源极 00911 可以与第二子走线 00612 电连接。

其中，该第一控制线 0092 可以为第一薄膜晶体管 0091 的第一栅极 00913 提供栅极驱动信号。其中，该栅极驱动信号还可以称为面板检测开关（cell test switch，CTS）信号。若该第一薄膜晶体管 0091 为用于驱动红色（red，R）子像素或蓝色（blue，B）子像素发光的薄膜晶体管，则该第一薄膜晶体管 0091 的漏

极可以与第一测试数据线 0093 电连接, 该第一测试数据线 0093 用于为红色子像素以及蓝色子像素提供数据信号。若该第一薄膜晶体管 0091 为用于驱动绿色 (green, G) 子像素发光的薄膜晶体管, 则该第一薄膜晶体管 0091 的第一漏极 00912 可以与第二测试数据线 0094, 第一子走线 00611 以及第二子走线 00612 中的一条电连接, 该第二测试数据线 0094, 第一子走线 00611, 或者第二子走线 00612 用于为绿色子像素提供数据信号。

需要说明的是, 该背板测试过程中, 第二测试数据线 0094 提供给绿色子像素的第一薄膜晶体管 0091 的驱动信号, 与该第一测试数据线 0093 提供给红色子像素的第一薄膜晶体管 0091 或蓝色子像素的第一薄膜晶体管 0091 的驱动信号相同。

需要说明的是, 在显示基板的制造过程中, 需在衬底基板 001 靠近第一边界 001a1 的周边区域 001b1 制造第一测试电路 009, 该第一测试电路 009 与显示基板 00 中的子像素 002 电连接, 用于检测子像素 002 的发光性能。由于在制造第一测试电路 009 时, 为了保证与子像素 002 电连接的第一测试电路 009 的制造精度, 可以在该衬底基板 001 上制造不与子像素 002 电连接的测试电路, 即第一测试虚设电路 010。在本申请实施例, 显示基板 00 中设置的静电释放虚设电路 007 可以通过该第一测试虚设电路 010 与面板裂纹检测走线 006 连接, 可以优化背板的走线和电路排布。

图 8 是本申请实施例提供的一种第一测试虚设电路的示意图。结合图 5 和图 8 可以看出, 该显示基板 00 还可以包括: 多个第一测试虚设电路 010, 该多个第一测试虚设电路 010 在沿第一边界 001a1 的延伸方向 X 上, 位于多个第一测试电路 009 的两侧且位于多个静电释放虚设电路 007 和第三子走线 00613 之间。该多个第一测试虚设电路 010 通过多条数据传输虚设线 008 与第三子走线 00613 以及静电释放虚设电路 007 电连接。也即是, 该静电释放虚设电路 007 可以通过该第一测试虚设电路 010 与第三子走线 00613 连接, 从而释放静电。

图 9 本申请实施例提供的另一种第一测试虚设电路的示意图。参考图 9 可以看出, 该第一测试虚设电路 010 中的至少一个第一测试虚设电路 010 可以包括: 第一虚设薄膜晶体管 0101, 以及第二控制线 0102。该第二控制线 0102 位于周边区域 001b 且沿第一边界 001a1 的延伸方向 X 延伸。

其中, 该第一虚设薄膜晶体管 0101 可以包括: 第一虚设源极 01011, 第一虚设漏极 01012 以及第一虚设栅极 01013。该第一虚设栅极 01013 可以与第二控

制线 0102 电连接, 该第二控制线 0102 可以为第一虚设栅极 01013 提供栅极驱动信号。第一虚设漏极 01012 可以与多条数据传输虚设线 008 中的一条电连接。

在本申请实施例中, 第一控制线 0092 可以与第二控制线 0102 电连接, 也即是, 该第一控制线 0092 和第二控制线 0102 可以为同一条控制线, 该第一控制线 0092 提供给第一薄膜晶体管 0091 的第一栅极 00913 的栅极驱动信号, 可以与第二控制线 0102 提供给第一虚设薄膜晶体管 0101 的第一虚设栅极 01013 的栅极驱动信号相同。

在本申请实施例中, 静电释放虚设电路 007 的数量可以与第一测试虚设电路 010 的数量相同, 每个静电释放虚设电路 007 可以通过一个第一测试虚设电路 010 与第三子走线 00613 电连接。

示例的, 并且图 5 示出了两个静电释放虚设电路 007, 且分别位于静电释放电路 005 的两侧。其中每个静电释放虚设电路 007 可以与位于同一侧的第一测试虚设电路 010 电连接。

或者, 静电释放虚设电路 007 的数量可以小于第一测试虚设电路 010 的数量。例如, 每个静电释放虚设电路 007 与对应的一个第一测试虚设电路 010 电连接, 未与静电释放虚设电路 007 电连接的第一测试电路 009 仍为独立的电路。

又或者, 静电释放虚设电路 007 的数量可以大于第一测试虚设电路 010 的数量。例如, 多个静电释放虚设电路 007 中的至少两个静电释放虚设电路 007 与同一个第一测试虚设电路 010 电连接。

图 10 是本申请实施例提供的再一种显示基板的结构示意图。参考图 10 可以看出, 该显示基板 00 还可以包括: 多个第二测试电路 011, 该多个第二测试电路 011 可以位于多个静电释放电路 005 和多个第一测试电路 009 之间, 且该多个第二测试电路 011 可以通过多条数据传输线 004 与多个静电释放电路 005 以及多个第一测试电路 009 电连接。

图 11 是本申请实施例提供的一种第二测试电路的示意图。参考图 11, 该多个第二测试电路 011 中的至少一个第二测试电路 011 可以包括: 第一子电路 0111, 第二子电路 0112 和第三子电路 0113。并且, 该第二子电路 0112 可以位于第一子电路 0111 与第三子电路 0113 之间, 该第一子电路 0111 位于第二子电路 0112 远离多个子像素 002 的一侧, 第三子电路 0113 位于第二子电路 0112 靠近多个子像素 002 的一侧。

参考图 11, 该多条数据传输线 004 可以包括: 多条第一数据传输线 0041 和

多条第二数据传输线 0042, 该多条第一数据传输线 0041 和 多条第二数据传输线 0042 一一交替排布, 例如图 11 中示出了三条第一数据传输线 0041 和三条第二数据传输线 0042。该第一子电路 0111 可以包括: 第二薄膜晶体管 01111, 第三控制线 01112 以及第三测试数据线 01113, 该第三控制线 01112 和第三测试数据线 01113 可以沿第一边界 001a1 的延伸方向 X 延伸。

其中, 参考图 12, 该多条第一数据传输线 0041 可以与薄膜晶体管中的第一层栅极 G 同层设置, 多条第二数据传输线 0042 可以与第二层栅极同层设置。也即是, 该第一数据传输线 0041 可以与第一层栅极 G 采用一次构图工艺形成, 第二数据传输线 0042 可以与第二层栅极采用一次构图工艺形成。

其中, 参考图 11, 该第二薄膜晶体管 01111 可以包括: 第二源极 011111, 第二漏极 011112 和第二栅极 011113, 该第二源极 011111 可以与第三测试数据线 01113 电连接, 第二漏极 011112 可以与多条第一数据传输线 0041 中的一条电连接, 第二栅极 011113 可以与第三控制线 01112 电连接。该第三测试数据线 01113 可以为第二源极 011111 提供数据信号, 第三控制线 01112 可以为第二栅极 011113 提供栅极驱动信号。

可选的, 第一数据传输线 0041 可以与显示区域 001a 中用于为绿色子像素 002 提供驱动信号的数据线 003 电连接。

参考图 11 还可以看出, 该第二子电路 0112 可以包括: 第三薄膜晶体管 01121, 第四薄膜晶体管 01122, 第四控制线 01123, 第四测试数据线 01124, 以及第五测试数据线 01125。该第四控制线 01123, 第四测试数据线 01124, 以及第五测试数据线 01125 沿第一边界 001a1 的延伸方向 X 延伸。

其中, 该第三薄膜晶体管 01121 可以包括: 第三源极 011211, 第三漏极 011212 和第三栅极 011213, 该第三源极 011211 可以与第四测试数据线 01124 电连接, 第三漏极 011212 可以与多条第二数据传输线 0042 中的一条电连接, 第三栅极 011213 可以与第四控制线 01123 电连接。该第四测试数据线 01124 可以为第三源极 011211 提供数据信号, 第四控制线 01123 可以为第三栅极 011213 提供栅极驱动信号。

该第四薄膜晶体管 01122 可以包括: 第四源极 011221, 第四漏极 011222 和第四栅极 011223, 该第四源极 011221 可以与第五测试数据线 01125 电连接, 第四漏极 011222 可以与多条第二数据传输线 0042 中的一条电连接, 第四栅极 011223 可以与第四控制线 01123 电连接。该第五测试数据线 01125 可以为第四

源极 011221 提供数据信号,第四控制线 01123 还可以为第四栅极 011223 提供栅极驱动信号。也即是,该第三薄膜晶体管 01121 和第四薄膜晶体管 01122 可以共用一条控制线。

可选的,该第二数据传输线 0042 可以与显示区域 001a 中为红色子像素 002 或蓝色子像素 002 提供驱动信号的数据线 003 电连接。

参考图 11,该第三子电路 0113 可以包括:第五薄膜晶体管 01131,第六薄膜晶体管 01132,第五控制线 01133,第六测试数据线 01134,以及第七测试数据线 01135。该第六测试数据线 01134 和第七测试数据线 01135 可以沿第一边界 001a1 的延伸方向 X 延伸。

其中,第五薄膜晶体管 01131 可以包括:第五源极 011311,第五漏极 011312 和第五栅极 011313。该第五源极 011311 可以与第六测试数据线 01134 电连接,第五漏极 011312 可以与多条第二数据传输线 0042 中的一条电连接,第五栅极 011313 可以与第五控制线 01133 电连接。该第六测试数据线 01134 可以为第五源极 011311 提供数据信号,第五控制线 01133 可以为第五栅极 011313 提供栅极驱动信号。

该第六薄膜晶体管 01132 可以包括:第六源极 011321,第六漏极 011322 和第六栅极 011323,该第六源极 011321 可以与第七测试数据线 01135 电连接,第六漏极 011322 可以与多条第二数据传输线 0042 中的一条电连接,第六栅极 011323 可以与第五控制线 01133 电连接。该第七测试数据线 01135 可以为第六源极 011321 提供数据信号,该第五控制线 01133 还可以为第六栅极 011323 提供栅极驱动信号。也即是,该第五薄膜晶体管 01131 和第六薄膜晶体管 01132 可以共用一条控制线。

在本申请实施例中,参考图 11,第四控制线 01123 和第五控制线 01131 相邻设置,该第四控制线 01123 和第五控制线 01131 可以为一条控制线。由此,第三薄膜晶体管 01121,第四薄膜晶体管 01122,第五薄膜晶体管 01131 以及第六薄膜晶体管 01132 可以共用一条控制线。

参考图 10 还可以看出,该显示基板 00 还可以包括:多个第二测试虚设电路 012。该多个第二测试虚设电路 012 在沿第一边界 001a1 的延伸方向 X 上,位于多个第二测试电路 011 的两侧且位于多个静电释放虚设电路 007 和多个第一测试虚设电路 010 之间。该多个第二测试虚设电路 012 可以通过多条数据传输虚设线 008 与第一测试虚设电路 010 以及静电释放虚设电路 007 电连接。

图 13 是本申请实施例提供的一种第二测试虚设电路的示意图。参考图 13, 多个第二测试虚设电路 012 中至少一个第二测试虚设电路 012 可以包括: 第一虚设子电路 0121, 第二虚设子电路 0122 和第三虚设子电路 0123。该第二虚设子电路 0122 可以位于第一虚设子电路 0121 与第三虚设子电路 0123 之间, 第一虚设子电路 0121 位于第二虚设子电路 0122 远离多个子像素 002 的一侧, 第三虚设子电路 0123 位于第二虚设子电路 0122 靠近多个子像素 002 的一侧。

参考图 13, 该多条数据传输虚设线 008 可以包括: 多条第一数据传输虚设线 0081 和多条第二数据传输虚设线 0082。该多个第一数据传输虚设线 0081 和多条第二数据传输虚设线 0082 一一交替排布。该第一虚设子电路 0121 可以包括: 第二虚设薄膜晶体管 01211, 第六控制线 01212, 以及第八测试数据线 01213。第六控制线 01212 可以与第八测试数据线 01213 沿第一边界 001a1 的延伸方向 X 延伸。

其中, 参考图 13, 该第二虚设薄膜晶体管 01211 可以包括: 第二虚设源极 012111, 第二虚设漏极 012112 和第二虚设栅极 012113。第二虚设漏极 012112 与多条第一数据传输虚设线 0081 中的一条电连接, 第二虚设栅极 012113 可以与第六控制线 01212 电连接。也即是, 第六控制线 01212 可以为第二虚设栅极 012113 提供栅极驱动信号。

在本申请实施例中, 第一数据传输虚设线 0081 不与显示区域 001a 中的数据线 003 连接, 而与第三子走线 00613 连接。

参考图 13, 该第二虚设子电路 0122 可以包括: 第三虚设薄膜晶体管 01221, 第四虚设薄膜晶体管 01222, 第七控制线 01223, 第九测试数据线 01224, 以及第十测试数据线 01225。第七控制线 01223, 第九测试数据线 01224, 以及第十测试数据线 01225 沿第一边界 001a1 的延伸方向 X 延伸。

该第三虚设薄膜晶体管 01221 可以包括: 第三虚设源极 012211, 第三虚设漏极 012212 和第三虚设栅极 012213, 第三虚设漏极 012212 与多条第二数据传输虚设线 0082 中的一条电连接, 第三虚设栅极 012213 与第七控制线 01223 电连接。第七控制线 01223 可以为第三虚设栅极 012213 提供栅极驱动信号。

该第四虚设薄膜晶体管 01222 可以包括: 第四虚设源极 012221, 第四虚设漏极 012222 和第四虚设栅极 012223。第四虚设漏极 012222 可以与多条第二数据传输线 0042 中的一条电连接, 第四虚设栅极 012223 可以与第七控制线 01223 电连接。第七控制线 01223 可以为第四虚设栅极 012223 提供栅极驱动信号。也

即是，该第三虚设薄膜晶体管 01221 和第四虚设薄膜晶体管 01222 可以共用一条控制线。

在本申请实施例中，该第二数据传输虚设线 0082 不与显示区域 001a 中的数据线 003 连接，而与第三子走线 00613 连接。

参考图 13 还可以看出，该第三虚设子电路 0123 包括：第五虚设薄膜晶体管 01231，第六虚设薄膜晶体管 01232，第八控制线 01233，第十一测试数据线 01234，以及第十二测试数据线 01235。该第十一测试数据线 003 和第十二测试数据线 01235 沿第一边界 001a1 的延伸方向 X 延伸。

该第五虚设薄膜晶体管 01231 可以包括：第五虚设源极 012311，第五虚设漏极 012312 和第五虚设栅极 012313，第五虚设漏极 012312 可以与多条第二数据传输线 0042 中的一条电连接，第五虚设栅极 012313 可以与第八控制线 01233 电连接。该第八控制线 01233 可以为第五虚设栅极 012313 提供栅极驱动信号。

该第六虚设薄膜晶体管 01232 可以包括：第六虚设源极 012321，第六虚设漏极 012322 和第六虚设栅极 012323，第六虚设漏极 012322 可以与多条第二数据传输线 0042 中的一条电连接，第六虚设栅极 012323 可以与第八控制线 01233 电连接。也即是，该第五虚设薄膜晶体管 01231 和第六虚设薄膜晶体管 01232 可以共用一条控制线。

在本申请实施例中，参考图 13，第七控制线 01123 和第八控制线 01233 相邻设置，该第七控制线 01123 和第八控制线 01233 可以为一条控制线。由此，第三薄膜虚设晶体管 01221，第四虚设薄膜晶体管 01222，第五虚设薄膜晶体管 01231 以及第六虚设薄膜晶体管 01232 可以共用一条控制线。

需要说明的是，第三控制线 01112 可以与第六控制线 01212 电连接，也即是，第三控制线 01112 与第六控制线 01212 可以为同一条控制线。该第三控制线 01112 提供给第二薄膜晶体管 01111 的第二栅极 011113 的栅极驱动信号，可以与第六控制线 01212 提供给第二虚设薄膜晶体管 01211 的第二虚设栅极 012113 的栅极驱动信号相同。

该第四控制线 01123 可以与第七控制线 01223 电连接，也即是，该第四控制线 01123 与第七控制线 01223 可以为同一条控制线。该第四控制线 01123 提供给第三薄膜晶体管 01121 的第三栅极 011213 和第四薄膜晶体管 01122 的第四栅极 011223 的栅极驱动信号，可以与第七控制线 01223 提供给第三虚设薄膜晶体管 01221 的第三虚设栅极 012213 和第四虚设薄膜晶体管 01222 的第四虚设栅

极 012223 的栅极驱动信号相同。

第五控制线 01133 可以与第八控制线 01233 电连接，也即是，第五控制线 01133 与第八控制线 01233 可以为同一条控制线。该第五控制线 01133 提供给第五薄膜晶体管 01131 的第五栅极 011313 和第六薄膜晶体管 01132 的第六栅极 011323 的栅极驱动信号，可以与第八控制线 01233 提供给第五虚设薄膜晶体管 01231 的第五虚设栅极 012313 和第六虚设薄膜晶体管 01232 的第六栅极 012313 的栅极驱动信号相同。

第三测试数据线 01113 可以与第八测试数据线 01213 电连接，也即是，第三测试数据线 01113 与第八测试数据线 01213 可以为同一条数据线。该第三测试数据线 01113 与第八测试数据线 01213 可以为提供给第二薄膜晶体管 01111 的第二源极 011111 提供数据信号。

第四测试数据线 01124 可以与第九测试数据线 01224 电连接，也即是，第四测试数据线 01124 与第九测试数据线 01224 可以为同一条数据线。该第四测试数据线 01124 与第九测试数据线 01224 可以为第三薄膜晶体管 01121 的第三源极 011211 提供数据信号。

第五测试数据线 01125 可以与第十测试数据线 01225 电连接，也即是，第五测试数据线 01125 与第十测试数据线 01225 可以为同一条数据线。该第五测试数据线 01125 与第十测试数据线 01225 可以为第四薄膜晶体管 01122 的第四源极 011221 提供数据信号。

第六测试数据线 01134 可以与第十一测试数据线 01234 电连接，也即是，第六测试数据线 01134 与第十一测试数据线 01234 可以为同一条数据线。该第六测试数据线 01134 与第十一测试数据线 01234 可以为第五薄膜晶体管 01131 的第五栅极 011313 提供数据信号。

第七测试数据线 01135 可以与第十二测试数据线 01235 电连接，也即是，第七测试数据线 01135 与第十二测试数据线 01235 可以为同一条数据线。该第七测试数据线 01135 与第十二测试数据线 01235 可以为第六薄膜晶体管 01132 的第六源极 011321 提供数据信号。

需要说明的是，在显示基板 00 的制造过程中，需在衬底基板 001 的周边区域 001b 中位于静电释放电路 005 和第一测试电路 009 之间制造第二测试电路 011，该第二测试电路 011 可以用于连接静电释放电路 005 和第一测试电路 009。由于在制造第二测试电路 011 时，为了保证该第二测试电路 011 的制造精度，

可以在该衬底基板 001 上制造不与静电释放电路 005 和第一测试电路 009 电连接的测试电路，即第二测试虚设电路 012。在本申请实施例中，显示基板中设置的静电释放虚设电路 007 可以通过该第二测试虚设电路 012 以及第一测试虚设电路 010 与面板裂纹检测走线 006 连接，可以优化背板的走线和电路排布。

在本申请实施例中，第二测试虚设电路 012 的数量可以与静电释放虚设电路 007 的数量以及第一测试虚设电路 010 的数量相同。每个静电释放虚设电路 007 可以通过一个第二测试虚设电路 012 与一个第一测试虚设电路 010 电连接。

示例的，图 10 中示出了两个第二测试虚设电路 012，且该两个第二测试虚设电路 012 可以位于多个第二测试电路 011 的两侧。对于每个第二测试虚设电路 012，该第二测试虚设电路 012 可以与其位于同侧的静电释放虚设电路 007 以及第一测试虚设电路 010 电连接。

图 14 是本申请实施例提供的再一种显示基板的结构示意图。参考图 14 可以看出，该显示基板 00 还可以包括：至少一个第一信号输入端 013。该至少一个第一信号输入端 013 可以与第三子走线 00613 连接，该至少一个第一信号输入端 013 可以被配置为接收测试信号，以对显示基板进行检测。

可选的，该至少一个第一信号输入端 013 可以包括：两个第一信号输入端 013，该两个第一信号输入端 013 可以分别位于第一测试电路 009 的两侧。

参考图 14 可以看出，多个子像素 002 可以包括：至少一列第一子像素 0021。图 14 中仅示意性示出了每列子像素 002 中的部分子像素 002。该第一子像素 0021 可以与第一子走线 00611 或第二子走线 00612 连接，该至少一个第一信号输入端 013 可以用于向第一子像素 0021 提供驱动信号，该驱动信号可以用于驱动每列第一子像素 0021 发出目标颜色的光。其中，该驱动信号可以为面板检测数据（cell test data，CTD）信号。

由于第三子走线 00613 与第二走线段 0062 以及第三走线段 0063 连接，第二走线段 0062 与第一子走线 00611 连接，第三走线段 0063 与第二子走线 00612 连接，该第一子走线 00611 可以与第一子像素 0021 连接，第二子走线 00612 可以与第一子像素 0021 连接。因此该第一信号输入端 013 向第三子走线 00613 输入驱动信号，该第三子走线 00613 可以将该驱动信号传输至第二走线段 0062 和第三走线段 0063，第二走线段 0062 可以将该驱动信号传输至第一子走线 00611，第三走线段 0063 可以将驱动信号传输至第二子走线 00612。最后，第一子走线 00611 可以将驱动信号传输至与该第一子走线 00611 连接的第一子像素 0021，

第二子走线 00612 可以将驱动信号传输至与该第二子走线 00612 连接的第一子像素 0021。

也即是，驱动信号需要依次通过第三子走线 00613，第二走线段 0062，以及第一子走线 00611 后才能传输至与该第一子走线 00611 连接的第一子像素 0021。若显示基板中第三子走线 00613，第二走线段 0062，以及第一子走线 00611 所在区域的边缘存在裂纹，即该第三子走线 00613，第二走线段 0062 或第一子走线 00611 存在断裂，该驱动信号无法传输至与该第一子走线 00611 连接的第一子像素 0021，该第一子像素 0021 无法发出目标颜色的光。若显示基板 00 中第三子走线 00613，第二走线段 0062，以及第一子走线 00611 所在区域的边缘不存在裂纹，即该第三子走线 00613，第二走线段 0062 以及第一子走线 00611 不存在断裂，则驱动信号可以传输至与该第一子走线 00611 连接的第一子像素 0021，该第一子像素 0021 可以发出目标颜色的光。

并且，驱动信号需要依次通过第三子走线 00613，第三走线段 0063，以及第二子走线 00612 后才能传输至与该第二子走线 00612 连接的第一子像素 0021。若显示基板中第三子走线 00613，第三走线段 0063，以及第二子走线 00612 所在区域的边缘存在裂纹，即该第三子走线 00613，第三走线段 0063 或第二子走线 00612 存在断裂，该驱动信号无法传输至与该第二子走线 00612 连接的第一子像素 0021，该第一子像素 0021 无法发出目标颜色的光。若显示基板中第三子走线 00613，第三走线段 0063，以及第二子走线 00612 所在区域的边缘不存在裂纹，即该第三子走线 00613，第三走线段 0063 以及第二子走线 00612 不存在断裂，则驱动信号可以传输至与该第二子走线 00612 连接第一子像素 0021，该第一子像素 0021 可以发出目标颜色的光。

可选的，该目标颜色可以为黑色，该第一子像素 0021 可以为绿色子像素 002，若显示基板 00 的边缘存在裂纹，该绿色子像素 002 无法接收到驱动信号，该绿色子像素 002 可以发出绿色的光。

由此，可以通过判断第一子像素 0021 是否发出目标颜色的光确定显示基板的边缘是否存在裂纹。也即是，若每列第一子像素 0021 均能够发出目标颜色的光，即可以确定第一子像素 0021 能够接收到驱动信号，进而可以确定显示基板 00 的边缘不存在裂纹。若某列第一子像素 0021 无法发出目标颜色的光，可以确定该列第一子像素 0021 无法接收到驱动信号，进而可以确定显示基板 00 的边缘存在裂纹。

需要说明的是,若显示基板 00 的边缘存在裂纹,且该裂纹较小,则不会导致面板裂纹检测走线 006 出现裂纹,该第一子像素 0021 能够发出目标颜色的光。

图 15 是本申请实施例提供的一种面板裂纹检测走线的检测原理图。参考图 15 可以看出,面板裂纹检测走线 006 可以与目标晶体管 M0 的源极连接,该目标晶体管 M0 的栅极可以与栅线 A 连接,该目标晶体管 M0 的漏极可以通过数据传输线 004 以及数据线 003 与第一子像素 0021 连接。

该目标晶体管 M0 中流过的电流 I 可以满足:

$$I = K (V_{gs} - V_{th})^2 = K[(V_{data} + V_{th} - V_s) - V_{th}]^2 = K (V_{data} - V_s)^2。$$

其中, K 是由目标晶体管 M0 的特性决定的常数,其满足: $K = \frac{1}{2} \mu \left(\frac{\epsilon}{d} \times \frac{W}{L} \right)$, μ 为目标晶体管 M0 的载流子迁移率, W/L 为目标晶体管 M0 的沟道宽长比, ϵ 为目标晶体管 M0 的栅极氧化层的介电常数, d 为栅极氧化层的厚度。

并且, V_{gs} 为目标晶体管 M0 的栅极与源极之间的电压差, V_{th} 为目标晶体管 M0 的阈值电压, V_{data} 为数据传输线 004 上的电压, V_s 为目标晶体管 M0 的源极电压。

若该面板裂纹检测走线 006 不存在断裂,该面板裂纹检测走线 006 提供给的目标晶体管 M0 的源极电压与第一目标驱动线 B 以及第二目标驱动线 C 提供给其他晶体管的源极电压相同,例如可以为 6 伏 (V)。

若面板裂纹检测走线 006 存在断裂,该面板裂纹检测走线 006 提供的目标晶体管 M0 的电压为 0V,栅线提供给目标晶体管 M0 的电压为 -7V,则 $V_{gs} = V_g - V_s = -7V < V_{th}$, $V_{data} = 0$, $I = K (V_s)^2$ 。由此,与该目标晶体管 M0 连接的绿色子像素 002 会被点亮,即黑态画面出现绿色亮线。

图 16 是本申请实施例提供的再一种显示基板的结构示意图。参考图 16 可以看出,该显示基板 00 还可以包括:第一检测端 014 和第二检测端 015。该第一检测端 014 可以与第一子走线 00611 连接,用于为第一子走线 00611 提供检测信号。该第二检测端 015 可以与第二子走线 00612 连接,用于接收检测信号,以对显示基板进行检测。

若第二检测端 015 能够接收到检测信号,则可以确定该面板裂纹检测走线 006 未断裂,即显示基板 00 的边缘不存在裂纹;若第二检测端 015 无法接收到检测信号,则可以确定该面板裂纹检测走线 006 断开,即显示基板 00 的边缘存在裂纹。

在本申请实施例中,参考图 14 和图 16,多个子像素 002 还可以包括:除至

少一列第一子像素 0021 之外的多列第二子像素 0022。该显示基板 00 还可以包括：至少一个第二信号输入端 016 和至少一个第三信号输入端 017。该第二信号输入端 016 可以与至少一列第二子像素 0022 连接，用于向与其所连接的各列第二子像素 0022 提供驱动信号，该驱动信号用于驱动每列第二子像素 0022 发出目标颜色的光。该第三信号输入端 017 可以与第一测试电路 009 和第一测试虚设电路 010 电连接。

由于第二子像素 0022 与第二信号输入端 016 直接电连接，因此驱动信号可以直接输入至第二子像素 0022。也即是，无论显示基板 00 的边缘是否存在裂纹，第二子像素 0022 均能够发出目标颜色的光。

在本申请实施例中，该第二信号输入端 016 可以与第一测试数据线 0093 或第二测试数据线 0094 电连接。该第二子像素 0022 可以为红色子像素 002 或蓝色子像素 002。

可选的，该至少一个第二信号输入端 016 可以包括：四个第二信号输入端 016，该四个第二信号输入端 016 可以分别位于第一测试电路 009 的两侧。其中，该第一测试电路 009 的每侧可以具有两个该第二信号输入端 016，其中一个第二信号输入端 016 与第一测试数据线 0093 电连接，另一个第二信号输入端 016 与第二测试数据线 0094 电连接。

图 17 是本申请实施例提供的一种静电释放虚设电路的电路图。参考图 17 可以看出，该静电释放虚设电路 007 可以包括：第一静电防护线 0071，至少一个第一放电晶体管 0072，以及至少一个第二放电晶体管 0073。该至少一个放电晶体管的第一极和栅极均与面板裂纹检测走线 006 连接，至少一个第一放电晶体管 0072 的第二极可以与第一静电防护线 0071 连接。至少一个第二放电晶体管 0073 的第一极和栅极可以与第一静电防护线 0071 连接，至少一个第二放电晶体管 0073 的第二极可以与面板裂纹检测走线 006 连接。

若面板裂纹检测走线 006 上积累的静电为负电荷，则第一放电晶体管 0072 开启，将面板裂纹检测走线 006 与第一静电防护线 0071 导通，面板裂纹检测走线 006 可以通过第一放电晶体管 0072 向第一静电防护线 0071 放电。也即是，该面板裂纹检测走线 006 上积累的负电荷可以通过第一放电晶体管 0072 释放至第一静电防护线 0071。

若该面板裂纹检测走线 006 上积累的静电为正电荷，则第二放电晶体管 0073 开启，将面板裂纹检测走线 006 与第一静电防护线 0071 导通，面板裂纹检测走

线 006 可以通过第二放电晶体管 0073 向第一静电防护线 0071 放电。也即是，该面板裂纹检测走线 006 上积累的正电荷可以通过第二放电晶体管 0073 释放至第一静电防护线 0071。

在本申请实施例中，参考图 18，该第一静电防护线 0071 可以包括第一放电线 00711 和第二放电线 00712。并且，该静电释放虚设电路 007 可以包括：两个第一放电晶体管 0072 和两个第二放电晶体管 0073。

参考图 18，第一个第一放电晶体管 0072a 的第一极和栅极均与面板裂纹检测走线 006 连接，第一个第一放电晶体管 0072a 第二极与第二个第一放电晶体管 0072b 的第一极和栅极连接，第二个第一放电晶体管 0072b 的第二极与第一放电线 00711 连接。也即是，该第二个第一放电晶体管 0072b 的第一极和栅极可以通过第一个第一放电晶体管 0072a 与该第一放电线 00711 连接。

第一个第二放电晶体管 0073 的第一极和栅极均与第二放电线 00712 连接，第一个第二放电晶体管 0073 的第二极与第二个第二放电晶体管 0073 的第一极和栅极连接，第二个第二放电晶体管 0073 的第二极与面板裂纹检测走线 006 连接。也即是，该第二个第二放电晶体管 0073 的第一极和栅极可以通过第一个第二放电晶体管 0073 与该第二放电线 00712 连接。

其中，第一放电线 00711 可以为低电位（voltage gate low, VGL）线。第二放电线 00712 可以为高电位（voltage gate high, VGH）线。

图 19 是本申请实施例提供的一种静电释放虚设电路释放负电荷的原理图，图 19 中将该至少一个第一放电晶体管 0072 等效为一个二极管 D1，将该至少一个第二放电晶体管 0073 也等效为一个二极管 D2。参考图 19，在面板裂纹检测走线 006 上未积累负电荷时，第一放电晶体管 0072 的栅极的电位 V_{g1} ，以及第一放电晶体管 0072 的源极（即第一极）的电位 V_{s1} ，均等于面板裂纹检测走线 006 的电位 V_{pcd} ，该电位 V_{pcd} 大于第一放电线 00711 上的电位 VGL。每个第一放电晶体管 0072 的漏极（即第二极）电位 V_{d1} 等于第一放电线 00711 上的电位 VGL。即在面板裂纹检测走线 006 上未积累负电荷时， $V_{g1}=V_{s1}=V_{pcd}>VGL$ ， $V_{d1}=VGL$ 。

在面板裂纹检测走线 006 上积累有负电荷时，每个第一放电晶体管 0072 的栅极电位 V_{g1} ，以及每个第一放电晶体管 0072 的源极电位 V_{s1} 均等于面板裂纹检测走线 006 的电位 V_{pcd} ，且该电位 V_{pcd} 小于第一放电线 00711 上的电位 VGL。每个第一放电晶体管 0072 的漏极电位 V_{s1} 等于第一放电线 00711 上的电位

VGL。即在面板裂纹检测走线 006 上积累有负电荷时， $V_{g1}=V_{s1}=V_{pcd}<VGL$ ， $V_{d1}=VGL$ 。此时，每个第一放电晶体管 0072 开启（即二极管 D1 导通），面板裂纹检测走线 006 中的负电荷可以释放至第一放电线 00711。

示例的，假设第一放电线 00711 上的电位 VGL 为 -7V，在面板裂纹检测走线 006 上未积累负电荷时，即面板裂纹检测走线 006 的电位 V_{pcd} 为 0V（该第一放电晶体管 0072 的栅极电位和源极电位均为 0V），即大于 -7V。该第一放电晶体管 0072 的漏极电位 V_{d1} 等于 -7V。此时，该第一放电晶体管 0072 关断。

在面板裂纹检测走线 006 上积累负电荷时，该面板裂纹检测走线 006 上的电位小于 -7V，该第一放电晶体管 0072 的漏极电位 V_{d1} 等于 -7V。此时，第一放电晶体管 0072 导通。

图 20 是本申请实施例提供的一种静电释放虚设电路释放正电荷的原理图。图 20 中将该至少一个第一放电晶体管 0072 等效为一个二极管 D1，将该至少一个第二放电晶体管 0073 也等效为一个二极管 D2。参考图 20，在面板裂纹检测走线 006 上未积累正电荷时，每个第二放电晶体管 0073 的栅极电位 V_{g2} ，以及每个第二放电晶体管 0073 的源极（第一极）电位 V_{s2} 均等于第二放电线 00712 上的电位 VGH。每个第一放电晶体管 0072 的漏极（第二极）电位 V_{d2} 等于面板裂纹检测走线 006 的电位 V_{pcd} ，该电位 V_{pcd} 小于第二放电线 00712 上的电位 VGH。即面板裂纹检测走线 006 上未积累正电荷时， $V_{g2}=V_{s2}=VGH$ ， $V_{d2}=V_{pcd}<VGH$ 。

在面板裂纹检测走线 006 上积累有正电荷时，每个第二放电晶体管 0073 的栅极电位 V_{g2} ，以及每个第二放电晶体管 0073 的源极电位 V_{s2} 均等于第二放电线 00712 上的电位 VGH。每个第二放电晶体管 0073 的漏极电位 V_{s2} 等于面板裂纹检测走线 006 的电位 V_{pcd} ，该电位 V_{pcd} 大于第二放电线 00712 上的电位 VGH。即在面板裂纹检测走线 006 上积累有正电荷时， $V_{g2}=V_{s2}=VGH$ ， $V_{d2}=V_{pcd}>VGH$ 。此时，每个第二放电晶体管 0073 开启（即二极管导通），面板裂纹检测走线 006 中的正电荷可以释放至第二放电线 00712。

示例的，假设第二放电线 00712 上的电位 VGH 为 7V，在面板裂纹检测走线 006 上未积累正电荷时，该第二放电晶体管 0073 的栅极电位和源极电位均等于第二放电线 00712 上的电位 7V。该第二放电晶体管 0073 的漏极电位等于面板裂纹检测走线 006 的电位 V_{pcd} ，即 0V。此时，该第二放电晶体管 0073 关断。

在面板裂纹检测走线 006 上积累正电荷时，该第二放电晶体管 0073 的漏极

电位大于 7V，而该第二放电晶体管 0073 的栅极电位和源极电位均等于 7V。此时，第二放电晶体管 0073 导通。

本申请实施例中的显示基板 00 包括的静电释放虚设电路 007 可以释放面板裂纹检测走线 006 中的静电释放至第一静电防护线 0071，避免显示基板 00 中的其他走线由于面板裂纹检测走线 006 上积累的静电而被烧断，提高显示基板 00 的良率。

可选的，该显示基板 00 包括的多个静电释放虚设电路 007 可以沿显示区域 001a 的边界均匀分布在周边区域 001b。通过将静电释放虚设电路 007 均匀分布在周边区域 001b，可以使得面板裂纹检测走线 006 上的静电被有效释放，保证显示基板 00 的良率。示例的，该多个静电释放虚设电路 007 可以均匀分布靠近第一边界 001a1 的周边区域 001b1。

图 21 是本申请实施例提供的一种静电释放虚设电路的结构示意图。参考图 21 可以看出，该静电释放虚设电路 007 中的第一放电晶体管 0072 的第一极 00721 和栅极 00722 可以与多条数据传输虚设线 008 中的一条电连接，第二极 00723 可以与第一静电防护线 0071 电连接。第二放电晶体管 0073 的第一极 00731 和栅极 00732 可以与第一静电防护线 0071 电连接，第二极 00733 可以与多条数据传输虚设线 008 中的一条电连接。该多条数据传输线 004 与面板裂纹检测走线 006 连接，从而将面板裂纹检测走线 006 中的静电通过静电释放虚设电路 007 释放至第一静电防护线 0071。

参考图 21 可以看出，每个静电释放虚设电路 007 包括的第一放电晶体管 0072 和第二放电晶体管 0073 可以位于两条数据传输虚设线 008 之间。例如，位于第一数据传输虚设线 0081 和第二数据传输虚设线 0082 之间。该第一静电防护线 0071 的延伸方向可以与数据传输虚设线 008 的延伸方向相交。例如，该第一静电防护线 0071 的延伸方向可以与数据传输虚设线 008 的延伸方向垂直。

在本申请实施例中，参考图 21，沿平行于第一放电线 00711 的延伸方向排布的多个静电释放虚设电路 007 可以共用一条第一放电线 00711，沿垂直于第一放电线 00711 的延伸方向排布的两个静电释放虚设电路 007 可以共用一条第一放电线 00711。也即是，该显示基板 00 中包括的静电释放虚设电路 007 均共用一条第一放电线 00711。沿平行于第二放电线 00712 的延伸方向排布的多个静电释放虚设电路 007 可以共用一个第二放电线 00712。例如，第一数据传输虚设线 0081 所连接的第一放电晶体管 0072a 所连接的第一放电线 00711，与第二数据传

输虚设线 0082 所连接的第一放电晶体管 0072b 所连接的第一放电线 00711 为同一条第一放电线 00711。

需要说明的是，第一放电线 00711，第二放电线 00712，面板裂纹检测走线 006，以及晶体管的源漏极层可以同层设置。也即是，该第一放电线 00711，第二放电线 00712，面板裂纹检测走线 006 以及晶体管的源漏极层采用同一次构图工艺形成。或者，该第一放电线 00711，第二放电线 00712，面板裂纹检测走线 006，以及晶体管的源漏极层中的至少两种结构可以位于不同层。例如，该第一放电线 00711，第二放电线 00712，面板裂纹检测走线 006，以及晶体管的源漏极层均不同层。也即是，该第一放电线 00711，第二放电线 00712，面板裂纹检测走线 006，以及晶体管的源漏极层需分别采用一次构图工艺形成，共四次构图工艺。

图 22 是本申请实施例提供的一种静电释放电路的电路图。参考图 22 可以看出，该静电释放电路 005 可以包括：第二静电防护线 0051，至少一个第三放电晶体管 0052，以及至少一个第四放电晶体管 0053。该至少一个第三放电晶体管 0052 的第一极和栅极均与数据传输线 004 电连接，至少一个第三放电晶体管 0052 的第二极可以与第二静电防护线 0051 电连接。至少一个第四放电晶体管 0053 的第一极和栅极可以与第二静电防护线 0051 电连接，至少一个第四放电晶体管 0053 的第二极可以与数据传输线 004 电连接。

若数据传输线 004 上积累的静电为负电荷，则第三放电晶体管 0052 开启，将数据传输线 004 与第二静电防护线 0051 导通，数据传输线 004 可以通过第一放电晶体管 0052 向第二静电防护线 0051 放电。也即是，数据传输线 004 上积累的负电荷可以通过第三放电晶体管 0052 释放至第二静电防护线 0051。

若数据传输线 004 上积累的静电为正电荷，则第四放电晶体管 0053 开启，将数据传输线 004 与第二静电防护线 0051 导通，数据传输线 004 可以通过第四放电晶体管 0053 向第二静电防护线 0051 放电。也即是，该数据传输线 004 上积累的正电荷可以通过第四放电晶体管 0053 释放至第二静电防护线 0051。

在本申请实施例中，参考图 23，该第二静电防护线 0051 可以包括第三放电线 00511 和第四放电线 00512。并且，该静电释放电路 005 可以包括：两个第三放电晶体管 0052 和两个第四放电晶体管 0053。

参考图 23，第一个第三放电晶体管 0052a 的第一极和栅极均与数据传输线 004 连接，第一个第三放电晶体管 0052a 第二极与第二个第三放电晶体管 0052b

的第一极和栅极连接，第二个第三放电晶体管 0052b 的第二极与第三放电线 00511 连接。也即是，该第二个第三放电晶体管 0052b 的第一极和栅极可以通过第一个第三放电晶体管 0052a 与该第三放电线 00511 连接。

第一个第四放电晶体管 0053a 的第一极和栅极均与第四放电线 00512 连接，第一个第四放电晶体管 0053a 的第二极与第二个第四放电晶体管 0053b 的第一极和栅极连接，第二个第四放电晶体管 0053b 的第二极与数据传输线 004 连接。也即是，该第二个第四放电晶体管 0053b 的第一极和栅极可以通过第一个第四放电晶体管 0053a 与该第四放电线 00512 连接。

其中，第三放电线 00511 可以为 VGL 线。第四放电线 00512 可以为 VGH 线。

图 24 是本申请实施例提供的一种静电释放电路释放负电荷的原理图，图 24 中将至少一个第三放电晶体管 0052 等效为一个二极管 D3，将该至少一个第四放电晶体管 0053 也等效为一个二极管 D4。参考图 24，在数据传输线 004 上未积累负电荷时，第三放电晶体管 0052 的栅极的电位 V_{g3} ，以及第三放电晶体管 0052 的源极（即第一极）的电位 V_{s3} ，均等于数据传输线 004 的电位 V_c ，该电位 V_c 大于第三放电线 00511 上的电位 VGL。每个第三放电晶体管 0052 的漏极（即第二极）电位 V_{d3} 等于第三放电线 00511 上的电位 VGL。即在数据传输线 004 上未积累负电荷时， $V_{g3}=V_{s3}=V_c>VGL$ ， $V_{d3}=VGL$ 。

在数据传输线 004 上积累有负电荷时，每个第三放电晶体管 0052 的栅极电位 V_{g3} ，以及每个第三放电晶体管 0052 的源极电位 V_{s3} 均等于数据传输线 004 的电位 V_c ，且该电位 V_c 小于第三放电线 00511 上的电位 VGL。每个第三放电晶体管 0052 的漏极电位 V_{s3} 等于第一放电线 00511 上的电位 VGL。即在数据传输线 004 上积累有负电荷时， $V_{g3}=V_{s3}=V_c<VGL$ ， $V_{d3}=VGL$ 。此时，每个第一放电晶体管 0052 开启（即二极管 D3 导通），数据传输线 004 中的负电荷可以释放至第一放电线 00511。

示例的，假设第三放电线 00511 上的电位 VGL 为 -7V，在数据传输线 004 上未积累负电荷时，即数据传输线 004 的电位 V_c 为 0V（该第三放电晶体管 0052 的栅极电位和源极电位均为 0V），即大于 -7V。该第三放电晶体管 0052 的漏极电位 V_{d3} 等于 -7V。此时，该第三放电晶体管 0052 关断。

在数据传输线 004 上积累负电荷时，该数据传输线 004 上的电位小于 -7V，该第三放电晶体管 0052 的漏极电位 V_{d3} 等于 -7V。此时，第三放电晶体管 0052

导通。

图 25 是本申请实施例提供的一种静电释放电路释放正电荷的原理图。图 25 中将该至少一个第三放电晶体管 0052 等效为一个二极管 D3，将该至少一个第四放电晶体管 0053 也等效为一个二极管 D4。参考图 25，在数据传输线 004 上未积累正电荷时，每个第四放电晶体管 0053 的栅极电位 V_{g4} ，以及每个第四放电晶体管 0053 的源极（第一极）电位 V_{s4} 均等于第四放电线 00512 上的电位 V_{GH} 。每个第三放电晶体管 0052 的漏极（第二极）电位 V_{d3} 等于数据传输线 004 的电位 V_c ，该电位 V_c 小于第四放电线 00512 上的电位 V_{GH} 。即数据传输线 004 上未积累正电荷时， $V_{g4}=V_{s4}=V_{GH}$ ， $V_{d4}=V_c < V_{GH}$ 。

在数据传输线 004 上积累有正电荷时，每个第四放电晶体管 0053 的栅极电位 V_{g4} ，以及每个第四放电晶体管 0053 的源极电位 V_{s4} 均等于第四放电线 00512 上的电位 V_{GH} 。每个第四放电晶体管 0053 的漏极电位 V_{s4} 等于数据传输线 004 的电位 V_c ，该电位 V_c 大于第四放电线 00512 上的电位 V_{GH} 。即在数据传输线 004 上积累有正电荷时， $V_{g4}=V_{s4}=V_{GH}$ ， $V_{d4}=V_c > V_{GH}$ 。此时，每个第四放电晶体管 0053 开启（即二极管导通），数据传输线 004 中的正电荷可以释放至第四放电线 00512。

示例的，假设第四放电线 00512 上的电位 V_{GH} 为 7V，在数据传输线 004 上未积累正电荷时，该第四放电晶体管 0053 的栅极电位和源极电位均等于第四放电线 00512 上的电位 7V。该第四放电晶体管 0053 的漏极电位等于数据传输线 004 的电位 V_c ，即 0V。此时，该第四放电晶体管 0053 关断。

在数据传输线 004 上积累正电荷时，该第四放电晶体管 0053 的漏极电位大于 7V，而该第四放电晶体管 0053 的栅极电位和源极电位均等于 7V。此时，第四放电晶体管 0053 导通。

本申请实施例中的显示基板 00 包括的静电释放电路 005 可以释放数据传输线 004 中的静电释放至第二静电防护线 0051，显示基板 00 的良率较高。

图 26 是本申请实施例提供的一种静电释放电路的结构示意图。参考图 26 可以看出，该静电释放电路 005 中的第三放电晶体管 0072 的第一极 00721 和栅极 00722 可以与多条数据传输线 004 中的一条电连接，第二极 00523 可以与第二静电防护线 0051 电连接。第四放电晶体管 0053 的第一极 00531 和栅极 00532 可以与第二静电防护线 0051 电连接，第二极 00533 可以与多条数据传输线 004 中的一条电连接。该多条数据传输线 004 与数据线 003 电连接，从而将数据线

003 中的静电通过静电释放电路 007 释放至第二静电防护线 0051。

参考图 26 可以看出, 每个静电释放电路 005 包括的第三放电晶体管 0052 和第四放电晶体管 0053 可以位于两条数据传输线 004 之间。例如, 位于第一数据传输线 0041 和第二数据传输线 0042 之间。该第二静电防护线 0051 的延伸方向可以与数据传输线 004 的延伸方向相交。例如, 该第二静电防护线 0051 的延伸方向可以与数据传输线 004 的延伸方向垂直。

在本申请实施例中, 参考图 26, 沿平行于第二放电线 00511 的延伸方向排布的多个静电释放电路 005 可以共用一条第三放电线 00511, 沿垂直于第三放电线 00511 的延伸方向排布的两个静电释放电路 005 可以共用一条第一放电线 00511。也即是, 该显示基板 00 中包括的静电释放电路 005 均共用一条第三放电线 00511。沿平行于第四放电线 00512 的延伸方向排布的多个静电释放电路 005 可以共用一个第四放电线 00512。例如, 第一数据传输线 0041 所连接的第三放电晶体管 0052a 所连接的第三放电线 00511, 与第二数据传输线 0042 所连接的第三放电晶体管 0052b 所连接的第三放电线 00511 为同一条第三放电线 00511。

需要说明的是, 第三放电线 00511, 第四放电线 00512, 面板裂纹检测走线 006, 以及晶体管的源漏极层可以同层设置。也即是, 该第三放电线 00511, 第四放电线 00512, 面板裂纹检测走线 006 以及晶体管的源漏极层采用同一次构图工艺形成。或者, 该第三放电线 00511, 第四放电线 00512, 面板裂纹检测走线 006, 以及晶体管的源漏极层中的至少两种结构可以位于不同层。例如, 该第三放电线 00511, 第四放电线 00512, 面板裂纹检测走线 006, 以及晶体管的源漏极层均不同层。也即是, 该第三放电线 00511, 第四放电线 00512, 面板裂纹检测走线 006, 以及晶体管的源漏极层需分别采用一次构图工艺形成, 共四次构图工艺。

需要说明的是, 第一放电线 00711 可以与第三放电线 00511 连接, 即该第一放电线 00711 与第三放电线 00511 可以为同一条放电线。第二放电线 00712 可以与第四放电线 00512 连接, 即该第二放电线 00712 与第四放电线 00512 可以为同一条放电线。

图 27 是本申请实施例提供的一种静电释放虚设电路, 第一测试虚设电路以及第二测试虚设电路的结构示意图。参考图 27 可以看出, 该第二测试虚设电路 012 可以位于静电释放虚设电路 007 和第一测试虚设电路 010 之间。并且, 该多

个静电释放虚设电路 007 可以通过多条数据传输虚设线 008 与第二测试虚设电路 012 连接, 该第二测试虚设电路 012 可以通过多条数据传输虚设线 008 与第一测试虚设电路 010 电连接。

图 28 是本申请实施例提供的一种静电释放电路, 第一测试电路以及第二测试电路的结构示意图。参考图 28 可以看出, 该第二测试电路 011 可以位于静电释放电路 005 和第一测试电路 009 之间。并且, 该多个静电释放电路 005 可以通过多条数据传输线 004 与第二测试电路 011 电连接, 该第二测试电路 011 可以通过多条数据传输线 004 与第一测试电路 009 电连接。

参考图 12 还可以看出, 该显示基板 00 还可以包括: 缓冲层 018, 有源层 019, 第一栅极绝缘层 020, 第二栅极绝缘层 021, 层间介电层 022, 源漏极层 023, 钝化层 024, 平坦层 025, 阳极层 026, 发光层 027, 阴极层 028, 像素界定层 029, 支撑层 030, 第一无机封装层 031, 有机封装层 032, 以及第二无机封装层 033。

其中, 该缓冲层 018 可以位于衬底基板 001 的一侧, 该有源层 019 可以位于缓冲层 018 远离衬底基板 001 的一侧, 第一栅极绝缘层 020 可以位于有源层 019 远离缓冲层 018 的一侧, 栅极层可以位于第一栅极层远离有源层 019 的一侧, 第二栅极绝缘层 021 可以位于栅极层远离第一栅极绝缘层 020 的一侧, 层间介电层 022 可以位于第二栅极绝缘层 021 远离栅极层的一侧, 源漏极层 023 可以位于层间介电层 022 远离第二栅极绝缘层 021 的一侧, 钝化层 024 可以位于源漏极层 023 远离层间介电层 022 的一侧, 平坦层 025 可以位于钝化层 024 远离源漏极层的一侧, 阳极层 026 可以位于平坦层 025 远离钝化层 024 的一侧, 像素界定层 029 可以位于阳极层 026 远离平坦层 025 的一侧, 支撑层 030 可以位于像素界定层 029 远离平坦层 025 的一侧, 发光层 027 可以位于阳极层 026 远离平坦层 025 的一侧, 阴极层 028 可以位于发光层 027 远离阳极层 026 的一侧, 第一无机封装层 031 可以位于阴极层 028 远离发光层 027 的一侧, 有机封装层 032 可以位于第一无机封装层 031 远离阴极层 028 的一侧, 第二无机封装层 033 可以位于有机封装层 032 远离第一无机封装层 031 的一侧。

综上所述, 本申请实施例提供了一种显示基板, 该显示基板包括: 衬底基板, 多个子像素, 多条数据线, 多条数据传输线, 多个静电释放电路, 面板裂纹检测走线, 以及多个静电释放虚设电路, 其中多个静电释放虚设电路中的至少一个静电释放虚设电路可以与面板裂纹检测走线连接。本申请实施例提供的

方案可以通过静电释放虚设电路释放面板裂纹检测走线上积累的静电，避免显示基板中的其他走线由于面板裂纹检测走线上积累的静电而被烧断，提高了显示基板的良率。

本申请实施例还提供了一种显示装置，该显示装置可以包括上述实施例所述的显示基板。

可选的，该显示装置可以为液晶显示装置、电子纸、有机发光二极管（organic light-emitting diode, OLED）显示装置、有源矩阵有机发光二极管（active-matrix organic light-emitting diode, AMOLED）显示装置、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框或导航仪等任何具有显示功能的产品或部件。

以上所述仅为本申请的可选实施例，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1、一种显示基板，其中，所述显示基板包括：

衬底基板，所述衬底基板具有显示区域，以及围绕所述显示区域的周边区域；

多个子像素，位于所述显示区域；

多条数据线，位于所述显示区域且与所述多个子像素电连接；

多条数据传输线，位于所述周边区域，且与所述多条数据线电连接；

多个静电释放电路，位于所述周边区域，且与所述多条数据传输线电连接，所述多个静电释放电路沿所述显示区域的边界的延伸方向排布；

面板裂纹检测走线，位于所述周边区域且环绕所述显示区域；

多个静电释放虚设电路，位于所述周边区域，沿所述显示区域的边界的延伸方向排布，所述多个静电释放虚设电路在沿所述显示区域边界的延伸方向上位于所述多个静电释放电路的至少一侧，所述多个静电释放虚设电路中的至少一个静电释放虚设电路与所述面板裂纹检测走线电连接，用于释放所述面板裂纹检测走线上的静电。

2、根据权利要求1所述的显示基板，其中，所述显示区域的边界包括依次连接的第一边界，第二边界，第三边界以及第四边界，所述多个静电释放电路和所述多个静电释放虚设电路位于靠近所述第一边界的所述周边区域；

所述多个静电释放虚设电路包括多个第一静电释放虚设子电路和多个第二静电释放虚设子电路；

在沿所述第一边界的延伸方向上，所述多个第一静电释放虚设子电路和所述多个第二静电释放虚设子电路分别位于所述多个静电释放电路的两侧。

3、根据权利要求1或2所述的显示基板，其中，所述面板裂纹检测走线包括：第一走线段，第二走线段以及第三走线段；

所述第一走线段为不连续走线，位于靠近所述显示区域的第一边界的所述周边区域，所述第一走线段沿所述第一边界的延伸方向延伸；

所述第二走线段为连续走线，位于靠近所述第一边界，所述第二边界以及所述第三边界的所述周边区域，所述第二走线段的两个端点位于靠近所述第一

边界的所述周边区域;

所述第三走线段为连续走线, 位于靠近所述第三边界, 所述第四边界以及所述第一边界的所述周边区域, 所述第三走线段的两个端点位于靠近所述第一边界的所述周边区域, 所述第二走线段和所述第三走线段分别与所述第一走线段连接;

其中, 所述多个静电释放虚设电路与所述第一走线段电连接。

4、根据权利要求3所述的显示基板, 其中, 所述第一走线段包括: 沿所述第一边界的延伸方向延伸的第一子走线, 第二子走线以及第三子走线, 所述第一子走线和所述第二子走线位于所述第三子走线靠近所述显示区域的一侧;

所述第一子走线和所述第三子走线分别与所述第二走线段的两个端点连接, 所述第二子走线和所述第三子走线分别与所述第三走线段的两个端点连接;

所述多个静电释放虚设电路与所述第三子走线电连接。

5、根据权利要求4所述的显示基板, 其中, 所述显示基板还包括: 多条数据传输虚设线, 所述多个静电释放虚设电路通过所述多条数据传输虚设线与所述第三子走线电连接。

6、根据权利要求5所述的显示基板, 其中, 所述显示基板还包括: 多个第一测试电路, 位于所述多个静电释放电路远离所述显示区域的一侧, 且所述多个第一测试电路沿所述第一边界的延伸方向延伸排布;

所述多个第一测试电路中的至少一个所述第一测试电路包括: 第一薄膜晶体管, 第一控制线, 第一测试数据线和第二测试数据线, 所述第一控制线, 所述第一测试数据线和所述第二测试数据线位于所述周边区域且沿所述第一边界的延伸方向延伸;

所述第一薄膜晶体管包括: 第一源极, 第一漏极和第一栅极, 所述第一栅极与所述第一控制线电连接, 所述第一源极与所述第一测试数据线, 第二测试数据线, 所述第一子走线以及所述第二子走线中的一条线电连接, 所述第一漏极与所述多条数据传输线中的一条电连接。

7、根据权利要求6所述的显示基板，其中，所述显示基板还包括：多个第一测试虚设电路，所述多个第一测试虚设电路在沿所述第一边界的延伸方向上，位于所述多个第一测试电路的两侧且位于所述多个静电释放虚设电路和所述第三子走线之间，所述多个第一测试虚设电路通过所述多条数据传输虚设线与所述第三子走线以及所述静电释放虚设电路电连接。

8、根据权利要求7所述的显示基板，其中，所述多个第一测试虚设电路中的至少一个所述第一测试虚设电路包括：第一虚设薄膜晶体管以及第二控制线，所述第二控制线位于所述周边区域且沿所述第一边界的延伸方向延伸，所述第一虚设薄膜晶体管包括：第一虚设源极，第一虚设漏极以及第一虚设栅极；

所述第一虚设栅极与所述第二控制线电连接，所述第一虚设漏极与所述多条数据传输虚设线中的一条电连接。

9、根据权利要求7或8所述的显示基板，其中，所述静电释放虚设电路的数量与所述第一测试虚设电路的数量相同，每个所述静电释放虚设电路通过一个所述第一测试虚设电路与所述第三子走线电连接。

10、根据权利要求6至9任一所述的显示基板，其中，所述显示基板还包括：多个第二测试电路，所述多个第二测试电路位于所述多个静电释放电路和所述多个第一测试电路之间，且所述多个第二测试电路通过所述多条数据传输线与所述多个静电释放电路以及所述多个第一测试电路电连接。

11、根据权利要求10所述的显示基板，其中，所述多个第二测试电路中的至少一个所述第二测试电路包括：第一子电路，第二子电路和第三子电路，所述第二子电路位于所述第一子电路与所述第三子电路之间，所述第一子电路位于所述第二子电路远离所述多个子像素的一侧。

12、根据权利要求11所述的显示基板，其中，所述多条数据传输线包括：多条第一数据传输线和多条第二数据传输线，所述多条第一数据传输线和所述多条第二数据传输线一一交替排布；

所述第一子电路包括：第二薄膜晶体管，第三控制线，以及第三测试数据线，所述第三控制线和所述第三测试数据线沿所述第一边界的延伸方向延伸；

所述第二薄膜晶体管包括：第二源极，第二漏极和第二栅极，所述第二源极与所述第三测试数据线电连接，所述第二漏极与所述多条第一数据传输线中的一条电连接，所述第二栅极与所述第三控制线电连接。

13、根据权利要求 12 所述的显示基板，其中，

所述第二子电路包括：第三薄膜晶体管，第四薄膜晶体管，第四控制线，第四测试数据线，以及第五测试数据线，所述第四控制线，所述第四测试数据线，以及所述第五测试数据线沿所述第一边界的延伸方向延伸；

所述第三薄膜晶体管包括：第三源极，第三漏极和第三栅极，所述第三源极与所述第四测试数据线电连接，所述第三漏极与所述多条第二数据传输线中的一条电连接，所述第三栅极与所述第四控制线电连接；

所述第四薄膜晶体管包括：第四源极，第四漏极和第四栅极，所述第四源极与所述第五测试数据线电连接，所述第四漏极与所述多条第二数据传输线中的一条电连接，所述第四栅极与所述第四控制线电连接。

14、根据权利要求 13 所述的显示基板，其中，所述第三子电路包括：第五薄膜晶体管，第六薄膜晶体管，第五控制线，第六测试数据线，以及第七测试数据线；所述第五控制线，所述第六测试数据线和所述第七测试数据线沿所述第一边界的延伸方向延伸；

所述第五薄膜晶体管包括：第五源极，第五漏极和第五栅极，所述第五源极与所述第六测试数据线电连接，所述第五漏极与所述多条第二数据传输线中的一条电连接，所述第五栅极与所述第五控制线电连接；

所述第六薄膜晶体管包括：第六源极，第六漏极和第六栅极，所述第六源极与所述第七测试数据线电连接，所述第六漏极与所述多条第二数据传输线中的一条电连接，所述第六栅极与所述第五控制线电连接。

15、根据权利要求 10 至 14 任一所述的显示基板，其中，所述显示基板还包括：多个第二测试虚设电路，所述多个第二测试虚设电路在沿所述第一边界

的延伸方向上，位于所述多个第二测试电路的两侧且位于多个静电释放虚设电路和所述多个第一测试虚设电路之间，所述多个第二测试虚设电路通过所述多条数据传输虚设线与所述第一测试虚设电路以及所述静电释放虚设电路电连接。

16、根据权利要求 15 所述的显示基板，其中，所述多个第二测试虚设电路中的至少一个所述第二测试虚设电路包括：第一虚设子电路，第二虚设子电路和第三虚设子电路，所述第二虚设子电路位于所述第一虚设子电路与所述第三虚设子电路之间，所述第一虚设子电路位于所述第二虚设子电路远离所述多个子像素的一侧。

17、根据权利要求 16 所述的显示基板，其中，所述多条数据传输虚设线包括：多条第一数据传输虚设线和多条第二数据传输虚设线，所述多条第一数据传输虚设线和所述多条第二数据传输虚设线一一交替排布；

所述第一虚设子电路包括：第二虚设薄膜晶体管，第六控制线，以及第八测试数据线，所述第六控制线和所述第八测试数据线沿所述第一边界的延伸方向延伸，所述第二虚设薄膜晶体管包括：第二虚设源极，第二虚设漏极和第二虚设栅极，所述第二虚设漏极与所述多条第一数据传输虚设线中的一条电连接，所述第二虚设栅极与所述第六控制线电连接。

18、根据权利要求 17 所述的显示基板，其中，

所述第二虚设子电路包括：第三虚设薄膜晶体管，第四虚设薄膜晶体管，第七控制线，第九测试数据线，以及第十测试数据线，所述第七控制线，所述第九测试数据线，以及所述第十测试数据线沿所述第一边界的延伸方向延伸；

所述第三虚设薄膜晶体管包括：第三虚设源极，第三虚设漏极和第三虚设栅极，所述第三虚设漏极与所述多条第二数据传输虚设线中的一条电连接，所述第三虚设栅极与所述第七控制线电连接；

所述第四虚设薄膜晶体管包括：第四虚设源极，第四虚设漏极和第四虚设栅极，所述第四虚设漏极与所述多条第二数据传输线中的一条电连接，所述第四虚设栅极与所述第七控制线电连接。

19、根据权利要求 18 所述的显示基板，其中，所述第三虚设子电路包括：第五虚设薄膜晶体管，第六虚设薄膜晶体管，第八控制线，第十一测试数据线，以及第十二测试数据线；所述第八控制线，所述第十一测试数据线和所述第十二测试数据线沿所述第一边界的延伸方向延伸；

所述第五虚设薄膜晶体管包括：第五虚设源极，第五虚设漏极和第五虚设栅极，所述第五虚设漏极与所述多条第二数据传输线中的一条电连接，所述第五虚设栅极与所述第八控制线电连接；

所述第六虚设薄膜晶体管包括：第六虚设源极，第六虚设漏极和第六虚设栅极，所述第六虚设漏极与所述多条第二数据传输线中的一条电连接，所述第六虚设栅极与所述第八控制线电连接。

20、根据权利要求 15 至 19 任一所述的显示基板，其中，所述第二测试虚设电路的数量与所述静电释放虚设电路的数量以及所述第一测试虚设电路的数量相同，每个所述静电释放虚设电路通过一个所述第二测试虚设电路与一个所述第一测试虚设电路电连接。

21、根据权利要求 1 至 20 任一所述的显示基板，其中，所述显示基板还包括：至少一个第一信号输入端；

所述至少一个第一信号输入端与所述面板裂纹检测走线中第一走线段中的第三子走线连接，所述至少一个第一信号输入端被配置为接收测试信号，以对所述显示基板进行检测。

22、根据权利要求 21 所述的显示基板，其中，所述至少一个第一信号输入端包括两个第一信号输入端，所述两个第一信号输入端分别位于所述第一测试电路的两侧。

23、根据权利要求 1 至 22 任一所述的显示基板，其中，所述显示基板还包括：第一检测端和第二检测端；

所述第一检测端与所述面板裂纹检测走线中第一走线段中的第一子走线连

接，用于为所述第一子走线提供检测信号；

所述第二检测端与所述面板裂纹检测走线中第一走线段中的第二子走线连接，用于接收所述检测信号，以对所述显示基板进行检测。

24、根据权利要求 1 至 23 任一所述的显示基板，其中，所述多个静电释放虚设电路中的至少一个所述静电释放虚设电路包括：静电防护线，至少一个第一放电晶体管，以及至少一个第二放电晶体管；

所述至少一个第一放电晶体管的第一极和栅极均与所述面板裂纹检测走线电连接，所述至少一个第一放电晶体管的第二极与所述静电防护线电连接；

所述至少一个第二放电晶体管的第一极和栅极均与所述静电防护线电连接，所述至少一个第二放电晶体管的第二极与所述面板裂纹检测走线电连接。

25、根据权利要求 1 至 24 任一所述的显示基板，其中，所述多个静电释放虚设电路沿所述显示区域的边界均匀分布在所述周边区域。

26、一种显示装置，其中，所述显示装置包括：如权利要求 1 至 25 任一所述的显示基板。

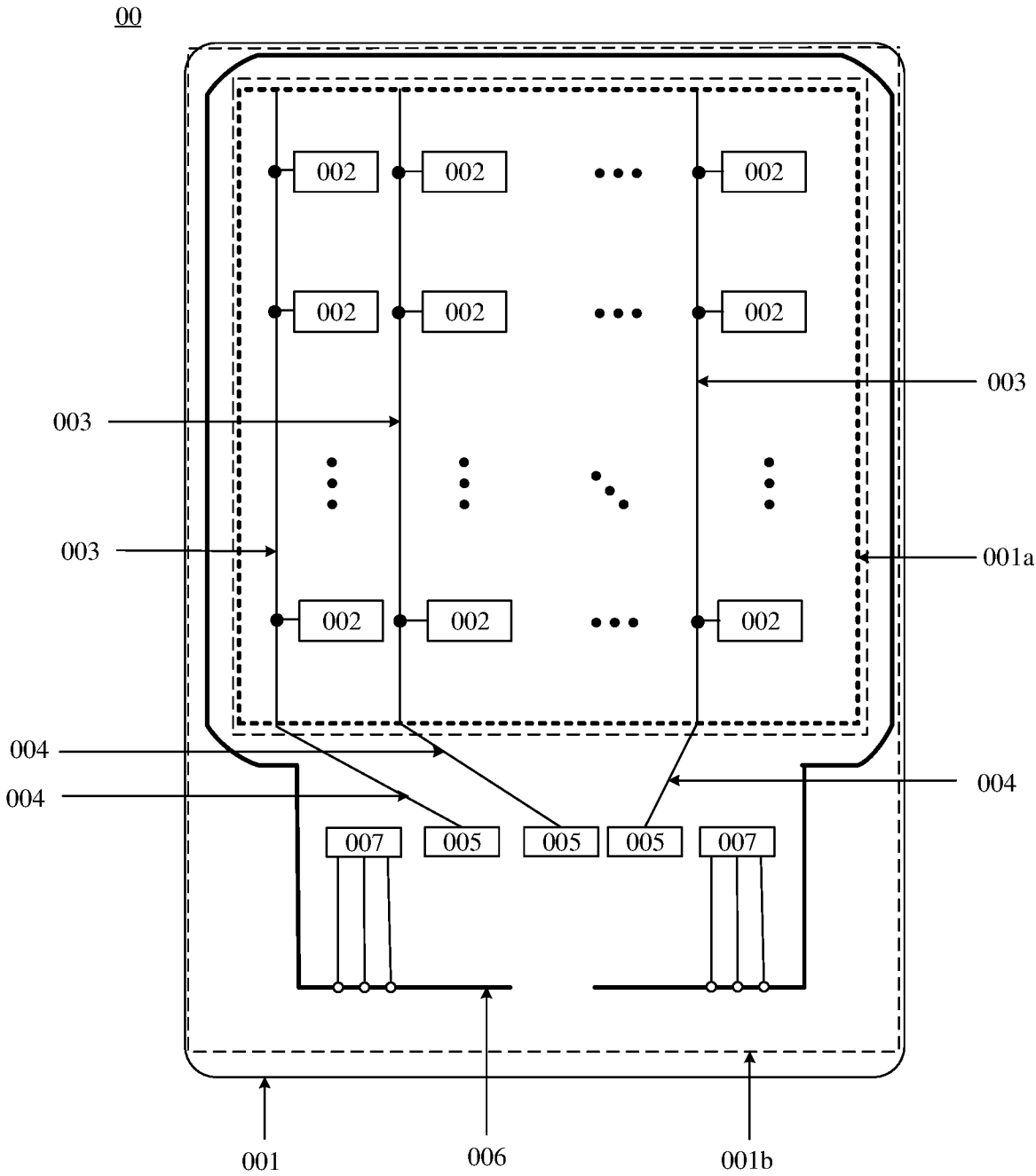


图 1

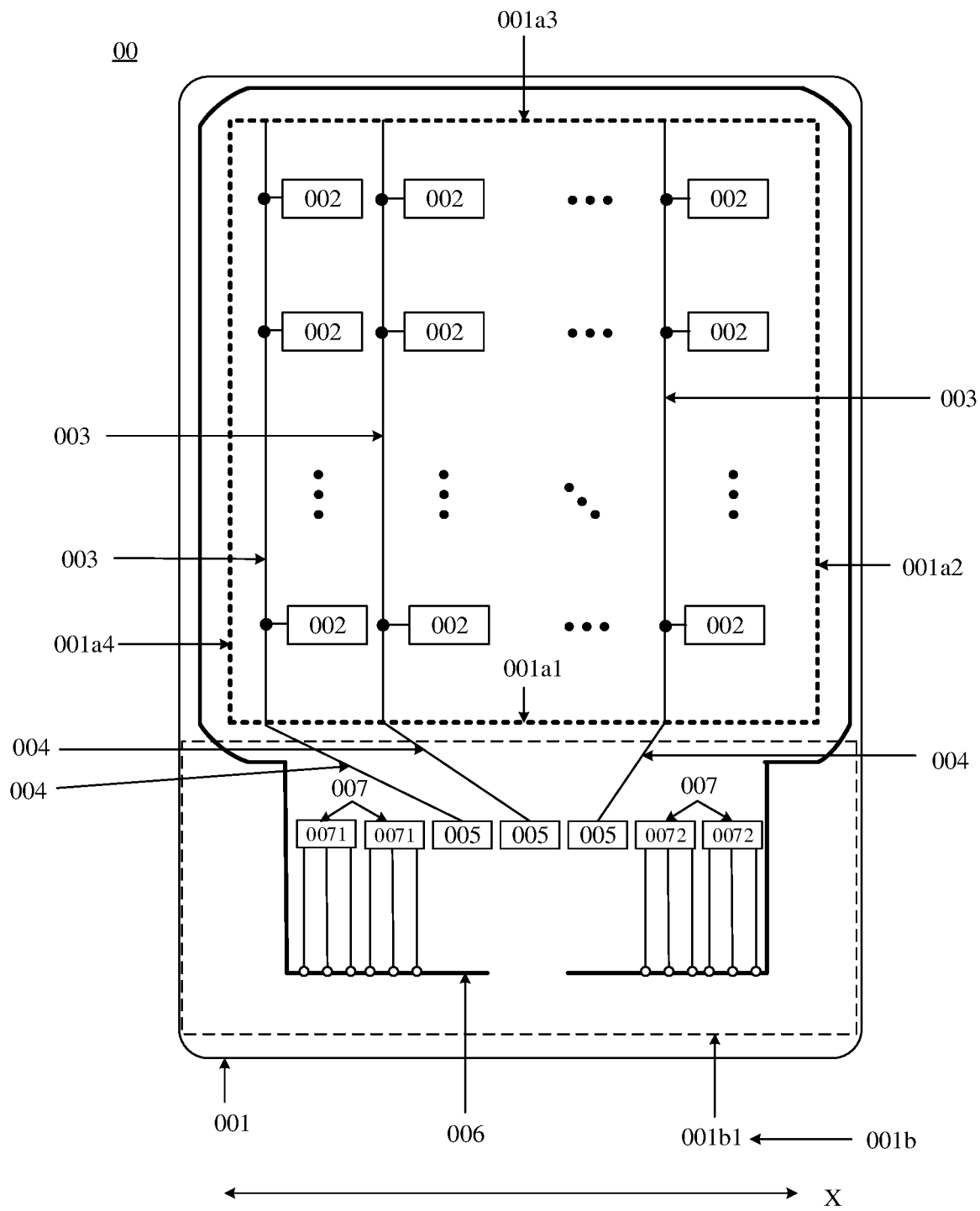


图 2

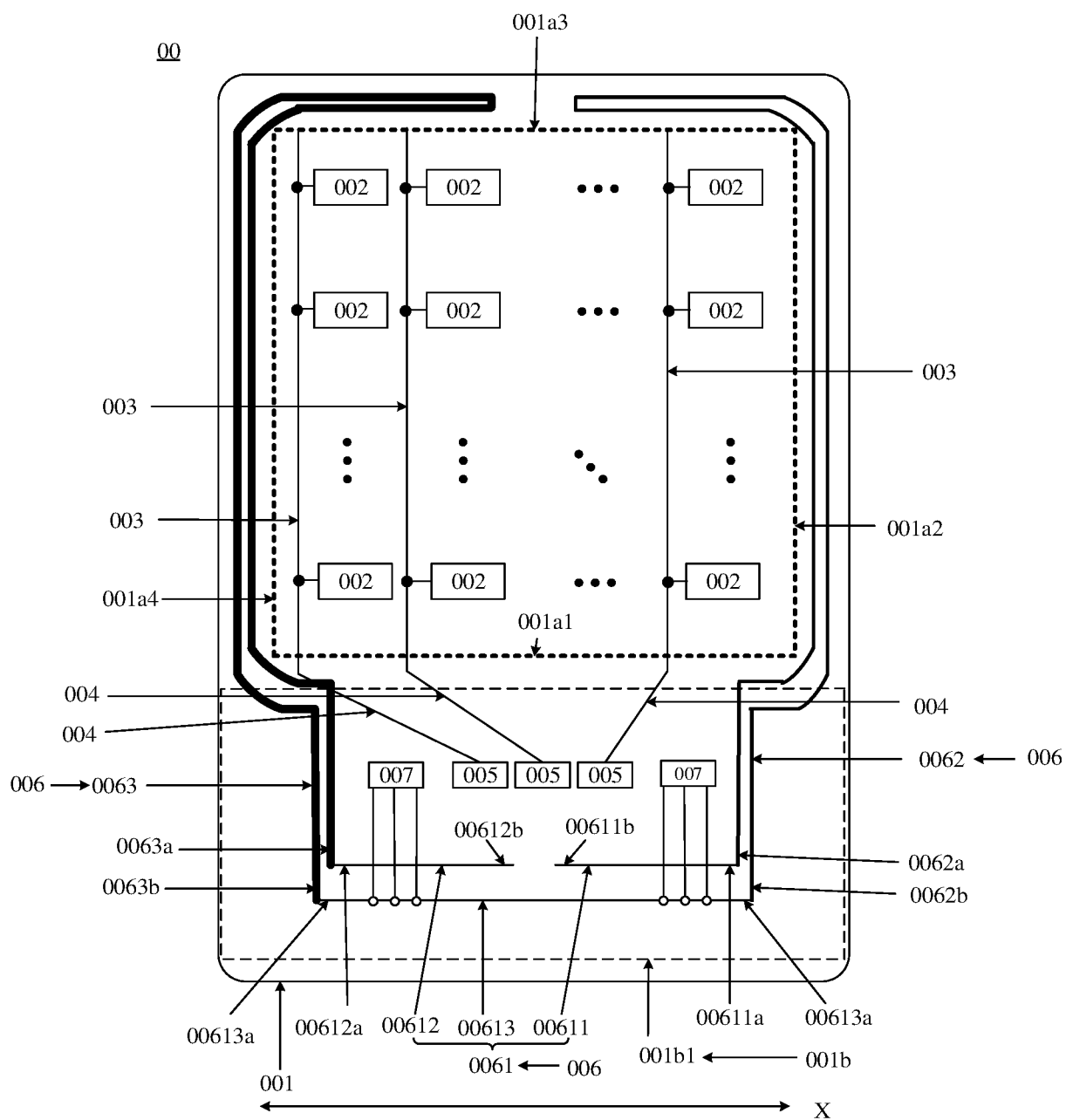


图 3

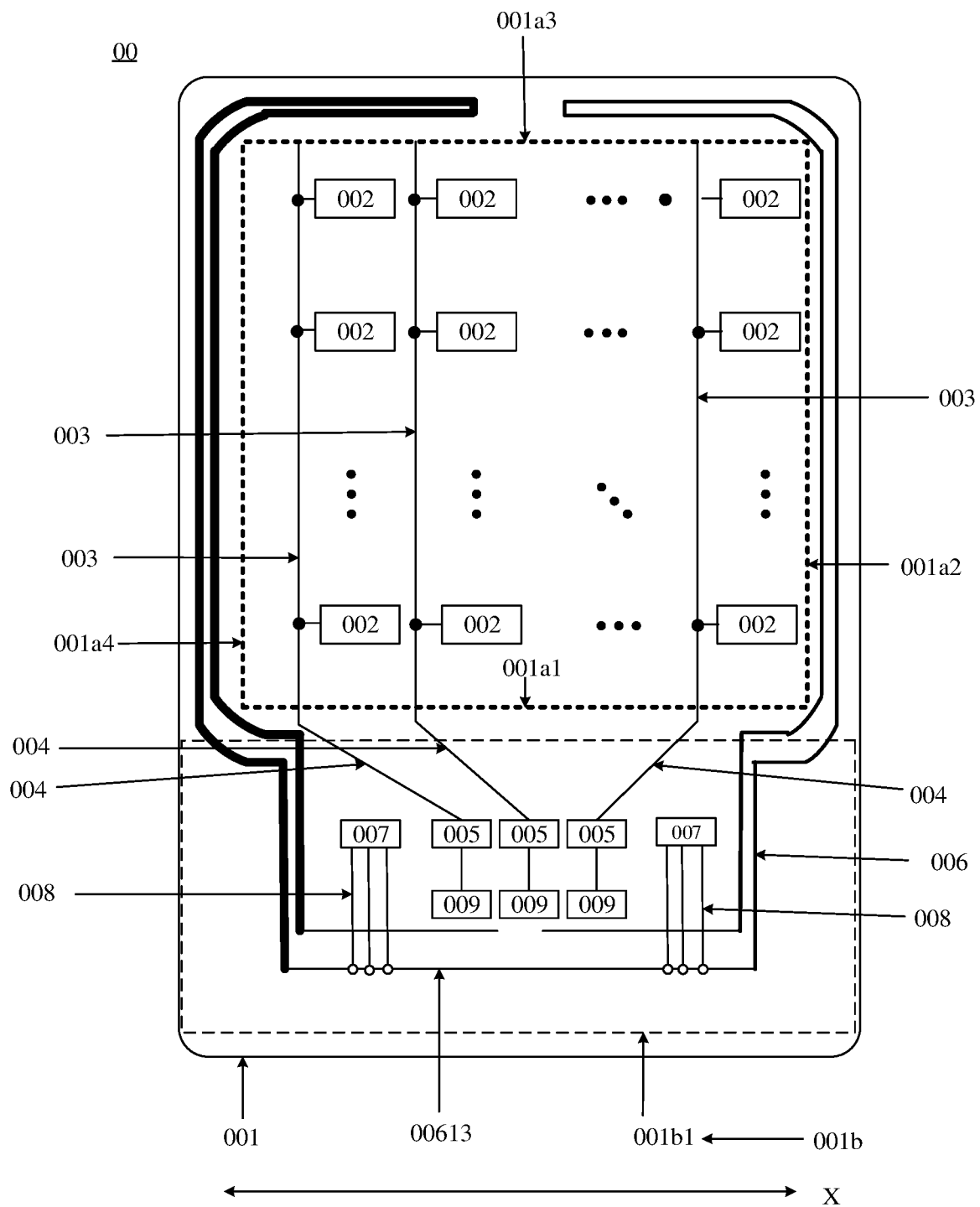


图 4

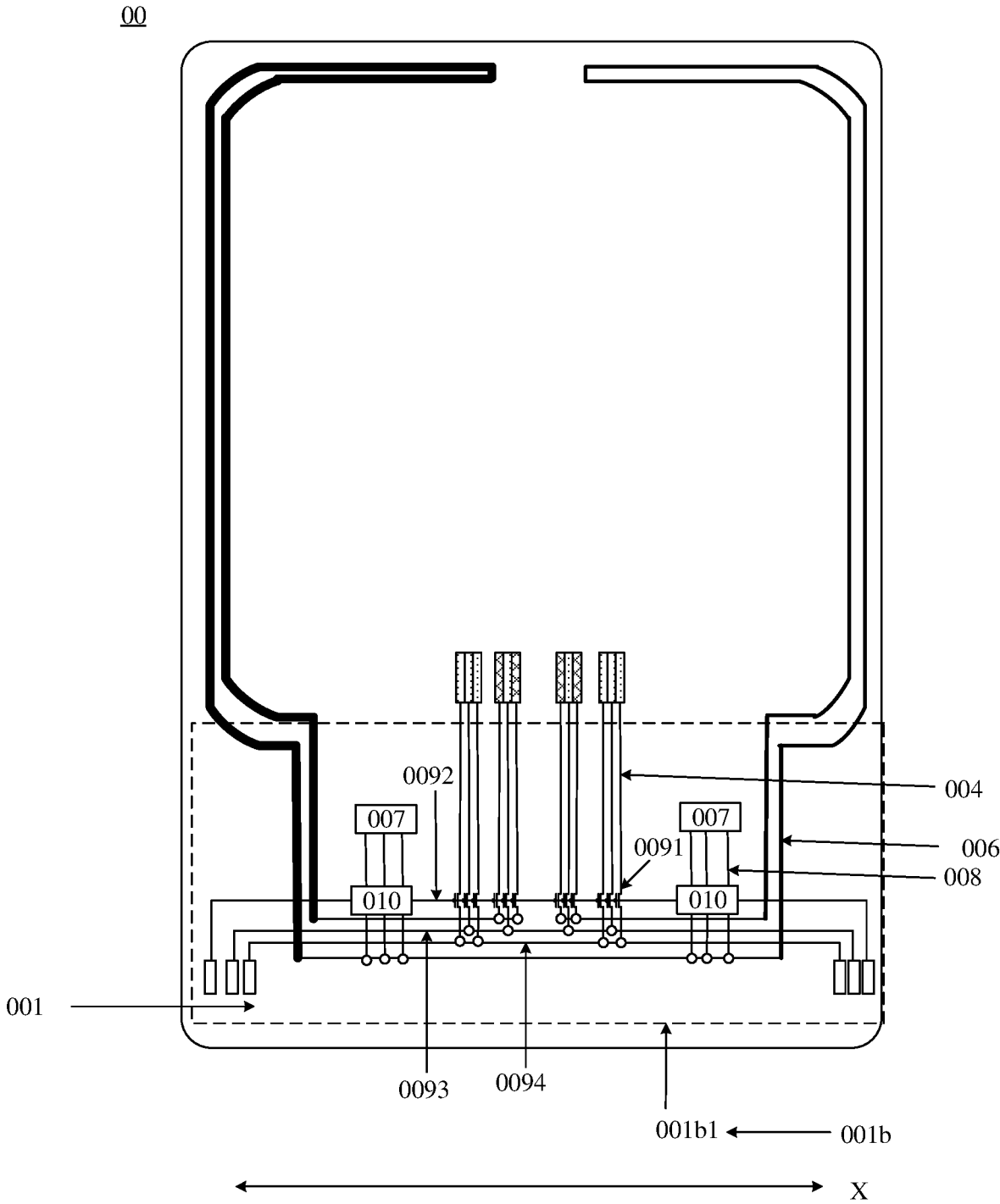


图 5

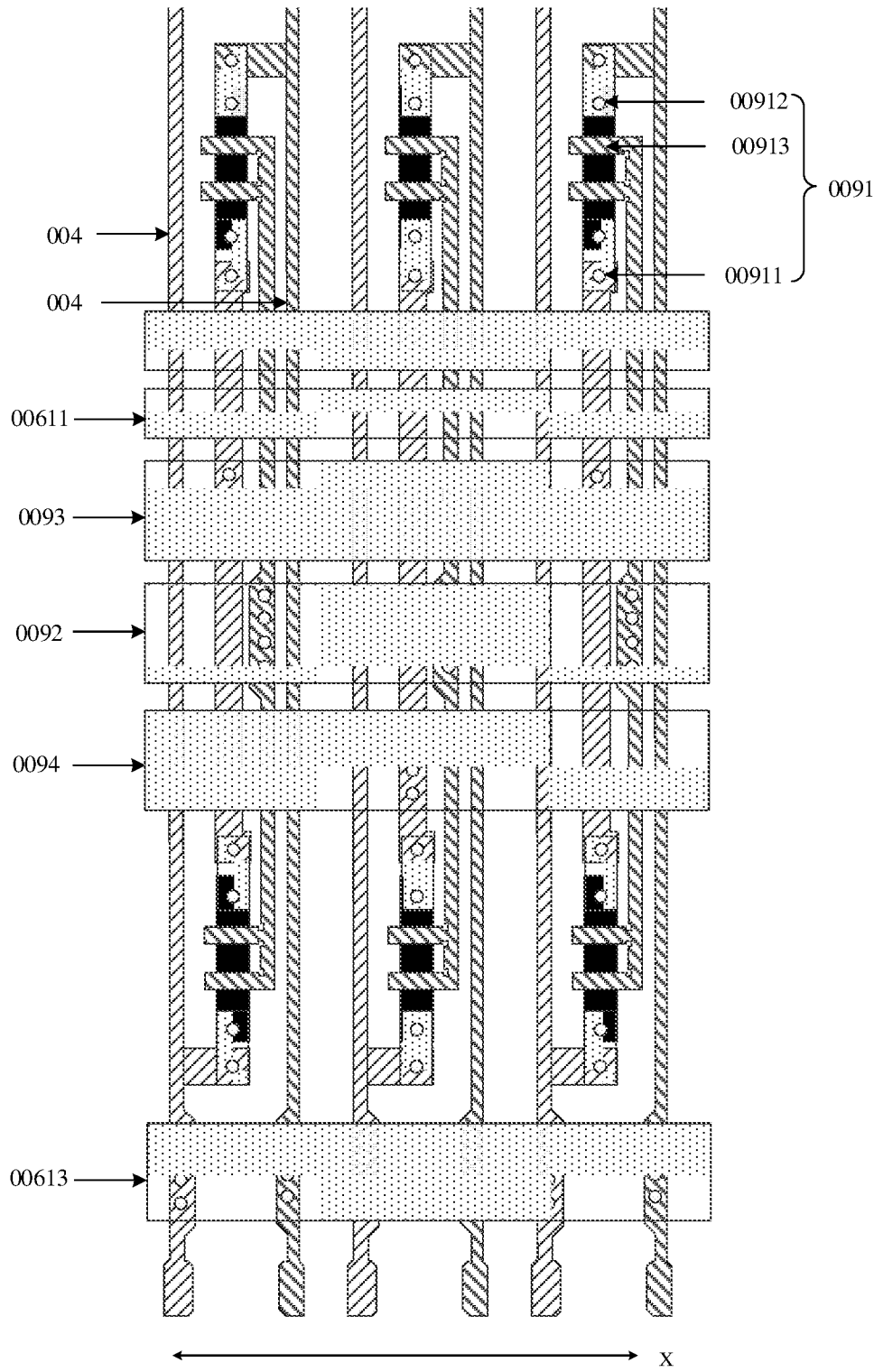


图 6

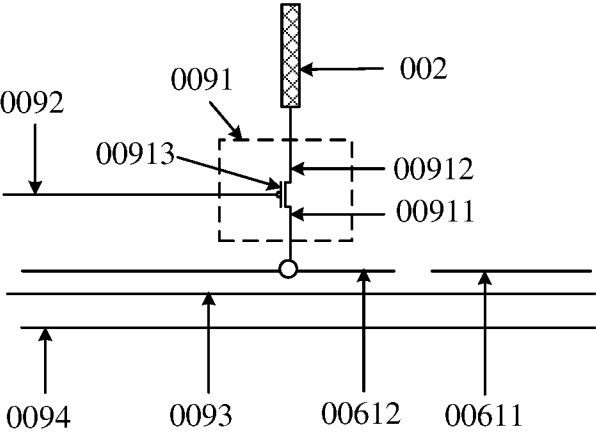


图 7

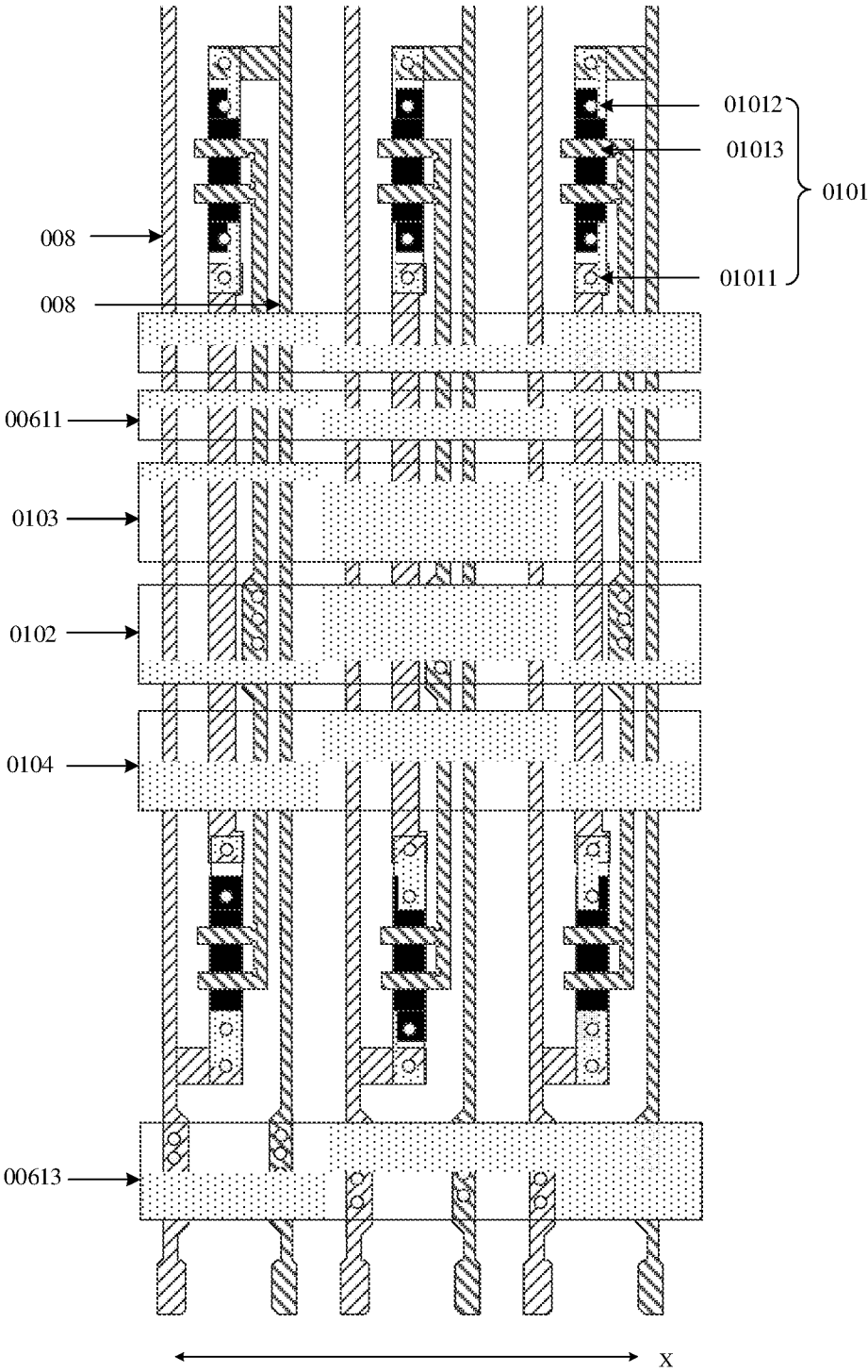


图 8

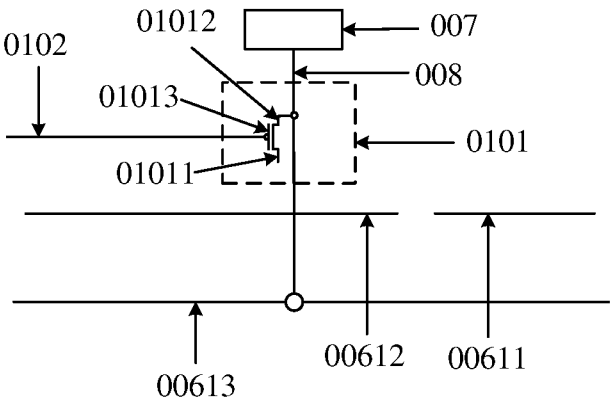


图 9

00

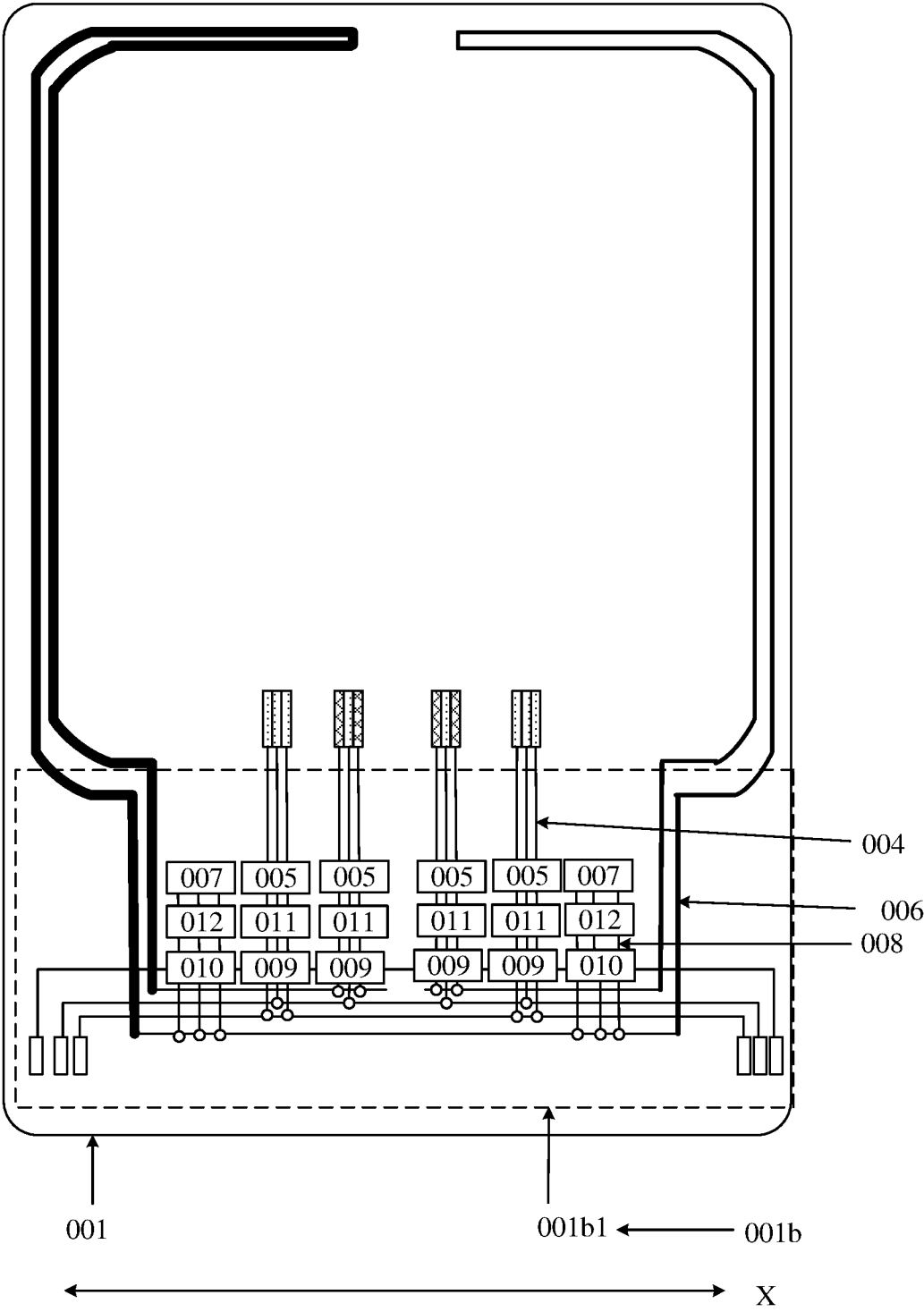


图 10

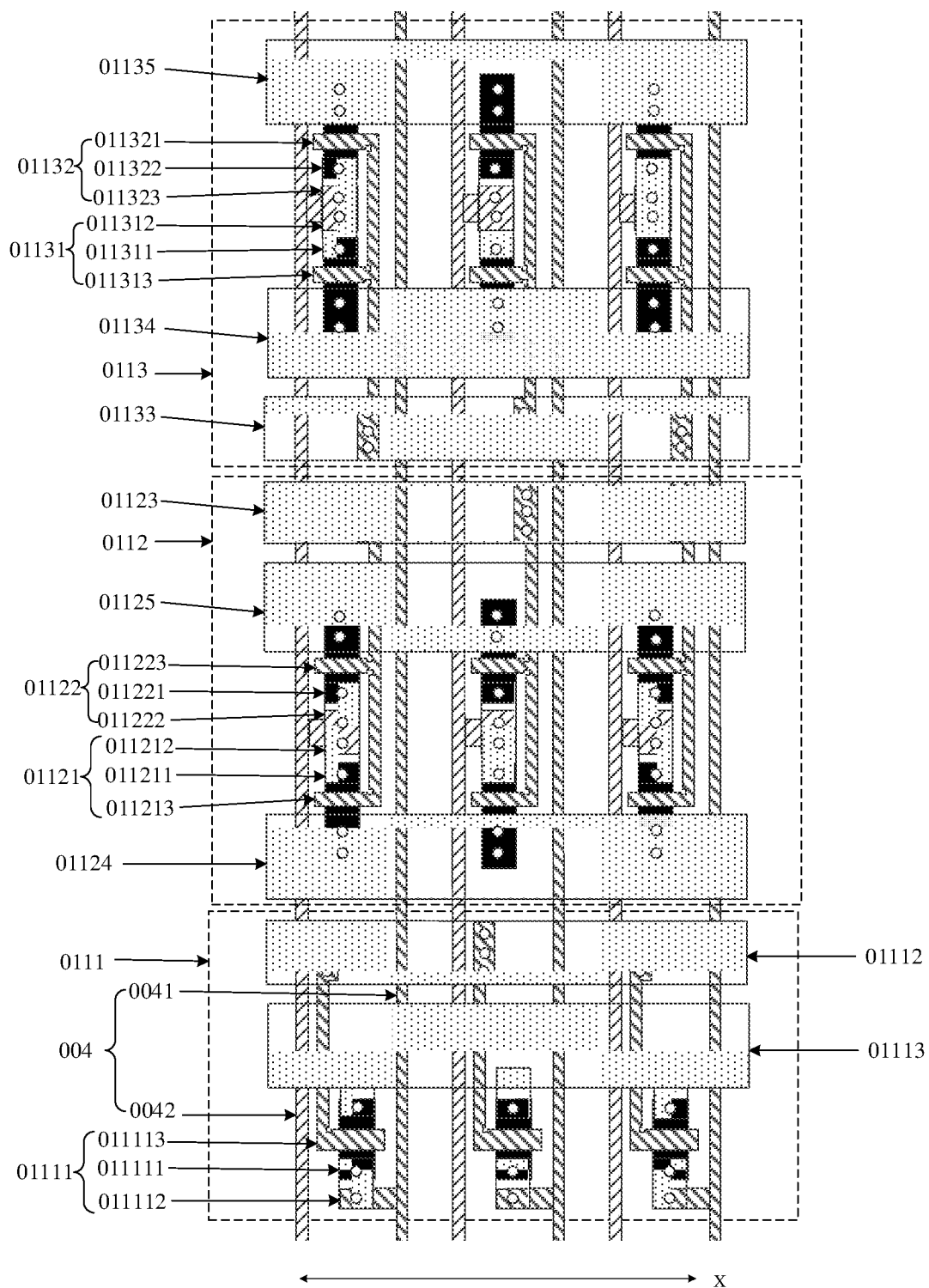


图 11

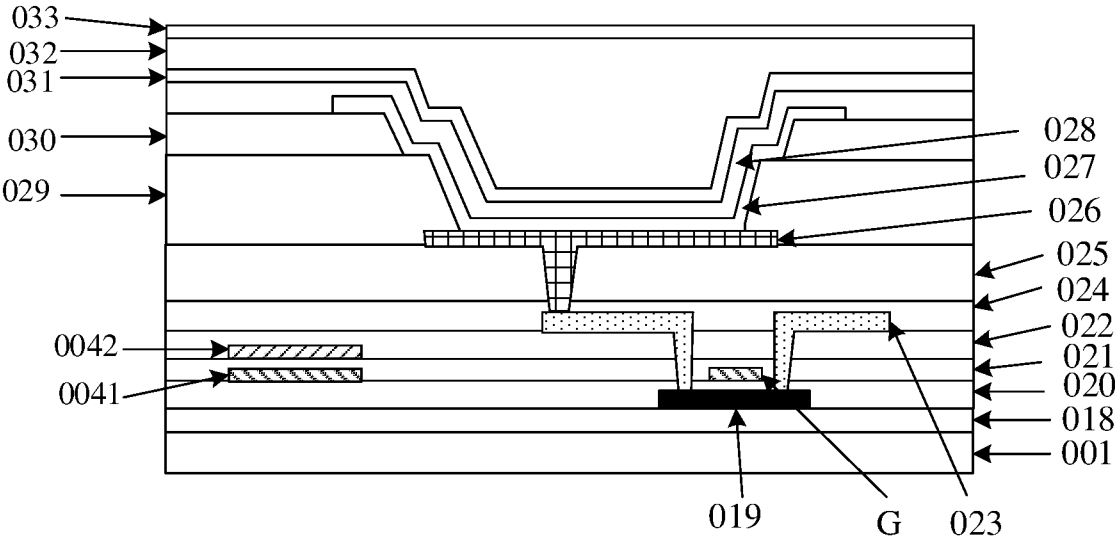


图 12

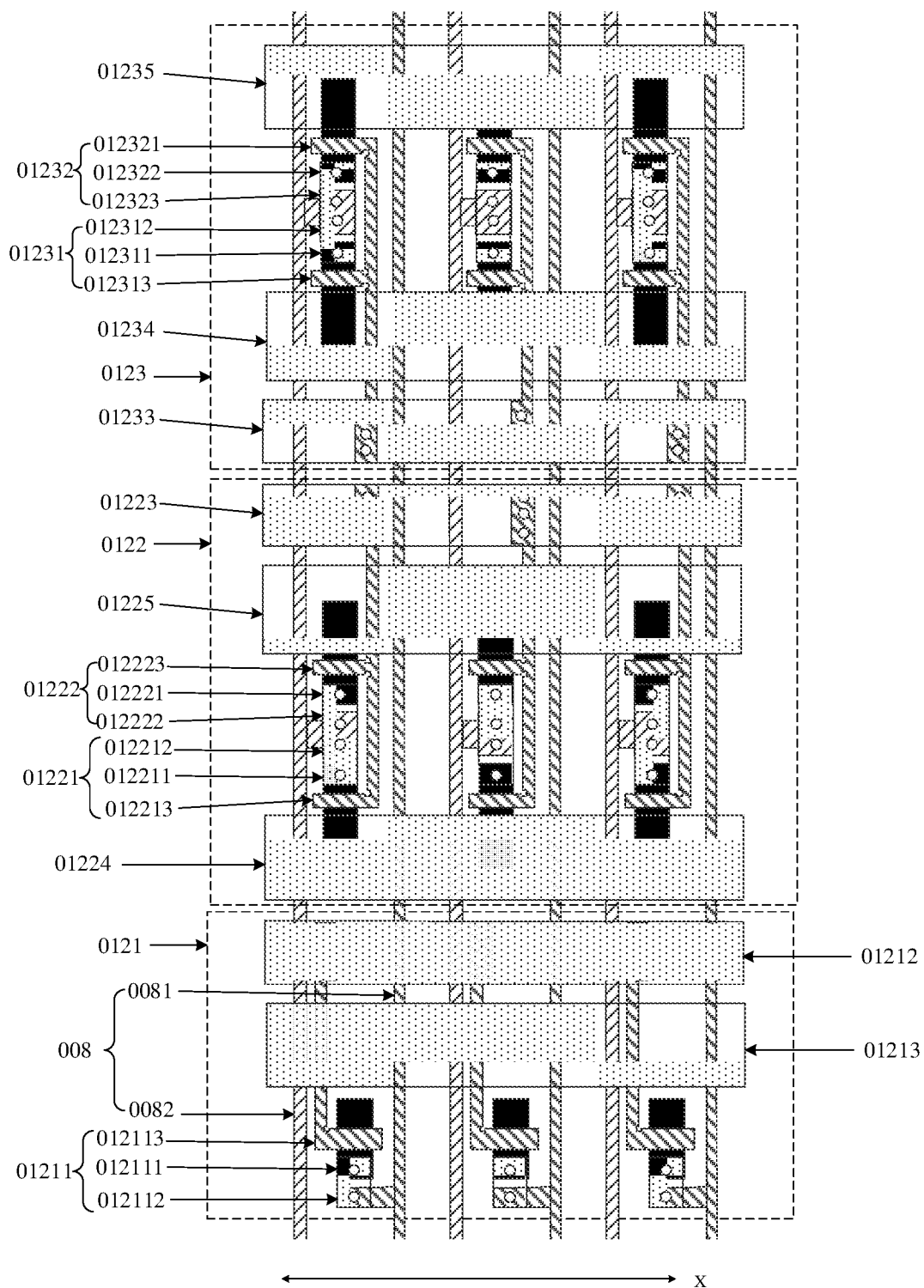


图 13

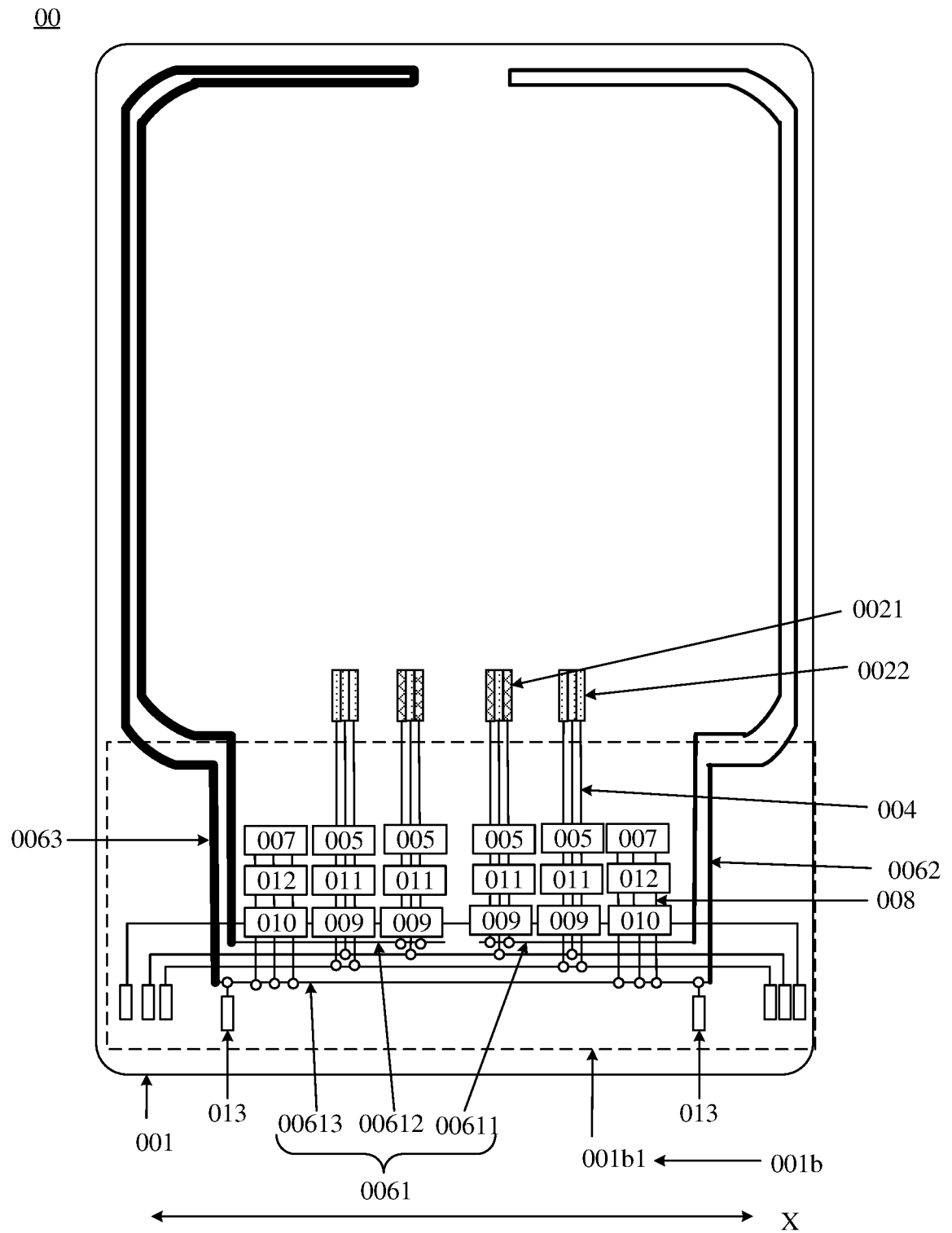


图 14

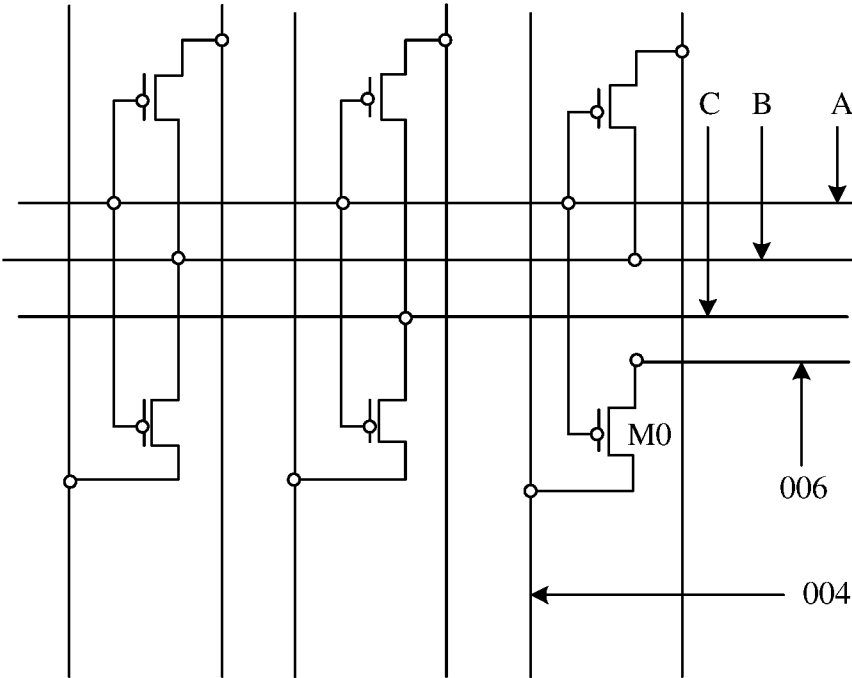


图 15

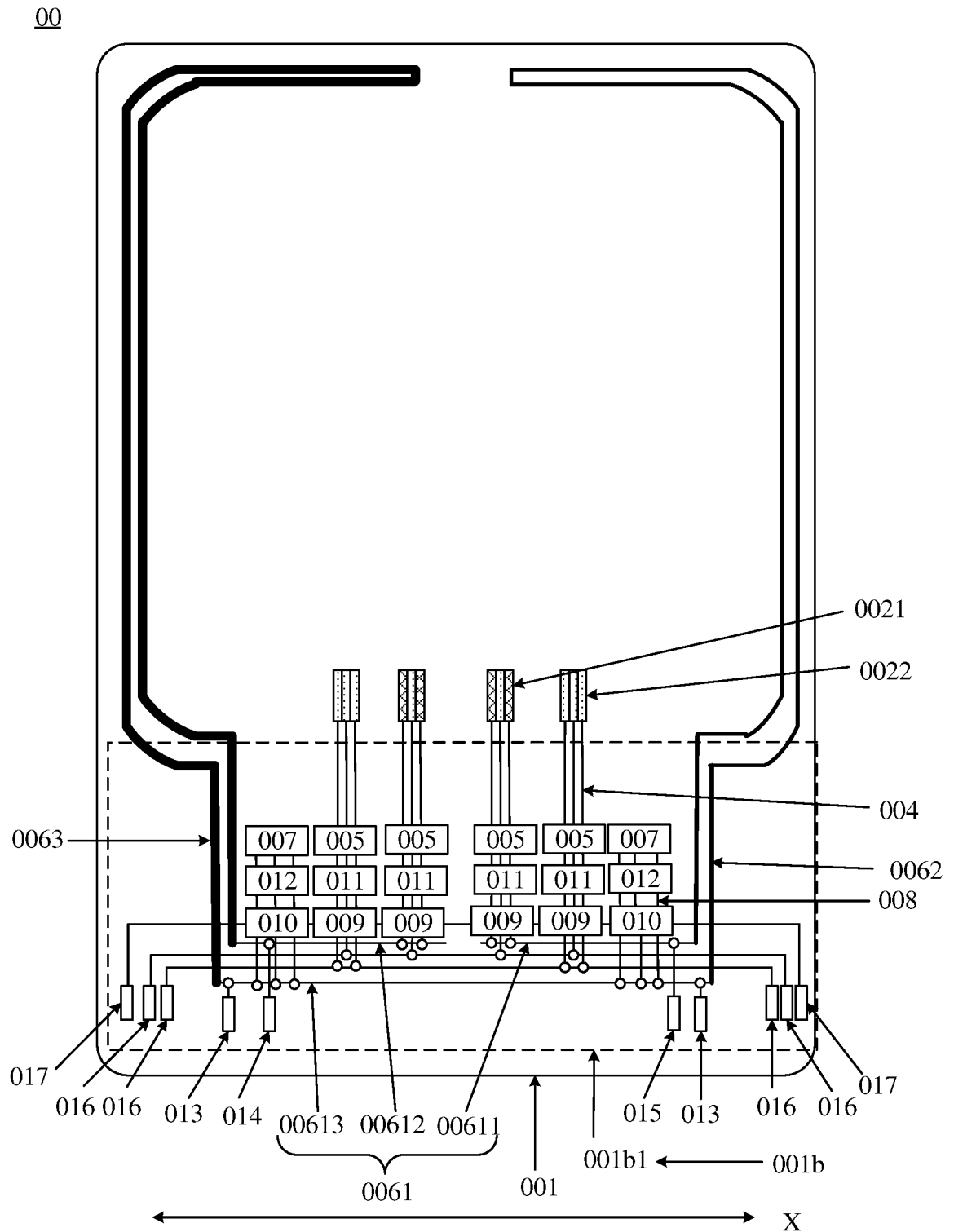


图 16

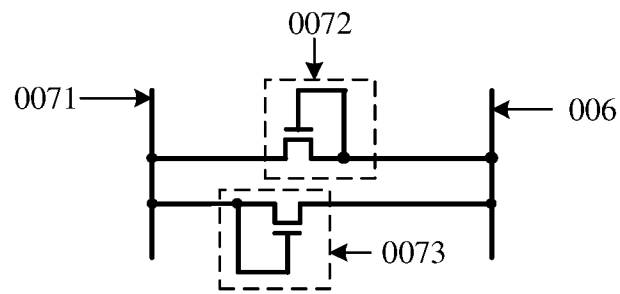


图 17

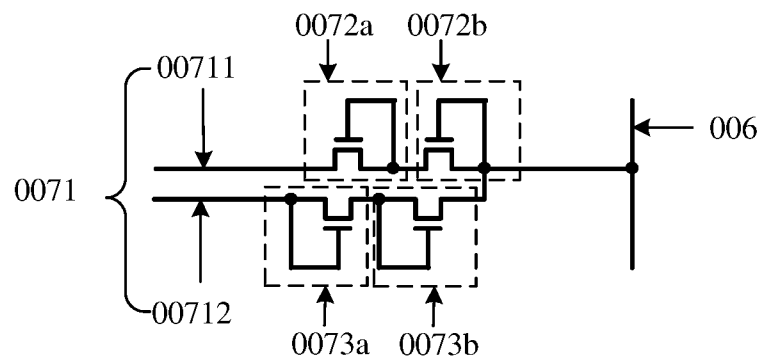


图 18

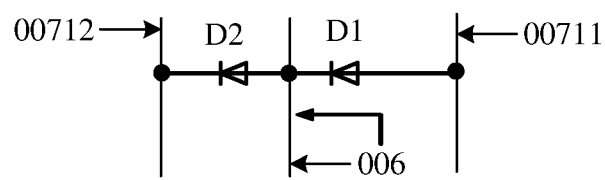


图 19

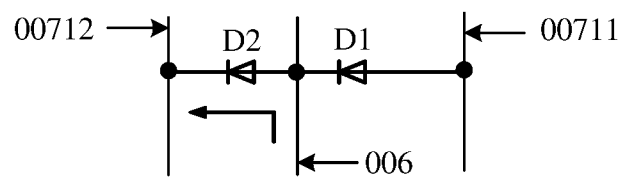


图 20

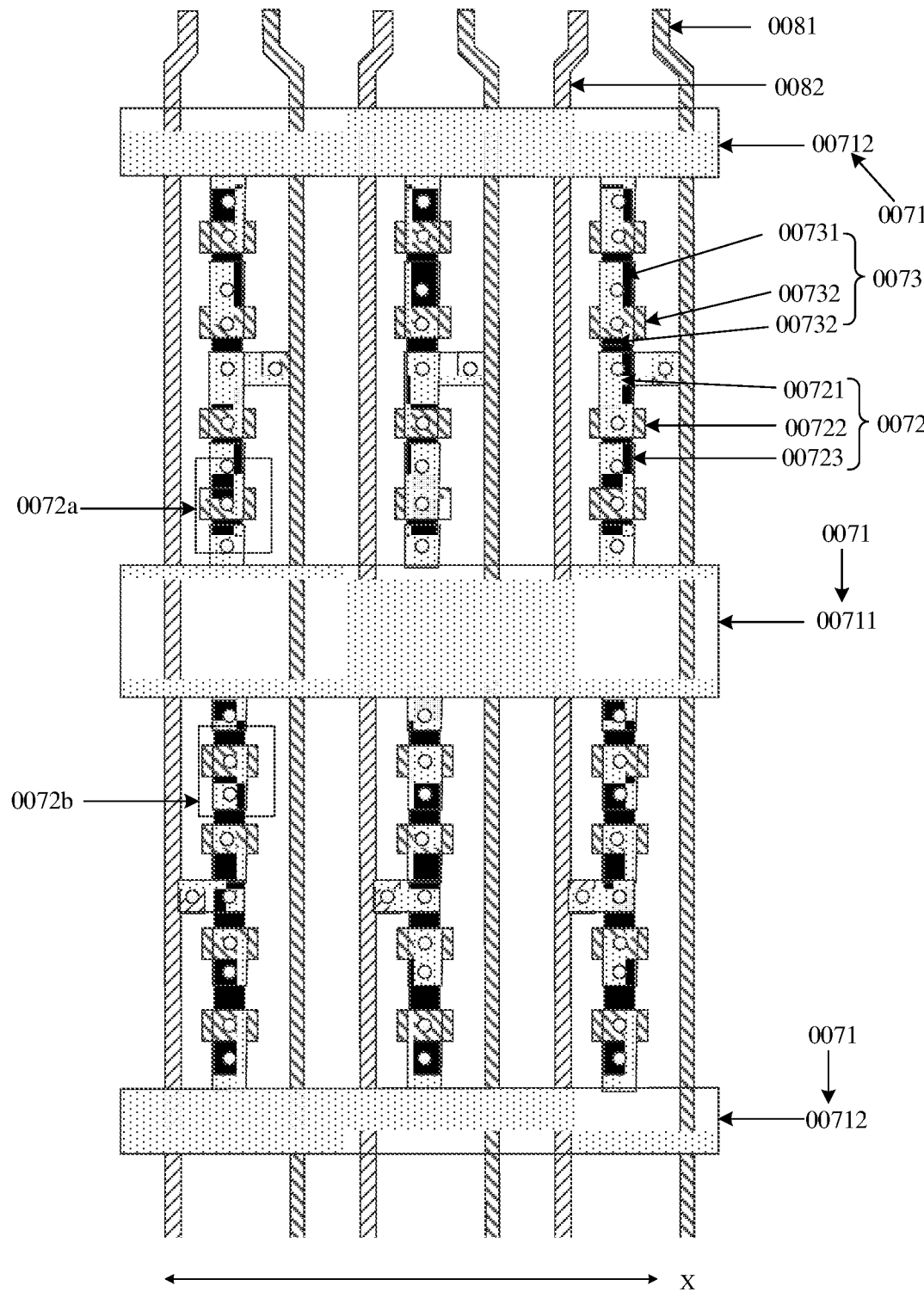


图 21

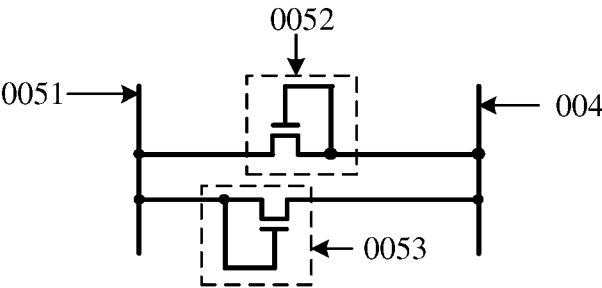


图 22

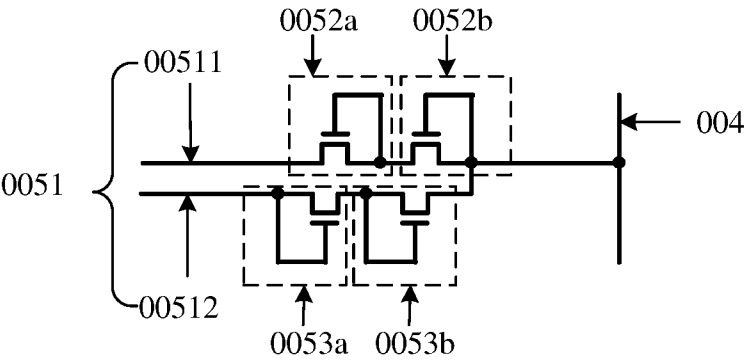


图 23

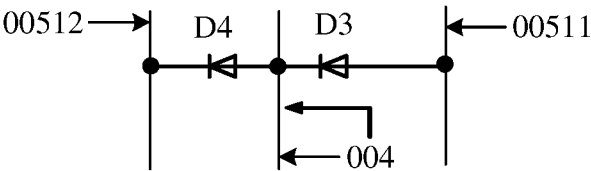


图 24

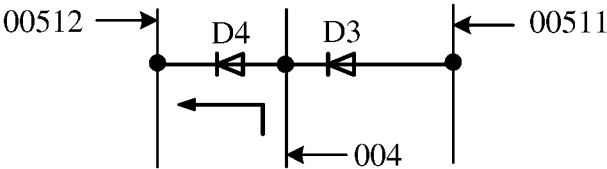


图 25

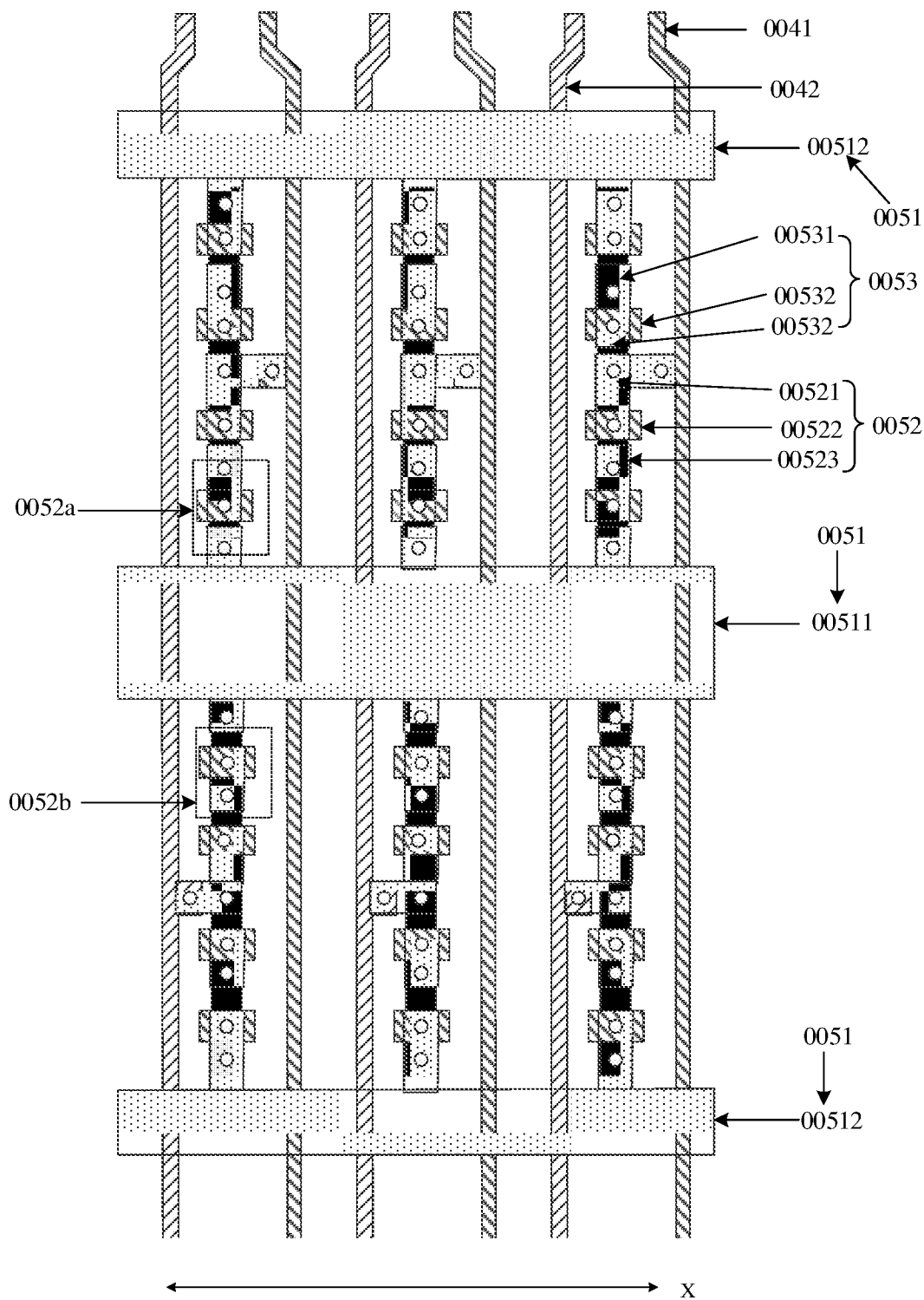


图 26

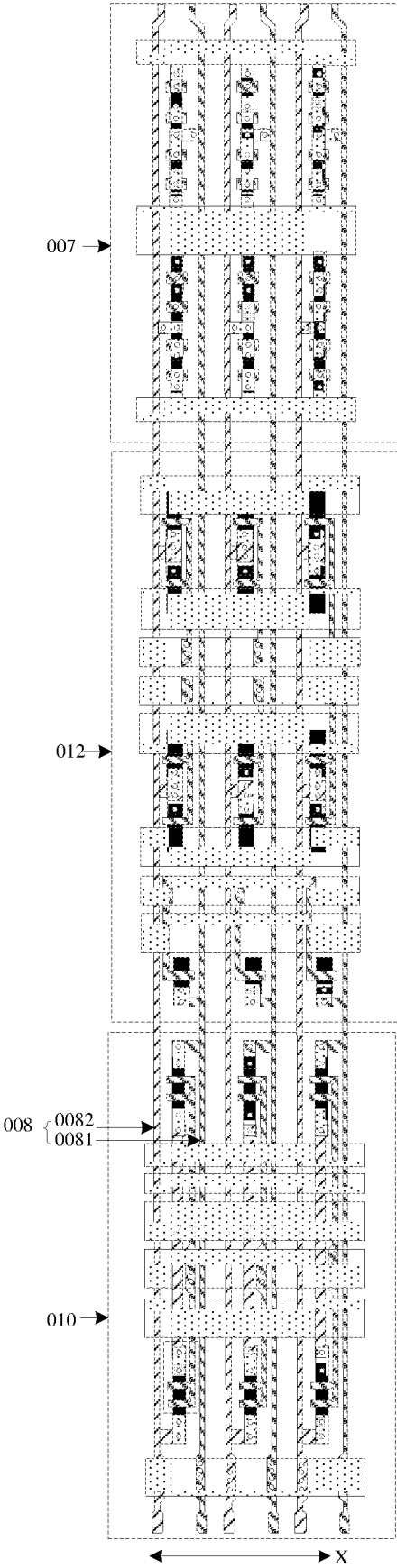


图 27

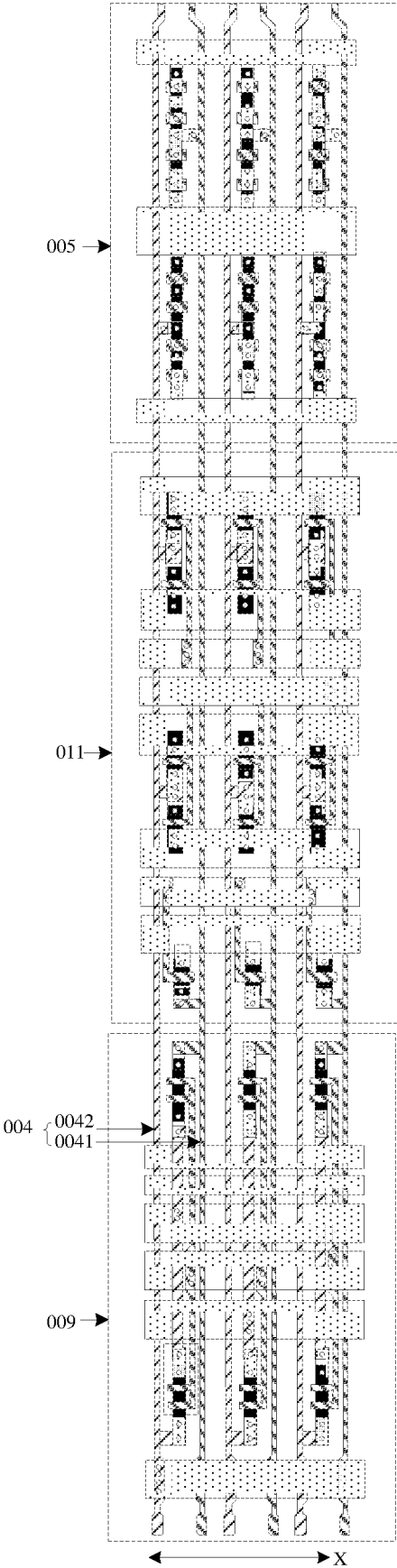


图 28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/088673

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/60(2006.01)i; H01L 23/544(2006.01)i; G01R 31/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F; G09G; G09F; G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

USTXT; VEN; CNABS; CNTXT: 测, 开关, 裂纹, 虚, 静电, 放, detect+, test+, switch+, crack+, dummy+, +static+, discharg
+, esd**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109935571 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 June 2019 (2019-06-25) figures 2-4, and corresponding parts in description	1-26
Y	CN 109427752 A (SAMSUNG DISPLAY CO., LTD.) 05 March 2019 (2019-03-05) figure 1, and corresponding parts in description	1-26
Y	CN 209946604 U (BOE TECHNOLOGY GROUP CO., LTD.) 14 January 2020 (2020-01-14) description, paragraph 2	1-26
A	CN 109427273 A (SAMSUNG DISPLAY CO., LTD.) 05 March 2019 (2019-03-05) entire document	1-26
A	CN 108922462 A (BOE TECHNOLOGY GROUP CO., LTD.) 30 November 2018 (2018-11-30) entire document	1-26
A	CN 107658233 A (SAMSUNG DISPLAY CO., LTD.) 02 February 2018 (2018-02-02) entire document	1-26
A	US 2014176844 A1 (JAPAN DISPLAY INC.) 26 June 2014 (2014-06-26) entire document	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 February 2021

Date of mailing of the international search report

18 February 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/088673

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20190140629 A (LG DISPLAY CO., LTD.) 20 December 2019 (2019-12-20) entire document	1-26

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/088673

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109935571	A	25 June 2019	CN	109935571	B	02 June 2020
CN	109427752	A	05 March 2019	US	2019066595	A1	28 February 2019
				US	2020302872	A1	24 September 2020
				US	10679561	B2	09 June 2020
				KR	20190022980	A	07 March 2019
CN	209946604	U	14 January 2020	None			
CN	109427273	A	05 March 2019	KR	20190020882	A	05 March 2019
				US	2019057632	A1	21 February 2019
CN	108922462	A	30 November 2018	US	2020025820	A1	23 January 2020
CN	107658233	A	02 February 2018	EP	3276595	A2	31 January 2018
				EP	3276595	A3	14 March 2018
				KR	20180012369	A	06 February 2018
				US	2018033355	A1	01 February 2018
US	2014176844	A1	26 June 2014	JP	6138480	B2	31 May 2017
				US	9581841	B2	28 February 2017
				JP	2014122974	A	03 July 2014
KR	20190140629	A	20 December 2019	None			

国际检索报告

国际申请号

PCT/CN2020/088673

A. 主题的分类

H01L 23/60(2006.01)i; H01L 23/544(2006.01)i; G01R 31/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F; G09G; G09F; G01R

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

USTXT;VEN;CNABS;CNTXT: 测, 开关, 裂纹, 虚, 静电, 放, detect+, test+, switch+, crack+, dummy+, +static+, discharg+, esd

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 109935571 A (京东方科技集团股份有限公司等) 2019年 6月 25日 (2019 - 06 - 25) 图2-4以及说明书相应部分	1-26
Y	CN 109427752 A (三星显示有限公司) 2019年 3月 5日 (2019 - 03 - 05) 图1以及说明书相应部分	1-26
Y	CN 209946604 U (京东方科技集团股份有限公司) 2020年 1月 14日 (2020 - 01 - 14) 说明书第2段	1-26
A	CN 109427273 A (三星显示有限公司) 2019年 3月 5日 (2019 - 03 - 05) 全文	1-26
A	CN 108922462 A (京东方科技集团股份有限公司) 2018年 11月 30日 (2018 - 11 - 30) 全文	1-26
A	CN 107658233 A (三星显示有限公司) 2018年 2月 2日 (2018 - 02 - 02) 全文	1-26
A	US 2014176844 A1 (JAPAN DISPLAY INC) 2014年 6月 26日 (2014 - 06 - 26) 全文	1-26
A	KR 20190140629 A (LG DISPLAY CO LTD) 2019年 12月 20日 (2019 - 12 - 20) 全文	1-26

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 2月 5日

国际检索报告邮寄日期

2021年 2月 18日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

周宇

电话号码 (86-10)62085894

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/088673

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)
CN	109935571	A	2019年 6月 25日	CN	109935571	B	2020年 6月 2日
CN	109427752	A	2019年 3月 5日	US	2019066595	A1	2019年 2月 28日
				US	2020302872	A1	2020年 9月 24日
				US	10679561	B2	2020年 6月 9日
				KR	20190022980	A	2019年 3月 7日
CN	209946604	U	2020年 1月 14日	无			
CN	109427273	A	2019年 3月 5日	KR	20190020882	A	2019年 3月 5日
				US	2019057632	A1	2019年 2月 21日
CN	108922462	A	2018年 11月 30日	US	2020025820	A1	2020年 1月 23日
CN	107658233	A	2018年 2月 2日	EP	3276595	A2	2018年 1月 31日
				EP	3276595	A3	2018年 3月 14日
				KR	20180012369	A	2018年 2月 6日
				US	2018033355	A1	2018年 2月 1日
US	2014176844	A1	2014年 6月 26日	JP	6138480	B2	2017年 5月 31日
				US	9581841	B2	2017年 2月 28日
				JP	2014122974	A	2014年 7月 3日
KR	20190140629	A	2019年 12月 20日	无			