

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月15日(15.03.2018)



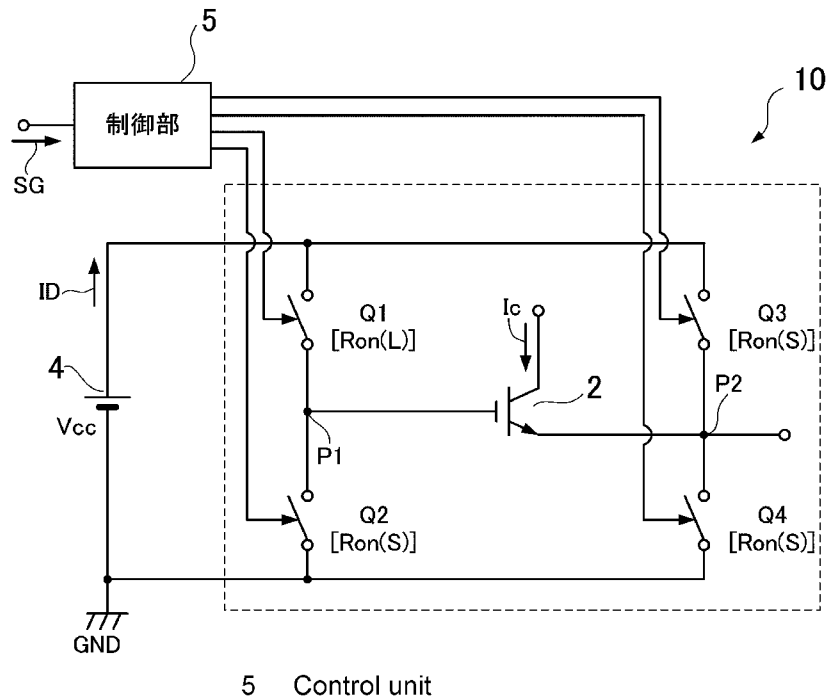
(10) 国際公開番号

WO 2018/047561 A1

- (51) 国際特許分類:
H03K 17/567 (2006.01) *H02M 1/08* (2006.01)
- (21) 国際出願番号: PCT/JP2017/028656
- (22) 国際出願日: 2017年8月8日(08.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-176892 2016年9月9日(09.09.2016) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 大橋 英知 (OHASHI, Hidetomo); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 星野 裕司 (HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目 2 1 番 1 0 号 浅沼第 2 ビル 8 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: DRIVE CIRCUIT FOR POWER ELEMENT

(54) 発明の名称: 電力素子の駆動回路



(57) Abstract: The present invention reduces switching loss at turn-off of an IGBT in a drive circuit for driving on/off of the IGBT by applying a positive bias or a negative bias to a gate of the IGBT. A drive circuit is provided with: first and second semiconductor switch elements which are connected in series and interposed between a power supply terminal and a ground terminal, a series connection point therebetween being provided to connect to a gate of the IGBT; and third and fourth semiconductor switch elements which are connected in series and interposed between the power supply terminal

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

and the ground terminal, a series connection point therebetween being provided to connect to an emitter of the IGBT. The drive circuit is further provided with a control circuit which controls on/off of the IGBT by turning on or off each of the first to fourth semiconductor switch elements in response to a control signal while associating the first to fourth semiconductor switch elements with each other. An element having a larger on resistance than the second to fourth semiconductor switch elements is used especially as the first semiconductor switch element.

(57) 要約: IGBTのゲートに正バイアスまたは負バイアスを印加してIGBTをオン・オフ駆動する駆動回路において、IGBTのターン・オフ時におけるスイッチング損失を低減する。直列に接続されて電源端子と接地端子との間に介装されると共に、その直列接続点をIGBTのゲートに接続して設けた第1および第2の半導体スイッチ素子と、直列に接続されて電源端子と接地端子との間に介装されると共に、その直列接続点をIGBTのエミッタに接続して設けた第3および第4の半導体スイッチ素子とを備える。更に制御信号に応じて第1～第4の半導体スイッチ素子のそれぞれを互いに関連させてオン・オフさせてIGBTのオン・オフを制御する制御回路を備える。特に第1の半導体スイッチ素子として第2～第4の半導体スイッチ素子よりもオン抵抗の大きい素子を用いる。

明 細 書

発明の名称：電力素子の駆動回路

技術分野

[0001] 本発明は、ＩＧＢＴ等の電力素子をオン・オフ駆動する駆動回路に係り、特に電力素子のスイッチング損失を低減した簡易な構成の電力素子の駆動回路に関する。

背景技術

[0002] 図６は、ＩＧＢＴ等からなる電力素子２をオン・オフ駆動する従来の駆動回路１の一例を示す概略構成である。この駆動回路１は、ＩＧＢＴ（電力素子）２のゲートに印加する駆動信号をオン・オフし、該ＩＧＢＴ２のコレクタ・エミッタ間に流れる主電流を制御する役割を担う。このＩＧＢＴ２のオン・オフにより、主電源３とＩＧＢＴ２との間に接続された負荷（ＲＬ）に対する供給電流 I_c が制御される。

[0003] 概略的には駆動回路１は、直列に接続されて電源４の電源端子（ V_{cc} ）と接地端子（ GND ）との間に介装された第１および第２の半導体スイッチ素子 Q_1 、 Q_2 と、直列に接続されて電源４の電源端子（ V_{cc} ）と接地端子（ GND ）との間に介装された第３および第４の半導体スイッチ素子 Q_3 、 Q_4 とを並列に備える。第１および第２の半導体スイッチ素子 Q_1 、 Q_2 は、その直列接続点（ノード P_1 ）をゲート抵抗 R_G を介してＩＧＢＴ２のゲートに接続したものである。また第３および第４の半導体スイッチ素子 Q_3 、 Q_4 は、その直列接続点（ノード P_2 ）をＩＧＢＴ２のエミッタに接続したものである。

[0004] これらの第１～第４の半導体スイッチ素子 Q_1 、 Q_2 、 Q_3 、 Q_4 のそれぞれは、例えば $MOS-FET$ からなり、制御回路５の制御の下で互いに関連してオン・オフすることでＩＧＢＴ２をオン・オフ駆動するスイッチ・マトリクス回路を構成する。尚、制御回路５は、外部から与えられる制御信号 S_G に応じて第１～第４の半導体スイッチ素子 Q_1 、 Q_2 、 Q_3 、 Q_4 のそれぞれを

、互いに関連させてオン・オフさせて IGBT 2 のオン・オフを制御する役割を担う。

[0005] 図 7 は、制御信号 S_G に応じた駆動回路 1 の各部の状態変化と、 IGBT 2 の電圧変化を表す動作タイミングを示している。尚、図 7 において V(P₁) はノード P₁ の電圧変化、V(E) は IGBT 2 のエミッタ (ノード P₂) の電圧変化、V(G) は IGBT 2 のゲートの電圧変化、そして V_{ge} は IGBT 2 のゲート・エミッタ間電圧の変化をそれぞれ示している。

[0006] 図 7 に示すように駆動回路 1 は、制御信号 S_G に応じて IGBT 2 のゲート・エミッタ間電圧 V_{ge} を正バイアスまたは負バイアスすることで IGBT 2 をオン・オフ駆動する。即ち、駆動回路 1 は、第 1 および第 4 の半導体スイッチ素子 Q₁, Q₄ をオンにすると共に、第 2 および第 3 の半導体スイッチ素子 Q₂, Q₃ をオフにすることで、ノード P₁ の電圧を電源 4 の電源電圧 V_{cc} に設定し、 IGBT 2 のエミッタを接地する。そして駆動回路 1 は、ゲート抵抗 R_G を介してノード P₁ の電圧 (電源電圧 V_{cc}) を IGBT 2 のゲートに加えることで IGBT 2 をターン・オンさせる。

[0007] また駆動回路 1 は、第 1 および第 4 の半導体スイッチ素子 Q₁, Q₄ をオフにすると共に、第 2 および第 3 の半導体スイッチ素子 Q₂, Q₃ をオンにすることで、ノード P₁ を接地し、 IGBT 2 のエミッタの電圧を電源 4 の電源電圧 V_{cc} に設定する、そして駆動回路 1 は、ゲート抵抗 R_G を介して IGBT 2 のゲートを接地することで IGBT 2 をターン・オフさせる。このように構成された駆動回路 1 については、例えば特許文献 1 に詳しく紹介される通りである。

先行技術文献

特許文献

[0008] 特許文献 1：特許第 5 0 1 1 5 8 5 号公報

発明の概要

発明が解決しようとする課題

[0009] ところで特許文献１に開示される駆動回路１は、電源４が出力する正の電源電圧 V_{cc} だけを用いてＩＧＢＴ２を正バイアスまたは負バイアスしてＩＧＢＴ２をオン・オフすることができ、負の電源を必要としない点で優れている。しかしながらこの従来の駆動回路１は、ノードＰ１の電圧 $V(P1)$ をゲート抵抗 R_G を介してＩＧＢＴ２のゲートに印加し、これによってＩＧＢＴ２のゲート容量を充放電する構成である。この為、ＩＧＢＴ２のターン・オン時、およびターン・オフ時におけるスイッチング損失が大きいという不具合がある。

[0010] この点、特許文献１には、第１～第４の半導体スイッチ素子 Q_1, Q_2, Q_3, Q_4 をオン・オフするタイミングにずれを持たせることで、ＩＧＢＴ２のターン・オン時、およびターン・オフ時におけるスイッチング損失を軽減することが開示されている。しかしながら第１～第４の半導体スイッチ素子 Q_1, Q_2, Q_3, Q_4 をそれぞれオン・オフするタイミングにずれを持たせる場合には、制御回路５の構成が複雑化するという新たな問題が発生する。更には駆動回路１を集積回路化する場合、第１～第４の半導体スイッチ素子 Q_1, Q_2, Q_3, Q_4 に比較して素子面積の大きいゲート抵抗 R_G が必要なので、駆動回路１の全体の回路面積が大型化するという不具合もある。

[0011] 本発明はこのような事情を考慮してなされたもので、その目的は、上述したゲート抵抗を用いることなく、例えばＩＧＢＴからなる電力素子のターン・オフ時におけるスイッチング損失を低減することのできる、集積回路化に適した簡易な構成の電力素子の駆動回路を提供することにある。

課題を解決するための手段

[0012] 本発明に係る電力素子の駆動回路は、制御電極に印加される駆動信号に応じて第１の主電極と第２の主電極との間に流れる主電流を制御する電力素子、例えばＩＧＢＴまたはＮ型のパワーＭＯＳ－ＦＥＴをオン・オフ駆動するものである。

[0013] 本発明に係る電力素子の駆動回路は、基本的には、
直列に接続されて電源端子と接地端子との間に介装されると共に、その直

列接続点を前記電力素子の制御電極に接続して設けた第 1 および第 2 の半導体スイッチ素子と、

直列に接続されて前記電源端子と前記接地端子との間に介装されると共に、その直列接続点を前記電力素子の第 2 の主電極に接続して設けた第 3 および第 4 の半導体スイッチ素子と、

制御信号に応じて前記第 1 ～第 4 の半導体スイッチ素子のそれぞれを互いに関連させてオン・オフさせて前記電力素子のオン・オフを制御する制御回路と

を備えて構成される。

[0014] 特に上述した目的を達成するべく本発明に係る電力素子の駆動回路は、前記電源端子側に接続された前記第 1 の半導体スイッチ素子として前記第 2 ～第 4 の半導体スイッチ素子よりもオン抵抗の大きい素子を用いたことを特徴としている。

[0015] ちなみに前記電力素子は、例えば前記制御電極をゲート、前記第 1 の主電極をコレクタ、および前記第 2 の主電極をエミッタとする IGBT からなる。或いは前記電力素子は、前記制御電極をゲート、前記第 1 の主電極をソース、および前記第 2 の主電極をドレインとする N 型のパワー MOS-FET からなる。そして前記第 1 ～第 4 の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフする MOS-FET からなる。

[0016] 好ましくは前記制御回路は、前記電力素子をオン・オフ駆動する通常動作時には、前記第 1 および第 4 の半導体スイッチ素子をそれぞれオンすると共に、前記第 2 および第 3 の半導体スイッチ素子をそれぞれオフさせて前記電力素子をターン・オンさせ、

更に前記第 1 および第 4 の半導体スイッチ素子をそれぞれオフすると共に、前記第 2 および第 3 の半導体スイッチ素子をそれぞれオンさせて前記電力素子をターン・オフさせるように構成される。

[0017] また前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には

、前記第1および第3の半導体スイッチ素子をそれぞれオンさせると共に、前記第2および第4の半導体スイッチ素子をそれぞれオフさせるように構成される。或いは前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には、前記第2および第4のスイッチ素子をそれぞれオンさせると共に、前記第1および第3の半導体スイッチ素子をそれぞれオフさせるように構成される。

発明の効果

[0018] 本発明によれば、例えば同じ仕様のMOS-FETとして実現される第2～第4の半導体スイッチ素子に比較して、第1の半導体スイッチ素子としてチャネル幅の狭いMOS-FETを用いるだけで、該第1の半導体スイッチ素子のオン抵抗を前記第2～第4の半導体スイッチ素子の各オン抵抗よりも高くした電力素子の駆動回路を簡易に、しかも安価に実現することができる。

[0019] そして上記構成の電力素子の駆動回路によれば、前記電力素子（IGBT）をオンさせるべく前記第1の半導体スイッチ素子をオンすると共に前記第2の半導体スイッチ素子をオフすると、オン抵抗が大きい前記第1の半導体スイッチ素子を介して前記電力素子（IGBT）のゲート容量が充電される。また前記電力素子（IGBT）をオフさせるべく前記第1の半導体スイッチ素子をオフする共に前記第2の半導体スイッチ素子をオフすると、オン抵抗が小さい前記第2の半導体スイッチ素子を介して前記電力素子（IGBT）のゲート容量が放電される。

[0020] この結果、図6に例示した従来の駆動回路におけるゲート抵抗を用いることなく、前記電力素子（IGBT）のターン・オフ時における該電力素子でのスイッチング損失を低減することが可能となる。しかも前記第1の半導体スイッチ素子のオン抵抗を小さくしたことに伴う第1の半導体スイッチ素子の素子面積の縮小化と、ゲート抵抗を省いたことが相まって、駆動回路全体をコンパクトに形成することが可能となる。更には回路構成自体を簡素化してその製造コストの低価格を図ることが可能となる等の実用上多大なる効果が祖せられる。

図面の簡単な説明

[0021] [図1]本発明の一実施形態に係る電力素子の駆動回路の概要を示す概略構成図。
。

[図2]図1に示す駆動回路の具体的な構成例を示す図。

[図3]図2に示す駆動回路における制御回路の別の構成例を示す図。

[図4]図2に示す駆動回路における制御回路の更に別の構成例を示す図。

[図5]図1に示す駆動回路の別の具体的な構成例を示す図。

[図6]従来の電力素子の駆動回路の一例を示す概略構成図。

[図7]従来の電力素子の駆動回路による電力素子のオン・オフ駆動形態を示すタイミング図。

発明を実施するための形態

[0022] 以下、図面を参照して本発明に係る電力素子の駆動回路10について説明する。

[0023] 図1は、本発明の一実施形態に係る電力素子の駆動回路10の概要を示す概略構成図であり、図6に示した従来の駆動回路1と同一部分には同一符号を付して示してある。

[0024] この駆動回路10は、直列に接続されて電源端子(Vcc)と接地端子(GND)との間に介装されると共に、その直列接続点(ノードP1)をIGBT2のゲートに接続して設けた第1および第2の半導体スイッチ素子Q1、Q2を備える。更に駆動回路10は、直列に接続されて電源端子(Vcc)と接地端子(GND)との間に介装されると共に、その直列接続点(ノードP2)をIGBT2のエミッタに接続して設けた第3および第4の半導体スイッチ素子Q3、Q4を備える。

[0025] 第1～第4の半導体スイッチ素子Q1、Q2、Q3、Q4のそれぞれは、例えばMOS-FETからなる。特に第1～第4の半導体スイッチ素子Q1、Q2、Q3、Q4のうち第1の半導体スイッチ素子Q1としては、第2～第4の半導体スイッチ素子Q2、Q3、Q4よりもオン抵抗(導通抵抗)Ronの大きいMOS-FETが用いられている。

- [0026] 第1および第2の半導体スイッチ素子Q1, Q2からなる直列回路と、第3および第4の半導体スイッチ素子Q3, Q4からなる直列回路は、電源端子(Vcc)と接地端子(GND)との間に並列に設けられてスイッチ・マトリックス回路を構成する。このスイッチ・マトリックス回路は、制御回路5の制御の下で第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4のそれぞれを互いに関連してオン・オフすることでIGBT2をオン・オフ駆動する。
- [0027] 即ち、本発明に係る駆動回路10は、スイッチ・マトリックス回路を構成する第1の半導体スイッチ素子Q1として第2～第4の半導体スイッチ素子Q2, Q3, Q4よりもオン抵抗の大きい素子を用い、図6に示した従来の駆動回路1におけるゲート抵抗RGを省いたことを特徴としている。換言すれば第1および第2の半導体スイッチ素子Q1, Q2を直列に接続したノードP1の電圧を、ゲート抵抗RGを介することなくIGBT2のゲートに直接印加するように構成したことを特徴としている。
- [0028] 具体的には、例えば図2に示すように第1の半導体スイッチ素子Q1としては、オン抵抗Ronの大きいMOS-FETが用いられる。また第2～第4の半導体スイッチ素子Q2, Q3, Q4としては、オン抵抗Ronの小さいMOS-FETがそれぞれ用いられる。従ってここでは第1の半導体スイッチ素子Q1のオン抵抗をRon(L)として示し、第2～第4の半導体スイッチ素子Q2, Q3, Q4のオン抵抗をRon(S) [$< Ron(L)$] として示す。
- [0029] ちなみに第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4は、基本的には互いに同じスイッチ特性を有する同一の電流容量で、且つ同一の耐圧を有するスイッチング用のMOS-FETからなる。しかしここでは、特にオン抵抗Ronの大きい第1の半導体スイッチ素子Q1は、例えば第2～第4の半導体スイッチ素子Q2, Q3, Q4に比較してチャネル幅の狭いMOS-FETとして実現される。
- [0030] このように構成された駆動回路10は、基本的にはIGBT2をオン・オフ駆動する通常動作時には、第1および第4の半導体スイッチ素子Q1, Q4をそれぞれオンすると共に、第2および第3の半導体スイッチ素子Q2, Q3

をそれぞれオフさせることで IGBT2 をターン・オンさせる。また第1および第4の半導体スイッチ素子 Q1, Q4 をそれぞれオフすると共に、第2および第3の半導体スイッチ素子 Q2, Q3 をそれぞれオンさせることで IGBT2 をターン・オフさせる。

[0031] このようにして第1～第4の半導体スイッチ素子 Q1, Q2, Q3, Q4 を互いに関連させてオン・オフする制御回路5は、例えば図2に示すように構成される。具体的には制御回路5は、制御信号SGを反転させて第1および第4の半導体スイッチ素子 Q1, Q4 をオン・オフする駆動信号を生成する第1のインバータ回路5aを備える。この第1のインバータ回路5aが出力する駆動信号は、第1および第4の半導体スイッチ素子 Q1, Q4 を互いに相反させてオン・オフするべく、電源4の電源電圧Vccまたは接地電位(0V)の2値をとる。

[0032] 更に制御回路5は、第1のインバータ回路5aの出力を反転して第2および第3の半導体スイッチ素子 Q2, Q3 をオン・オフする駆動信号を生成する第2のインバータ回路5bを備える。この第2のインバータ回路5bが出力する駆動信号もまた、電源4の電源電圧Vccまたは接地電位(0V)の2値をとる。

[0033] このように構成された制御回路5によれば、直列に接続された第1および第2の半導体スイッチ素子 Q1, Q2 は、第1および第2のインバータ回路5a, 5bの出力を受けて互いに相反してオン・オフする。また直列に接続された第3および第4の半導体スイッチ素子 Q3, Q4 もまた、第1および第2のインバータ回路5a, 5bの出力を受けて互いに相反してオン・オフする。特に第3および第4の半導体スイッチ素子 Q3, Q4 は、第1および第2の半導体スイッチ素子 Q1, Q のオン・オフとは相補的にオン・オフする。そして制御回路5による第1～第4の半導体スイッチ素子 Q1, Q2, Q3, Q4 の互いに関連したオン・オフ制御により、IGBT2のターン・オンおよびターン・オフが制御され、これによってIGBT2がオン・オフ駆動される。

[0034] 上述した如く制御回路5の制御の下でオン・オフされる第1～第4の半導

体スイッチ素子 Q_1 , Q_2 , Q_3 , Q_4 によれば、第1の半導体スイッチ素子 Q_1 がオンすると共に第2の半導体スイッチ素子 Q_2 がオフすると、これに伴ってノードP1の電圧 $V(P1)$ が高くなる。このとき第3の半導体スイッチ素子 Q_3 がオフし、また第4の半導体スイッチ素子 Q_4 がオンするので、これに伴ってIGBT2のエミッタの電圧 $V(E)$ が接地電位(0V)に設定される。

[0035] するとIGBT2のゲートには第1の半導体スイッチ素子 Q_1 のオン抵抗 $R_{on}(L)$ を介して電流が流れ込み、IGBT2のゲート容量が充電される。そしてIGBT2のゲート容量の充電に伴って該IGBT2のゲートに加わる電圧が高くなり、ゲート電圧がIGBT2の閾値電圧を超えると、これによってIGBT2がターン・オンする。

[0036] 一方、第1の半導体スイッチ素子 Q_1 がオフすると共に第2の半導体スイッチ素子 Q_2 がオンすると、ノードP1の電圧 $V(P1)$ が接地電位(0V)に設定される。またこの時、第3の半導体スイッチ素子 Q_3 がオンし、第4の半導体スイッチ素子 Q_4 がオフするので、これに伴ってIGBT2のエミッタの電圧 $V(E)$ が電源電圧 V_{cc} に設定される。この結果、IGBT2のゲート・エミッタ間電圧 V_{ge} が瞬時的に負($-V_{cc}$)となり、IGBT2がターン・オフする。

[0037] またこのとき、IGBT2のゲート容量に蓄積されていた電荷は、第2の半導体スイッチ素子 Q_2 を介して放電される。そしてIGBT2のゲート容量の放電に伴って該IGBT2のゲートに加わる電圧が接地電位(0V)に戻り、その後、オフ状態にある第1の半導体スイッチ素子 Q_1 とオン状態にある第2の半導体スイッチ素子 Q_2 とによって定まるノードP1の電圧(0V)がIGBT2のゲートに加えられる。従ってIGBT2はオフ状態を維持する。

[0038] 従って上述した如く構成された駆動回路10によれば、通常動作時においてIGBT2をターン・オンさせる際にはオン抵抗 R_{on} の大きい第1の半導体スイッチ素子 Q_1 を介してIGBT2のゲート容量を充電することができ

る。また IGBT2 をターン・オフさせる際にはオン抵抗 R_{on} の小さい第2の半導体スイッチ素子 Q2 を介して IGBT2 のゲート容量を瞬時に放電させることができる。即ち、IGBT2 のゲート容量の充電に要する時間で IGBT2 のターン・オンを遅らせることができ、また IGBT2 のゲート容量を瞬時に放電させることができる。この結果、ゲート抵抗 R_G を用いない分、IGBT2 のターン・オフ時におけるスイッチング損失を大幅に低減することができる。

[0039] ところで IGBT2 を介して電流 I_c が供給される負荷側において短絡が検出された場合には、IGBT2 を強制的にオフさせて過大な短絡電流から IGBT2 や負荷 (R_L) を保護し、更には駆動回路 1, 10 を保護することが行われる。

[0040] この短絡遮断による IGBT2 の保護動作は、例えば第1および第3の半導体スイッチ素子 Q1, Q3 をそれぞれオンすると共に、第2および第4の半導体スイッチ素子 Q2, Q4 をそれぞれオフにすることによって達せられる。具体的には短絡遮断検出時に第1および第3の半導体スイッチ素子 Q1, Q3 をそれぞれ強制的にオンする場合には、例えば図3に示すように制御回路5を構成し、短絡検出信号 CO に応じて第1～第4の半導体スイッチ素子 Q1, Q2, Q3, Q4 に対するオン・オフ信号を切り替えるようにすれば良い。

[0041] この図3に示す制御回路5は、短絡検出信号 CO に応じてゲートが開成される4つのアンド回路 51a, 51b, 51c, 51d を備える。これらアンド回路 51a, 51b, 51c, 51d は、短絡検出信号 CO が印加されないとき、換言すれば短絡検出信号 CO がローレベル (L) であり、IGBT2 を通常動作させるとき、インバータ回路52を介してそれぞれ開成される。そしてアンド回路 51a, 51b, 51c, 51d は、制御信号 SC またはインバータ回路53を介して制御信号 SG を反転した信号を、ドライブ回路 54a, 54b, 54c, 54d にそれぞれ与える。尚、これらのドライブ回路 53a, 53b, 53c, 53d は、第1～第4の半導体スイッチ素子 Q1, Q2, Q3, Q4 をそれぞれオン・オフするに必要な出力電圧を生成するものである。

- [0042] これに対して短絡検出信号COが印加されたとき、換言すれば短絡検出信号COがハイレベル（H）になった時、アンド回路51a, 51b, 51c, 51dがそれぞれ閉じられる。そして短絡検出信号COがオア回路55a, 55cを介してドライブ回路54a, 54cにそれぞれ与られると共に、インバータ回路52を介して反転された短絡検出信号COがアンド回路51b, 51dを介してドライブ回路54b, 54dにそれぞれ与られる。
- [0043] 従って短絡検出信号COが与えられたときには第1および第3の半導体スイッチ素子Q1, Q3がそれぞれ強制的にオンされ、同時に第2および第4の半導体スイッチ素子Q2, Q4がそれぞれ強制的にオフされる。この結果、IGBT2のゲート電圧V(G)が電源電圧Vccに設定されると共に、該IGBT2のエミッタ電圧V(E)もまた電源電圧Vccに設定される。するとIGBT2のゲート・エミッタ間電圧V(ge)が強制的に0Vに設定されて該IGBT2が強制的にオフに設定される。そしてIGBT2の強制的なオフに伴って負荷（RL）に流れる電流Icが遮断され、負荷短絡に伴う過電流からIGBT2等が保護される。
- [0044] このように構成された駆動回路10によれば、第1および第3の半導体スイッチ素子Q1, Q3をそれぞれオンし、IGBT2のゲートおよびエミッタに加わる電圧を共に電源電圧Vccに設定するだけである。この際、IGBT2のゲート容量の充電に要する時間、IGBT2のゲート・エミッタ間電圧V(ge)が負電圧となり、IGBT2がターン・オフする。そしてIGBT2のターン・オフに伴ってIGBT2のゲート容量が第1の半導体スイッチ素子Q1を介して放電される。そしてIGBT2のゲート・エミッタ間電圧V(ge)が0Vに保たれるので、IGBT2はオフ状態を維持する。
- [0045] 従って短絡遮断検出時に第1および第3の半導体スイッチ素子Q1, Q3をそれぞれ強制的にオンする場合であっても、従来のようにゲート抵抗RGを介するIGBT2のゲート容量の充放電がないので、IGBT2のターン・オフ時におけるスイッチング損失を低減することができる。従って駆動回路10での消費電力を小さくすることができる。

[0046] 尚、短絡遮断における上述した第1および第3の半導体スイッチ素子Q1, Q3の強制的なオンに代えて、第2および第4の半導体スイッチ素子Q2, Q4を強制的にオンすることも可能である。この場合、第2および第4の半導体スイッチ素子Q2, Q4の強制的にオンに連動させて第1および第1の半導体スイッチ素子Q1, Q3を強制的にオフすることは言うまでもない。

[0047] このようにして第1および第3の半導体スイッチ素子Q1, Q3をオフにし、同時に第2および第4の半導体スイッチ素子Q2, Q4をオンにすれば、IGBT2のゲート電圧V(G)が接地電位(0V)に設定されると共に、該IGBT2のエミッタ電圧V(E)もまた接地電位(0V)に設定される。この結果、IGBT2のゲート・エミッタ間電圧V(ge)が0Vとなり、該IGBT2が強制的にオフとなる。そしてIGBT2の強制的なオフに伴って負荷(RL)に流れる電流Icが遮断され、負荷短絡に伴う過電流からIGBT2等が保護される。

[0048] 尚、短絡検出信号COが与えられたときに上述した如く第2および第4の半導体スイッチ素子Q2, Q4をそれぞれ強制的にオンする場合には、制御回路5を、例えば図4に示すように構成すれば良い。図4に示す制御回路5は、短絡検出信号COをドライブ回路54a, 54cに与えると共に、前述したオア回路55a, 55cに代わるオア回路55b, 55dを用いて、インバータ回路55を介して反転された短絡検出信号COをドライブ回路54b, 54dにそれぞれ与えるように構成される。

[0049] このように構成された駆動回路10によれば、オン抵抗Ronが小さい第2および第4の半導体スイッチ素子Q2, Q4をオンするだけなので、IGBT2のターン・オフ時におけるスイッチング損失を更に小さくすることができる。そしてIGBT2のゲート容量のゲート抵抗RGを介する充放電を伴うことがない分、駆動回路10での消費電力を小さくすることができる。

[0050] しかも従来の制御回路1において用いられていたゲート抵抗RGを省いた上で第1の半導体スイッチ素子Q1の小型化を図ることができる。従って駆動回路10を集積回路化する上でチップ面積を小さくすることができる。ま

た半導体チップ上にMOS-FET等と並べてゲート抵抗RGを形成する必要がないので、その製造コストを低く抑えることが可能となる等の効果が奏せられる。

[0051] ところで上述した説明においては、第1および第3の半導体スイッチ素子Q1, Q3としてP型のMOS-FETを用い、第2および第4の半導体スイッチ素子Q2, Q4としてN型のMOS-FETを用いた例について示した。しかし図5に例示するように、第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4のそれぞれにN型のMOS-FETを用いてスイッチ・マトリクス回路を構成することも可能である。この場合においても第1の半導体スイッチ素子Q1として、第2～第4の半導体スイッチ素子Q2, Q3, Q4よりもオン抵抗Ronの大きいMOS-FETを用いることは言うまでもない。

[0052] この場合、N型のMOS-FETからなる第1および第3の半導体スイッチ素子Q1, Q3のオン動作条件が、図2に示した駆動回路10におけるP型のMOS-FETからなる第1および第3の半導体スイッチ素子Q1, Q3のオン動作条件とは異なる。即ち、第1および第3の半導体スイッチ素子Q1, Q3は、第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4のオン・オフに伴って変化するノードP1, P2の電圧を基準電位としてオン・オフ動作する。

[0053] 従ってこの場合には、図5に示すように制御信号SGを反転するインバータ回路5cの入力と出力とをレベルシフト回路5d, 5eを介して第1および第3の半導体スイッチ素子Q1, Q3の各ゲートにそれぞれ印加するように制御回路5を構成すれば良い。このように第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4としてN型のMOS-FETを用いてスイッチ・マトリクス回路を構成した駆動回路10においても、第1および第2の半導体スイッチ素子Q1, Q2の直列接続点であるノードP1の電圧をIGBT2のゲートに直接印加するので、前述した実施形態と同様な効果が奏せられる。

[0054] 尚、本発明は上述した実施形態に限定されるものではない。例えば特に図示しないが第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4としてP型

のMOS-FETをそれぞれ用いることも勿論可能である。また第1および第2の半導体スイッチ素子Q1, Q2としてN型のMOS-FETを用い、第3および第4の半導体スイッチ素子Q3, Q4としてP型のMOS-FETを用いることも勿論可能である。

[0055] また第1の半導体スイッチ素子Q1のオン抵抗 R_{on} については、IGBT2を確実にターン・オンさせるに必要な時間に亘ってIGBT2のゲート容量を充電し得る値として設定すれば十分である。また前述したように電力素子としてパワーMOS-FETを駆動する場合にも本発明を適用可能なことは勿論である。更には第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4としてバイポーラ・トランジスタを用いても良いことは言うまでもない。

[0056] また制御回路5の構成についてスイッチ・マトリックス回路の構成や、スイッチ・マトリックス回路を構成する第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4に対するオン・オフ駆動形態等に応じて種々変化する。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

- [0057] 1, 10 駆動回路
2 電力素子 (IGBT)
3 主電源
4 電源 (V_{cc})
5 制御回路 (CONT)
Q1 第1のスイッチ素子 (MOS-FET)
Q2 第2のスイッチ素子 (MOS-FET)
Q3 第3のスイッチ素子 (MOS-FET)
Q3 第4のスイッチ素子 (MOS-FET)
RG ゲート抵抗

請求の範囲

[請求項1] 制御電極に印加される駆動信号に応じて第1の主電極と第2の主電極との間に流れる主電流を制御する電力素子をオン・オフ駆動する駆動回路であって、

直列に接続されて電源端子と接地端子との間に介装されると共に、その直列接続点を前記電力素子の制御電極に接続して設けた第1および第2の半導体スイッチ素子と、

直列に接続されて前記電源端子と前記接地端子との間に介装されると共に、その直列接続点を前記電力素子の第2の主電極に接続して設けた第3および第4の半導体スイッチ素子と、

制御信号に応じて前記第1～第4の半導体スイッチ素子のそれぞれを互いに関連させてオン・オフさせて前記電力素子のオン・オフを制御する制御回路と
を具備し、

前記電源端子側に接続された前記第1の半導体スイッチ素子として前記第2～第4の半導体スイッチ素子よりもオン抵抗の大きい素子を用いることを特徴とする電力素子の駆動回路。

[請求項2] 前記電力素子は、前記制御電極をゲート、前記第1の主電極をコレクタ、および前記第2の主電極をエミッタとするIGBTであって、

前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフするMOS-FETである請求項1に記載の電力素子の駆動回路。

[請求項3] 前記電力素子は、前記制御電極をゲート、前記第1の主電極をソース、および前記第2の主電極をドレインとするN型のパワーMOS-FETであって、

前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフするMOS-FETである請求項1に記載の電力素子の駆動回路。

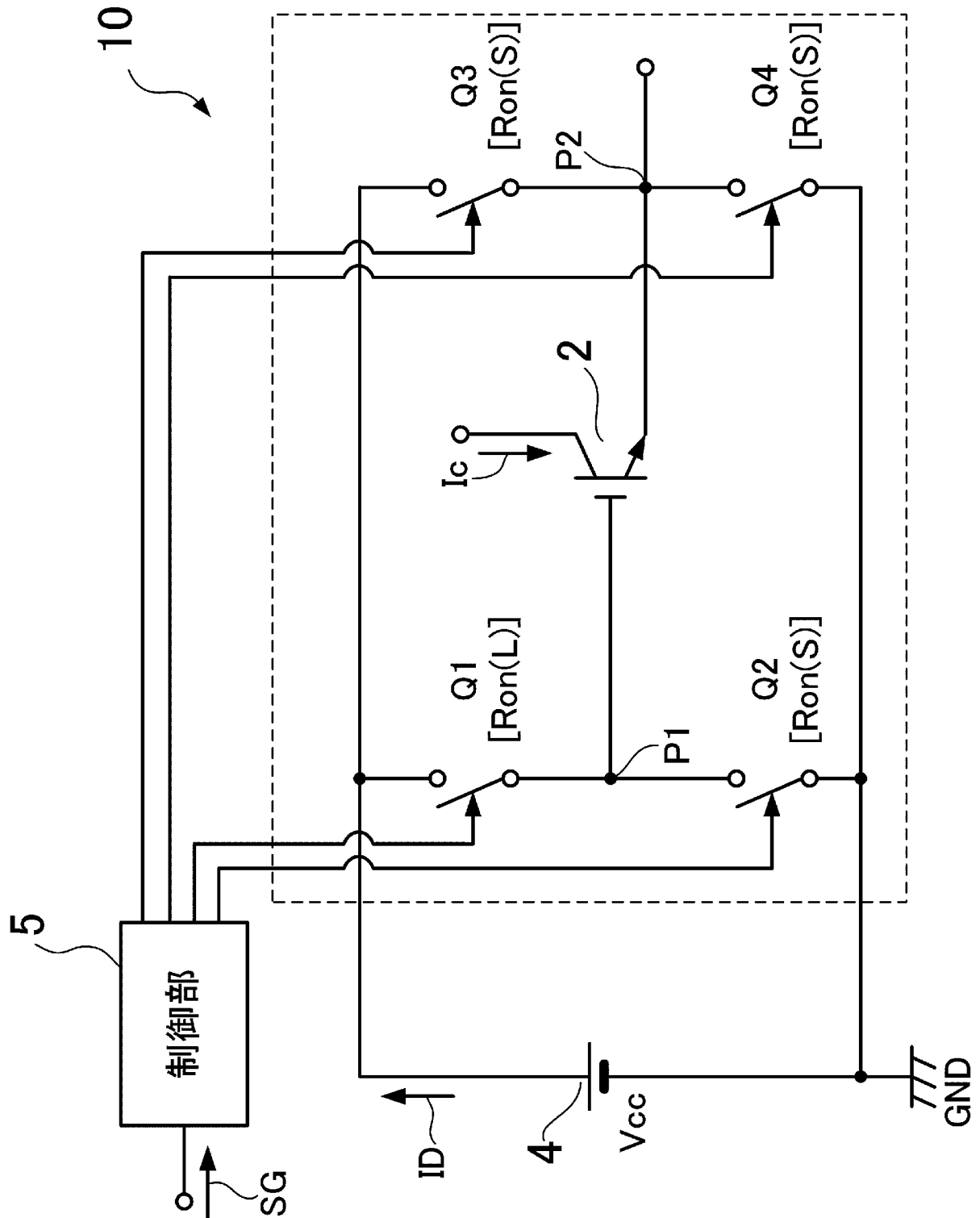
[請求項4] 前記制御回路は、前記電力素子をオン・オフ駆動する通常動作時には、前記第1および第4の半導体スイッチ素子をそれぞれオンすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオフさせて前記電力素子をターン・オンさせ、

前記第1および第4の半導体スイッチ素子をそれぞれオフすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオンさせて前記電力素子をターン・オフさせるものである請求項1に記載の電力素子の駆動回路。

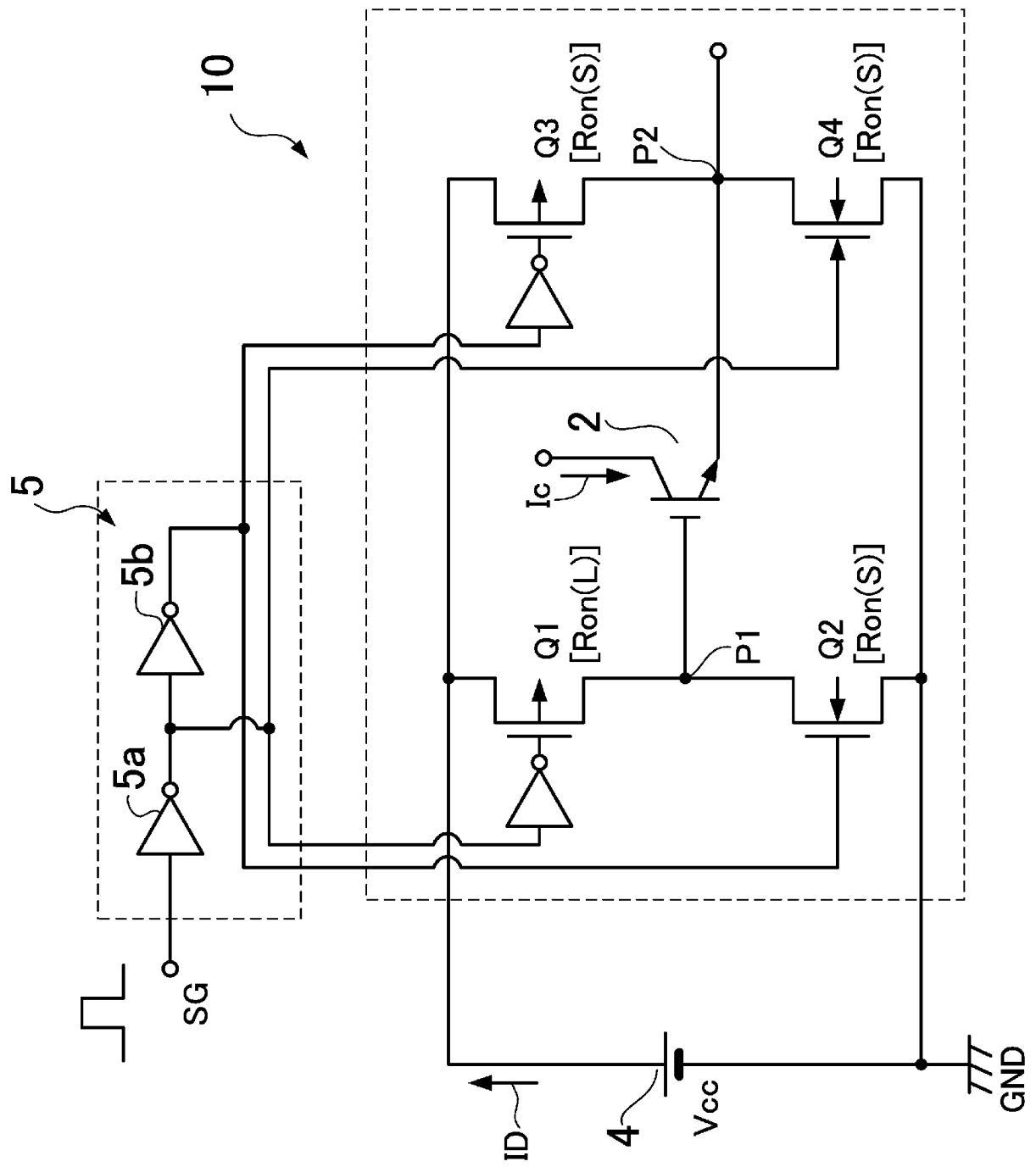
[請求項5] 前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には、前記第1および第3の半導体スイッチ素子をそれぞれオンさせると共に、前記第2および第4の半導体スイッチ素子をそれぞれオフさせるものである請求項1に記載の電力素子の駆動回路。

[請求項6] 前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には、前記第2および第4のスイッチ素子をそれぞれオンさせると共に、前記第1および第3の半導体スイッチ素子をそれぞれオフさせるものである請求項1に記載の電力素子の駆動回路。

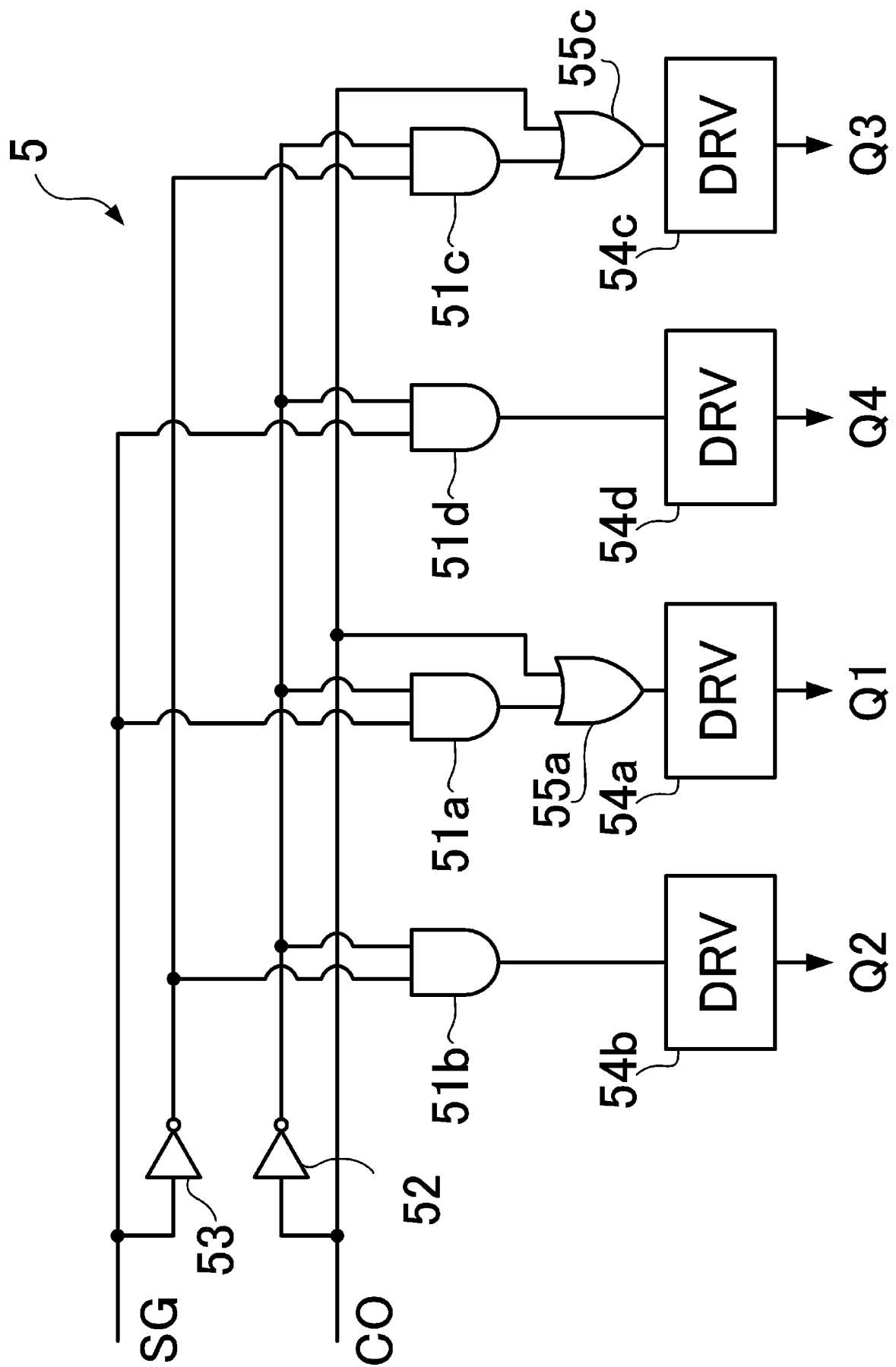
[図1]



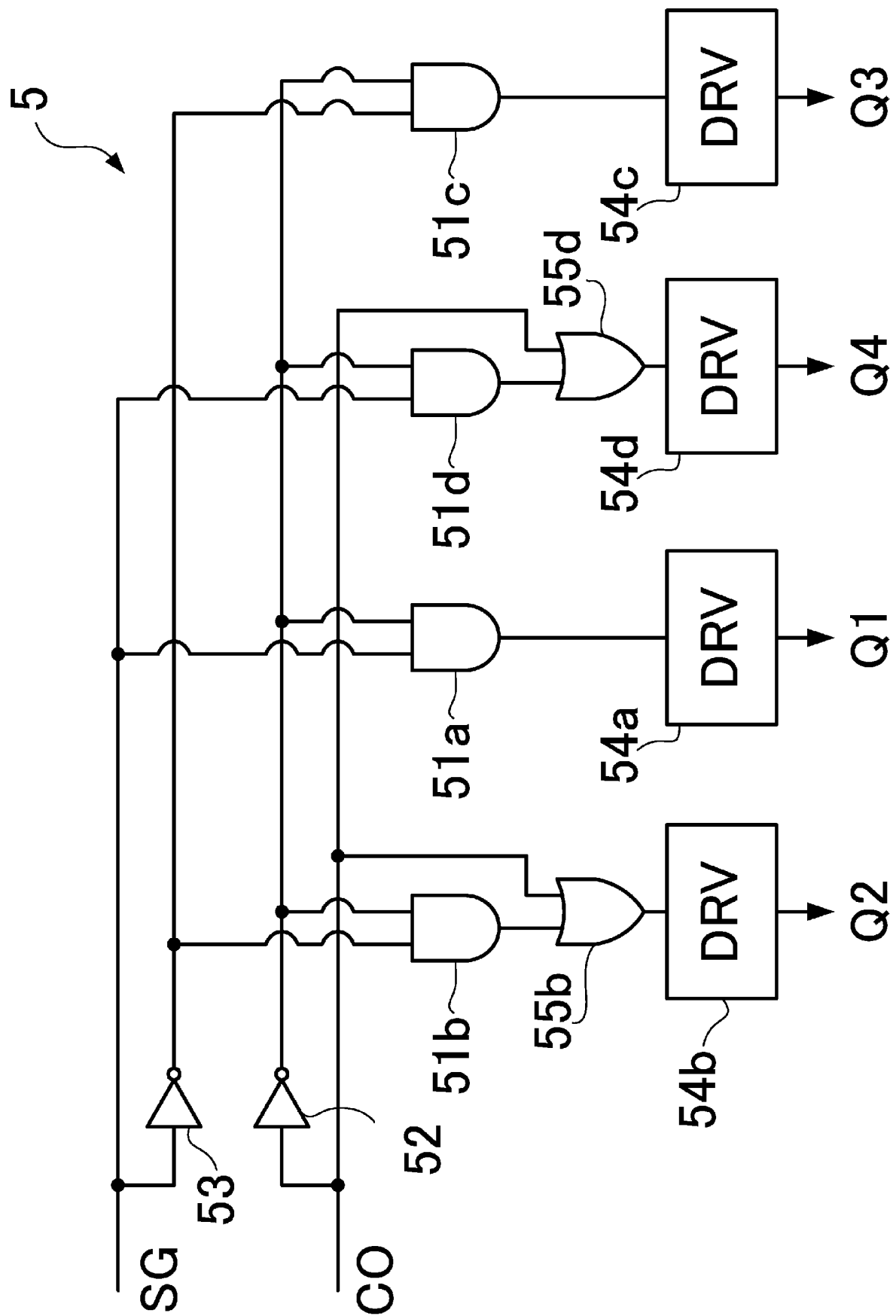
[図2]



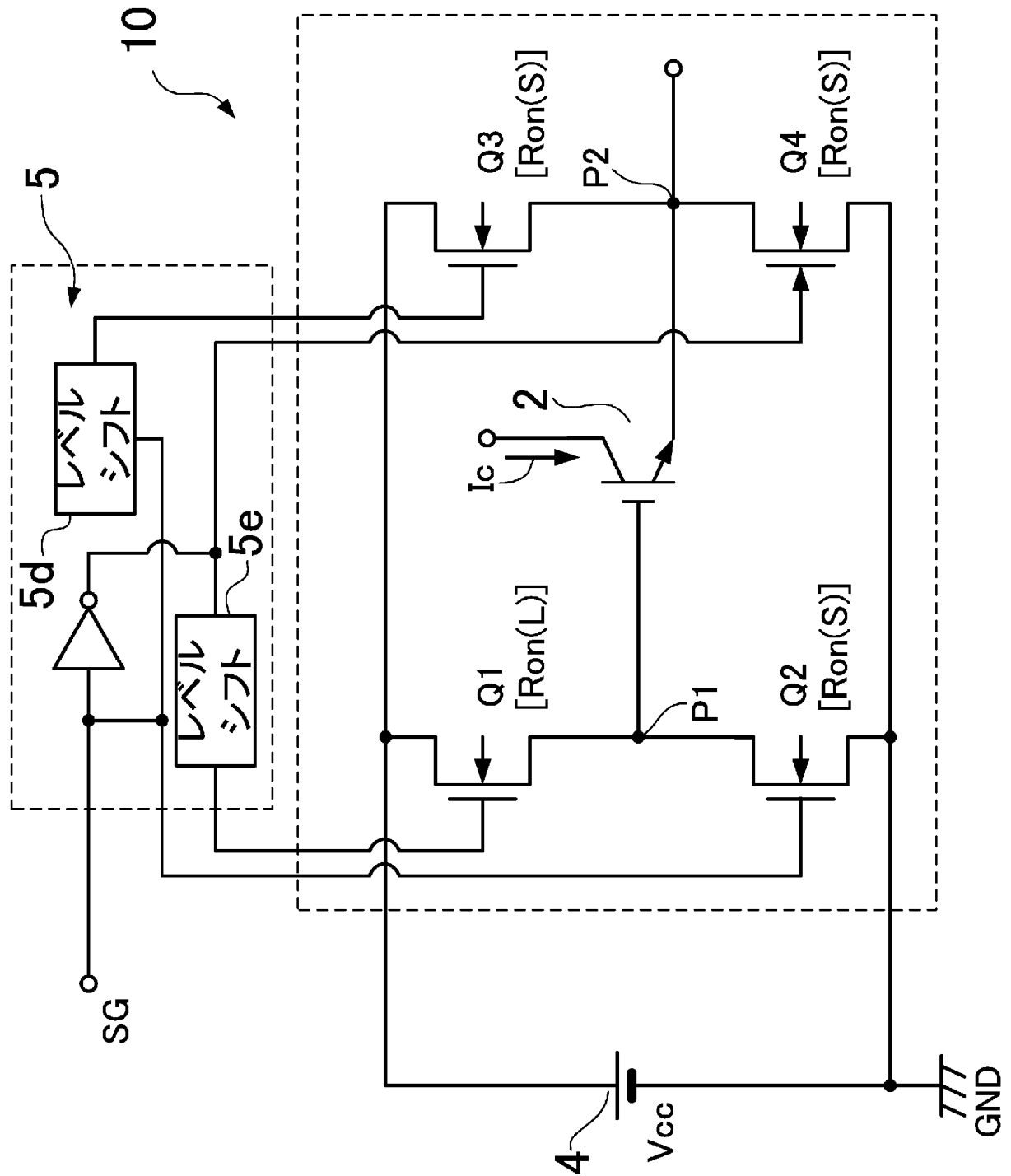
[図3]



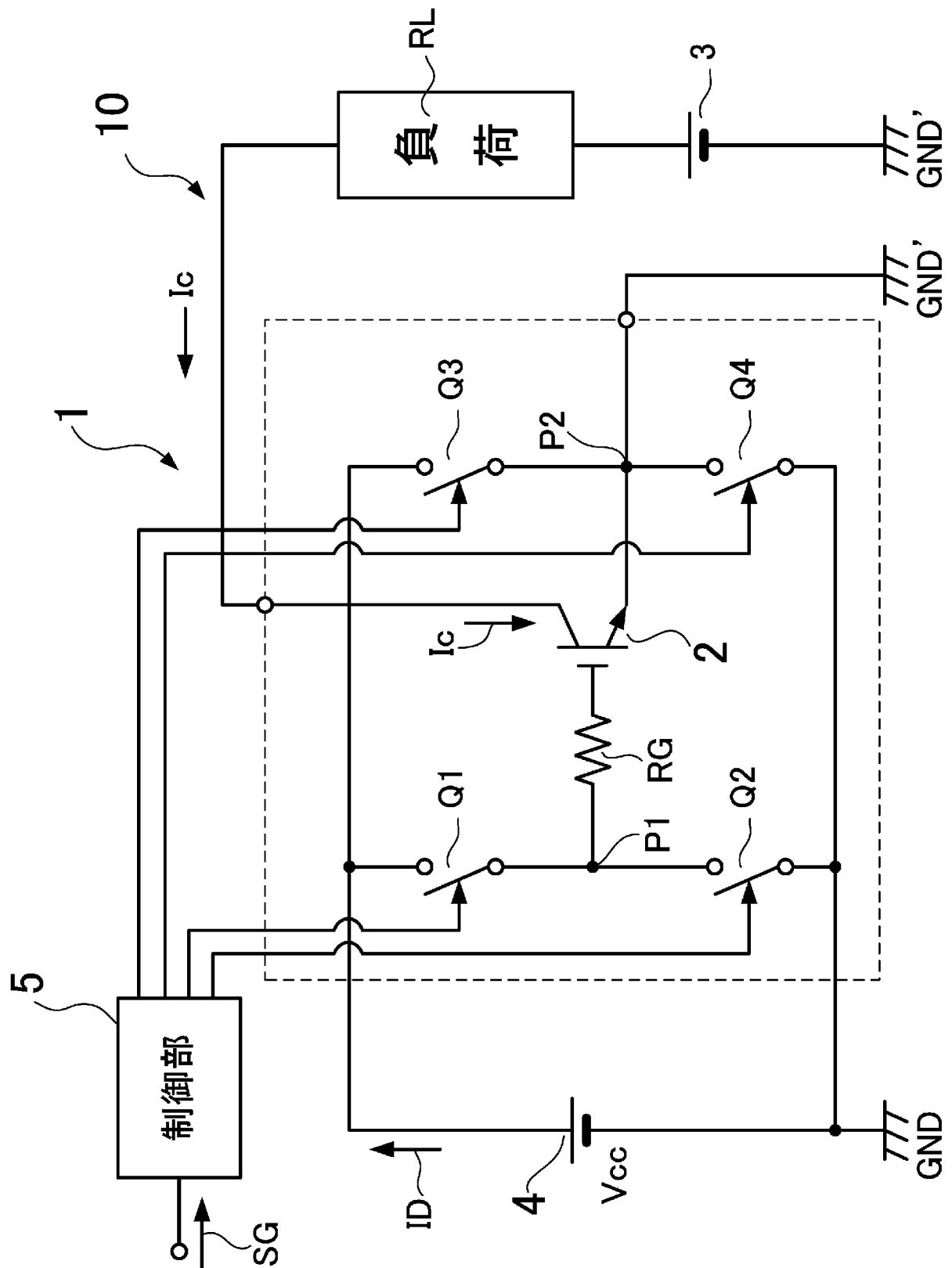
[図4]



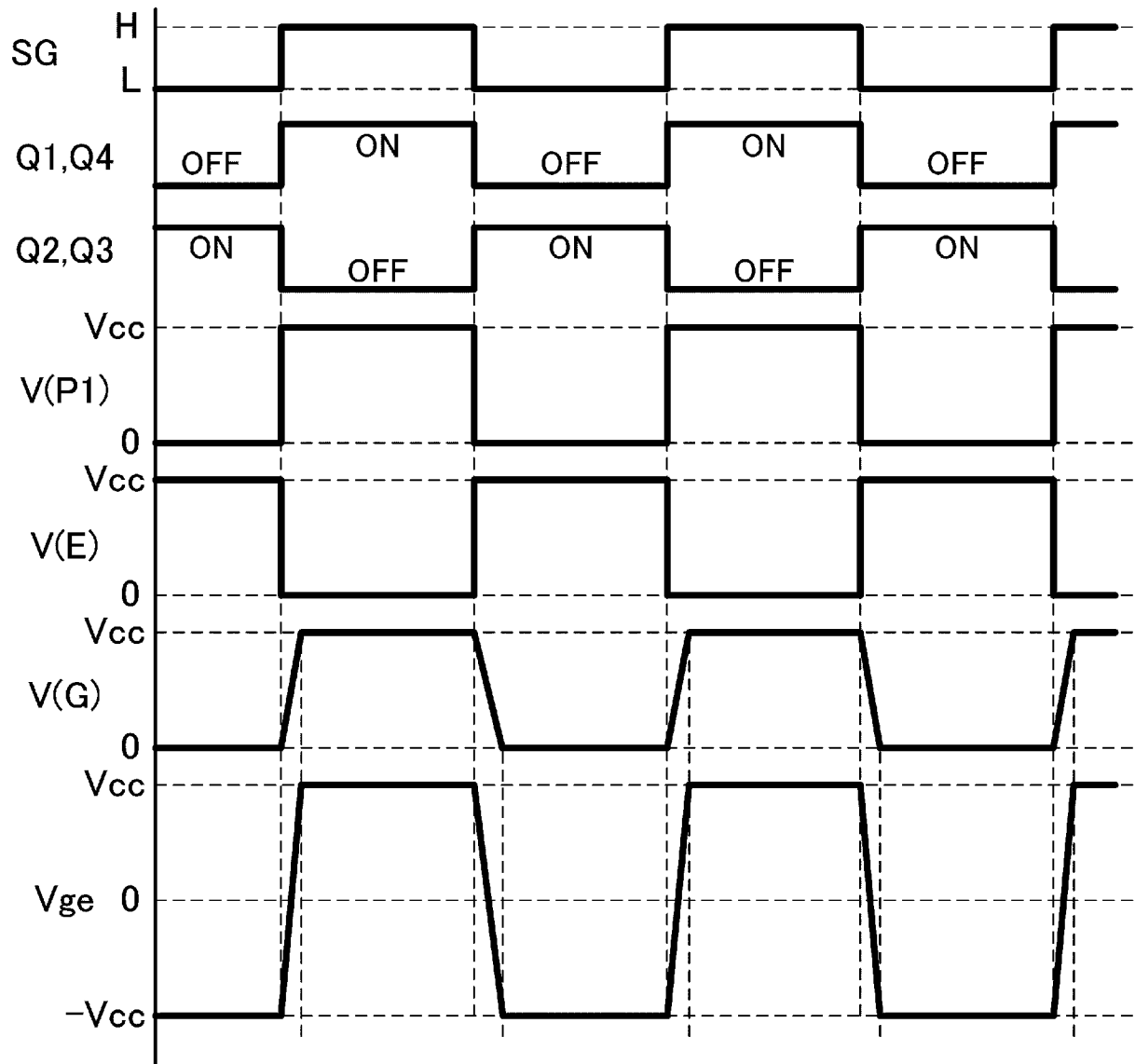
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028656

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/567(2006.01)i, H02M1/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/567, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5011585 B1 (Mitsubishi Electric Corp.), 29 August 2012 (29.08.2012), paragraphs [0016] to [0039]; fig. 1 to 7 & EP 2164155 A1 paragraphs [0016] to [0039]; fig. 1 to 7 & US 2010/0141304 A1 & WO 2009/004715 A1 & CN 101689799 A	1-6
A	JP 11-97994 A (Fuji Electric Co., Ltd.), 09 April 1999 (09.04.1999), paragraphs [0008] to [0021]; fig. 1 to 3 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 October 2017 (24.10.17)

Date of mailing of the international search report
07 November 2017 (07.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028656

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-32984 A (Hitachi Power Semiconductor Device, Ltd.), 16 February 2015 (16.02.2015), paragraphs [0029] to [0049]; fig. 1 to 4 (Family: none)	5-6
A	US 8258823 B2 (PRIOR Oliver), 04 April 2012 (04.04.2012), column 6, line 46 to column 7, line 45; fig. 1 to 3 & WO 2010/130744 A1 & EP 2251979 A1 & CN 102422536 A	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/567(2006.01)i, H02M1/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/567, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5011585 B1（三菱電機株式会社）2012.08.29, 段落 [0016] - [0039], 図1-7 & EP 2164155 A1, [0016]-[0039], FIGUERS 1-7 & US 2010/0141304 A1 & WO 2009/004715 A1 & CN 101689799 A	1-6
A	JP 11-97994 A（富士電機株式会社）1999.04.09, 段落 [0008] - [0021], 図1-3（ファミリーなし）	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.10.2017

国際調査報告の発送日

07.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

緒方 寿彦

5W

8321

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-32984 A (株式会社日立パワーデバイス) 2015.02.16, 段落 [0029] - [0049], 図1-4 (ファミリーなし)	5-6
A	US 8258823 B2 (PRIOR Oliver) 2012.04.04, COLUMN 6, LINE 46 - COLUMN 7, LINE 45, FIGURES 1-3 & WO 2010/130744 A1 & EP 2251979 A1 & CN 102422536 A	1-6