

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年5月21日(2009.5.21)

【公開番号】特開2006-303490(P2006-303490A)

【公開日】平成18年11月2日(2006.11.2)

【年通号数】公開・登録公報2006-043

【出願番号】特願2006-108504(P2006-108504)

【国際特許分類】

H 01 L 25/00 (2006.01)

H 01 L 27/10 (2006.01)

【F I】

H 01 L 25/00 A

H 01 L 27/10 4 9 5

【手続補正書】

【提出日】平成21年4月7日(2009.4.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

支持基板と、

前記支持基板上に取り付けられる複数のメモリデバイスと、

前記支持基板上で所定の配列を有する複数のピンとを備え、

前記複数のピンは、複数の電源ピン、複数のグラウンドピン及び前記メモリデバイスに接続される複数の信号ピンから構成され、

前記複数のピンの前記所定の配列では、前記複数の信号ピンの各々は基準として、前記電源ピンではなく前記複数のグラウンドピンのうちの対応する1つを利用し、前記電源ピンと前記グラウンドピンとの間の電気抵抗を下げるために、前記複数の電源ピンの各々は前記複数のグラウンドピンのうちの対応する1つに隣接していることを特徴とするメモリモジュール。

【請求項2】

隣接する前記グラウンドピンと前記電源ピンとの間には別の介在するピンがなく、前記複数の電源ピンの各々は前記複数のグラウンドピンのうち対応する1つに隣接することを特徴とする請求項1に記載のメモリモジュール。

【請求項3】

前記メモリデバイスの各々はコア回路及び入力・出力回路を有し、

前記メモリデバイスの各々の前記コア回路及び前記入力・出力回路によって、共通の前記複数の電源ピンが共有されることを特徴とする請求項1に記載のメモリモジュール。

【請求項4】

少なくとも1つのデカップリングコンデンサをさらに備え、

前記共通の前記複数の電源ピンは、前記少なくとも1つのデカップリングコンデンサを共有することを特徴とする請求項3に記載のメモリモジュール。

【請求項5】

前記複数の信号ピンは複数のアドレスピン及び複数の制御ピンから構成され、前記複数のアドレスピン及び前記複数の制御ピンのうちの少なくともいくつかは、それぞれの冗長アドレスピン及び冗長制御ピンを伴うことを特徴とする請求項1に記載のメモリモジュ

ル。

【請求項 6】

プロセッサと、
前記プロセッサに接続されるメモリモジュールとを備え、
前記メモリモジュールは、
支持基板と、
メモリデバイスであって、各々がコア回路及び入力・出力回路を有し、前記支持基板上に取り付けられるメモリデバイスと、
複数の信号ピン、複数の電源ピン及び複数のグラウンドピンから構成され、前記支持基板上にある複数のピンとを有し、

前記電源ピンと前記グラウンドピンとの間の電気抵抗を下げるために、前記複数の電源ピンの各々は前記複数のグラウンドピンのうち対応する1つに隣接して配列され、

メモリデバイスに接続される前記複数の信号ピンの各々は、基準として前記複数のグラウンドピンのうち対応する1つを使用し、前記信号ピンは基準として、いかなる前記電源ピンよりも、前記信号ピンに使用される前記対応するグラウンドピンの近くにあることを特徴とするシステム。

【請求項 7】

前記メモリモジュールは、前記複数の電源ピンよりも多くの数の前記複数のグラウンドピンを有することを特徴とする請求項6に記載のシステム。

【請求項 8】

前記複数の信号ピンは複数のアドレスピン及び複数の制御ピンから構成され、前記複数のアドレスピン及び前記複数の制御ピンのうちの少なくともいくつかは複数の冗長ピンであることを特徴とする請求項6に記載のシステム。

【請求項 9】

メモリモジュールの支持基板上にメモリデバイスを取り付けることと、
複数の信号ピン、複数の電源ピン及び複数のグラウンドピンを含む前記支持基板上のピンを、前記メモリデバイスに電気的に接続することと、
前記複数の信号ピンのうちの少なくともいくかのための複数の冗長ピンを配設することと、
前記電源ピンではなく、基準として前記複数のグラウンドピンのうちの対応する1つを利用して、前記メモリデバイスに接続される前記複数の信号ピンの各々を配列することを含むことを特徴とする方法。