

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4904154号
(P4904154)

(45) 発行日 平成24年3月28日 (2012. 3. 28)

(24) 登録日 平成24年1月13日 (2012. 1. 13)

(51) Int. Cl.	F I		
G 1 1 C 11/417 (2006. 01)	G 1 1 C 11/34	3 0 5	
G 1 1 C 11/419 (2006. 01)	G 1 1 C 11/34	3 1 1	
G 1 1 C 11/412 (2006. 01)	G 1 1 C 11/40	3 0 1	

請求項の数 12 (全 23 頁)

(21) 出願番号	特願2006-520315 (P2006-520315)	(73) 特許権者	504282083
(86) (22) 出願日	平成16年7月13日 (2004. 7. 13)		フルクラム・マイクロシステムズ・インコーポレーテッド
(65) 公表番号	特表2007-531957 (P2007-531957A)		FULCRUM MICROSYSTEMS INCORPORATED
(43) 公表日	平成19年11月8日 (2007. 11. 8)		アメリカ合衆国 カリフォルニア州91301 カラバサス, アゴウラ・ロード, 26630
(86) 国際出願番号	PCT/US2004/022679		
(87) 国際公開番号	W02005/008672	(74) 代理人	110000028
(87) 国際公開日	平成17年1月27日 (2005. 1. 27)		特許業務法人明成国際特許事務所
審査請求日	平成19年6月5日 (2007. 6. 5)	(72) 発明者	カミングス・ウリ
(31) 優先権主張番号	60/487, 536		アメリカ合衆国 カリフォルニア州90405 サンタ・モニカ, ニールソン・ウェイ, 2800, アパートメント 612
(32) 優先日	平成15年7月14日 (2003. 7. 14)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 非同期スタティックランダムアクセスメモリ

(57) 【特許請求の範囲】

【請求項 1】

複数のSRAMセルおよびSRAM周辺回路を備えるスタティックランダムアクセスメモリ(SRAM)であって、前記SRAM周辺回路は、外部非同期回路とインタフェースし、前記SRAM周辺回路に含まれるビットライン上のライト信号に応答するSRAMセルのラッチの仮定、および前のメモリアクセス動作の完了を表すイネーブル信号に応答する前記ビットラインの十分なプリチャージの仮定、の少なくともいずれか一方が満たされる場合にディレイ・インセンシティブな方法でSRAMセルの読み出しおよび書き込みを可能にし、

前記SRAM周辺回路は、

前記イネーブル信号に応答してビットラインをプリチャージし、書き込み動作時に前記ライト信号に応じて前記ビットラインを駆動するライト回路と、

前記ラッチの仮定およびプリチャージの仮定の少なくともいずれか一方を実行するライト完了回路であって、前記ライト信号を論理的に結合し、書き込み動作の完了を示すライト完了信号を発行するライト完了回路と

を備える、SRAM。

【請求項 2】

請求項 1 に記載のSRAMであって、前記SRAMセルは、6トランジスタ(6T)SRAMセル、および10トランジスタ(10T)SRAMセルのうちの1つを備えるSRAM。

【請求項 3】

請求項 1 に記載の S R A M であって、前記 S R A M 周辺回路は、リード回路およびアドレス発生回路を備える S R A M。

【請求項 4】

請求項 3 に記載の S R A M であって、前記アドレス発生回路は、非同期アドレスチャネルからディレイ - インセンシティブなアドレスを発生するよう動作可能である S R A M。

【請求項 5】

請求項 3 に記載の S R A M であって、前記 S R A M 周辺回路は、追加のタイミングの仮定が満たされる場合に前記ディレイ - インセンシティブな方法で前記 S R A M セルの読み出しおよび書き込みを可能にするよう動作可能であり、前記追加のタイミングの仮定は、前記アドレス発生回路がアドレス値をデコードしていることである S R A M。

10

【請求項 6】

請求項 3 に記載の S R A M であって、前記リード回路は、リード命令および前のメモリアクセス動作の完了を表すイネーブル信号に応答して、前記 S R A M セルから前記外部非同期回路へリードチャネルを介してデータトークンの転送を促進するよう動作可能である S R A M。

【請求項 7】

請求項 1 に記載の S R A M であって、前記ライト回路は、ライト命令および前のメモリアクセス動作の完了を表すイネーブル信号に応答して、前記 S R A M セルへ前記外部非同期回路からライトチャネルを介してデータトークンの転送を促進するよう動作可能である S R A M。

20

【請求項 8】

請求項 1 に記載の S R A M であって、前記外部非同期回路は、イベントドリブンプロトコルによって特徴付けられ、前記外部非同期回路中の第 1 送り側および第 1 受け側間の前記イベントドリブンプロトコルは、

前記第 1 受け側からのイネーブル信号がハイになるとき、前記第 1 送り側が、データ信号を有効にセットし、

前記有効なデータ信号を受け取ると、前記第 1 受け側は、前記イネーブル信号をロウにし、

前記ロウイネーブル信号を受け取ると、前記第 1 送り側は、前記データ信号を中間レベルにセットし、および

30

前記中間レベルのデータ信号を受け取ると、前記第 1 受け側は、前記イネーブル信号をハイにする

S R A M。

【請求項 9】

請求項 1 に記載の S R A M であって、前記 S R A M セルおよび前記 S R A M 周辺回路は、複数の S R A M バンクに組織付けられ、前記外部非同期回路は、ライトチャネルおよびリードチャネルを備え、前記 S R A M は、前記ライトチャネルから前記 S R A M バンクのいずれかへのライトデータトークンの転送を可能にするスプリット回路、および前記 S R A M バンクから前記リードチャネルへのリードデータトークンの転送を可能にするマージ回路をさらに備える S R A M。

40

【請求項 10】

請求項 9 に記載の S R A M であって、前記外部非同期回路は、複数のライトチャネルを備え、前記スプリット回路は、前記ライトデータトークンを前記複数のライトチャネルのいずれかから前記 S R A M バンクのいずれかへルーティング制御情報に従ってルーティングするよう動作可能であるクロスバーを備え、ライトチャネルおよび S R A M バンクのそれぞれの組み合わせは、複数のリンクに対応し、前記クロスバーは、前記ライトデータトークンを前記リンクのそれぞれ上で確定的にルーティングし、それによって前記ルーティング制御情報によって示される部分的順序を維持するよう動作可能であり、異なるリンク上のイベントは相関がない S R A M。

50

【請求項 1 1】

請求項 9 に記載の S R A M であって、前記外部非同期回路は、複数のリードチャネルを備え、前記マージ回路は、前記リードデータトークンを前記 S R A M バンクのいずれかから前記複数のリードチャネルのいずれかへルーティング制御情報に従ってルーティングするよう動作可能であるクロスバーを備え、S R A M バンクおよびリードチャネルのそれぞれの組み合わせは、複数のリンクに対応し、前記クロスバーは、前記リードデータトークンを前記リンクのそれぞれ上で確定的にルーティングし、それによって前記ルーティング制御情報によって示される部分的順序を維持するよう動作可能であり、異なるリンク上のイベントは相関がない S R A M。

【請求項 1 2】

請求項 1 に記載の S R A M であって、前記 S R A M 周辺回路は、前記 S R A M セルからリードデータを受け取るよう動作可能であるリードチャネル、前記 S R A M セルへライトデータを送るよう動作可能であるライトチャネル、およびアドレスおよびリード命令およびライト命令の少なくとも 1 つを備える命令データを受け取るよう動作可能である命令チャネルを備え、前記命令チャネルは、前記命令データをサイクル毎に受け取り、前記リードチャネルは、前記命令データがリード命令を備えるときだけ前記リードデータを受け取り、前記ライトチャネルは、前記命令データがライト命令を備えるときだけ前記ライトデータを送るよう動作可能である S R A M。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、非同期デジタル回路設計に関し、特に非同期スタティックランダムアクセスメモリに関する。

【背景技術】

【0002】

同時に高速に、かつより複雑なデジタル回路、例えばマイクロプロセッサへのますます増加する要求は、従来のデジタル回路設計手法をその限界まで押しやっている。高クロックレート（すなわち 100MHz より高い）および設計の複雑さ（例えば 1000 万以上のトランジスタを持つ超大規模集積（VLSI）デバイス）の組み合わせのために、信号伝搬遅延は、設計を考慮するとき支配的になった。もしデジタル回路設計が今までのようにムーアの法則に従い続けようとするなら、設計パラダイムの大転換が必要であることはまちがいない。

【0003】

非同期 VLSI は、デジタル回路設計において研究および開発が盛んなエリアである。これは、グローバルクロック同期信号が存在しないデジタル回路設計の全ての形態をいう。遅延非敏感な非同期設計は、そのもともとの性質から、従来の設計パラダイムの発展の唯一最大の障害となってきた信号伝搬遅延に鈍感である。すなわち、遅延非敏感回路設計は、デジタル回路の任意の遷移が無限の遅延を持った場合の特性を維持し、その回路はそれでも正確に振る舞う。回路は、シーケンスを守るが、絶対的なタイミングは必要ではない。この設計スタイルは、タイミング推定、グリッチ、または競合条件から生じる設計および検証の困難さを回避する。

【0004】

一般に言って、同期設計スタイルは、深刻なパフォーマンス限界に直面している。ある非同期設計手法はまた、同様の限界、例えば競合条件で困難にぶつかっている。対照的に、非同期デジタル設計の遅延非敏感な分野は、これら限界に対するその相対的な耐性のために、デジタル回路のパフォーマンスにおける将来の発展を支持する大きな約束をされているようである。

【0005】

遅延非敏感非同期デジタル設計に関する背景情報については、以下の論文を参照されたい。A.J. Martin, "Compiling Communicating Processes into Delay-Insensitive Cir

10

20

30

40

50

cuits," Distributed Computing, Vol.1, No. 4, pp. 226-234, 1986; U.V. Cummings, A.M. Lines, A.J. Martin, "An Asynchronous Pipelined Lattice Structure Filter." Advanced Research in Asynchronous Circuits and Systems, IEEE Computer Society Press, 1994; A.J. Martin, A.M. Lines, et al, "The Design of an Asynchronous MIPS R 3000 Microprocessor." Proceedings of the 17th Conference on Advanced Research in VLSI, IEEE Computer Society Press, 1997;およびA.M. Lines, "Pipelined Asynchronous Circuits." Caltech Computer Science Technical Report CS-TR-95-21, Caltech, 1995、これらそれぞれは、その全体が全ての目的のためにここで参照によって援用される。

【 0 0 0 6 】

また1998年5月12日発行の米国特許第5,752,070号「Asynchronous Processors」、および2000年3月14日発行の米国特許第6,038,656号、「Pipelined Completion for Asynchronous Communication」を参照されたい。これらのそれぞれはその全体が全ての目的のためにここで参照によって援用される。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

もし非同期デジタル設計手法が、デジタル回路およびシステムのパフォーマンスが歴史的な法則に則って改善され続けていくことを可能にするデジタル設計手法になるのであれば、対応する同期型回路やシステムのパフォーマンスに匹敵し凌駕するような回路およびシステムの基本構成単位が提供されなければならない。そのような基本構成単位は、スタティックランダムアクセスメモリ(SRAM)である。

【 0 0 0 8 】

そのようなSRAMが典型的に構成される従来の同期回路はよく知られている。しかし、SRAM状態要素のサイズが減少するにつれ、従来のSRAM設計は、遅延のパラツキに対して高くなった感度について、より困難になっている。一方、ある種の非同期設計のスタイルを特徴付ける遅延への感度の低さは、このような問題に対応する機会を提供する。

【 0 0 0 9 】

したがって従来のSRAM状態要素がうまく採用されえる非同期環境を提供することが望ましい。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明によれば、遅延のパラツキについてかなりロバストなSRAMを可能にするために、従来および他のタイプのSRAM状態要素と共に用いられるさまざまな非同期回路トポロジーが提供される。

【 0 0 1 1 】

さまざまな実施形態によれば、複数のSRAM状態要素およびSRAM環境回路を備えるスタティックランダムアクセスメモリ(SRAM)が提供される。前記SRAM環境回路は、外部非同期回路とインタフェースし、前記SRAM環境回路に含まれるビットラインに関する少なくとも1つのタイミングの仮定が満たされる場合に耐遅延でSRAM状態要素の読み出しおよび書き込みを可能にするよう動作可能である。特定の実施形態によれば、前記少なくとも1つのタイミングの仮定は、前のメモリアクセス動作の完了を表すイネーブル信号にตอบสนองして前記ビットラインを十分にプリチャージすることを仮定すること、および前記ビットライン上のライト信号にตอบสนองしてSRAM状態要素をラッチすることを仮定することのうちの少なくとも1つを含む。他の特定の実施形態によれば、前記少なくとも1つのタイミングの仮定は、前記ビットライン上のライト信号にตอบสนองしてSRAM状態要素をラッチすることを仮定する単一のタイミングの仮定を含む。さまざまな実施形態によれば、前記SRAM状態要素は、従来の6トランジスタ(6T)SRAM状態要素、または従来の10トランジスタ(10T)SRAM状態要素のいずれかを備える。

【 0 0 1 2 】

さまざまな実施形態によれば、前記SRAM環境回路は、リード回路、ライト回路およびアドレス発生回路を備える。ある実施形態によれば、前記アドレス発生回路は、非同期アドレスチャネルから耐遅延アドレスを発生するよう動作可能である。他の実施形態によれば、前記リード回路は、リード命令および前のメモリアクセス動作の完了を表すイネーブル信号に応答して、前記SRAM状態要素から前記外部非同期回路へリードチャネルを介してデータトークンの転送を促進するよう動作可能である。さらに他の実施形態によれば、前記ライト回路は、ライト命令および前のメモリアクセス動作の完了を表すイネーブル信号に応答して、前記SRAM状態要素へ前記外部非同期回路からライトチャネルを介してデータトークンの転送を促進するよう動作可能である。さらなる実施形態によれば、前記SRAM環境回路は、追加のタイミングの仮定が満たされる場合に前記耐遅延で前記SRAM状態要素の読み出しおよび書き込みを可能にするよう動作可能であり、前記追加のタイミングの仮定は、前記アドレス発生回路がアドレス値をデコードしていることである。

10

【0013】

さまざまな実施形態によれば、前記SRAM状態要素および前記SRAM環境回路は、複数のSRAMバンクに組織付けられ、前記外部非同期回路は、ライトチャネルおよびリードチャネルを備える。前記SRAMは、前記ライトチャネルから前記SRAMバンクのいずれかへのライトデータトークンの転送を可能にするスプリット回路、および前記SRAMバンクから前記リードチャネルへのリードデータトークンの転送を可能にするマージ回路をさらに備える。ある実施形態によれば、前記外部非同期回路は、複数のライトチャネルを備え、前記スプリット回路は、前記ライトデータトークンを前記複数のライトチャネルのいずれかから前記SRAMバンクのいずれかへルーティング制御情報に従ってルーティングするよう動作可能であるクロスバーを備える。他の実施形態によれば、前記外部非同期回路は、複数のリードチャネルを備え、前記マージ回路は、前記リードデータトークンを前記SRAMバンクのいずれかから前記複数のリードチャネルのいずれかへルーティング制御情報に従ってルーティングするよう動作可能である。

20

【0014】

本発明の性質および利点のさらなる理解は、本明細書および図面の残りの部分を参照することによってなされるだろう。

【発明を実施するための最良の形態】

30

【0015】

発明者によって考えられる本発明を実施するためのベストモードを含む本発明の具体的な実施形態を詳細に参照する。これら実施形態の例は、添付図面に示される。本発明は、これら具体的な実施形態について記載されるが、記載された実施形態に本発明を限定するよう意図はされない。むしろ添付の特許請求の範囲に規定される本発明の精神および範囲内に含まれるように、代替物、改変物、および等価物をカバーするよう意図される。以下の記載において、多くの具体的な詳細が述べられるが、これは本発明の完全な理解を促すためである。本発明は、これら具体的な詳細の一部または全部なしでも実施されえる。さらによく知られたプロセス操作は、本発明の趣旨を不必要にぼかさないうえに記載されていない。

40

【0016】

本発明の特定の実施形態は、準耐遅延非同期VLSI回路(quasi-delay-insensitive asynchronous VLSI circuits)に関する設計スタイルのコンテキストにおいて記載されることにも注意されたい。しかし本発明の原理および手法は、例えば同期VLSIと共に、耐遅延ではない非同期VLSIのような他のコンテキストにおいても用いられえることが理解されよう。

【0017】

さまざまな具体的な実施形態によれば、本発明と関連して採用される非同期設計スタイルは、レジスタの代わりにチャネル中のデータのラッチングによって特徴付けられる。そのようなチャネルは、送り側回路から受け側回路へのデータのFIFO(ファースト・イ

50

ン・ファースト・アウト) 転送を実現する。データ線は送り側から受け側へつながり、イネーブル(すなわちアクノリッジの反対の意味)線は、フロー制御のために逆に接続する。これら実施形態の具体的なものによれば、近接する回路群(プロセス群)の間での4つのフェーズのハンドシェイクがチャンネルを実現する。これら4フェーズは、1)送り側はハイイネーブルを待ち、それからデータを有効(valid)にセットし、2)受け側は、有効なデータを待ち、それからイネーブルをロウにし、3)送り側はロウイネーブルを待ち、それからデータをニュートラルにセットし、かつ4)受け側は、ニュートラルデータを待ち、それからイネーブルをハイにする。このハンドシェイクプロトコルの使用は例示目的であり、したがって本発明の範囲はこれに限定されるべきではない。

【0018】

本設計スタイルの他の局面によれば、データは、1ofNエンコーディングつまりいわゆる「ワンホットエンコーディング」(one hot encoding)を用いてエンコードされる。これは、N本の線でN+1の状態のうちの一つを選択するよく知られた規則である。このチャンネルは、全ての線がインアクティブ(inactive)であるとき、そのニュートラル状態にある。k番目の線がアクティブであり、全ての他の線がインアクティブであるとき、そのチャンネルはk番目の状態である。任意の時刻において、1本より多い線がアクティブであるならエラー条件である。例えば、ある実現例において、データのエンコーディングはデュアルレール(dual rail)であり、1of2とも呼ばれる。このエンコーディングにおいて、2本のワイヤ(レール)が用いられて2つの有効な状態およびニュートラルな状態を示す。他の実施形態によれば、より大きな整数は、1of3または1of4コードのような、より多い線によってエンコードされる。ずっと大きな数については、複数の1ofNが異なる数値的大きさと併せて用いられる。例えば、32ビットは、32個の1of2コードまたは16個の1of4コードによって表現されえる。

【0019】

場合によっては、上述の非同期設計スタイルは、高級アルゴリズムおよび回路の振る舞いを記述するために、疑似コード言語CSP(同時シーケンシャルプロセス)を採用しえる。CSPは、典型的にはパラレルプログラミングソフトウェアプロジェクトにおいて、および耐遅延VLSIにおいて用いられる。ハードウェアプロセスに適用されると、CSPは、CHP(コミュニケーションハードウェアプロセスの略)して知られる。この言語の説明については、DARPAオーダー番号6202、A.J. Martinによる「Synthesis of Asynchronous VLSI Circuits」を参照されたく、その全体が全ての目的のためにここで参照によって援用される。

【0020】

CSP仕様をここで記載されるさまざまな技術と共に用いるためにトランジスタレベルの実現例に変形することは、A.M. LinesによるCaltech Computer Science Technical Report CS-TR-95-21, Caltech, 1995, 「Pipelined Asynchronous Circuits」に説明される技術によって達成されえ、その全体が全ての目的のためにここで参照によって援用される。しかし、非同期設計技術のさまざまなもののうちの任意のものがこの目的のためにも用いられえることが理解されよう。

【0021】

本発明のさまざまな実施形態によれば、非同期環境で動作可能であり、かつ遅延およびトランジスタのパラッキにロバストなSRAMが提供される。より具体的には、例えば上述の設計スタイルによって実現される非同期システム中での、従来のSRAM状態要素(state elements)の使用を可能にするリードおよびライト回路が提供される。

【0022】

図1は、本発明のさまざまな実施形態と共に用いるための従来の6トランジスタ(6T)SRAM状態要素を示す。SRAM状態要素100は、対応するビットラインb.0およびb.1に接続されたトランジスタパスゲート106および108を持つクロスカップリングされたインバータ102および104のペアを含む。アドレスライン110は、パスゲート106および108をオンするように動作可能であり、それによってビットラインを

10

20

30

40

50

、SRAM状態要素の内部ノードx.0およびx.1上の状態に曝す。

【0023】

ビットラインb.0およびb.1は、SRAM状態要素100に記憶されたデータのデュアルレール表現として考えられる。示されるように、従来のSRAM状態要素のこの特徴は、さまざまな非同期設計スタイルによって設計された非同期チャネルと対話することができる。具体的な実施形態によれば、従来のSRAM状態要素および特定の設計スタイルに関連する非同期ハンドシェイクプロトコルの間の対話は、特に効率的である。

【0024】

SRAM状態要素100の状態を読むためには、アドレスライン110が用いられ、トランジスタパスゲート106および108をオンし、ビットラインb.0およびb.1を内部ノードx.0およびx.1にそれぞれ接続する。ロウである内部ノードは、センスされる対応するビットラインをロウに引き、それからデュアルレール値はバッファされ要求側に送られる。SRAM状態要素100に書くためには、アドレスライン110が再び用いられ、内部ノードが、所望の書き込み値でそのとき駆動されているビットラインに曝され、クロスカプルされたインバータ102および104中のトランジスタに過電力を与えて、状態要素の新しい内部状態を確立する。この振る舞いは、同期または非同期を問わず6T SRAM状態要素を用いる全ての実現例について共通である。

【0025】

図2は、本発明のSRAMトランジスタおよび回路トポロジーが採用されえる高レベルブロック図である。SRAM状態要素のレイ204に関連付けられるリード/ライト回路202は、入って行くライトチャネル206および出て来るリードチャネル208を有し、複数の双方向ビットラインを介してレイ204に結合される。具体的な実施形態によれば、リードおよびライトチャネルのそれぞれは、Nビットのデュアルレールであり、ビットラインもNビットのデュアルレール（すなわちb.0およびb.1）である。しかし、これらは例示に過ぎないことが理解されよう。デマルチプレクサ210は、ライトおよびリード信号「iw」および「ir」を含む命令Iを受け取り、SRAMレイ204と関連付けられる適切なアドレスライン（群）を選択する。リード/ライト回路202の性質は、図3～5を参照してこれから説明される。

【0026】

具体的な実施形態によれば、回路202は、3つのレベルの階層に構成される。以下の説明は、ライト操作中にビットライン（b.0およびb.1）のペアのうちの一つをロウに駆動するよう構成されるライト回路302および304を備えるリードおよびライト回路300（図3）によって表される第1の、最も低いレベルから始まる。イネーブル信号「en」は、ビットラインb.0およびb.1をプリチャージし（pre-charges）、システムがライトできる状態にあるときを知らせ、サイクルごとにリセットされる。信号w.0は、選択されたSRAMセル（群）に論理「0」が書き込まれるときにハイになり、信号w.1は、選択されたSRAMセル（群）に論理「1」が書き込まれるときにハイになる。回路302を参照し、例えば、en、iw、およびw.0のハイが一致すると、プリチャージされたビットラインb.1がプルダウンされ、ビットラインb.0がハイのまま維持される。この結果、アドレスラインが選択されたバス上のセルに、論理「0」が書き込まれることになる。書き込み完了は、信号w.0およびw.1を併せてNORをとることによって示され、これはライト完了信号_w.v.になる。そのビットラインがライト回路によって駆動されていることをチェックすることによって、さらなるトランジスタを使うことにはなるが、1つのタイミング仮定をなくすことも可能である。

【0027】

リード回路306は、リード回路308および310を備える。リード制御信号「ir」がハイになる（したがって_irがロウになる）とき、回路308および310中の対応するトランジスタは、ターンオンされる。同時に、ビットラインb.0およびb.1を、対応する状態要素の内部状態x.0およびx.1に曝すアドレスラインが選択されている。この結果、b.0およびb.1のうちの一つがロウになり（状態要素の状態に依存して）、それにより信号ラ

10

20

30

40

50

インr.1およびr.0のうちの対応する1つにおいてセンスされ、例えばもしb.0がロウになるなら、r.1はハイになる。イネーブル信号「en」およびリード制御信号「ir」は、互いに排他的であり、それによってビットラインがプリチャージしているときには、リード動作がイネーブルされることを防止することに注意されたい。代替の実施形態によっては、回路308および310は、センスアンプと置換されえることに注意されたい。

【0028】

図4は、図3のリードおよびライト回路300が4回繰り返され、この1回は、4つのSRAM状態要素のうちのそれぞれについてであり、4つのSRAM状態要素のそれぞれは、SRAMアレイ中の状態要素のセットに対応する、リード/ライト回路202の階層400の第2の、つまり次のレベルを示す。アレイ中の状態要素は、状態要素回路に対する容量性負荷を減らすように複数のセットに分割される。さまざまな実施形態によれば、SRAMアレイのサイズに依存して、セットの個数は変わりえる。示される実施形態は、回路の1ビット版が4つのセットである。

【0029】

回路306の4つのインスタンスについての4つの_{ir}信号は、互いに排他的なロウであり、すなわち1つだけが任意の時刻においてロウであることができる。よって、回路402および404は、反転されたリードの全てがハイになるとき、リードラインr.0およびr.1をリセットする。リード信号r.0およびr.1をそれぞれリード信号R.0およびR.1にブーストするために、ハーフバッファ回路406がオプションとして採用されえ、これは、r.0およびr.1上の負荷をバッファし、リード完了回路を効率的に提供する、すなわちリード完了信号R.v.を提供する。よって、適切な回路およびフロー制御を用いて、従来のSRAM状態要素（そのビットラインのデュアルレール状の特性を持つ）に対するリード動作は、準耐遅延（quasi-delay-insensitive）非同期システムの適切なイベントドリブンデュアルレールチャネルフォーマットである出力を作ることが可能である。ライト完了信号_{w.v.}は、信号w.0およびw.1をNORゲート408で論理的に結合することによって発生される。示される具体的な実施形態によれば、_{w.v.}の発生は、オプションとしてそのビットに書き込まないことを示す第3信号w.2を含みえ、特定のビットをマスクするのに用いられえり個別のビットイネーブルを実現しえる。よって、個別のビット群（またはビット群のグループ、すなわちニブル群およびバイト群）の選択的書き込みは、非常にローコストで達成されえる。

【0030】

具体的な実施形態によれば、遅延のバラツキに遭遇したときのこれら回路のロバストさは、ビットラインの駆動に関するある簡単なタイミングの仮定に根拠が置かれている。すなわち、イネーブル信号「en」がロウに駆動されて、ビットラインがプリチャージさせられるとき、アクノリッジはなく、この仮定は、そうでなければ耐遅延動作を確かにするようビットラインが十分に短い期間でプリチャージされることにある。同様に、ビットラインがライト動作のためにロウまたはハイに駆動されるとき、アクノリッジはなく、この仮定は、ビットラインおよび状態ビットが十分に短い期間で安定化することである。これら仮定は、かなりのマージンを有し、より複雑な完了回路のための必要をなくす。例えば、これら仮定は、書き込み完了が信号w.0およびw.1の簡単な組み合わせであることを可能にする。ある実施形態によれば、アドレスチャネルのデマルチプレクシングもアクノリッジされなくてもよく、さらなるタイミングの仮定は、デマルチプレクシング動作が、そうでなければ耐遅延動作を可能にするよう十分な期間内に起こることである。

【0031】

図5は、4ビットブロックを4セット作るために図4の回路が4回複製される（ブロック400によって表される）リード/ライト回路202の階層の第3の、つまり次に高いレベルを示す。上述のように、ブロック400のそれぞれは、4つのブロック300を含み、これらはそれぞれ、ロウの中のNビット（例えば32または64ビット）のそれぞれについて複製される。

【0032】

10

20

30

40

50

デマルチプレクサ（例えば図2のデマルチプレクサ210）によって受け取られる命令「I」は、どのセットが選択されるべきかを特定する。具体的な実施形態によれば、動作のタイプ、および4つのセットのうちどれが選択されるかを特定するために1of8コード（1.0から1.7）が用いられる。図5を再び参照して、リードセレクト（1.0から1.3）は、反転され（ブロック504）、上述のような信号 ir.0 から ir.3 の互いに排他的ロウであるセットを得る。ライトセレクト（1.4から1.7）は、バッファされ（ブロック506）、信号 iw.0 から iw.3 を得る。このバッファリングのアプローチは、これを行うのに十分な時間がある場合に適する。代替として、時間を節約することが望まれる場合には、ブロック504および506は、簡単なバッファリングアプローチよりも速くそれらのそれぞれの値をラッチおよびアクノリッジすることができるパイプラインされた回路を備えうる。

10

【0033】

バッファされたライトセレクト、ライト完了信号 $\text{W.v}[0]$ から $\text{W.v}[3]$ 、およびリード完了信号 $\text{R.v}[0]$ から $\text{R.v}[3]$ が完了され（ブロック512）、 w.v および r.v を発生する。イネーブル信号は、信号ENを発生するために、偶数個のインバータ（例えばブロック514）を有するインバータチェーンを用いて「ランプアップ」されえる。それから信号ENは、C要素を用いて w.v および r.v のそれぞれと結合され、それらの出力は、NANDがとられて、命令チャンネルに動作が完了され、他の命令が発行されえることをアクノリッジする命令アクノリッジ I.e を発生する（ブロック516）。加えて、それぞれのライト動作について、ライトアクノリッジ信号 W.e が発生され、ライトチャンネル（例えば図2の回路202）にアクノリッジし、ライトチャンネルが次のトークンについて準備ができていることを示す。

20

【0034】

例示的物理トポロジを有し、図3～5の回路を用いて実現される単一のポートのSRAMのより詳細な説明が図6を参照してこれから記載される。示されるトポロジは例示に過ぎず、本発明の範囲から逸脱することなく幅広いトポロジが採用されえることが理解されよう。

【0035】

SRAM600は、デマルチプレクサ606および制御回路608のそれぞれの側に2つの実質的に同一のブロック602および604を備える。48ビット幅のメモリシステムについては、ブロック602および604のそれぞれは、図1～5に示されるSRAM状態要素およびリード/ライト回路の6つの実質的に同一のロウを含む。ロウの異なる個数は、異なる幅に対応し、例えば32ビット幅メモリシステムについては、ブロック602および604のそれぞれは4つのロウを有する。それぞれのそのようなロウ（その例はブロック604の下に示される）は、図5の回路の1つのインスタンス（ 4×4 のブロック610）、およびそれに続いてSRAM状態要素の64個のカラム614を含み、それぞれのカラムは、16のそのような状態要素を備え、すなわち、4情報ビットおよび4セットである。状態要素の 64×16 のレイに関連付けられるビットライン（不図示）は、ビットラインの値をホールドするスタティサイザを有する。よって、SRAMブロック600は、より大きいSRAMメモリシステムを作るために反復できる1.5kBのブロックである。

30

40

【0036】

本発明の具体的な実施形態によってアドレス情報を発生するためにどのようにデマルチプレクサ606が実現されえるかの詳細が図7を参照してこれから説明される。この実施形態によれば、アドレス情報は、3つの1of4コードで入って来て、このコードは、64個の3入力ANDゲート、すなわちインバータを持つNANDゲート（ブロック702）を用いてSRAMについての従来の1ofNコード（この場合、1of64）に変換される。具体的な実施形態によれば、アドレス発生回路は、1ofNコードを完了させるために完了回路（completion circuitry）を用いて耐遅延に作られえる。そのような完了回路は、例えば、アドレス完了信号 a.v を発生する完了ツリー704（または任意の等価物）を備えうる。

【0037】

50

リード動作については、a.vはアドレス発生の中間状態(neutrality)の完了を表すが、それは、リードラインそれら自身がアドレスの有効性を完了させるからであり、すなわちリードはアドレスなしでは起こりえなかつたはずだからである。ライト動作については、a.vはアドレスの有効性および中間状態を表す。上述のデマルチプレクサ実現例は単なる例示であり、本発明を限定するために用いられるべきではないことに注意されたい。

【0038】

加えて、図6の4×4のブロック610のインスタンスの全てについての命令アクノリッジ信号l.eは、例えば、8入力C要素ツリーまたは完了信号d.vを発生する等価な構造を用いて完了される。アドレス完了信号a.v、完了信号d.v、およびリセット信号(回路全体をリセットするグローバル信号)の反転されたものが、イネーブル信号enを発生する回路706への入力として用いられ、この信号はそれから、制御チャンネル全体についての、かつ1of4アドレスコードの全てについてのアクノリッジを含むそのさまざまな使用のために、メモリブロック全体にわたってブロードキャストされる。

10

【0039】

本発明のさまざまな実施形態によれば、SRAMブロックにリペア機能が導入されえる。そのような実施形態によれば、65番目のアドレスラインおよび対応する状態要素が上述の設計中に含まれる。もし、製造されたチップの試験中に、最初の64アドレスのうちの1つについてビットエラーが識別されると、アドレスデコーディング回路は、アドレス翻訳を実行することによって、65番目のアドレスが検出された不良アドレスの代わりに置換されえるようイネーブルされえる。このことは、例えば、64から65アドレスに変換するデマルチプレクサの前に挿入されたステージを含みえる。理解されるように、そのような能力は、それが使用されるときにこの追加回路を実現するさまざまな完了回路への代替物を含みえる。

20

【0040】

本発明のさまざまな他の実施形態によれば、上述のSRAM設計は、バンク非同期SRAM設計を実現するために追加の回路と共に採用されえる。図8に示される一つのそのような実施形態において、上述のように設計された複数のSRAMバンク802は、スプリット804を採用して、ライトチャンネルWを介したライト動作のためのバンクを選択し、マージ806を採用して、リードチャンネルRを介したリード動作のためのバンクを選択する。これらの選択は、1つのリード/ライトビットおよびnビットのアドレス情報を含む制御チャンネルIAに応答して達成される。

30

【0041】

上述のように、スプリット804は、1からQのバス(例えばQ=4)であり、このバスは、制御チャンネルSを制御回路808からリードし、入力データの1つのトークンをライトチャンネルLからリードし、それからそのデータをSからリードされた値によって選択されたQ出力チャンネルのうちの1つに送る。マージ806は、Pから1のバス(例えばP=4)であり、これは制御チャンネルMを制御回路808からリードし、それからデータのトークンをP入力チャンネルのうちの1つからMからリードされた値によって選択されるようにリードし、そのデータを単一の出力チャンネルRに送る。図9は、スプリット900の基本ブロック図を示す。図10は、マージ1000の基本ブロック図を示す。上で参照によって援用されたA. Linesによる「Pipelined Asynchronous Circuits」も参照されたい。

40

【0042】

具体的な実現例によれば、スプリット804は、1つのsplit_env部およびQ個のsplit_cell部を含み、マージ806は、1つのmerge_env部およびP個のmerge_cell部を含む。split_cellは、それぞれの出力チャンネルについて複製されたスプリット804の一部を含み、split_envは、回路の残りを含む。同様に、merge_cellは、それぞれの入力チャンネルについて複製されたマージ806の一部を含む。

【0043】

機能的には、それぞれのsplit_cell[i]は、Sが有効になるのを待ち、Sの値がiに等

50

しい（すなわちレール S^i が真である）ことをチェックする。もしそうであるなら、それは、その出力 $R[i]^e$ からのイネーブルをチェックし、それがハイなら有効なデータを L から $R[i]$ にコピーする。いったんデータが $R[i]$ にコピーされたら、`split_cell[i]` は、そのイネーブルを `split_env`, `se[i]` に下げる。結果として、 S , L , および $R[i]^e$ は中間に戻り、その結果、`split_cell[i]` は、データをリセットし、`se[i]` を再び上げることができる。1ビットデータおよび1ビット制御（共に1of2コードとしてエンコードされる）を持つ `split_cell 1 1 0 0` についての概略図は、図 1 1 に示される。

【 0 0 4 4 】

`split_env` は、 L チャンネルの有効性 (validity) および中間状態 (neutrality) をテストし、`split_cell` から `se[0..Q-1]` の論理 AND を計算し、 S および L 入力チャンネルについてのアクノリッジを作る。 S チャンネルの有効性および中間状態は、`split_cell` からのアクノリッジによって黙示される。1ビットデータおよび2つの `split_cell` についての `split_env 1 2 0 0` についての概略図は、図 1 2 に示される。

【 0 0 4 5 】

1ビットデータおよび1ビット制御（1of2コードとしてエンコードされる）を持つ `merge_cell 1 3 0 0` についての概略図は、図 1 3 に示される。それぞれの `merge_cell[i]` は、 M が有効になるのを待ち、 M の値が i に等しい（すなわちレール M^i が真である）ことをチェックする。もしそうであるなら、それは `merge_env`（出力イネーブル R^e のレディネス (readiness) を含む）からの `go` 信号を待ち、入力データ $L[i]$ が有効になるのを待つ。これが起こるとき、それは $L[i]$ の値を R にコピーする。`merge_env` は、 R の有効性をチェックし、`rv` をハイにセットすることによって、この状況を全ての `merge_cell` に戻すようブロードキャストする。次に、`merge_cell` は、そのイネーブル `me[i]` および $L[i]^e$ を下げる。いったん M および $L[i]$ データが中間に戻り、`go` が下げられると、 R が中間に戻り、`rv` が下げられ、`merge_cell` はイネーブル `me[i]` および $L[i]^e$ を上げる。

【 0 0 4 6 】

1ビットデータおよび2つのマージセルについての `merge_env 1 4 0 0` についての概略図は、図 1 4 に示される。`merge_env` は、 R イネーブルのレディネスをチェックし、`go` を上げる。 M は、直接に `merge_cell` に行き、それらのうちの1つが R を新しい有効な値にセットすることによって応答する。それから `merge_env` は、`rv` を上げ、その後、`merge_cell` は、`me[i]` で応答する。`merge_env` は、これらアクションの完了をチェックし、それから M をアクノリッジする。いったん M が再び中間状態になり、 R がアクノリッジしたら、`merge_env` は、`go` を下げ、これは `merge_cell` が `me[i]` をリセットするようにする。また `merge_env` は、 R を中間状態の値にリセットする。いったんこれらのアクションが完了すると、`merge_env` は、 M のアクノリッジを下げる。

【 0 0 4 7 】

$S R A M$ 状態要素の読み出しは比較的遅いので、リード動作は、ビットライン上の部分的な信号のスイングだけを用いて、センスアンプを用いてビットラインのスイングを検出することで実行されえる。本発明の具体的な実施形態は、そのようなアプローチを採用すると想定される。しかし、半導体プロセスの寸法が小さくなり続けるにつれ、センスアンプの一貫した信頼性高い動作を得ることはますます難しくなっている。実際、経済的および技術的リソースの多くがこの問題のために用いられてきているが、結果はさまざまである。それぞれの新しいプロセスのためのアナログ回路の信頼性高い動作を実現するためには時間が必要とされるだけかもしれない。あるいは、実際の物理的限界が最終的にはセンスアンプが新しい世代のプロセスで成功して製造されえるかを決定するのかもしれない。

【 0 0 4 8 】

いずれにしても、具体的な実施形態によれば、本発明によって設計されたバンク $S R A M$ は、センスアンプを採用せず、その代わりに、ビットラインがそのフルスイングで振れることを可能にする。これは、特定のバンクの動作を遅くするが、適切な個数の $S R A M$ バンクおよびフロー制御によって、実効データレートは、任意の1つのバンク動作だけよ

10

20

30

40

50

りも大幅に高くなりえる。具体的な実施形態によれば、これを促進するために、マージ 806 は、フルバッファマージ回路として実現され、これは 1 つのデータトークンをその入力において、もう一つをその出力において記憶しえる。このフルバッファリングは、異なるバンクへの不連続リード動作でのフルスピードを可能にするために、非同期チャンネルの高速パフォーマンスを利用する。

【0049】

図 15 に示される代替のバンク非同期 S R A M 設計によれば、図 8 のマージ 806 を、この場合、4 つの S R A M ブロック 1504 をリードチャンネルに接続するクロスバー 1502 で置き換えることによって、複数のリードチャンネル R 1 および R 2 がサポートされえる。さまざまな実施形態によれば、幅広い種類のクロスバー設計のうちの任意のものが採用されえる。例えば、そのようなクロスバーを構成するためには、図 9 ~ 14 を参照して上述のスプリットおよびマージ回路の組み合わせが採用されえる。加えて、2002 年 4 月 30 日に出版された ASYNCHRONOUS CROSSBAR WITH DETERMINISTIC OR ARBITRATED CONTROL と題された係属中の米国特許出願第 10/136,025 号（その開示全体が全ての目的のためにここで参照によって援用される）に記載されたクロスバー回路のうちの任意のものがクロスバー 1502 を実現するために採用されえる。ある実施形態によれば、データを複数の入力チャンネルのうちの任意のものから、複数の出力チャンネルのうちの任意のものに、ルーティング制御情報に基づいてルーティングするよう動作可能なクロスバーが採用される。入力チャンネルおよび出力チャンネルのそれぞれの組み合わせは、複数のリンクのうちの一つを備える。このクロスバーは、リンクのそれぞれの上で確定的にデータをルーティングし、それによってルーティング制御情報によって表される順序付けを部分的に保存するよう動作可能である。異なるリンク上のイベントは、無相関である。

【0050】

実際、スプリット 804 およびマージ 806 の両方は、基本 S R A M 状態要素に何らの変更も加えることなく、S R A M のポート能力 (ported-ness) を増すために、クロスバーによって置き換えされえる。加えて、いずれかの側（すなわちリードまたはライト）のポートの個数は、2 つに限定されない。しかし、現実的な個数は、S R A M バンクの個数に相関し、すなわちもし 4 バンクしか存在しないなら、4 個より多いリードポートは決してフルには利用されないだろう。

【0051】

加えて、図 15 に示されるように、このような S R A M 設計（および実際のところ本発明の範囲内の任意の非同期 S R A M 設計）は、そうでなければ同期システムであるシステムにおいて、同期・非同期（S 2 A）変換回路 1506 および非同期・同期（A 2 S）変換回路 1508 をそれぞれライトおよびリードポート上で用いて採用されえる。具体的な実施形態によれば、適切な変換回路は、2002 年 8 月 1 日に出版された TECHNIQUES FOR FACILITATING CONVERSION BETWEEN ASYNCHRONOUS AND SYNCHRONOUS DOMAINS と題される係属中の米国特許出願第 10/212,574 号に記載され、その全体が全ての目的のためにここで参照によって援用される。

【0052】

バンクスピードがポートスピードよりも遅い複数のバンクを持つ S R A M 設計（単一のまたは複数のポートをもつ）において、非同期 S R A M は、平均のポートスピードのパフォーマンスに近づくが、全てのアクセスパターンについてはではない。そしてもしより低いパフォーマンスのアクセスパターンが予め計算されないなら、これはシステムの観点からは実質的に非確定的である。もし非同期メモリが同期システムにおいて用いられるなら（図 15 を参照して上述のように）、そしてその同期システムが「確定的な」パフォーマンスを要求するなら、システムは、バンクスピードに等価な全体的な S R A M パフォーマンスに頼るかもしれない、または異なるありえる実施形態においては、非同期 S R A M におけるバンクコンフリクトを検出することに基づいて同期システムに「待機状態」を知らせ、それによって同期システムがそのステートマシンに、「このサイクルでは S R A M アクセスなし」をエンコードする条件を構築し、よって「確定的に」振る舞い、しかしながら平

10

20

30

40

50

均としては非同期SRAMポートのパフォーマンスを実現できるようにするための論理が加えられえ。

【0053】

図8および15のバンクSRAM設計は、単一のポートの6T SRAM状態要素に基づくSRAM設計と共に、以下にその具体的な実現例が説明されるデュアルポート10T SRAM状態要素を採用するものにも適用可能であることに注意されたい。

【0054】

本発明のさらなる実施形態によれば、従来の10個のトランジスタの(10T)デュアルポートSRAM状態要素を採用するSRAMブロックが提供される。そのような10T状態要素1600の例は図16に示され、ここで2つのバスが採用され、1つはライトであり、もう一つはリードである。すなわち、ライトバスライン_w.0および_w.1は、状態要素1600に書き込むためにアドレスラインiwと併せて用いられ、一方、リードバスライン_r.0および_r.1は、状態要素1600から読み出すためにアドレスラインirと併せて用いられる。図1の6T状態要素と比較して、10T状態要素は、より多くのダイ面積を要求するが、ずっと速い。加えて、分離されたリードおよびライトバスのために、SRAMバンク内の異なるアドレスに対する実質的に同時のリードおよびライト動作が10T状態要素では起こりえる。デュアルポート10T実施形態は、例えば、スピードに対する要求が面積の問題を圧倒する場合、またはメモリのサイズ(どの程度の情報が記憶されるべきであると意図されるかについて)が比較的小さい(例えばレジスタファイル)場合の応用例において有用でありえる。実施形態の後者のタイプにおいて、メモリが十分に小さい場合、SRAMをセット群に分割する必要は大きく減るか、まったくなくなりえることが理解されよう。よって、セット群を持つ実施形態もセット群を持たない実施形態も両方が想定される。

【0055】

10T状態要素を採用する非同期SRAMの具体的な実現例(例えば図16の状態要素1600)が図17~21を参照してこれから説明される。階層フレームワークおよび実施形態を参照して上述の実現例の詳細の多くがデュアルポート実施形態に十分に類似するので、そのような詳細は簡潔さのためにここでは再び説明されないことが当業者には理解されよう。すなわち、2つのタイプの実施形態の間の大きな差だけが説明される。また具体的な実現例によれば、10T実施形態は、そのような実施形態が単一のタイミングの仮定、すなわち10T状態要素はライト信号に応答してラッチされているということだけを用いて実現されえ点において、前述の実施形態よりも遅延バラツキに対してよりロバストでありえることが理解されよう。

【0056】

図17に示されるように、イネーブル信号「en」は、リードバス(すなわち_r.0および_r.1)をプリチャージするために採用される。リードポートセル1702は、1トランジション出力ハーフバッファ(one-transition output half-buffer)を備え、リード信号_r.0および_r.1をそれぞれR.0およびR.1にブーストし、同時にリード完了信号_r.vも提供する。よって、単一ポート6T実施形態(例えば図4の回路406)のように、従来の10T SRAM状態要素上でのリード動作は、非同期システムの適切なイベントドリブンデュアルレールチャンネルフォーマットである出力を作ることできる。しかし、リードポートセル1702は、単一ポートの設計の対応するものより2つのより少ないトランジションを有する。

【0057】

ライトポートセル1704も比較的単純であり、単に信号w.0およびw.1を反転し、ライトバスを出力で駆動し、同時にライト完了信号_w.vも発生する。情報ビットの個数に依存して、全ての対応する信号_w.v(ライト動作について)、または全ての対応する信号_r.v(リード動作について)は、Nが情報ビットの個数であるとき、 $\log_2(N)$ ステージを有するMuellerのC要素を用いて6T実施形態についてと同じように達成されえ。同様に、アドレス完了も同じようにして、すなわち上述のようにORツリーで達成されえ。

10

20

30

40

50

【 0 0 5 8 】

図 1 6 において示される 1 0 T S R A M 状態要素に基づき、図 1 7 のリードおよびライトセルを含むデュアルポート 1 0 T 実施形態は、図 1 8 に示される。アレイは、S R A M 状態ビットの 3 2 × 4 N アレイとして示されるが、これは例示目的だけの特定の設計に過ぎないことに注意されたい。ビットラインおよびビットの任意の個数がサポートされることが理解されよう。

【 0 0 5 9 】

ライト制御 1 8 0 2 は、ライトポートセル 1 7 0 4 からの $_w.v$ のビット当たり 4 個のライト完了信号インスタンスを結合する。ライト制御 1 8 0 2 は、信号 kw を通じたアドレス制御と共にハンドシェイクし、 jwe を作る。ライト制御 1 8 0 2 は、ライト完了タイミン

10

【 0 0 6 0 】

リード制御 1 8 0 6 は、リードポートセル 1 7 0 2 からの $_r.v$ のビット当たり 4 個のリード完了信号インスタンスを結合する。リード制御 1 8 0 6 は、信号 kr を通じたアドレス制御と共にハンドシェイクし、 jre を作る。リード制御 1 8 0 6 は、S R A M のリードラインをプリチャージするプリチャージ信号 en も作る。リード制御 1 8 0 6 の具体的な実現例は図 1 9 に示される。C 要素 1 8 0 8 は、N 個のリードニブル完了信号 jre を集め、ラ

20

【 0 0 6 1 】

デマルチプレクサ 1 8 1 0 は、I A にエンコードされたアドレスおよびリード/ライト命令をデマルチプレクシングして 3 2 ラインについての個別のリードおよびライトセレクトラインにする。最適化として、リードデコードは jre でプリチャージされえ、ライトデコードは jwe でプリチャージされえ。デマルチプレクサ 1 8 1 0 の具体的な実施形態は、図 2 0 に示される。

【 0 0 6 2 】

O R ゲート 1 8 1 2 は 1 of 32 リードセレクトを完了し、信号 kr を作り、O R ゲート 1 8 1 3 は 1 of 32 ライトセレクトを完了し、信号 kw を作る。制御 1 8 1 4 は I A を完了し、I A 完了を kr および kw と結合し、I A チャンネルアクノリッジ $IA.e$ を作る。制御 1 8 1 4 の具体的な実現例は、図 2 1 に示される。代替の実施形態によれば、アドレスのデマルチプレクシングはアクノリッジされず、そうでなければ耐遅延動作を可能にするためにこの動作は十分に速く達成されるというさらなるタイミングの仮定がなされる。

30

【 0 0 6 3 】

示されるように、S R A M ブロック 1 8 0 0 は、非同期 4 相チャンネルと結合された 1 0 T S R A M 状態要素 1 6 0 0 のアレイを含む。ここで参照によって援用された文書においては、条件付きおよび非条件付き非同期チャンネルが定義される。要約すれば、非条件付きチャンネルは、サイクルごとにハンドシェイクを通り、一方、条件付きチャンネルはある制御環境下でのみサイクルを経る。S R A M ブロックの具体的な実施形態によれば、命令チャンネルは非条件付きである。それは、アドレスおよびリード/ライト（またはリードおよびライト）命令を、メモリへのそれぞれのアクセスについて含む。ライトチャンネルは、ライト命令上で条件付きであり、W チャンネルからのデータをアレイ中に置く。リードチャンネルは、リード命令上で条件付きであり、アレイからデータを取り出し、それを R チャンネル上に置く。信号 kr および kw は、W および R チャンネルを制御 1 8 1 4 と同期させるために用いられるメカニズムである。

40

【 0 0 6 4 】

S R A M ブロック 1 8 0 0 の動作がさらに詳細にここで説明される。命令は、S R A M にチャンネル I A を介して入り、デマルチプレクサ 1 8 1 0 において 1 of 32 リードセレクト (ir) ラインまたは 1 of 32 ライトセレクトライン (iw) にデコードされる。具体的な実施

50

形態によれば、効率のためにこのデコーディングはプリチャージされた計算においてなされる。デマルチプレクシング完了1812は、1of32コードを「完了させる」（リードについてはir、ライトについてはiw）。ライトについては、データは、ライトポートセル1704にバッファされ、状態ビット（_w.x）にわたってブロードキャストされる。ライト制御1802は、_w.vを完了し、完了信号をkwと結合し、その完了jweを発生する。ライト完了1804は、N個のjwe信号を完了し、jw.eを作り、これはある実施形態によれば、ライトセレクトのためのデマルチプレクサ1810のためのプリチャージである。このプリチャージングは、パフォーマンスのために含まれるが、機能の実現のためには必要ではないことに注意されたい。

【0065】

同様に、リード時には、リードセレクトラインは、状態ビットがリードラインをプルダウンすることを可能にする。リードポートセル1702は、「パイプラインされた」バッファステージを含み、_rをRにバッファする。またリードポートセル1702は、リードラインプリチャージトランジスタを含む。リード制御1806は、リードラインを完了し、その完了をkrと結合し、リードラインプリチャージ信号enおよびそれ自身の完了信号jreを発生する。リード完了1808は、N個のjre信号を完了し、jr.eを作り、これはある実施形態によれば、デマルチプレクサ1810におけるリードセレクトライン（ir）のためのデコードをプリチャージするのに用いられる。再び、このプリチャージングは、パフォーマンスのために含まれるが、機能の実現のためには必要ではないことに注意されたい。最後に制御1814はアドレスおよびkrおよびkw信号を完了し、命令についてのアク

【0066】

具体的な実施形態によれば、制御1814は、同時にSRAMアレイにライトおよびリードを行うことを可能にするために実現されえる。すなわち、リードおよびライト命令についてのアドレスが衝突しないことが保証される限り、同時のライトおよびリード命令が実行されえる。同じアドレスがリードおよびライトされているときを検出し、SRAMからリードする代わりに、ライトデータをリードポートに直接にバイパスするために、追加の回路がSRAMのバンクの外に加えられる。

【0067】

さまざまな実施形態によれば、上述の回路の適切な部分を複製することによって、および追加のリードおよびライトバスを付加することによって、追加のリードおよびライトポートが加えられる。

【0068】

本発明のさまざまな実施形態によれば、ビットラインのそれぞれは、使用されていないときにバスをそれらのプリチャージされたレベルに維持するための関連付けられたスタティサイザを有する。これれ実施形態のうちの具体的なものによれば、アナログ回路技術が、ビットラインがより速くプルダウンされることを可能にするこれらのスタティサイザに適用される。

【0069】

本発明は、その具体的な実施形態を参照して特に示され説明されてきたが、この分野の当業者には、開示された実施形態の形態および詳細の変更は本発明の精神および範囲から逸脱することなくなされることが理解されよう。例えば、ここで記載された回路およびプロセスは、コンパイルのさまざまな段階において、1つ以上のネットリストとして、シミュレーション言語において、ハードウェア記述言語において、半導体プロセスマスクのセットにおいて、および部分的にまたは完全に実現された半導体デバイスとして、ソフトウェア（オブジェクトコードまたは機械コード）において表現されえる（制限なく）。この分野における当業者によって理解される前述のそれぞれのさまざまな代替物も本発明の範囲内に入る。例えば、コンピュータで読み取り可能な媒体のさまざまなタイプ、ソフトウェア言語（例えばVerilog、VHDL）、シミュレーション可能な表現（例えばSPICEネットリスト）、半導体プロセス（例えばCMOS、GaAs、SiGe、など）、およびここで記載された

10

20

30

40

50

プロセスと共に用いられるのに適するデバイスタイプ（例えばFPGA）は、本発明の範囲内に入る。

【0070】

最後に、さまざまな実施形態を参照してここでは本発明のさまざまな利点、局面、および目的が説明されてきたが、本発明の範囲はこれら利点、局面、および目的を参照して限定されるべきではない。むしろ、本発明の範囲は、添付の特許請求の範囲を参照して決定されるべきである。

【図面の簡単な説明】

【0071】

【図1】本発明のさまざまな実施形態と共に用いるための単一ポート6T SRAM状態要素の概略図である。 10

【図2】本発明の具体的な実施形態によって設計された非同期SRAMのブロック図である。

【図3】本発明の具体的な実施形態による6T状態要素を採用するSRAMのためのリードおよびライト回路のためのトランジスタおよびより高いレベルの概略図である。

【図4】本発明の具体的な実施形態による6T状態要素を採用するSRAMのためのリードおよびライト回路のためのトランジスタおよびより高いレベルの概略図である。

【図5】本発明の具体的な実施形態による6T状態要素を採用するSRAMのためのリードおよびライト回路のためのトランジスタおよびより高いレベルの概略図である。

【図6】本発明の具体的な実施形態によって設計された非同期SRAMのブロック図である。 20

【図7】図6のSRAM設計の部分のさまざまなトランジスタおよびより高いレベルの概略図である。

【図8】本発明によって設計されたバンク付きSRAMの具体的な実現例のブロック図である。

【図9】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。

【図10】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。

【図11】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。 30

【図12】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。

【図13】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。

【図14】本発明によって設計されたさまざまなバンク付きSRAMと共に用いられるスプリットおよびマージ回路のトランジスタおよびより高いレベルの概略図である。

【図15】同期領域へ変換する回路を含む本発明によって設計されたマルチポートバンクSRAMのブロック図である。

【図16】本発明のさまざまな実施形態と共に用いられるデュアルポート10T SRAM状態要素の概略図である。 40

【図17】本発明の具体的な実施形態による10T状態要素を採用するSRAMについてのトランジスタおよびより高いレベルの概略図である。

【図18】本発明の具体的な実施形態による10T状態要素を採用するSRAMについてのトランジスタおよびより高いレベルの概略図である。

【図19】本発明の具体的な実施形態による10T状態要素を採用するSRAMについてのトランジスタおよびより高いレベルの概略図である。

【図20】本発明の具体的な実施形態による10T状態要素を採用するSRAMについてのトランジスタおよびより高いレベルの概略図である。

【図21】本発明の具体的な実施形態による10T状態要素を採用するSRAMについて 50

のトランジスタおよびより高いレベルの概略図である。

【図1】

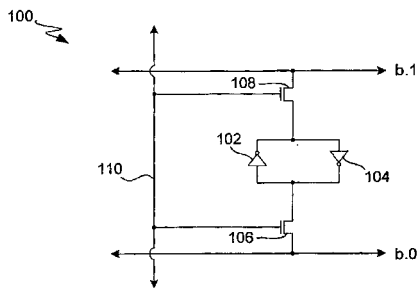


FIG. 1

【図2】

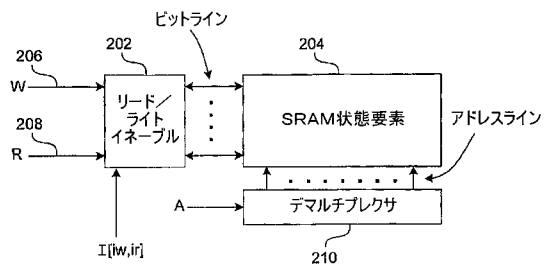


FIG. 2

【図3】

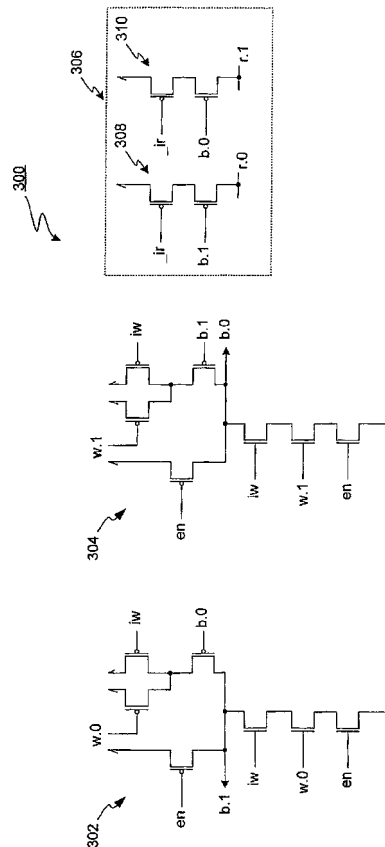


FIG. 3 (Env_1)

【 図 4 】

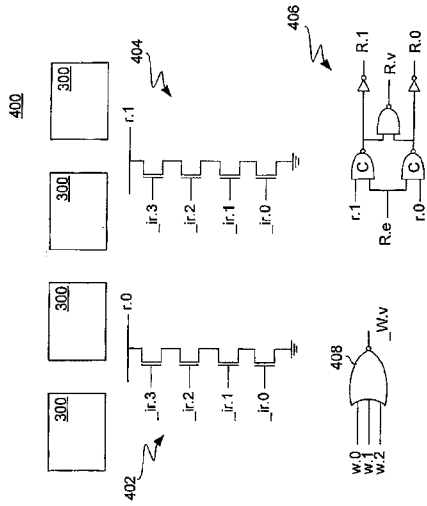


FIG. 4 (Env 4_1)

【 図 5 】

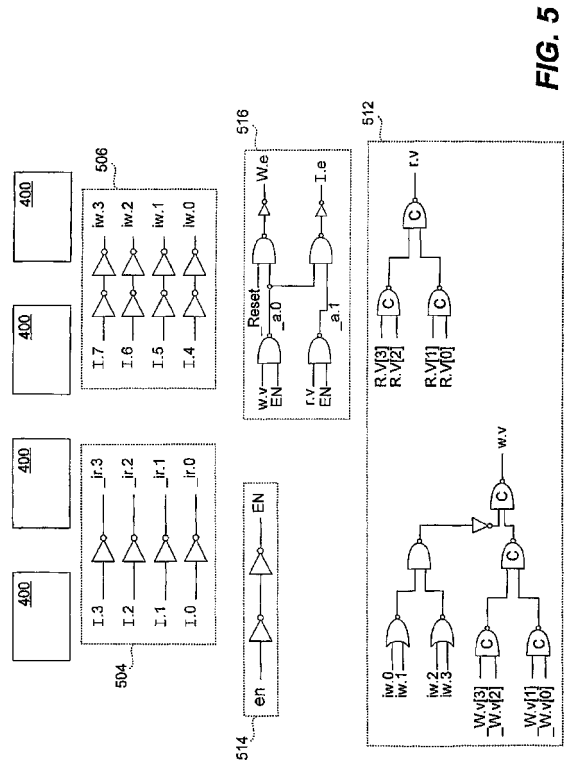


FIG. 5

【 図 6 】

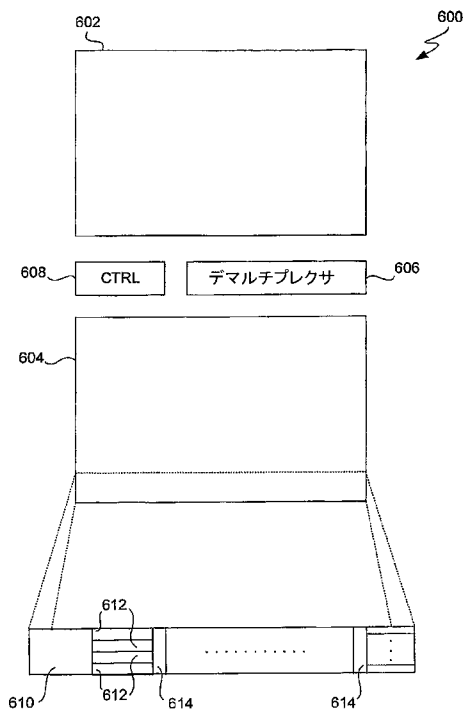


FIG. 6

【 図 7 】

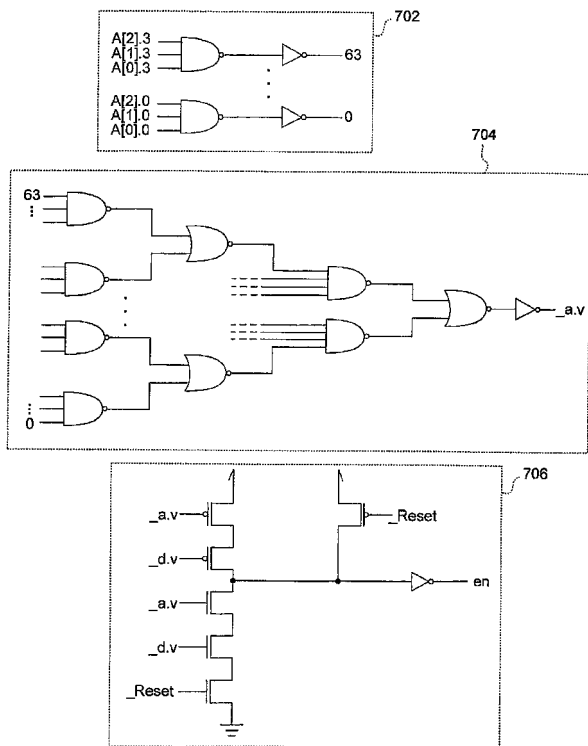


FIG. 7

【 図 8 】

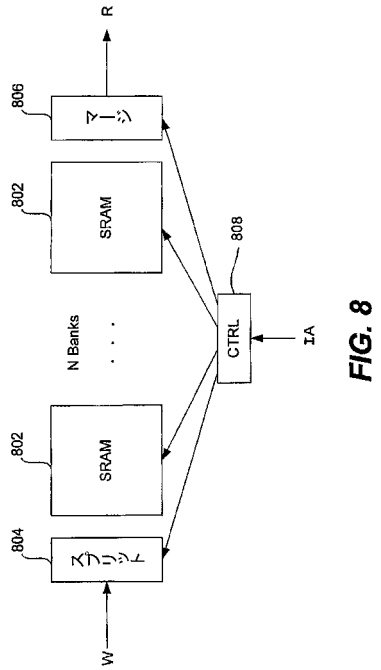


FIG. 8

【 図 9 】

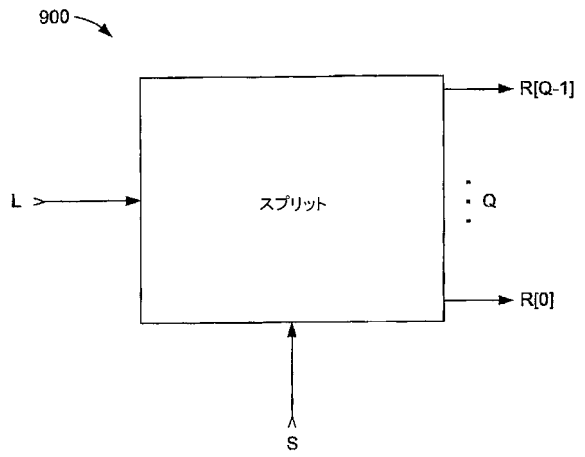


Fig. 9

【 図 10 】

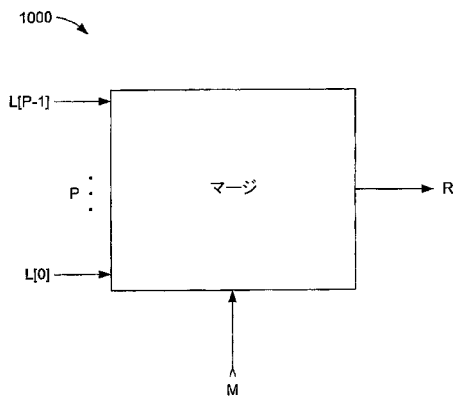


Fig. 10

【 図 11 】

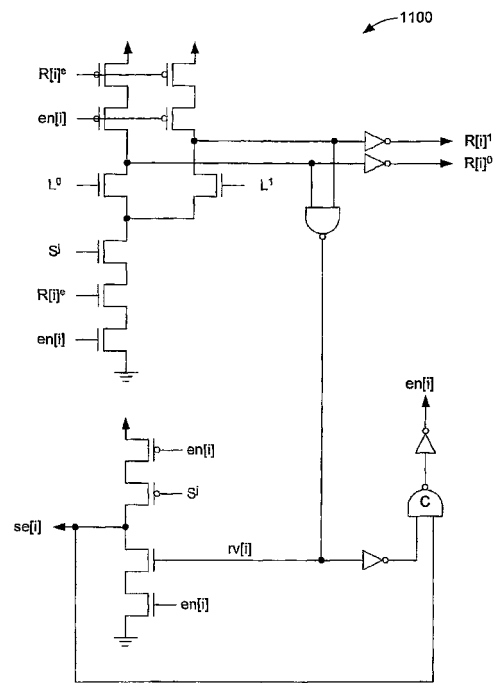


Fig. 11

【 図 1 2 】

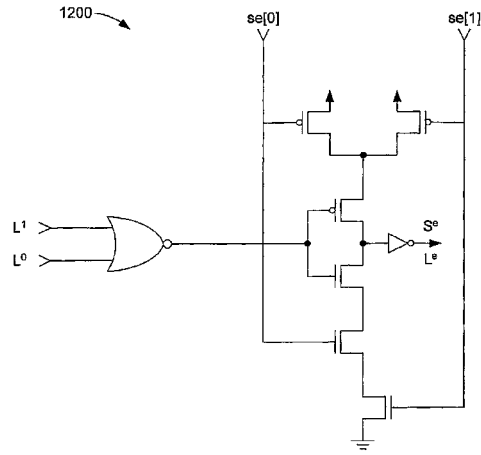


Fig. 12

【 図 1 3 】

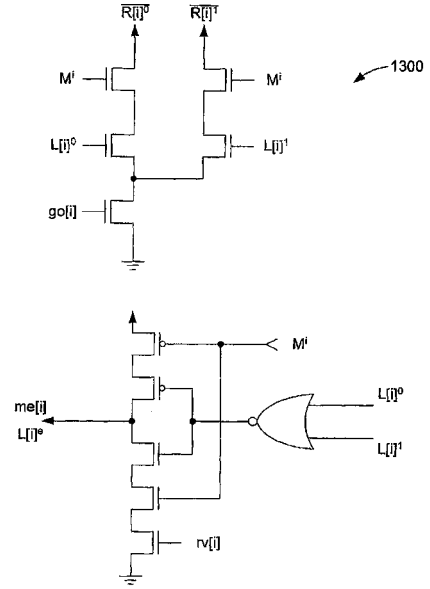


Fig. 13

【 図 1 4 】

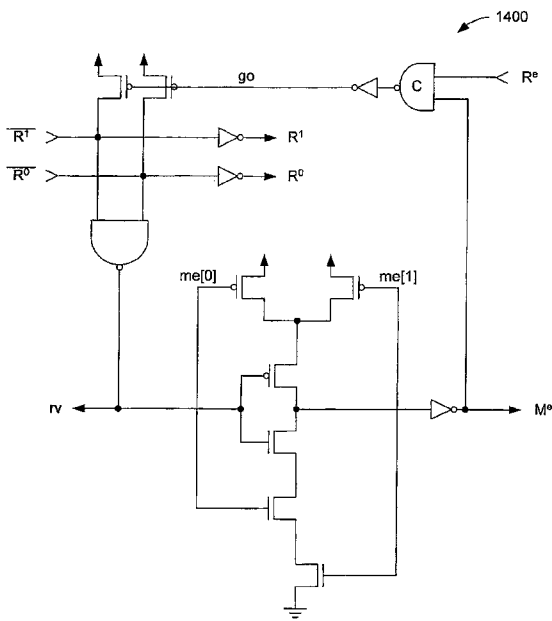


Fig. 14

【 図 1 5 】

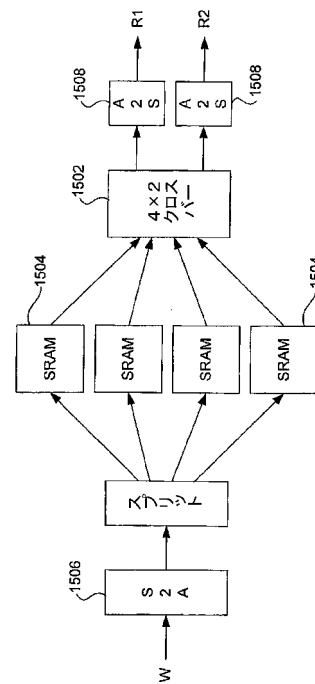


FIG. 15

【 図 16 】

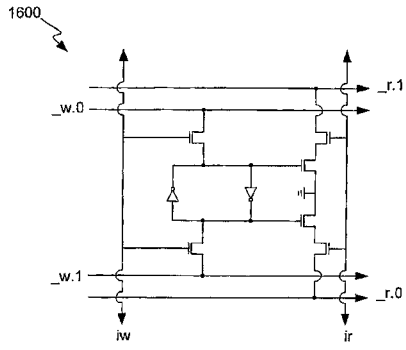


FIG. 16

【 図 17 】

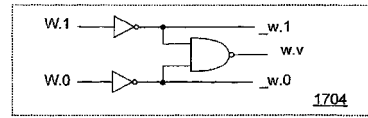
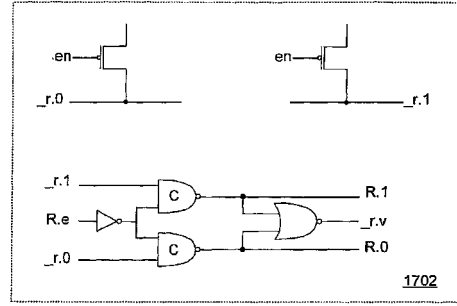


FIG. 17

【 図 18 】

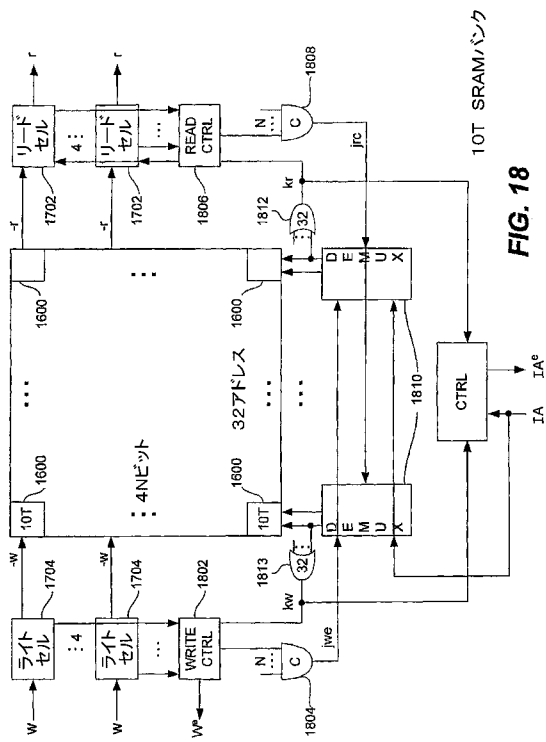


FIG. 18

【 図 19 】

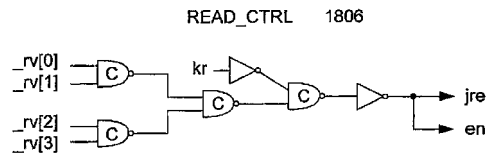
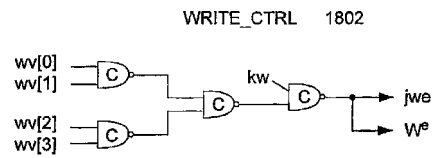
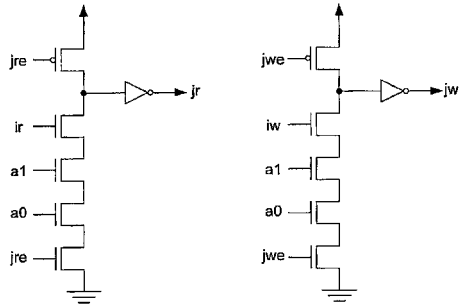


FIG. 19

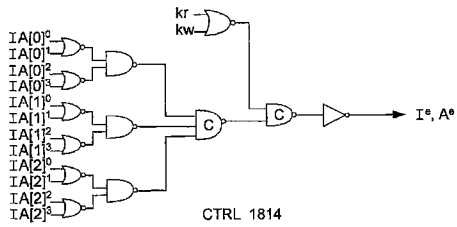
【 20 】



DEMUX 1810

FIG. 20

【 21 】



CTRL 1814

FIG. 21

フロントページの続き

(72)発明者 ラインズ・アンドリュー
アメリカ合衆国 カリフォルニア州 90265 マリブ, シーガル・ウェイ, 26666, ユニッ
ト シー101

審査官 園田 康弘

(56)参考文献 特開平05-334261(JP,A)
特開平10-112646(JP,A)
特表2002-520981(JP,A)
特開平07-240095(JP,A)
特開平05-012870(JP,A)
特開平09-180433(JP,A)
特開昭63-173143(JP,A)
特開2002-176415(JP,A)
特開平05-289989(JP,A)
特開平10-283781(JP,A)
特開平03-059884(JP,A)
特開平11-017706(JP,A)
特開平09-282886(JP,A)
特開平09-231770(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/417

G11C 11/412

G11C 11/419