



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I628552 B

(45) 公告日：中華民國 107 (2018) 年 07 月 01 日

(21) 申請案號：103108658

(22) 申請日：中華民國 103 (2014) 年 03 月 12 日

(51) Int. Cl. : G06F17/50 (2006.01)

(30) 優先權：2013/03/14 美國 13/831,444

(71) 申請人：康維特公司 (美國) COVENTOR, INC. (US)

美國

(72) 發明人：弗萊德 大衛 FRIED, DAVID M. (US)；葛蘭納 肯尼斯 GREINER, KENNETH B.

(US)；史塔克 馬克 STOCK, MARK J. (US)；布瑞特 史蒂芬 BREIT, STEPHEN

R. (US)

(74) 代理人：林志剛

(56) 參考文獻：

TW 200636521A

TW 200836083A

US 6530073B2

US 2011/0314437A1

審查人員：林彥廷

申請專利範圍項數：20 項 圖式數：16 共 89 頁

(54) 名稱

用於三維虛擬製造環境中的設計規則檢查之非暫態電腦可讀媒體、方法及系統

NON-TRANSITORY COMPUTER-READABLE MEDIUM, METHOD AND SYSTEM FOR DESIGN RULE CHECKS IN 3-D VIRTUAL FABRICATION ENVIRONMENT

(57) 摘要

本發明描述一種使三維設計規則檢查(DRCs)或光學規則檢查(ORCs)可被執行於半導體裝置之三維結構模型上之虛擬製造環境。所述虛擬製造環境可於三維中直接執行三維設計規則檢查，例如最小線寬度、最小間隔以及相鄰材料間最小接觸區，而無需以用於半導體裝置之整合製程流程來將二維設計資料轉譯至三維結構。因此，三維設計規則檢查之所需數目，可較二維環境中所需的設計規則檢查數目顯著減少。實施例亦可於製程以及設計參數之統計變異範圍內執行三維設計規則檢查。

A virtual fabrication environment that enables 3D Design Rule Checks (DRCs) or Optical Rule Checks (ORCs) on 3D structural models of semiconductor devices to be performed is discussed. The virtual fabrication environment may perform 3D design rule checks, such as minimum line width, minimum space between features, and minimum contact area between adjacent materials, directly in 3D without making assumptions about the translation from 2D design data to a 3D structure effected by an integrated process flow for semiconductor devices. The required number of 3D design rule checks may therefore be significantly reduced from the number of design rule checks required in 2D environments. Embodiments may also perform the 3D design rule checks for a range of statistical variations in process and design parameters.

指定代表圖：

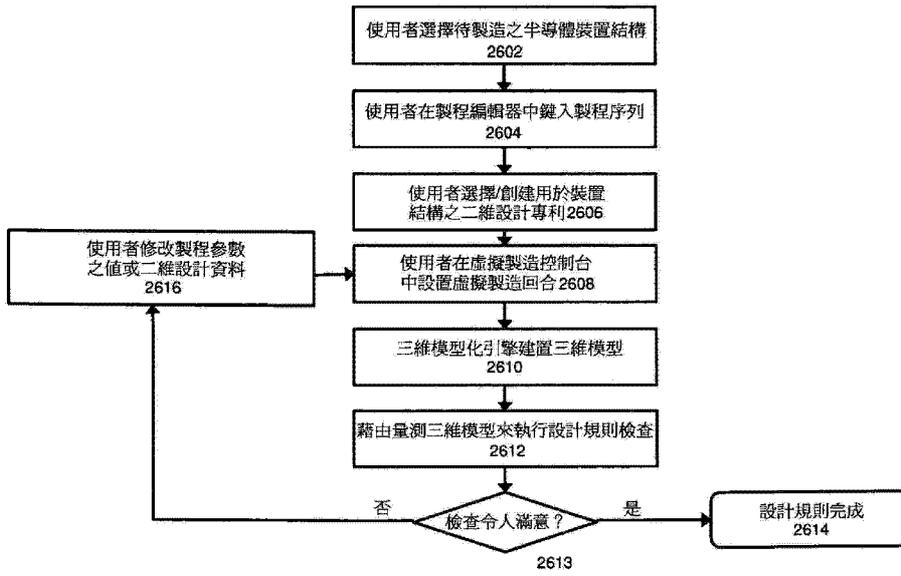


圖26

通常，三維裝置結構是至 TCAD 之輸入，而非輸出。此外，由於基於物理之製程模擬所需的資料以及計算之量，TCAD 模擬實際上侷限於晶片上之極小區域，常常最多僅涵蓋單一電晶體。在目前先進技術半導體製造技術中，大部分整合挑戰涉及可廣泛分散在整合製程流程中之製程與包括完全技術套件（電晶體、電阻器、電容器、記憶體等）之多個不同裝置以及電路之間的相互作用。源於系統效應以及隨機效應兩者之結構損壞通常是新製程技術節點之上市時間之限制。因而，需要不同於機械 CAD 或 TCAD 之模型化平台以及方法以涵蓋較大關注範疇，且以結構預測性方式來模型化整個整合製程流程。

[0004] 用於半導體裝置結構之虛擬製造環境提供用於以與習知試誤實體實驗相比可能較低之成本以及較高之速度執行半導體製程開發之平台。與習知 CAD 以及 TCAD 環境相比，虛擬製造環境能夠以虛擬方式模型化整合製程流程以及預測包括完全技術套件之所有裝置以及電路的完整三維結構。可以最簡單形式將虛擬製造描述為組合整合製程序列之描述與主題設計，為二維設計資料（遮罩或佈局）之形式，以及產生預測自真實/實體製造回合預期之結果的三維結構模型。三維結構模型包含包括晶片或晶片之一部分的多個材料層、植入物、擴散等之幾何準確三維形狀。虛擬製造是以主要幾何學之方式進行，然而，所涉及之幾何形狀是藉由製造製程之物理來指示。藉由在抽象製造級執行模型化（而非基於物理之模擬），可

使結構模型之建構顯著地加速，從而能夠達成電路級面積尺度之完全技術模型化。使用虛擬製造環境因此提供製程假設之快速驗證，以及整合製程序列與二維設計資料之間的複雜相關性之視覺化。

【發明內容】

[0005] 本發明之實施例使三維設計規則檢查（DRCs）或光學規則檢查（ORCs）能夠於虛擬製造環境中被執行。傳統上，這些規則已可於於二維環境被執行，其需要與所欲產生的三維裝置結構有關的假設。相較於此，本發明之虛擬製造環境可直接於三維中執行例如最小線寬度、最小間隔以及相鄰材料間最小接觸區等之三維設計規則檢查，而無需作出關於二維轉譯至三維之假設。所需之三維設計規則檢查可較二維環境中所需的設計規則檢查數目顯著減少。此外，由於三維設計檢查規則顯著減少，因此所述虛擬製造環境可於製程參數以及二維設計參數之統計變異範圍內執行三維設計規則檢查。

[0006] 在一個實施例中，一種對於半導體裝置結構以三維結構模型執行且發展設計規則檢查之計算裝置實施方法包括接收用於待虛擬製造之半導體裝置結構之製程序列以及二維設計資料之選擇。所述方法更包括使用所述製造序列以及二維設計資料執行針對所述裝置結構之虛擬製造回合。所述虛擬製造回合建置三維結構模型。所述方法亦執行一組三維設計規則檢查，以於所述三維結構模型中

搜尋滿足特定最小或最大尺寸標準之位置。

[0007] 在另一實施例中，一種虛擬製造系統包括計算裝置，所述計算裝置配備有處理器且經組態以用三維模型化引擎來接收輸入資料。所述輸入資料包含於針對所述裝置結構之虛擬製造回合中用於待虛擬製造之半導體裝置結構之二維設計資料以及製程序列。虛擬製造回合建置三維結構模型，並對於該三維結構模型執行三維設計規則檢查，以於所述三維結構模型中搜尋滿足特定最小或最大尺寸標準之位置。所述虛擬製造系統亦包括與所述計算裝置通訊且顯示所述三維設計規則檢查之結果之顯示介面。

【圖式簡單說明】

[0008] 併入本文中且構成本說明書之部分之附圖說明本發明之一或多個實施例，且與描述一起幫助解釋本發明。在圖式中：

[0009] 圖 1 描繪適合於實現本發明之一實施例之例示性虛擬製造環境。

[0010] 圖 2 描繪本發明之一實施例中所用之例示性虛擬製造控制台。

[0011] 圖 3 描繪本發明之一實施例中所用之例示性佈局編輯器。

[0012] 圖 4 描繪本發明之一實施例中所用之例示性製程編輯器。

[0013] 圖 5 描繪本發明之一實施例所採用以產生虛

擬度量量測資料的步驟之例示性序列。

[0014] 圖 6 描繪本發明之一實施例中所用之例示性三維檢視器。

[0015] 圖 7 描繪由本發明之一實施例產生之虛擬度量量測資料之例示性顯示。

[0016] 圖 8 描繪本發明之一實施例所採用以在虛擬製造環境中校準製程序列的步驟之例示性序列。

[0017] 圖 9 描繪本發明之一實施例所採用以設置並執行產生用於多個半導體裝置結構模型之虛擬度量量測資料之虛擬實驗的步驟之例示性序列。

[0018] 圖 10 描繪用以提供用於本發明之一實施例中之虛擬實驗之製程參數的例示性參數探測器視圖。

[0019] 圖 11 描繪在本發明之一實施例中之虛擬實驗中產生之虛擬度量資料的例示性表格式格式化顯示。

[0020] 圖 12 描繪在本發明之一實施例中之虛擬實驗中產生之虛擬度量資料的例示性圖形顯示。

[0021] 圖 13A 至圖 13C 描繪由本發明之多蝕刻製程進行的各向同性、錐形以及濺鍍蝕刻行為之效應。

[0022] 圖 14A 至圖 14C 描繪由本發明之一實施例使用以依據區域表面定向來定義蝕刻速度的例示性經驗判定之單一材料速度函數。

[0023] 圖 15A 描繪顯示關於多蝕刻製程步驟之資訊之例示性製程編輯器。

[0024] 圖 15B 至圖 15C 分別描繪本發明之一實施例

中的藉由執行圖 15A 之多蝕刻製程步驟之虛擬製造產生的相關之前以及之後三維模型。

[0025] 圖 16 描繪本發明之一實施例所採用以在虛擬製造環境中創設以及執行多蝕刻製程步驟的步驟之例示性序列。

[0026] 圖 17 描繪顯示用於矽晶圓之輸入參數之例示性製程編輯器，其界定晶圓內之晶格相對於本發明之虛擬製造環境中所使用之三維座標系統之定向。

[0027] 圖 18A 描繪顯示關於晶體材料之選擇性磊晶製程步驟模型化生長之資訊的例示性製程編輯器。

[0028] 圖 18B 至圖 18C 分別描繪展示可蝕刻表面之所有可能定向之蝕刻速率的三維圖形，以及本發明之一實施例中的藉由執行選擇性磊晶製程步驟之虛擬製造產生的三維模型視圖。

[0029] 圖 19A 至圖 19D 描繪具有晶體種子材料以及非晶體鄰近材料且正經歷本發明之選擇性磊晶製程之結構的例示性示意截面。

[0030] 圖 20 描繪本發明之一實施例所採用以執行選擇性磊晶的步驟之例示性序列。

[0031] 圖 21A 至圖 21D 描繪由本發明之一實施例執行的涉及鄰近非晶體材料上之過度生長之磊晶生長的例示性模擬。

[0032] 圖 22A 至圖 22D 描繪二維設計規則於二維設計資料之習知應用。

[0033] 圖 23 描繪針對插入於本發明之一實施例中之製程序列中之電網隔離的例示性三維 DRC。

[0034] 圖 24 描繪三維檢視器中之例示性三維視圖，所述視圖指示由本發明之一實施例執行的三維 DRC 電網隔離檢查之違規。

[0035] 圖 25 描繪三維檢視器中之例示性三維視圖，所述視圖指示由本發明之一實施例執行的三維 DRC 最小接觸區檢查之違規。

[0036] 圖 26 描繪本發明之一實施例所採用以在虛擬製造環境中執行三維 DRC 的步驟之例示性序列。

【實施方式】

[0037] 本發明之實施例將較快速且較經濟之方法提供給半導體裝置結構開發。藉由增強虛擬製造環境以包括虛擬度量量測資料之使用，可判定製程或製程序列之更改對裝置結構之影響，從而產生最佳化製造序列。此外，藉由以比較自虛擬製造回合產生之虛擬度量資料與在實體製造環境中所執行之量測之子集的方式來校準虛擬製造環境，本發明之虛擬製造環境在產生模型裝置結構時變得愈來愈具實體預測性。另外，藉由在本發明之虛擬製造環境中進行虛擬實驗，可使用製程參數範圍以及設計參數變化來產生多個裝置結構模型而在實體製造環境中經濟上或實體上不可行之方式涵蓋整個製程以及興趣設計空間。

[0038] 圖 1 描繪適合於實踐本發明之一實施例之例

示性虛擬製造環境 1。虛擬製造環境 1 包含由使用者 2 存取之計算裝置 10。計算裝置 10 與顯示器 120 通訊。顯示器 120 可為是計算裝置 10 之部分的顯示幕，或可為與計算裝置 10 通訊之單獨顯示裝置或顯示表面。計算裝置 10 可為 PC、膝上型電腦、平板計算裝置、伺服器，或配備有處理器 11 且能夠支援三維模型化引擎 75 之操作（在下文進一步描述）的某一其他類型之計算裝置。所述處理器可具有一或多個核心。計算裝置 10 亦可包含揮發性以及非揮發性儲存器，諸如（但不限於）隨機存取記憶體（Random Access Memory，RAM）12、唯讀記憶體（Read Only Memory，ROM）13 以及硬碟機 14。計算裝置 10 亦可配備有網路介面 15 以便能夠與其他計算裝置通訊。

[0039] 計算裝置 10 可儲存並執行包含三維模型化引擎 75 之虛擬製造應用程式 70。三維模型化引擎 75 可包含一或多個演算法，諸如，虛擬製造半導體裝置結構中所用之演算法 1（76）、演算法 2（77）以及演算法 3（78）。三維模型化引擎 75 可接受輸入資料 20 以便執行產生半導體裝置結構模型資料 90 之虛擬製造「回合（run）」。虛擬製造應用程式 70 以及三維模型化引擎 75 可產生用以創設以及顯示虛擬製造回合之結果的許多使用者介面以及視圖。舉例而言，虛擬製造應用程式 70 以及三維模型化引擎 75 可顯示用以創設虛擬製造回合之佈局編輯器 121、製程編輯器 122 以及虛擬製造控制台 123。

虛擬製造應用程式 70 以及三維模型化引擎 75 亦可顯示表格格式以及圖形度量結果視圖 124 以及三維視圖 125，所述視圖分別用於顯示虛擬製造回合之結果以及在半導體裝置結構之虛擬製造期間由三維模型化引擎 75 產生之三維結構模型。

[0040] 輸入資料 20 包含二維設計資料 30 以及製程序列 40 兩者。製程序列 40 可由多個製程步驟 43、44、47、48 以及 49 組成。如本文中所進一步描述，製程序列 40 亦可包含一或多個虛擬度量量測製程步驟 45。製程序列 40 可更包含一或多個子序列，所述一或多個子序列包含所述製程步驟或虛擬度量量測製程步驟中之一或多者。二維設計資料 30 包含一或多個層，諸如，通常以工業標準佈局格式，諸如，圖形設計系統版本 2（Graphical Design System version 2，GDS II）或開放原圖系統互換標準（Open Artwork System Interchange Standard，OASIS）提供之層 1（32）、層 2（34）以及層 3（36）。

[0041] 輸入資料 20 亦可包含材料資料庫 60，所述材料資料庫 60 包含諸如，材料類型 1（62）以及材料類型 2（64）的材料類型之記錄以及每一材料類型之特定材料。製程序列中之製程步驟中之多者可有關於所述材料資料庫中之一或多個材料。每一材料可具有名稱以及諸如呈現顏色之某些屬性。材料資料庫可儲存於單獨資料結構中。在材料可按類型以及子類型分組之情況下，材料資料庫可具

有階層。製程序列中之個別步驟可涉及個別材料或上代材料類型。材料資料庫中之階層使參考資料資料庫之製程序列能夠較容易地進行修改。舉例而言，在半導體裝置結構之虛擬製造中，在製程序列之過程期間可將多個類型之氧化物材料添加至結構模型。在添加了特定氧化物之後，後續步驟可更改所述材料。若材料資料庫中不存在階層且在現有製程序列中插入添加新類型之氧化物材料之步驟，則亦必須修改可影響氧化物材料之所有後續步驟以包括所述新類型之氧化物材料。在支援階層之材料資料庫之情況下，對特定類別之材料，如，氧化物，操作之步驟可僅涉及上代類型，而非相同類型之材料之清單。因而，若在製程序列中插入添加新類型之氧化物材料之步驟，則不必修改僅涉及氧化物上代類型的後續步驟。因此，階層式材料使製程序列對於修改具有較好回彈性。階層式材料之另一益處在於，可創建且再使用僅涉及上代材料類型之庫存製程步驟以及序列。

[0042] 三維模型化引擎 75 使用輸入資料 20 來執行由製程序列 40 指定之操作/步驟之序列。如下文所進一步解釋，製程序列 40 可包含指示虛擬製造回合期間之製程序列中之點（在此點處應執行結構組件之量測）的一或多個虛擬度量步驟 45、49。可使用先前增加至二維設計資料 30 中之層之定位器形狀來進行所述量測。在一替代實施例中，量測位置可藉由替代手段（諸如，二維設計資料中之(x, y)座標）或指定二維設計資料 30 中之位置之某一

其他手段指定，而非經由使用定位器形狀。製程序列 40 在虛擬製造回合期間之執行產生虛擬度量資料 80 以及三維結構模型資料 90。三維結構模型資料 90 可用以產生半導體裝置結構之結構模型之三維視圖，所述三維視圖可顯示於三維檢視器 125 中。可處理虛擬度量資料 80 且在表格式以及圖形度量結果視圖 124 中向使用者 2 呈現所述虛擬度量資料。

[0043] 由於對諸如半導體裝置的整合技術之成功至關重要的大量結構尺寸，故找到用以製造裝置結構以及所創建結構之許多相互關聯製程步驟之間的關係是關鍵的。由於藉由製程序列中之步驟產生的結構修改可受序列中之先前以及後續步驟影響，故特定步驟可以不明顯之方式影響結構尺寸。本發明之實施例提供能夠自正在創建之裝置自動提取結構量測結果的虛擬製造環境。當量測結果至關重要時，藉由在製程序列中之一點處規定製程中之虛擬度量量測步驟來完成量測結果之自動提取。用於此虛擬度量量測之定位器形狀可增加至設計資料之層中且由虛擬度量量測步驟規定。來自此虛擬度量量測之輸出資料可用以提供與其他模型化結果或與實體度量量測之定量比較。此虛擬度量量測能力是由本發明之實施例在處理序列期間提供以取得整合製程流程中之正確點處之關鍵實體尺寸。

[0044] 提供裝置結構中之規定位置處之虛擬度量量測資料之能力提供對習知實體製造環境量測技術之顯著改良。通常，對鄰近於產品裸片的製造於劃線或鋸縫中之特

定特性化結構進行實體製造環境中量測。在大部分情況下，此等特性化結構需要進行設計以適應量測技術之限制，諸如光點大小。因此，特性化結構並不完全表示產品裸片上之實際結構。由於此等差異，製造中量測之使用者常常面對自關於特性化結構之量測結果推斷關於產品結構之結果的挑戰。在本發明之虛擬製造環境中，可將量測增加至製程序列中之任何規定點處之任何設計佈局，從而提供對相互關聯製程步驟對建構中之虛擬結構模型之影響的更多理解。因此，消除了量測特性化結構以及推斷關於產品結構之結果的製造環境中挑戰。

[0045] 圖 2 描繪本發明之一實施例中所用以設置虛擬製造回合之例示性虛擬製造控制台 123。虛擬製造控制台 123 允許使用者指定用於正在虛擬製造之半導體裝置結構之製程序列 202 以及佈局（二維設計資料）204。然而，應瞭解，虛擬製造控制台亦可為基於文字之指令碼控制台，所述控制台為使用者提供鍵入規定所需輸入且起始建置結構模型或建置對應於用於製程序列中之特定步驟之一系列參數值的結構模型之集合之指令碼命令之手段。將後者情況視為虛擬實驗（在下文進一步論述）。

[0046] 圖 3 描繪本發明之一實施例中所用之例示性佈局編輯器。佈局編輯器 121 顯示由使用者在虛擬製造控制台 123 中指定之二維設計佈局。在佈局編輯器中，顏色可用以描繪設計資料中之不同層。每一層上的由形狀或多邊形封閉之區表示晶圓上之光阻塗層在整合製程流程中之

光微影步驟期間可暴露於光或不受光影響的區域。一或多個層上之形狀可經組合（進行布林運算）以形成用於光微影步驟中之遮罩。佈局編輯器 121 提供在任何層上插入、刪除以及修改多邊形以及插入、刪除或修改二維設計資料內之層之手段。可僅為了含有指示虛擬度量量測之位置之形狀或多邊形之目的而插入層。矩形形狀 302、304、306 已添加至插入層（由不同顏色指示）且標記虛擬度量量測之位置。如上所述，除使用定位器形狀外的用以規定虛擬度量量測之位置之其他方法亦應被視為在本發明之範疇內。設計資料是與製程資料以及材料資料庫組合使用以建置三維結構模型。

[0047] 在本發明之實施例中，顯示於佈局編輯器 121 中的設計資料中之插入層可包含已插入之定位器形狀。舉例而言，定位器形狀可為矩形，矩形之較長邊指示三維結構模型中之量測之方向。舉例而言，在圖 3 中，第一定位器形狀 302 可標記虛擬度量量測之雙重圖案化心軸（double patterning mandrel），第二定位器形狀 304 可標記虛擬度量量測之閘極堆疊（gate stack），且第三定位器形狀 306 可標記虛擬度量量測之電晶體源極或汲極接點。

[0048] 圖 4 描繪本發明之一實施例中所用之例示性製程編輯器 122。使用者在製程編輯器中定義製程序列。製程序列是為了虛擬製造使用者之所選結構而進行的製程步驟之有序清單。製程編輯器可為文字編輯器以使得每條

線或線之群組對應於一製程步驟，或諸如圖 4 中所描繪的特殊化圖形使用者介面。製程序列可為階層式的，意味著製程步驟可分組成子序列以及子序列之子序列等。通常，製程序列中之每一步驟對應於製造環境中之實際步驟。舉例而言，用於反應性離子蝕刻操作之子序列可包含旋塗光阻劑、圖案化光阻劑以及執行蝕刻操作之步驟。使用者規定適於操作類型的用於每一步驟或子步驟之參數。所述參數中之一些是對材料資料庫中之材料以及二維設計資料中之層之引用。舉例而言，用於沈積操作基元之參數為所沈積之材料、沈積物之標稱厚度，以及側向方向上之生長對比直立方向上生長的各向異性或比。此沈積操作基元可用以模型化諸如化學氣相沈積（chemical vapor deposition，CVD）之實際製程。類似地，用於蝕刻操作基元之參數為遮罩名稱（來自設計資料）、受操作影響之材料之清單，以及各向異性。

[0049] 製程序列中可存在數百個步驟，且製程序列可包含子序列。舉例而言，如圖 4 中所描繪，製程序列 410 可包含由多個製程步驟（諸如所選步驟 413）組成之子序列 412。製程步驟可選自可用製程步驟之程式庫 402。針對所選步驟 413，製程編輯器 122 使使用者能夠規定所有所需參數 420。舉例而言，使用者可以是能夠自材料資料庫 404 中之材料清單選擇一材料且針對所述材料在製程步驟 413 中之使用規定製程參數 406。

[0050] 製程序列中之一或多個步驟可為由使用者插

人之虛擬度量步驟。舉例而言，在製程序列 412 中插入步驟 4.17「量測 CD」（414）（其中 CD 表示臨界尺寸）可使虛擬度量量測使用在二維設計資料中之一或多個層上先前已插入之一或多個定位器形狀在虛擬製造回合中之所述點處進行。藉由在製造序列中直接插入虛擬度量步驟，本發明之實施例允許虛擬度量量測在製造製程期間在關鍵興趣點處進行。由於虛擬製造中之許多步驟在最終結構之創建中相互作用，故判定結構在整合製程流程中之不同點處之幾何性質（諸如，截面尺寸以及表面積）之能力是製程開發者以及結構設計者非常感興趣。

[0051] 圖 5 描繪本發明之一實施例所採用以產生虛擬度量量測資料的步驟之例示性序列。序列以使用者選擇待製造之半導體裝置結構（步驟 502）開始。使用者可自設計資料檔案之多個可用集合中進行選擇且接著選擇設計資料內之矩形區域。舉例而言，使用者可選擇 FinFET 或被動式電阻器或記憶體單元。在待製造之結構之判定/選擇後，使用者在製程編輯器 122 中鍵入製程序列（步驟 504a）且選擇預期產生所要結構之二維設計資料（步驟 504b）。視情況，使用者可在佈局編輯器 121 中創建或修改設計資料。在製程編輯器中，使用者可在製程序列中插入在虛擬製造期間規定使用者想要虛擬度量量測在演進結構中之特殊化位置處進行之點之一或多個虛擬度量步驟（步驟 506a）。使用者可在顯示於佈局編輯器 121 中之二維設計資料中插入定位器形狀，所述定位器形狀將由虛

擬度量步驟使用以執行其量測（506b）。定位器形狀之重要性視所請求之量測之類型而定。舉例而言，矩形形狀之較長軸線可指示將對結構之截面進行的長度量測之方向以及程度，或矩形本身可表明兩個材料之間的接觸區將被量測的區域。應瞭解的是，在不脫離本發明之範疇之情況下，製程編輯器中之上述步驟皆可在佈局編輯器中之步驟之前執行，反之亦然。

[0052] 在已將一或多個定位器形狀添加至二維設計資料中之一或多個層（步驟 506b）且已將虛擬度量步驟添加至製程序列（506a）之後，使用者使用虛擬製造控制台 123 設置虛擬製造回合（步驟 508）。在虛擬製造回合期間，製程序列 40 中之製程步驟是以由三維模型化引擎 75 規定之次序執行。當虛擬製造達到虛擬度量步驟時，執行對製造中之結構中之規定組件之虛擬「量測」。藉由模型化引擎進行之計算視所請求之量測之性質而定，且通常符合製造環境中之相似實體量測技術。舉例而言，製造中之臨界尺寸掃描電子顯微鏡（critical dimension scanning electron microscope, CD-SEM）量測藉由偵測結構之頂面之定向的急劇變化來定位側壁。類似地，在虛擬度量操作中，三維模型化引擎提取在由定位器矩形規定之區域中的結構之頂面，沿著所述表面與由矩形之較長軸線與直立軸線之交叉界定之平面之交叉針對超過臨限值（例如，5 度）之斜率變化而詢問所述表面。斜率之巨大變化界定特徵之多個面，諸如，結構中之脊背之底部、頂部以

及側面。在已建立特徵之底部、頂部以及側面之位置後，在由度量步驟規定之直立位置（底部、中間或頂部）處計算所述特徵之側面之間的距離。三維模型化引擎在其建置結構模型時產生一或多個類型之輸出。一種輸出之類型為結構模型本身，且可包含結構模組在製程序列中之一或多個點處之狀態。可在三維檢視器 125 中向使用者顯示三維模型（步驟 512a）。三維模型化引擎亦匯出虛擬度量資料（步驟 510）。可將虛擬度量資料 80 匯出至自動資料分析工具以供進一步處理，或可經由使用者介面（諸如，表格式以及圖形度量結果視圖 124 或其他視圖）向使用者顯示所述虛擬度量資料 80（步驟 512b）。若結構在被檢視或被分析時令人滿意（步驟 513），則虛擬製造回合結束（步驟 514）。若由三維模型化引擎創建之結構不令人滿意，則使用者修改製程序列及/或二維設計資料（步驟 516），且設置新的虛擬製造回合（步驟 508）。

[0053] 圖 6 描繪本發明之一實施例中所用之例示性三維檢視器 125。三維檢視器 75 可包含用於顯示由三維模型化引擎 75 產生之三維模型之三維視圖畫布（canvas）602。三維檢視器 75 可顯示製程序列中之保留狀態 604 且允許待選擇之特定主題 606 出現在所述三維視圖畫布中。三維檢視器提供諸如放大/縮小、旋轉、平移、截面等之功能性。視情況，使用者可在三維視圖畫布 602 中啟動截面視圖且使用小型俯視圖 608 來操縱截面之位置。

[0054] 來自三維模型化引擎 75 的輸出之另一類型為藉由包含於製程序列中之虛擬度量步驟產生之資料。圖 7 描繪本發明之一實施例中的藉由多個虛擬度量量測步驟產生之虛擬度量量測資料 80 的例示性顯示。可以包含二維 X-Y 曲線圖以及多維圖形之表格式或圖形形式來顯示虛擬度量量測結果資料 80。

[0055] 本發明之虛擬製造系統所使用之技術是基於幾何學的。用來自實體製造之實際試驗結果來校準製程步驟輸入參數以使虛擬實驗更具預測性因此是明智的。製程步驟之此校準導致包括完全技術套件之所有結構的經改良模型化準確度。可對來自特性化結構或產品結構上之量測、度量或其他實體特性化方法之個別製程步驟執行校準。藉由以下操作可進行校準：比較模型化結果（包含虛擬度量量測資料）與在實體製造環境中進行（對應特性化或產品結構上）之對應量測或度量，且隨後調整模型化參數，以使得所得虛擬製造之結構較佳地匹配實體製造之結構。在適當校準模型化製程參數後，本發明之虛擬製造環境變得對整個經允許設計空間中的由實體製造產生之結構更具預測性。

[0056] 圖 8 描繪本發明之一實施例所採用以在虛擬製造環境中校準製程序列的步驟之例示性序列。所述序列包含在虛擬製造環境以及對應實體製造環境兩者中均進行之步驟。在虛擬製造環境中，使用者選擇待校準之製程序列（針對待虛擬製造之結構）且識別相關製程參數（步驟

802a) 。在實體製造環境中，使用者識別特性化或產品結構之集合以供在製造回合期間量測（步驟 802b） 。返回虛擬製造環境中，使用者在製程編輯器中鍵入製程序列（步驟 804a） ，且自可用二維設計資料選擇界定特性化結構之二維設計資料（佈局）或為此目的而在佈局編輯器 121 中創建二維設計資料（步驟 804b） 。將相同設計資料用於虛擬製造以及實際特性化。如上文所論述，使用者在製程序列中插入一或多個虛擬度量步驟（步驟 806a）且將量測定位器形狀添加至二維設計資料（步驟 806b） 。使用者在虛擬製造控制台中設置虛擬製造回合（步驟 808） ，且三維模型化引擎建立三維模型，且產生並匯出虛擬度量資料（步驟 812a） 。與虛擬製造回合並行地或與之偏移，實體製造環境創建特性化或產品結構（步驟 810） ，且取得此等結構之製造中影像以及量測結果（步驟 812b） 。使用者可接著比較三維檢視器 75 中之產生虛擬模型之三維視圖與實體裝置結構之製造中影像（步驟 814a） 。此外，可將特性化結構量測結果之集合與視為插入至製程序列中之虛擬度量步驟之結果的虛擬度量量測結果進行比較（步驟 814b） 。在大部分情況下，此比較將由使用者進行，但在一替代實施例中，所述比較可由自動化資料分析工具基於預定義或交互式請求準則而進行。若視圖以及影像與實際以及虛擬量測結果之間存在令人滿意之協議（步驟 815） ，則認為製程序列是經校準的（步驟 816） 。然而，若不存在令人滿意之協議（步驟 815） ，

則使用者在製程編輯器中修改製程參數之值（步驟 818），且在虛擬製造控制台中設置新的虛擬製造回合（步驟 808）。所述序列接著反覆，直至達到令人滿意之協議且達成校準。

[0057] 應瞭解，可存在在序列內可校準之許多不同參數。此外，雖然以上描述說明在製程序列中插入虛擬度量步驟之使用以及二維定位器形狀用以進行虛擬度量量測之相關使用，但本發明不限於此。舉例而言，虛擬量測可在製造完成之後對虛擬裝置結構進行，且接著與在實體製造回合期間/之後對特性化結構進行之實體量測加以比較。

[0058] 儘管建置單一結構模型可為有用的，但建置大量模型之虛擬製造具有增加之價值。本發明之實施例使得使用者能夠創建並執行虛擬實驗。在本發明之虛擬實驗中，可探查製程參數之一系列值。可藉由在完整製程序列中規定待應用於個別製程之參數值之集合（而非每個參數之單一值）來設置虛擬實驗。可以此方式規定單一製程序列或多個製程序列。在虛擬實驗模式下執行之三維模型化引擎 75 接著建置跨所述製程參數集合之多個模型，從而始終利用上述之虛擬度量量測操作來提取每一變化之度量量測資料。由本發明之實施例提供之此能力可用以模仿通常在實體製造環境中執行的兩個基本類型之實驗。首先，製造製程當然以隨機（非確定性）方式改變。如本文中所解釋，本發明之實施例對於每一虛擬製造回合使用基本確

定之方法，所述方法仍然可藉由進行多個回合來預測非確定性結果。由本發明之一實施例提供之虛擬實驗模式允許虛擬製造環境在每一製程參數之變化之完整統計範圍以及許多/全部製程參數之變化之組合中模型化。其次，在實體製造環境中執行之實驗可規定在製造不同晶圓時加以有意地改變的參數之集合。本發明之虛擬實驗模式使得虛擬製造環境亦能夠藉由對參數集合之特定變化執行多個虛擬製造回合步驟來模仿此類型之實驗。

[0059] 製造序列中之每一製程具有其自身固有之變化。應理解，複雜流程中之所有聚集製程變化之效應是完全不同的，尤其當作為因素計入變化之組合之統計機率時。一旦虛擬實驗經創建，製程序列基本上即藉由包含於製程描述中之數字製程參數之組合來描述。此等參數中之每一者可藉由其總變化（關於標準偏差或西格瑪值（sigma value））且因此藉由高斯分佈或其他適當機率分佈上之多個點來特性化。若虛擬實驗經設計且經執行以檢查製程變化之所有組合（每一高斯上之多個點，例如， ± 3 西格瑪、 ± 2 西格瑪、 ± 1 西格瑪，以及每一參數之標稱值），則來自序列中之虛擬度量步驟的所得圖形以及數字輸出涵蓋所述技術之總變化空間。即使此實驗研究中之每一情況是由虛擬製造系統確定地模型化，虛擬度量結果之聚集亦含有統計分佈。簡單的統計分析（諸如，統計上不相關之參數的和的平方根（Root Sum Squares, RSS）計算）可用以將總變化量度歸因於實驗之每一情況。接著，

可相對於總變化量度來分析所有虛擬度量輸出（數字的以及圖形的）。

[0060] 在實體製造環境中之典型試誤實驗實務中，以由標稱製程產生之結構量測結果為目標，且藉由規定後續製程必須預期的用於結構量測結果中之總變化的過大（保守）裕度（總結構裕度）來解決製程變化。相比而言，本發明之虛擬實驗實施例可提供對於整合製程流程中之任何點處之結構量測結果的總變化包絡之定量預測。結構量測結果之總變化包絡（而非標稱值）可接著變為開發目標。此方法可在不犧牲關鍵結構設計目標之情況下確保整合製程流程中的可接受之總結構裕度。以總變化為目標之此方法可產生標稱的中間或最終結構，其在最佳性（或審美滿意性）上低於藉由以標稱製程為目標已產生之標稱結構。然而，此次最佳標稱製程並非關鍵的，因為總製程變化之包絡已解決且在判定整合製程流程之穩健性以及良率中更重要。此方法為半導體技術開發中之範例變動（paradigm shift），自著重於標稱製程變為著重於總製程變化之包絡。

[0061] 圖 9 描繪本發明之一實施例所採用以設置並執行產生用於多個半導體裝置結構模型之虛擬度量量測資料之虛擬實驗的步驟之例示性序列。序列以使用者選擇一製程序列（所述製程序列可先前已校準以使結果更具結構預測性（步驟 902a））以及識別/創建二維設計資料（步驟 902b）。使用者可選擇製程參數變化以進行分析（步

驟 904a) 及/或設計參數變化以進行分析 (步驟 904b) 。使用者如上文所闡述地在製程序列中插入一或多個虛擬度量步驟 (步驟 906a) 且將量測定位器形狀添加至二維設計資料 (步驟 906b) 。使用者可借助於特殊化使用者介面、自動參數探測器 126 來設立虛擬實驗 (步驟 908) 。例示性自動參數探測器係描繪在圖 10 中，且可顯示並允許使用者改變待改變之製程參數 1002、1004、1006 以及將用所述參數之對應不同參數值 1008 建置的三維模型之清單。用於虛擬實驗之參數範圍可以表格式格式規定。三維模型化引擎 75 建置所述三維模型且匯出虛擬度量量測資料以用於檢查 (步驟 910) 。虛擬實驗模式提供來自所有虛擬量測/度量操作之輸出資料處置。可剖析來自虛擬度量量測之輸出資料且將其組譯成有用形式 (步驟 912) 。

[0062] 在此剖析以及組譯之後，可進行後續定量以及統計分析。單獨輸出資料收集器模組 110 可用以自包含虛擬實驗之虛擬製造回合之序列收集三維模型資料以及虛擬度量量測結果且以圖形以及表格式格式呈現所述三維模型資料以及虛擬度量量測結果。圖 11 描繪由本發明之一實施例中之虛擬實驗產生之虛擬度量資料的例示性表格式格式化顯示。在所述表格式格式化顯示中，可顯示在虛擬實驗期間所收集之虛擬度量資料 1102，以及虛擬製造回合之清單 1104。

[0063] 圖 12 描繪由本發明之一實施例中之虛擬實驗

產生之虛擬度量資料的例示性二維 X-Y 圖形曲線圖顯示。在描繪於圖 10 中之實例中，展示了由改變製程序列中之先前步驟中的 3 個參數引起的淺溝槽隔離（shallow trench isolation, STI）階梯高度之總變化。每一菱形 1202 表示一虛擬製造回合。變化包絡 1204 亦顯示為所描繪結論 1206：下游製程模組必須支援 STI 階梯高度的近似 10.5 nm 之總變化以在 6 西格瑪之正到達的變化中達成穩健性。所述虛擬實驗結果亦可以多維圖形格式來顯示。

[0064] 一旦虛擬實驗之結果已被組譯，使用者即可檢查已在三維檢視器中產生之三維模型（步驟 914a）且檢查針對每一虛擬製造回合呈現之虛擬度量量測資料以及量度（步驟 914b）。視虛擬實驗之目的而定，使用者可為了開發達成所要標稱結構模型之製程序列而分析來自三維模型化引擎之輸出，以用於進一步校準製程步驟輸入參數或用於最佳化製程序列以達成所要製程窗（process window）。

[0065] 三維模型化引擎 75 的針對一系列參數值建構多個結構模型之任務（包含虛擬實驗）在計算上非常密集，且因此若在單一計算裝置上執行將需要極長時間（許多天或週）。為了提供虛擬製造之所需值，用於虛擬實驗之模型建置必須比實體實驗更快地多次發生。用現今的電腦達成此目標需要利用並行性之任何以及所有機會。本發明之三維模型化引擎 75 使用多個核心及/或處理器來執行個別模型化步驟。另外，針對集合中之不同參數值之結構

模型是完全獨立的且因此可使用多個核心、多個處理器或多個系統並行地建置。

[0066] 在一示例性實施例中，三維模型化引擎 75 以立體像素 (voxel) 形式來表示基礎結構模型。立體像素實質上是三維像素。每一立體像素為相同大小之立方體，且可含有一或多種材料，或不含材料。由實施例中之三維模型化引擎執行之操作之大部分為立體像素模型化操作。熟習此項技術者將認識到，三維模型化引擎 75 亦可以其他格式來表示結構模型。舉例而言，三維模型化引擎可使用諸如三維機械 CAD 工具中所使用的習知基於 NURBS 之固體模型化內核，雖然基於數位立體像素表示法之模型化操作遠比習知類比固體模型化內核中之對應操作穩健。此等固體模型化內核通常依靠大量試探規則來處理各種幾何學情形，且模型化操作在試探規則未正確預期一情形時可能失敗。造成基於之固體模型化內核之問題的半導體結構模型化之態樣包含藉由沈積製程產生之極薄層，以及蝕刻鋒面 (etch front) 之擴張 (其導致合併面及/或幾何形狀之破裂)。

[0067] 在另一實施例中，多蝕刻製程可包含於製程序列中，所述多蝕刻製程允許三維模型化引擎 75 模型化廣泛範圍之製程以及材料特定蝕刻行為。經常使用電漿蝕刻來執行用於高度縮放半導體裝置之製程流程中之圖案化操作。電漿蝕刻以許多不同名稱為人所知：乾式蝕刻、反應性例子蝕刻 (reactive ion etch, RIE)、電感耦合電漿

(inductively coupled plasma, ICP) 蝕刻等。廣泛多種操作條件以及化學允許製程工程師微調電漿蝕刻行為，從而選擇性地達成多個不同類別之材料中的多種多樣蝕刻物理過程。當貫穿若干材料層圖案化時，此行為靈活性是達成所要三維結構之關鍵。通常涉及若干不同類型之物理過程（包括，但不限於）：化學蝕刻、濺鍍、聚合物材料之沈積或再沈積、靜電充電、靜電聚焦以及遮蔽(shadowing)。此多種多樣範圍之物理過程產生同量範圍之蝕刻行為以及因此同量範圍之結構形狀。

[0068] 以足夠準確度直接模擬電漿蝕刻中所涉及之物理過程是極其困難且緩慢的。本發明之多蝕刻製程步驟藉由使用特定於蝕刻之類型以及被蝕刻之材料的行為參數之減小集合來模擬電漿蝕刻而避開基於物理之模擬之難處。此允許獲得廣泛範圍之物理蝕刻行為而無需直接模擬蝕刻製程之物理過程。三個主要類型之蝕刻行為可由本發明之一實施例來模擬：各向同性、錐形(taper)以及濺鍍。亦可視情況模擬第四類型之蝕刻行為—遮蔽。

[0069] 基礎(各向同性)行為是由化學蝕刻造成(以物理方式)，且導致材料自可蝕刻表面上之點起在所有方向上以類似速率被移除，而不管可蝕刻表面之區域定向如何。基礎行為可用控制側向蝕刻速率與垂直蝕刻速率之間的比的單一輸入參數「側向比(lateral ratio)」來模型化。舉例而言，側向比值一(1.0)指示蝕刻速率在所有方向上是均勻的。小於一之側向比值指示側向方向上

（直立表面上）之蝕刻速率比直立方向上（水平表面上）之蝕刻速率慢。

[0070] 錐形行為是由有向蝕刻行為以及聚合物沈積之組合造成（以物理方式）。聚合物沈積作為方向性蝕刻製程之副效應而發生。在蝕刻水平表面比蝕刻直立表面快得多的方向性蝕刻製程期間，聚合物可累積在幾近直立之表面上。蝕刻與沈積之間的此競爭導致錐形側壁輪廓。錐形行為可用單一輸入參數圓錐角來模型化。圓錐角描述沈積與蝕刻速率達到平衡所在之臨界角。可選第二參數側向比具有與上文關於基礎行為所定義之意義相同的意義。

[0071] 濺鍍行為是有關於材料經由高能離子轟擊之直接物理移除，而導致突出邊緣（凸邊）且在一些情況下拐角之優先移除。濺鍍可用兩個參數來模型化：最大濺鍍產率之角度，以及相對於直立蝕刻速率之濺鍍速率。

[0072] 遮蔽是有關於由區域高度變化造成的方向性離子流之減小，從而針對某些結構有效地減小蝕刻速率。此效應在一些情況下可為顯著的，從而導致單元上之不同蝕刻速率。遮蔽可使用單一參數來模型化以描述高能離子相對於直立軸線之入射角。

[0073] 圖 13A 至圖 13C 描繪由本發明之多蝕刻製程分別模擬之各向同性、錐形以及濺鍍蝕刻行為之效應。在圖 13A 中，描繪了各向同性行為，顯示在蝕刻操作之前的裝置結構（在左邊）以及在所述操作之後的結構（在右邊）的例示性示意截面。可蝕刻材料表面 1302 保持遮罩

材料 1304。遮罩材料 1304 為蝕刻相對較慢之材料。各向同性行為之效應為創建蝕刻深度 1306（顯示於直立面對之箭頭之間）以及側向蝕刻距離（亦稱為「蝕刻偏差（etch bias）」）1308（顯示於水平面對之箭頭之間）。在本發明之一實施例中，側向比判定側向蝕刻距離 1308 與蝕刻深度 1306 之間的比。

[0074] 在圖 13B 中，描繪錐形行為對裝置結構之影響。可蝕刻材料表面 1302 保持遮罩材料 1304。錐形行為之效應為側壁角度 1310 以及視情況之向蝕刻距離 1308。如上所述，此錐形行為可僅用單一輸入參數圓錐（側壁）角 1310 來模擬，且可視情況使用側向比輸入參數來判定側向蝕刻距離 1308 與蝕刻深度 1306 之間的比。

[0075] 在圖 13C 中，描繪濺鍍行為在對裝置結構上之影響。可蝕刻材料表面 1302 保持濺鍍材料 1320。在圖 13C 的右邊展示濺鍍行為之效應。應瞭解，濺鍍材料下之材料可用任何蝕刻類型進行蝕刻（展示了錐形化之效應）。如上所述，濺鍍行為可用兩個參數來模擬：最大濺鍍產率之角度 1313，以及相對於直立蝕刻速率之濺鍍速率（濺鍍比）。濺鍍比判定相對於蝕刻深度 1306 之濺鍍距離 1312。側向比輸入參數可視情況用以模型化側向蝕刻組件，且在經使用之情況下判定相對於蝕刻深度 1306 之側向蝕刻距離 1308。

[0076] 應注意，存在許多替代方式來表示圖 13A 至圖 13C 所示的在本發明之範疇內的參數之集合。舉例而

言，可相對於水平方向而非直立方向來量測側壁角。側向蝕刻距離可表示為空間距離而非比例。亦應注意，可使用速率以及時間（而非深度以及比）來等效地描述蝕刻。

[0077] 為了模型化多材料、多物理現象蝕刻，在本發明之實施例中，必須將上述之輸入參數形成為合適之數字模型化演算法。本發明之數字模型化演算法包含單一材料以及多材料速度函數以及表面發展技術。單一材料速度函數依據區域表面定向（亦即，表面法線方向）來定義蝕刻速度且是根據經驗判定以便產生所欲蝕刻行為。對於特定蝕刻行為，速度函數並不重要；例如，各向同性蝕刻之速度函數為一常數。圖 14A 至圖 14C 描繪由本發明之一實施例使用以依據區域表面定向來定義蝕刻速度的例示性經驗判定之單一材料速度函數。以三維極座標圖之形式來描繪所述速度函數。展示了各向同性 1402、錐形 1404 以及濺鍍 1406 蝕刻行為之單一材料速度函數之實例。各向同性蝕刻 1402 之速度函數為一平凡常數。錐形蝕刻 1404 以及濺鍍蝕刻 1406 之速度函數是根據經驗判定以達成所要蝕刻行為。應注意，為了模型化遮蔽之效應，速度函數必須考慮區域表面至離子源之可見性。亦應注意，單一材料速度函數可組合多個類型之蝕刻行為；例如，錐形以及濺鍍蝕刻兩者包含相關聯於基礎（各向同性）蝕刻之參數。多材料速度函數為單一材料速度函數之組合，且依據區域表面定向以及區域材料類型兩者來計算區域蝕刻速度。蝕刻比參數定義可蝕刻材料之相對蝕刻速率且為單一

材料速度之倍增因數。

[0078] 在速度函數經定義後，合適之表面發展技術可用以在三個維度上定位並演進可蝕刻表面之位置。可蝕刻表面根據藉由評估速度函數判定之區域純量速度在區域法向方向上平流或移動。純量速度必須在可蝕刻表面上之興趣點處計算且必須隨著可蝕刻表面之幾何形狀演進而定期地重新計算。

[0079] 許多不同類型之表面發展技術可由所述數字演算法用於模擬本發明之多蝕刻製程。可使用任何合適之數字空間離散化來表示移動中表面。可使用顯式前端追蹤方法：實例包含串方法（string method）、點線方法（二維）以及多邊形表面（三維）。亦可使用替代隱式表面表示法，諸如距離場、流體體積或立體像素。任何合適之時間相依數值技術可用以使移動中表面及時前進。

[0080] 在結合控制所有可蝕刻材料之相對蝕刻速率而應用於多材料蝕刻時，上述之技術能夠準確且逼真地模型化極廣泛範圍之蝕刻行為以及所得結構形狀。在虛擬製造系統中，此提供用以基於特性化蝕刻行為之輸入參數之相對較小集合來模擬多材料蝕刻之半物理方法。

[0081] 圖 15A 至圖 15C 描繪例示性多蝕刻步驟之參數，以及藉由執行本發明之多蝕刻製程步驟之虛擬製造系統產生的相關之前 1510 以及之後 1520 三維結構模型。關於圖 15A，顯示之多蝕刻製程步驟 122 包含列出材料 1530、相關聯於每一材料之蝕刻類型 1540 以及可蝕刻材

料之相對蝕刻速率之蝕刻比 1550。所有此等參數結合個別參數 1560 而定義蝕刻之行為。圖 15B 展示模型 1510 在將本發明之多蝕刻製程應用於結構之前的三維視圖。所述模型結構可已在如上所述之虛擬製造回合中產生。圖 15C 展示執行多蝕刻製程對模型結構 1520 之影響。在多蝕刻製程應用之後的模型結構 1520 展示由濺鍍引起的光阻劑之實際侵蝕 1521。模型結構 1520 亦描繪已創建良好定義之側壁角之真實錐形蝕刻之效應。所述模型結構另外展示氮化物材料 1523 之邊緣如何隨著光阻劑濺鍍離開而修圓，以及獨立於側壁角之蝕刻偏差控制（底切）1524。三維檢視器 125 可用以自許多不同視點來展示之前模型 1510 以及之後模型 1520。

[0082] 圖 16 描繪本發明之一實施例所採用以在虛擬製造環境中創建以及執行多蝕刻製程步驟的步驟之例示性序列。序列藉由接收用於待虛擬製造之半導體結構之二維設計資料以及製程序列之選擇開始（步驟 1602）。虛擬製造回合在多蝕刻步驟之前建置製程步驟，從而創建含有可蝕刻表面之三維模型（1603）。亦接收用於在製程序列中之至少一蝕刻製程中將應用於可蝕刻材料之一或多個類型之蝕刻行為的材料特定行為參數之集合（步驟 1604），且由速度函數來使用材料特定行為參數之所述集合以計算所述可蝕刻表面上之所需點處之區域蝕刻速度（步驟 1605）。虛擬製造回合使用區域蝕刻速率以使用合適數值技術而使可蝕刻表面演進或前進（步驟

1606)。隨著可蝕刻表面之幾何形狀演進，必須定期地重新計算蝕刻速度。蝕刻表面以此方式前進，直至達到所要蝕刻終點（步驟 1607）。一旦多蝕刻步驟完成，額外製程步驟即由虛擬製造回合執行以完成製程序列（1608）。

[0083] 在另一實施例中，可將選擇性磊晶製程包含於用以虛擬製造半導體裝置結構之製程序列中。選擇性磊晶製程虛擬地模型化晶體材料層在半導體裝置結構之晶質基板表面上的磊晶生長。常常為了在電晶體通道上賦予機械應力以改良效能，在當代半導體製程流程中廣泛使用選擇性磊晶。磊晶生長之關鍵特性為其對結晶方向（*crystal direction*）之相依性。半導體裝置通常是在單晶矽晶圓（亦即，原子以在晶圓之大部分上連續的重複晶體點陣（*crystal lattice*）結構配置之矽材料）上製造。矽晶體結構為各向異性的（亦即，在所有方向上不對稱），且矽表面在若干特定結晶方向上更穩定。此等方向將由主要晶體平面（*crystal plane*）家族（使用晶體平面之米勒指數識別為 $\langle 100 \rangle$ 、 $\langle 110 \rangle$ 以及 $\langle 111 \rangle$ ）界定，且對生長特性具有最強影響。藉由改變磊晶製程中之壓力、溫度以及化學前驅體，工程師可控制三個主要平面之相對生長速率。次要平面（例如， $\langle 211 \rangle$ 、 $\langle 311 \rangle$ 、 $\langle 411 \rangle$ ）上之生長速率亦改變，但對判定以磊晶方式生長之結構之最終形狀常常沒有影響。

[0084] 本發明之一實施例使用表面演進技術來模型化磊晶生長。磊晶生長發生所在之表面（生長中表面）根

據純量平流速度而平流或移動。生長速率是在所選點處基於區域表面法線方向以及固定輸入參數而計算，在距離以及時間上皆是區域性的，且使表面在其法線方向上移動。可使用任何合適之數字空間離散化來表示生長中表面。可使用顯式前端追蹤方法：實例包含串方法（string method）、點線方法（二維）以及多邊形表面（三維）。亦可使用替代隱式表面表示法，諸如距離函數、流體體積或立體像素。任何合適之時間相依數值技術可用以使生長中表面及時前進。

[0085] 本發明之選擇性磊晶製程利用三個主要平面家族 $\langle 100 \rangle$ 、 $\langle 110 \rangle$ 以及 $\langle 111 \rangle$ 之生長速率作為固定輸入參數。此等輸入參數定義與相關聯平面中之任一者對準之表面之生長速率。其他輸入參數可包含相鄰非晶體材料上之生長速率。當計算磊晶生長速率時，亦可考慮三維模型化座標系統與晶圓之晶體點陣之間的關係。三維模型化座標系通常使用與二維設計資料相同的 X 軸以及 Y 軸，且 Z 軸通常垂直於晶圓之表面。替代座標系可能在本發明之範疇內。在實際晶圓上，晶體點陣之定向藉由別的圓形晶圓之邊緣上之「平坦」或「凹口」來指示。凹口可用作為用以相對於晶體點陣在所要方向上定向二維設計資料之參考。在一實施例中，規定凹口（或平坦）類型以及方向之參數界定晶圓之晶體點陣以及相關聯晶體平面相對於二維設計資料之定向。應注意，此關係可描述為三維模型座標系統與晶體點陣之座標系統之間的座標變換。

[0086] 使用主要平面家族之生長速率且知道晶體點陣之定向，可藉由本發明之一實施例來計算生長中表面上之每一處的磊晶生長速率。法線方向與主要平面方向對準的生長中表面之區被指派所述主要平面之速度。對於未與主要平面方向對準的生長中表面之區，必須藉由在相鄰主要平面方向之間內插來找出適當速度。此外，晶體材料之邊界處之磊晶生長之行為亦可為重要的。磊晶生長常常在若干先前處理步驟（非晶體材料已在所述步驟中沈積且圖案化）之後執行。此等非晶體材料可鄰近於晶體材料，且因此極接近磊晶生長。非晶體相鄰材料之實例為二氧化矽、氮化矽或半導體處理中普遍之任何其他材料。在一些情況下，磊晶生長沿著鄰近非晶體材料緩慢地潛移（過度生長），但在其他情況下，磊晶生長並不如此。可用定義發生過度生長之相鄰材料（過度生長材料）之集合的固定輸入參數以及生長中表面沿著所述過度生長材料潛移所用的速度來模型化過度生長行為。過度生長速度修改過度生長材料之表面處的磊晶生長速率，以使得生長中表面以規定速度沿著過度生長材料移動。另外，生長中表面沿著過度生長材料移動所用的速度可視過度生長材料表面與生長中表面之間的角而定。在一實施例中，若所述兩個表面之間的角大於臨限角，則可忽略過度生長速度。

[0087] 圖 17 描繪顯示用於矽晶圓之輸入參數之例示性製程編輯器，其界定晶圓內之晶格相對於本發明之虛擬製造環境中所使用之三維座標系統之定向。結晶定向

(crystalline orientation) 對後續選擇性磊晶製程有實質影響。製程編輯器接受定義與矽晶圓相關聯之參數之輸入。所述輸入參數表面平面 1702、凹口向量 1704 以及凹口設計方向 1706 一起界定晶格相對於三維模型座標系統之定向。

[0088] 圖 18A 至圖 18C 描繪顯示關於晶體材料之選擇性磊晶製程步驟模型化生長之資訊的例示性製程編輯器、速度內插函數之實例，以及本發明之一實施例中的藉由執行選擇性磊晶製程步驟產生的相關三維模型視圖。舉例而言，在圖 18A 中，製程編輯器接收用於晶體平面之主要家族的輸入生長速率輸入參數 1801、1802 以及 1803。在另一實施例中，亦可接收用於晶體平面之次要家族的生長速率輸入參數。此外，編輯器可接受關於用於材料 1805、1806 之材料特定過度生長參數 1808、1809 之輸入。圖 18B 將相對於主要平面 ($\langle 100 \rangle$ 、 $\langle 110 \rangle$ 、 $\langle 111 \rangle$) 1810、1811、1812 之三維速度「內插」函數之實例描繪為三維極座標圖。已根據經驗選擇了速度內插函數以在所述主要平面上之規定生長速率之間平滑地內插。圖 18C 描繪三維檢視器，其顯示展示當磊晶步驟影響主要平面中之一者 ($\langle 111 \rangle$) 1820 時之結果之三維視圖。

[0089] 圖 19A 至圖 19D 描繪具有晶體種子材料以及非晶體鄰近材料且正經歷本發明之選擇性磊晶製程之結構的例示性示意截面。圖 19A 描繪鄰近的晶體面 1902 與非晶體面 1904 之間的角小於 90 度的實例。輸入參數「過度

生長速率」1808 控制非晶體相鄰材料 1904 上之磊晶生長 1906 之速率，如圖 19B 中所描繪。圖 19A 描繪鄰近的晶體面 1902 與非晶體面 1904 之間的角 1905 小於 90 度（亦即，鈍角）的實例。相鄰表面 1902 與 1904 之間的角（銳角抑或鈍角）可影響相鄰非晶體材料上之磊晶生長之速率。如參照圖 19D 可見，材料之間的鈍角 1905 導致磊晶生長 1906 之較慢速率。儘管圖 18A 中未描繪，但過度生長速率對此角之相依性可為至選擇性磊晶製程步驟之輸入參數。

[0090] 圖 20 描繪本發明之一實施例所採用以執行選擇性磊晶的步驟之例示性序列。序列藉由接收用於待虛擬製造之半導體結構之二維設計資料以及製程序列之選擇開始（步驟 2002）。接著執行虛擬製造回合以使用所述製程序列以及二維設計資料來建置裝置結構。虛擬製造回合藉由在磊晶生長步驟之前執行所述製程序列而建置具有晶體基質種子表面之三維結構模型（步驟 2204）。亦接收呈用於三個主要晶體平面之生長速率之形式的輸入資料（步驟 2006），且藉由組合主要晶體平面生長速率與內插函數來計算生長中表面上之興趣點處的生長速率（步驟 2008）。接著使用所述表面生長速率使生長中表面前進（2010）。若磊晶生長完成（步驟 2011），則藉由執行在磊晶生長步驟之後的製程序列來建置三維模型之剩餘部分（步驟 2012）。若磊晶生長速率未完成，則重新計算生長中表面上之生長速率且使生長中表面更前進。生長中

表面可以基於時間之方式或非基於時間之方式演進。

[0091] 圖 21A 至圖 21D 描繪由本發明之一實施例執行的涉及鄰近非晶體材料上之過度生長之磊晶生長的例示性模擬。圖 21A 以及圖 21B 分別描繪含有非晶體相鄰材料氮化矽 2102 之例示性結構的俯視圖以及等角視圖。所述結構亦包含兩個層：二氧化矽 2104 以及晶態矽 2106。圖 21C 以及圖 21D 描繪本發明之選擇性磊晶步驟期間的對應俯視圖以及等角視圖。圖 21C 以及圖 21D 中的結構之視圖使晶體平面 $\langle 100 \rangle$ (2110)、 $\langle 110 \rangle$ (2112) 以及 $\langle 111 \rangle$ (2114) 能夠被視覺化。過度生長速度判定生長中表面用以使相鄰二氧化矽上升之速率。裝置結構之所有四個視圖可顯示於本發明之虛擬製造系統之三維檢視器 125 中。

[0092] 在本發明之另一實施例中，可在虛擬製造環境中執行設計規則檢查 (Design Rule Check, DRC) 或光學規則檢查 (Optical Rule Check, ORC)。DRC 以及 ORC 通常已作為使二維設計資料準備用於轉換成光微影遮罩之製程之部分而由專門軟體對二維設計資料執行。此等檢查是為了識別佈局中的可導致非功能性或工作不良之晶片的錯誤而執行。所述檢查亦在添加對諸如光學鄰近校正 (optical proximity correction, OPC) 之光學效應之補償之後執行。典型設計規則 (如設計手冊中所公佈以及以 DRC 組寫碼的) 為意欲阻止性質基本上為三維的問題的簡單二維準則。然而，由於半導體製程技術之增長複雜性，

設計手冊已成長為有數千條二維設計規則要編纂並解釋之上千頁文獻。在許多情況下，單一三維故障機制/關注可驅使數百條二維設計規則。彼等二維設計規則之發展需要關於整合製程流程以及所得結構之三維性質之大量假設。

[0093] 二維 DRC 是發展自可導致過度保守之設計的相對簡單計算。舉例而言，考慮保證金屬互連層上之線與下伏通孔之間的最小接觸區所需的二維設計規則。通孔是兩個互連層（亦稱作金屬層）之間的垂直導電連接器，或互連層與諸如電晶體、電阻器或電容器之裝置之間的垂直連接器。圖 22A 至圖 22D 描繪設計規則於二維設計資料之習知應用。圖 22A 展示用於金屬線 2202 以及通孔 2204 之二維設計資料。一個可能二維 DRC 表明：金屬線必須在通孔之至少兩個對置側上延伸越過通孔，且延伸必須超過最小值 e (2206)。圖 22A 亦指示金屬線以及通孔之截面視圖 A-A 2208。圖 22B 展示自圖 22A 中之設計資料可製造之結構的示意截面視圖 A-A 2208。請注意，側壁 2210 以及 2212 具有由製造程序造成之錐形。若設計資料中之延伸 e (2206) 不足，則製造之金屬線 2214 可能未完全接觸製造之通孔 2216 之頂部（歸因於側壁錐形），且因此，兩個導體之間的接觸面積被減小且可能不足夠。

[0094] 看來可能的是，在一些情況下，金屬線與下伏通孔之間的接觸面積可自簡單公式來估計。然而，圖 22C 展示將需要額外二維 DRC 的用於金屬線 2220 以及通孔 2222 之設計資料之另一變化。圖 22D 展示自圖 22C 中

之設計資料製造的金屬線 2220 以及通孔 2222 之三維視圖。此處，設計資料中之二維形狀已由於微影解析效應而被磨圓，且所述側壁具有由處理效應引起的錐形。可看到，金屬線與通孔之間的接觸區 2230 具有較複雜形狀，且可能難以用簡單公式來計算接觸區。因此，很明顯，需要許多額外二維 DRC 以滿足用三維可極簡單表明的準則：金屬線與通孔之間的接觸面積必須超過規定臨限值。二維 DRC 情形在吾人認為多個製造變化可影響接觸區時變得更加複雜，所述製造變化包含微影步驟期間之過度暴露或暴露不足、遮罩之未對齊、通孔層之平坦化（經由化學機械研磨（chemical mechanical polishing, CMP））以及藉由電漿蝕刻產生之側壁錐形。將所有此等統計變化包含於驅使二維 DRC 之簡單公式中是不可行的，因此所述 DRC 比預防製造變化所需的更嚴格。此等過於嚴格之二維 DRC 可導致在晶粒上有浪費區之次最佳設計。

[0095] 與二維 DRC 環境對比，本發明之虛擬製造環境可無需假設自二維至三維之轉換而直接以三維方式執行檢查，諸如，最小線寬度、特徵之間的最小空間以及最小接觸區。以三維方式直接執行之檢查在本文中被稱為「三維 DRC」。三維 DRC 的一個益處是檢查之所需數目顯著小於二維環境中所需之數目。結果，檢查比二維檢查穩健且易於開發。此外，由於三維規則之小得多的集合，虛擬製造環境可對製程參數之一系列統計變化執行檢查。

[0096] 應瞭解，三維 DRC 不同於亦可在虛擬製造環

境中執行之虛擬量測/度量操作。虛擬流程度量操作模仿製造環境中之實際量測以及度量側，藉此規定量測位置且輸出諸如距離值或面積之量度。另一方面，對於三維 DRC，規定幾何準則且所述準則之位置以及值是所想要的。亦即，位置為三維 DRC 操作之輸出，而非輸入。舉例而言，虛擬度量操作可規定由二維設計資料中之定位器指示之特定位置處的氧化物膜厚度量測，而針對最小層厚度之三維 DRC 可請求三維模型中的氧化物膜厚度小於規定臨限值的任一處之位置。接著可搜尋三維結構模型以找到規定最小尺寸準則得到滿足的位置。類似地，三維 DRC 亦可使結構模型被搜尋以查看最大尺寸準則是否得到滿足。此類型之三維 DRC 因此提供利用用於識別故障之非預期原因之虛擬量測/度量操作不能得到的益處。

[0097]

三維 DRC 之實例包含：

甲、*電網隔離 (Electrical Net Isolation)*：找出所選導體之間的最短距離。導體是可由一或多個導電材料組成的集總（「集總」是三維結構模型內之離散體積區域（技術上，3-分歧管）。集總可由單一材料或多個材料組成）；

乙、*最小間隔 (Minimum Separation)*：找出所選集總之群組中的任何對之間的最短距離；

丙、*最小線寬度 (Minimum Line Width)*，找出通過所選集總之群組中的任何集總之最短距離；

丁、*最小層厚度 (Minimum Layer Thickness)*，找出通過包括材料層之集總之集合中的任何集總之最短距離；

戊、*最小接觸區 (Minimum Contact Area)*：找出所選集總之所有對之間的最小接觸區。

[0098] 集總可基於構成材料、電導率或其他性質來選擇。可藉由規定臨限值來擴展三維 DRC 檢查中之每一者。舉例而言，規定最小線寬度檢查之臨限值產生最小線寬度小於所述臨限值的位置之清單。熟習此項技術者將認識到，可定義此性質之其他檢查。

[0099] 三維 DRC 可在製程編輯器之步驟程式庫中得到，且可由使用者插入至製程序列或子序列中。圖 23 描繪針對插入於本發明之一實施例中之製程序列 2302 中之電網隔離的例示性三維 DRC 2304。正如二維 DRC 之違規可在諸如佈局編輯器 121 之二維設計工具中視覺化，三維 DRC 之違規可在本發明之虛擬製造系統中之三維檢視器 125 中視覺化。

[0100] 圖 24 描繪三維檢視器 125 中之例示性三維視圖 2402，所述視圖指示由本發明之一實施例執行的三維 DRC 電網隔離檢查之違規。違規可由三維視圖 2402 中之彩色區域 2410 指示，所述彩色區域填充隔離導體之間的小於三維 DRC 中所規定之臨限值的間隙。

[0101] 圖 25 描繪三維檢視器 125 中之例示性三維視圖 2502，所述視圖指示由本發明之一實施例執行的三維 DRC 最小接觸區檢查之違規。區 2510 可以不同顏色醒目

提示以便指示違規，亦即小於三維 DRC 中所規定之臨限值的接觸區。

[0102] 本發明之三維 DRC 具有至少兩個主要用途：作為用於開發二維 DRC 檢查之工具，以及作為二維 DRC 之替換。二維 DRC 被廣泛用於半導體設計中，且二維 DRC 之使用被良好地嵌入於半導體設計流程以及工具中。然而，考慮以簡單公式為基礎的二維 DRC 之缺點以及至此等公式之統計輸入之缺乏，結合虛擬製造之三維 DRC 可用作為用於開發二維 DRC 之工具。三維 DRC 之此使用產生不僅更有效（導致較少意外故障）而且較不保守之二維 DRC 組。

[0103] 舉例而言，本發明之一實施例允許識別根本原因之三維故障機制，諸如，兩個實體之間的最小接觸區。可開發測試設計之集合（二維設計資料），從而涵蓋所有預想可能性。接著，可開發二維 DRC 之候選集合且將其應用於所述測試設計。隨後，使用所述測試設計以及適當之製程變化，可在本發明之虛擬製造環境中進行虛擬實驗。可將根本三維 DRC 應用於藉由虛擬實驗產生之每一三維模型，且可記錄三維 DRC 之故障的統計。此等統計可包含每個模型之故障之數目，故障之程度（與臨限值相比）以及故障之位置。以識別對二維 DRC 之可能改良為目的，可接著分析此等統計。可接著改進二維 DRC，且重複製程以判定三維 DRC 故障之統計是否已改良。

[0104] 另外，為了產生經改良之二維 DRC，本發明

之虛擬製造環境中的基於三維 DRC 之方法可改為完全替換二維 DRC。DRC 必須在二維設計階層之不同層級（包括裝置、標準單元以及全晶片層級）應用。標準單元為在全晶片設計內之多個位置處可複製的子電路。在一個實例中，在裝置以及標準單元層級，二維 DRC 可完全被三維 DRC 替換。在另一實例中，三維 DRC 可應用於全晶片設計。

[0105] 圖 26 描繪本發明之一實施例所採用以在虛擬製造環境中執行三維 DRC 且開發來自三維模型之二維 DRC 的步驟之例示性序列。序列以使用者選擇待製造之半導體裝置結構（步驟 2602）以及在製程編輯器中鍵入製程序列（2604）開始。使用者亦創建用於所述裝置結構之二維設計資料（步驟 2606）。使用者接著在虛擬製造控制台 123 中設置虛擬製造回合（步驟 2608），且三維模型化引擎 75 建置三維結構模型資料 90（步驟 2610）。可接著使產生之三維結構模型資料 90 經歷三維 DRC。應瞭解，先前產生之三維結構模型亦可經歷三維 DRC。

[0106] 藉由基於特定 DRC 之細節來量測三維模型資料而執行三維 DRC（步驟 2612）。舉例而言，可執行最小接觸區檢查以判定最小接觸區是否存在於兩個模型實體之間。若三維設計規則檢查令人滿意（步驟 2613），則現有或新的二維 DRC 可完成（步驟 2614）。若三維 DRC 不令人滿意（步驟 2613），則使用者修改虛擬創建所述裝置結構中所使用之製程參數或二維設計資料中之一或多

者（步驟 2616），且返回虛擬製造控制台 123 以設置新的虛擬製造回合（步驟 2608）。序列可接著反覆，直至使用者對三維 DRC 之結果感到滿意。在一替代實施例中，關於三維 DRC 是否令人滿意之決策可以程式化方式（諸如，藉由自動化設計工具）進行。

[0107] 本發明之實施例之部分或全部可作為體現於一或多個非暫態媒體上或其中之一或多個電腦可讀程式或程式碼而提供。媒體可為（但不限於）硬碟、光碟、數位影音光碟、快閃記憶體、PROM、RAM、ROM 或磁帶。通常，電腦可讀程式或程式碼可以任何計算語言來實施。

[0108] 由於可做出特定改變而不脫離本發明之範疇，故希望以上描述中所含或展示於附圖中之所有物體被解譯為說明性的，而非在字面意義上解譯。熟習此相關技藝之人士將認識到，可更改諸圖中所描繪的步驟之序列以及架構而不脫離本發明之範疇，且本文中所含之說明是本發明之許多可能描繪的特異實例。

[0109] 本發明之範例實施例之先前描述提供說明以及描述，但不欲為詳盡的且將本發明限於所揭露之精確形式。修改以及變化根據以上教示是可能的，或可自本發明之實踐獲得。舉例而言，雖然已描述一系列動作，但在符合本發明之原理之其他實施中，可修改所述動作之次序。此外，可並行地執行非相依性動作。

【符號說明】

[0110]

- 1：虛擬製造環境
- 2：使用者
- 10：計算裝置
- 11：處理器
- 12：隨機存取記憶體（RAM）
- 13：唯讀記憶體（ROM）
- 14：硬碟機
- 15：網路介面
- 20：輸入資料
- 30：二維設計資料
- 32：層 1
- 34：層 2
- 36：層 3
- 40：製程序列
- 43：製程步驟
- 44：製程步驟
- 45：虛擬量度量測製程步驟/虛擬度量步驟
- 47：製程步驟
- 48：製程步驟
- 49：製程步驟/虛擬度量步驟
- 60：材料資料庫
- 62：材料類型 1
- 64：材料類型 2

- 70： 虛擬製造應用程式
- 75： 三維模型化引擎
- 76： 演算法 1
- 77： 演算法 2
- 78： 演算法 3
- 80： 虛擬量度資料
- 90： 半導體裝置結構模型資料
- 110： 單獨輸出資料收集器模組
- 120： 顯示器
- 121： 佈局編輯器
- 122： 製程編輯器
- 123： 虛擬製造控制台
- 124： 表格式以及圖形量度結果視圖
- 125： 三維視圖/三維檢視器
- 126： 自動參數探測器
- 202： 製程序列
- 204： 佈局（二維設計資料）
- 302： 矩形形狀/第一定位器形狀
- 304： 矩形形狀/第二定位器形狀
- 306： 矩形形狀/第三定位器形狀
- 402： 可用製程步驟之程式庫
- 404： 材料資料庫
- 406： 製程參數
- 410： 製程序列

- 412 : 子序列
- 413 : 所選步驟
- 414 : 步驟 4.17 「量測 CD」
- 420 : 所有所需參數
- 502 : 步驟
- 504a : 步驟
- 504b : 步驟
- 506a : 步驟
- 506b : 步驟
- 508 : 步驟
- 510 : 步驟
- 512a : 步驟
- 512b : 步驟
- 513 : 步驟
- 514 : 步驟
- 516 : 步驟
- 602 : 三維視圖畫布
- 604 : 保留狀態
- 606 : 待選擇之特定狀態
- 608 : 小型俯視圖
- 802a : 步驟
- 802b : 步驟
- 804a : 步驟
- 804b : 步驟

806a : 步驟

806b : 步驟

808 : 步驟

810 : 步驟

812a : 步驟

812b : 步驟

814a : 步驟

814b : 步驟

815 : 步驟

816 : 步驟

818 : 步驟

902a : 步驟

902b : 步驟

904a : 步驟

904b : 步驟

906a : 步驟

906b : 步驟

908 : 步驟

910 : 步驟

912 : 步驟

914a : 步驟

914b : 步驟

1002 : 製程參數

1004 : 製程參數

- 1006：製程參數
- 1008：參數值
- 1102：虛擬實驗
- 1104：虛擬製造回合
- 1202：菱形
- 1204：變化包絡
- 1206：結論
- 1302：可蝕刻材料表面
- 1304：遮罩材料
- 1306：蝕刻深度
- 1308：側向蝕刻距離
- 1310：側壁角
- 1312：相對於蝕刻深度之濺鍍距離
- 1313：最大濺鍍產率之角度
- 1320：濺鍍材料
- 1402：各向同性蝕刻
- 1404：錐形蝕刻
- 1406：濺鍍蝕刻
- 1510：多蝕刻製程之前的模型
- 1520：多蝕刻製程之後的模型結構：
- 1521：光阻劑之實際侵蝕
- 1523：氮化物材料
- 1524：蝕刻偏差控制（底切）
- 1530：所列材料

- 1540 : 蝕刻類型
- 1550 : 蝕刻比
- 1560 : 參數
- 1602 : 步驟
- 1603 : 步驟
- 1604 : 步驟
- 1605 : 步驟
- 1606 : 步驟
- 1607 : 步驟
- 1608 : 步驟
- 1702 : 表面平面
- 1704 : 凹口向量
- 1706 : 凹口設計方向
- 1801 : 輸入生長速率輸入參數
- 1802 : 輸入生長速率輸入參數
- 1803 : 輸入生長速率輸入參數
- 1805 : 材料
- 1806 : 材料
- 1808 : 材料特定過度生長參數/過度生長速率
- 1809 : 材料特定過度生長參數
- 1810 : 主要平面
- 1811 : 主要平面
- 1812 : 主要平面
- 1820 : 主要平面

- 1902 : 晶體面
- 1904 : 非晶體面/非晶體相鄰材料
- 1905 : 晶體面與非晶體面之間的角
- 1906 : 磊晶生長
- 2002 : 步驟
- 2004 : 步驟
- 2006 : 步驟
- 2008 : 步驟
- 2010 : 步驟
- 2011 : 步驟
- 2012 : 步驟
- 2102 : 氮化矽
- 2104 : 二氧化矽
- 2106 : 晶態矽
- 2110 : 晶體平面
- 2112 : 晶體平面
- 2114 : 晶體平面
- 2202 : 金屬線
- 2204 : 通孔
- 2206 : 最小值 e
- 2208 : 截面視圖 A-A
- 2210 : 側壁
- 2212 : 側壁
- 2214 : 製造之金屬線

- 2216 : 製造之通孔
- 2220 : 金屬線
- 2222 : 通孔
- 2230 : 接觸區
- 2302 : 製程序列
- 2304 : 三維設計規則檢查 (3D DRC)
- 2402 : 三維視圖
- 2410 : 彩色區域
- 2502 : 三維視圖
- 2510 : 區
- 2602 : 步驟
- 2604 : 步驟
- 2606 : 步驟
- 2608 : 步驟
- 2610 : 步驟
- 2612 : 步驟
- 2613 : 步驟
- 2614 : 步驟
- 2616 : 步驟

【代表圖】

【本案指定代表圖】：第(26)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於三維虛擬製造環境中的設計規則檢查之非暫態電腦可讀媒體、方法及系統

Non-transitory computer-readable medium, method and system for design rule checks in 3-D virtual fabrication environment

【相關申請案】

本申請案主張 2013 年 3 月 14 日申請的標題為「於三維虛擬製造環境中的設計規則檢查 (Design Rule Checks in 3-D Virtual Fabrication Environment)」之美國專利申請案第 13/831,444 號之優先權，所述專利申請案之內容全文併入於本文中。

【技術領域】

[0001] 本發明係關於一種三維虛擬製造環境中的設計規則檢查。

【先前技術】

[0002] 整合裝置製造商 (integrated device manufacturer, IDM) 以及獨立鑄造廠之半導體開發組織將大量資源耗費在開發用以自晶圓 (「晶圓」是半導體材料之薄切片，常常(但不一定)由矽晶體組成) 製造該等整合裝置製造商以及獨立鑄造廠銷售之晶片 (積體電路 (integrated circuit, IC)) 的製程操作之整合序列上。

大部分之資源被耗費在製造實驗晶圓以及相關聯量測、度量（「度量」是指半導體產業中所進行的特殊類型之量測）以及特性化結構）上，前述各者全部為了確保整合製程產生所要半導體裝置結構。在試誤方案中使用此等實驗晶圓以開發用於製造裝置結構之個別製程且亦開發總的整合製程流程。歸因於進階技術節點製程流程之複雜性愈來愈高，實驗虛擬回合之大部分產生負或空的特性化結果。此等實驗回合持續很長，「fab」（製造環境）中之數週至數個月，且花費高，因為每一實驗晶圓可耗費\$3,000至\$10,000。最近半導體技術進步（包含鰭式場效電晶體（FinFET）、三閘極（TriGate）、高介電常數金屬閘極（High-K/Metal-Gate）、嵌式記憶體以及進階圖案化）已使整合半導體製造製程之複雜性顯著增加。使用此試誤實驗方法之技術開發之成本以及持續時間已同時增加。

[0003] 已嘗試使用習知機械電腦輔助設計（computer-aided design, CAD）工具以及特殊化技術 CAD（technology CAD, TCAD）工具）來模型化半導體裝置結構，其目標為減少耗費在製造實驗晶圓上之努力。已發現通用機械 CAD 工具是不適當的，因為所述機械 CAD 工具不會自動地模擬在實際製造環境中發生之材料添加、移除以及修改製程。另一方面，TCAD 工具是基於物理之模型化平台，所述模型化平台模擬在擴散以及植入製程期間發生之材料組成改變，但未模擬在包括整合製程流程之其他製程期間發生之所有材料添加以及移除效果。

發明摘要

※申請案號：103108658

※申請日：103 年 03 月 12 日

※IPC 分類：G06F 17/50 (2006.01)

【發明名稱】(中文/英文)

用於三維虛擬製造環境中的設計規則檢查之非暫態電腦可讀媒體、方法及系統

Non-transitory computer-readable medium, method and system for design rule checks in 3-D virtual fabrication environment

【中文】

本發明描述一種使三維設計規則檢查(DRCs)或光學規則檢查(ORCs)可被執行於半導體裝置之三維結構模型上之虛擬製造環境。所述虛擬製造環境可於三維中直接執行三維設計規則檢查，例如最小線寬度、最小間隔以及相鄰材料間最小接觸區，而無需以用於半導體裝置之整合製程流程來將二維設計資料轉譯至三維結構。因此，三維設計規則檢查之所需數目，可較二維環境中所需的設計規則檢查數目顯著減少。實施例亦可於製程以及設計參數之統計變異範圍內執行三維設計規則檢查。

【 英文 】

A virtual fabrication environment that enables 3D Design Rule Checks (DRCs) or Optical Rule Checks (ORCs) on 3D structural models of semiconductor devices to be performed is discussed. The virtual fabrication environment may perform 3D design rule checks, such as minimum line width, minimum space between features, and minimum contact area between adjacent materials, directly in 3D without making assumptions about the translation from 2D design data to a 3D structure effected by an integrated process flow for semiconductor devices. The required number of 3D design rule checks may therefore be significantly reduced from the number of design rule checks required in 2D environments. Embodiments may also perform the 3D design rule checks for a range of statistical variations in process and design parameters.

申請專利範圍

1. 一種保持對於半導體裝置結構以三維結構模型執行且發展設計規則檢查之電腦可執行指令的非暫態電腦可讀媒體，該指令在執行時使計算裝置進行以下操作：

接收用於待虛擬製造之半導體裝置結構之製程序列以及二維設計資料之選擇；

用該計算裝置使用該製程序列以及二維設計資料執行針對該結構之虛擬製造回合，該虛擬製造回合建置預測自實體製造回合預期之結果的三維結構模型，該三維結構模型包括該半導體裝置結構之多個層的幾何準確三維形狀；以及

經由於建置自該虛擬製造回合的該三維結構模型中搜尋滿足特定最小或最大尺寸標準之位置而執行一組三維設計規則檢查。

2. 如申請專利範圍第 1 項所述之非暫態電腦可讀媒體，其中該指令在執行時更包括：

根據該三維設計規則檢查的執行產生二維規則集抽象化所需之至少一設計約束值。

3. 如申請專利範圍第 1 項所述之非暫態電腦可讀媒體，其中該指令在執行時更包括：

執行複數次虛擬製造回合以分別地建置複數個三維結構模型；

其中對於每一三維結構模型執行該組三維規則檢查。

4. 如申請專利範圍第 3 項所述之非暫態電腦可讀媒

體，其中對於每一三維結構模型所執行之該組三維規則檢查所產生之結果係彙總於表格形式、X-Y 圖表或多維圖表之至少一者內。

5. 如申請專利範圍第 3 項所述之非暫態電腦可讀媒體，其中將於每一三維結構模型所執行三維設計規則檢查之結果加以比較。

6. 如申請專利範圍第 1 項所述之非暫態電腦可讀媒體，其中該指令在執行時更包括：

判定於該三維結構模型之三維設計規則檢查之失效。

7. 如申請專利範圍第 6 項所述之非暫態電腦可讀媒體，其中該指令在執行時更包括：

顯示該三維規則檢查之失效的指示於三維顯示器。

8. 如申請專利範圍第 6 項所述之非暫態電腦可讀媒體，其中該指令在執行時更包括：

在判定於該三維結構模型之三維設計規則檢查之失效後，接收對於該製程序列或二維設計資料的修改；

使用該修改的製程序列或修改的二維設計資料以該計算裝置執行針對該裝置結構之額外虛擬製造回合，該虛擬製造回合建置一新的三維結構模型；以及

執行該組三維設計規則檢查於該新的三維結構模型。

9. 一種對於半導體裝置結構以三維結構模型執行且發展設計規則檢查之計算裝置實施方法，包括：

接收用於待虛擬製造之半導體裝置結構之製程序列以及二維設計資料之選擇；

用該計算裝置使用該製程序列以及二維設計資料執行針對該結構之虛擬製造回合，該虛擬製造回合建置預測自實體製造回合預期之結果的三維結構模型，該三維結構模型包括該半導體裝置結構之多個層的幾何準確三維形狀；以及

經由於建置自該虛擬製造回合的該三維結構模型中搜尋滿足特定最小或最大尺寸標準之位置而執行一組三維設計規則檢查。

10. 如申請專利範圍第 9 項所述之計算裝置實施方法，更包括：

根據該三維設計規則檢查的執行產生二維規則集抽象化所需之至少一設計約束值。

11. 如申請專利範圍第 9 項所述之計算裝置實施方法，更包括：

執行複數次虛擬製造回合以建置複數個三維結構模型；

其中該組三維規則檢查執行於每一三維結構模型。

12. 如申請專利範圍第 11 項所述之計算裝置實施方法，其中對於每一三維結構模型所執行之該組三維規則檢查所產生之結果係彙總於表格形式、X-Y 圖表或多維圖表之至少一者內。

13. 如申請專利範圍第 11 項所述之計算裝置實施方法，其中將於每一三維結構模型所執行三維設計規則檢查之結果加以比較。

14. 如申請專利範圍第 9 項所述之計算裝置實施方法，更包括：

判定於該三維結構模型之三維設計規則檢查之失效。

15. 如申請專利範圍第 14 項所述之計算裝置實施方法，更包括：

顯示該三維規則檢查之失效的指示於三維顯示器。

16. 如申請專利範圍第 14 項所述之計算裝置實施方法，更包括：

在判定於該三維結構模型之三維設計規則檢查之失效後，接收對於該製程序列或二維設計資料的修改；

使用該修改的製程序列或修改的二維設計資料以該計算裝置執行針對該裝置結構之額外虛擬製造回合，該虛擬製造回合建置一新的三維結構模型；以及

執行該組三維設計規則檢查於該新的三維結構模型。

17. 一種虛擬製造系統，包括：

計算裝置，配備有處理器且經組態以用三維模型化引擎接收輸入資料，該輸入資料包含用於待虛擬製造之半導體裝置結構之二維設計資料以及製程序列，虛擬製造回合針對該裝置結構建置預測自實體製造回合預期之結果之三維結構模型，該三維結構模型包括該半導體裝置結構之多個層的幾何準確三維形狀，並對於該三維結構模型執行三維設計規則檢查，以於建置自該虛擬製造回合的該三維結構模型中搜尋滿足特定最小或最大尺寸標準之位置；以及

顯示表面，其與該計算裝置通訊且顯示該三維設計規

則檢查之結果。

18. 如申請專利範圍第 17 項所述之虛擬製造系統，更包括：可對於製程序列以及二維設計資料修改之使用者介面。

19. 如申請專利範圍第 17 項所述之虛擬製造系統，其中使用該修改的製程序列或修改的二維設計資料執行針對該裝置結構之額外虛擬製造回合，該虛擬製造回合建置一新的三維結構模型，該組三維設計規則檢查經執行而於該三維結構模型中搜尋滿足特定最小或最大尺寸標準之位置。

20. 如申請專利範圍第 17 項所述之虛擬製造系統，其中該製程序列包括至少一三維設計規則檢查。