

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100384 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) *G02F 1/1368* (2006.01)
G01L 1/18 (2006.01) *G06F 3/041* (2006.01)
G02F 1/1343 (2006.01) *G09F 9/00* (2006.01)

(21) 国際出願番号: PCT/JP2019/035076

(22) 国際出願日: 2019年9月5日(05.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-216036 2018年11月16日(16.11.2018) JP

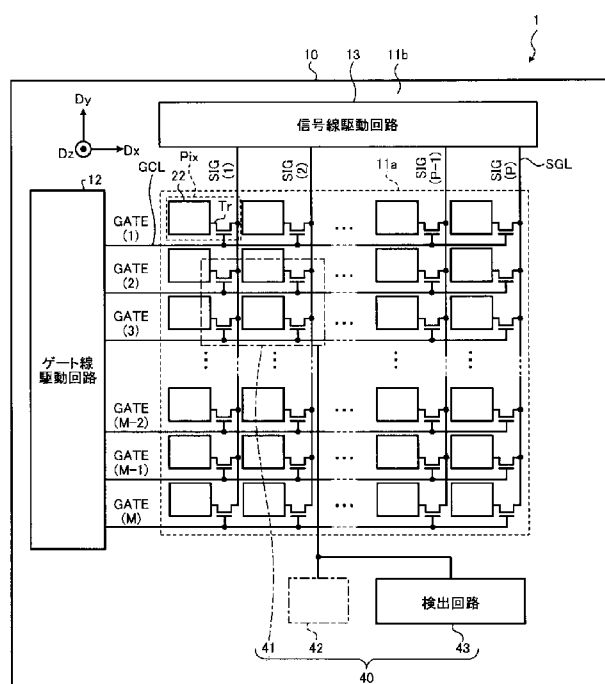
(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 高田 直樹 (TAKADA, Naoki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 中西 貴之 (NAKANISHI, Takayuki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 柿本 雄飛 (KAKINOKI, Yuto); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT)

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



12 Gate line driving circuit
13 Signal line driving circuit
43 Detection circuit

(57) Abstract: A display device (1) comprises: a display region (11a) in which a plurality of pixels (Pix) are disposed side by side in a row direction (Dx) and a column direction (Dy direction); a gate line (GCL) that supplies a scanning signal to the pixels (Pix) disposed in the row direction (Dx direction); a signal line (SGL) that supplies a pixel signal (SIG) to the pixels (Pix) disposed in the column direction (Dy direction); at least one first semiconductor press sensor (41) arranged in the display region (11a); at least one second semiconductor press sensor (42) arranged in a frame region (11b) outside the

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

display region (11a); and a detection circuit (43) that detects pressing force applied to the display region (11a) on the basis of the midpoint voltage between the first semiconductor press sensor (41) and the second semiconductor press sensor (42).

(57) 要約：表示装置（1）は、複数の画素（P i x）が行方向（D x 方向）及び列方向（D y 方向）に並ぶ表示領域（1 1 a）と、行方向（D x 方向）に並ぶ画素（P i x）に走査信号を供給するゲート線（G C L）と、列方向（D y 方向）に並ぶ画素（P i x）に画素信号（S I G）を供給する信号線（S G L）と、表示領域（1 1 a）に設けられた、少なくとも1つの第1の半導体押力センサ（4 1）と、表示領域（1 1 a）の外側の額縁領域（1 1 b）に設けられた、少なくとも1つの第2の半導体押力センサ（4 2）と、第1の半導体押力センサ（4 1）と第2の半導体押力センサ（4 2）との midpoint 電圧に基づき、表示領域（1 1 a）に加えられた押力を検出する検出回路（4 3）と、を備える。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、いわゆるタッチパネルと呼ばれる、外部近接物体を検出可能なタッチ検出装置が注目されている。タッチパネルは、液晶表示装置等の表示装置上に装着又は一体化されて、表示装置として用いられている。また、タッチ検出に加えて、表示装置の表示面に加えられた押力（フォース）をも検出できる力検出装置も用いられるようになってきている。例えば、検出用電極と基準電位層との間の距離の変化による静電容量の変化量に基づいて力を検出する構成が知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-88255号公報

発明の概要

発明が解決しようとする課題

[0004] 上記従来技術において、検出用電極と基準電位層との間にバックライトユニットを備える構成が開示されている。このような構成において、例えば直下型のバックライトユニット等を用いた場合、検出用電極と基準電位層との間の距離が離れて静電容量が小さくなり、静電容量の変化量を検出できない可能性がある。また、表示装置の表示面に加えられた押力（フォース）を検出する際に、静電容量の変化量を検出する構成では、表示パネルに力検出用の電極を設ける必要があり、プロセスの増加によるコスト上昇を招く場合がある。

[0005] 本発明は、低コストで表示面に加えられた押力を検出する構成を得ることができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様に係る検出装置は、複数の画素が行方向及び列方向に並ぶ表示領域と、行方向に並ぶ前記画素にゲート信号を供給するゲート線と、列方向に並ぶ前記画素に画素信号を供給する信号線と、前記表示領域に設けられた、少なくとも1つの第1の半導体押力センサと、前記表示領域の外側の額縁領域に設けられた、少なくとも1つの第2の半導体押力センサと、前記第1の半導体押力センサと前記第2の半導体押力センサとの中点電圧に基づき、前記表示領域に加えられた押力を検出する検出回路と、を備える。

図面の簡単な説明

[0007] [図1]図1は、実施形態1に係る表示装置の構成例を示すブロック図である。

[図2]図2は、表示装置の概略断面構造を表す断面図である。

[図3]図3は、画素の構成例を示す平面図である。

[図4]図4は、図3のA1－A2線に沿う断面図である。

[図5A]図5Aは、実施形態1に係る第1の半導体押力センサの第1構成例を示す平面図である。

[図5B]図5Bは、図5Aに示す第1の半導体押力センサの拡大図である。

[図5C]図5Cは、図5AのC3－C4線に沿う断面図である。

[図6]図6は、図5のB1－B2線に沿う断面図である。

[図7]図7は、図5のC1－C2線に沿う断面図である。

[図8]図8は、図5のD1－D2線に沿う断面図である。

[図9]図9は、実施形態1に係る押力検出部の第1構成例を示す等価回路図である。

[図10]図10は、実施形態1に係る押力検出部の第2構成例を示す等価回路図である。

[図11]図11は、実施形態1に係る第1の半導体押力センサの第2構成例を示す平面図である。

[図12]図12は、実施形態1に係る第1の半導体押力センサの第3構成例を示す平面図である。

[図13]図13は、実施形態1に係る第1の半導体押力センサの第4構成例を示す平面図である。

[図14]図14は、実施形態2に係る押力検出部の第1構成例を示すブロック図である。

[図15]図15は、実施形態2に係る押力検出部の第2構成例を示すブロック図である。

[図16A]図16Aは、実施形態2に係る第1の半導体押力センサの第1構成例を示す平面図である。

[図16B]図16Bは、図16Aに示す第1の半導体押力センサの拡大図である。

[図16C]図16Cは、図16Bに示す第1の半導体押力センサの拡大図において、各ゲート電極を省略した図である。

[図16D]図16Dは、図16Bに示す第1の半導体押力センサの拡大図において、各配線を省略した図である。

[図17]図17は、図16のE1－E2線に沿う断面図である。

[図18]図18は、図16のF1－F2線に沿う断面図である。

[図19]図19は、図16のG1－G2線に沿う断面図である。

[図20A]図20Aは、実施形態2に係る第1の半導体押力センサの第2構成例を示す平面図である。

[図20B]図20Bは、図20Aに示す第1の半導体押力センサの第2構成例において、ゲート線及び信号線を省略した図である。

[図20C]図20Cは、図20Bに示す第1の半導体押力センサの第2構成例において、各ゲート電極をさらに省略した図である。

[図20D]図20Dは、図20Bに示す第1の半導体押力センサの第2構成例において、各配線をさらに省略した図である。

[図21A]図21Aは、実施形態2に係る第1の半導体押力センサの第3構成例を示す平面図である。

[図21B]図21Bは、図21Aに示す第1の半導体押力センサの第3構成例に

において、ゲート線及び信号線を省略した図である。

[図21C]図21Cは、図21Bに示す第1の半導体押力センサの第3構成例において、各ゲート電極をさらに省略した図である。

[図21D]図21Dは、図21Bに示す第1の半導体押力センサの第3構成例において、各配線をさらに省略した図である。

[図22A]図22Aは、実施形態2に係る第1の半導体押力センサの第4構成例を示す平面図である。

[図22B]図22Bは、図22Aに示す第1の半導体押力センサの第4構成例において、ゲート線及び信号線を省略した図である。

[図22C]図22Cは、図22Bに示す第1の半導体押力センサの第4構成例において、各ゲート電極をさらに省略した図である。

[図22D]図22Dは、図22Bに示す第1の半導体押力センサの第4構成例において、各配線をさらに省略した図である。

[図23]図23は、TFETトランジスタのゲートソース間電圧とドレインソース電流との関係を示す図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。なお、以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。また、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] (実施形態1)

図1は、実施形態1に係る表示装置の構成例を示すブロック図である。図1に示すように、表示装置1は、表示パネル10上に、複数の画素 P_{ix} が行方向(D_x 方向)及び列方向(D_y 方向)に並ぶ表示領域11aと、ゲート線駆動回路12と、信号線駆動回路13と、検出回路43とを備える。なお、図1では一部の画素 P_{ix} について示しているが、画素 P_{ix} は表示領域11aの全域に亘って配置される。なお、本実施形態では、表示素子として液晶表示素子を用いた構成を例示しているが、表示素子の態様により本開示が限定されるものではない。

[0010] 表示装置1は、画像を表示させるための表示領域11aに第1の半導体押圧センサ41が設けられている。また、表示装置1は、表示領域11aの額縁領域11bに第2の半導体押圧センサ42が設けられている。表示装置1は、静電容量型のタッチセンサが装着又は一体化されていても良い。

[0011] 画素 P_{ix} は、それぞれ画素電極22及び画素トランジスタ T_r を備えている。画素トランジスタ T_r は、薄膜トランジスタにより構成されるものであり、例えば、 n チャネルのMOS(Metal Oxide Semiconductor)型のTFTで構成される。画素トランジスタ T_r のソースは信号線 SG_L に接続され、ゲートはゲート線 GC_L に接続され、ドレインは画素電極22に接続されている。

[0012] 画素 P_{ix} は、ゲート線 GC_L により、行方向(D_x 方向)に並ぶ他の画素 P_{ix} と互いに接続されている。ゲート線 GC_L は、ゲート線駆動回路12と接続され、ゲート線駆動回路12よりゲート信号 $GATE(1, 2, \dots, M)$ が供給される。

[0013] また、画素 P_{ix} は、信号線 SG_L により、列方向(D_y 方向)に並ぶ他の画素 P_{ix} と互いに接続されている。信号線 SG_L は、信号線駆動回路13と接続され、信号線駆動回路13より画素信号 $SIG(1, 2, \dots, P)$ が供給される。

[0014] ゲート線駆動回路12は、ゲート線 GC_L を介して、 $1, 2, \dots, M$

行の各画素 P_{ix} の画素トランジスタ T_r のゲートにそれぞれゲート信号 $GATE(1, 2, \dots, M)$ を供給する回路である。

[0015] 信号線駆動回路13は、信号線 SG_L を介して、各画素 P_{ix} の画素トランジスタ T_r のソースに画素信号 $SI_G(1, 2, \dots, P)$ を供給する回路である。信号線駆動回路13は、1, 2, $\dots$, M 行の画素 P_{ix} にそれぞれ同時に画素信号 $SI_G(1, 2, \dots, P)$ を供給する。

[0016] 第1の半導体押力センサ41、第2の半導体押力センサ42、及び検出回路43は、表示領域11a（表示面）に加えられた押力を検出する押力検出部40を構成する。押力検出部40については後述する。

[0017] ゲート線駆動回路12、信号線駆動回路13、及び検出回路43は、それぞれ個別のデバイス（IC）により構成されていても良いし、上述した複数の機能が統合された1つ又は複数のデバイス（IC）により構成されていても良い。さらには、タッチ検出機能が統合された態様であっても良い。ゲート線駆動回路12、信号線駆動回路13、及び検出回路43の構成により、本開示が限定されるものではない。

[0018] 次に、実施形態に係る表示装置1の概略構造について、図2乃至図4を参照して説明する。図2は、表示装置の概略断面構造を表す断面図である。図3は、画素の構成例を示す平面図である。図4は、図3のA1－A2線に沿う断面図である。

[0019] 図2に示すように、表示装置1は、画素基板2と、画素基板2の表面に垂直な方向に対向して配置された対向基板3と、画素基板2と対向基板3との間に挿設された液晶層6とを備える。

[0020] 図2に示すように、画素基板2は、回路基板としてのTFT（Thin Film Transistor）基板21と、複数の画素電極22と、画素電極22に対する基準電位 V_{COM} を供給する駆動電極COMLと、画素電極22と駆動電極COMLとを絶縁する絶縁層24と、を含む。複数の画素電極22は、TFT基板21の上方に行列状（マトリクス状）に配設される。駆動電極COMLは、TFT基板21と画素電極22との間に設けられ

る。T F T基板21の下側には、接着層（不図示）を介して偏光板35Bが設けられている。なお、本明細書では、T F T基板21に垂直な方向において、T F T基板21から対向基板31に向かう方向を「上側」とする。また、対向基板31からT F T基板21に向かう方向を「下側」とする。

[0021] 駆動電極COMLは、T F T基板21の表示領域11aに設けられている。駆動電極COMLは、例えば、ITO（Indium Tin Oxide）等の透光性を有する導電性材料で構成されている。

[0022] 対向基板3は、対向基板31と、この対向基板31の一方の面に形成されたカラーフィルタ32とを含む。図2では、対向基板31の他方の面にタッチ検出用の電極TDLが設けられた例を示している。タッチ検出用の電極TDLの上方には、接着層（不図示）を介して偏光板35Aが設けられている。

[0023] T F T基板21と対向基板31とは、所定の間隔を設けて対向して配置される。T F T基板21と対向基板31との間の空間に、表示機能層として液晶層6が設けられる。液晶層6は、電界の状態に応じてそこを通過する光を変調するものであり、例えば、FFS（フリンジフィールドスイッチング）を含むIPS（インプレーンスイッチング）等の横電界モードの液晶が用いられる。なお、液晶層6と画素基板2との間、及び液晶層6と対向基板3との間には、それぞれ配向膜が配設されてもよい。

[0024] T F T基板21には、各画素Pixの画素トランジスタTr、各画素電極22に画素信号SIGを供給する信号線SGL、各画素トランジスタTrを駆動する駆動信号を供給するゲート線GCL等の配線が形成されている。信号線SGL及びゲート線GCLは、T F T基板21の表面と平行な平面に延在する。

[0025] 図3に示すように、ゲート線GCLと信号線SGLとで囲まれた領域が画素Pixである。画素Pixは、画素電極22と駆動電極COMLとが重なる領域を含んで設けられる。画素電極22は、それぞれ画素トランジスタTrを介して信号線SGLと接続される。

[0026] 図3に示すように、画素電極22は、複数の帯状電極22aと、連結部22bとを有する。帯状電極22aは、信号線SGLに沿って設けられ、ゲート線GCLに沿った方向に複数配列されている。連結部22bは帯状電極22aの端部同士を連結する。なお、画素電極22は、5本の帯状電極22aを有しているが、これに限定されず、4本以下又は6本以上の帯状電極22aを有していてもよい。例えば、画素電極22は、2本の帯状電極22aを有していてもよい。

[0027] 図3に示すように、画素トランジスタTrは、半導体層61、ソース電極62、ドレイン電極63及びゲート電極64を含む。また、半導体層61の下側に遮光層65が設けられている。

[0028] 図4に示すように、遮光層65は基板121の上に設けられている。絶縁層58aは、遮光層65を覆って基板121の上に設けられている。絶縁層58aの上には半導体層61が設けられている。半導体層61の上には、絶縁層58bを介してゲート電極64（ゲート線GCL）が設けられている。ゲート電極64（ゲート線GCL）の上には、絶縁層58cを介してドレイン電極63及びソース電極62（信号線SGL）が設けられる。ドレイン電極63及びソース電極62（信号線SGL）の上には、絶縁層58d及び絶縁層58eを介して駆動電極COMLが設けられる。駆動電極COMLの上には、絶縁層24を介して画素電極22が設けられる。画素電極22の上には配向膜34が設けられる。また、配向膜33は、液晶層6を挟んで配向膜34と対向する。なお、絶縁層58d上には、後述する配線44，45，46，47，48が設けられる。

[0029] 図3及び図4に示すように、画素電極22は、コンタクトホールH11を介して画素トランジスタTrのドレイン電極63と接続されている。半導体層61は、コンタクトホールH12を介してドレイン電極63に接続される。半導体層61は、平面視でゲート電極64と交差する。ゲート電極64はゲート線GCLに接続され、ゲート線GCLの一辺から突出して設けられている。半導体層61は、ソース電極62と重畳する位置まで延びて、コンタ

クトホールH13を介してソース電極62と電氣的に接続される。ソース電極62は、信号線SGLに接続され、信号線SGLの一辺から突出している。

[0030] 半導体層61の材料としては、ポリシリコンや酸化物半導体などの公知の材料を用いることができる。例えばTAOS (Transparent Amorphous Oxide Semiconductor、透明アモルファス酸化物半導体)を用いることで、映像表示用の電圧を長時間保持する能力(保持率)が良く、表示品位を向上させることができる。

[0031] 絶縁層24, 58a, 58b, 58c, 58d, 58eの材料としては、公知の絶縁材料を用いることができる。例えば、絶縁層58bの材料としては、TEOS (Tetra Ethyl Ortho Silicate)を用いることができる。また、例えば、絶縁層58cの材料としては、シリコン酸化膜(SiO_2)を用いることができる。

[0032] 半導体層61において、ゲート電極64と重畳する部分にチャネル部(図示しない)が設けられている。遮光層65は、チャネル部と重なる位置に設けられ、チャネル部よりも大きい面積を有していることが好ましい。遮光層65を設けているので、例えばバックライトから半導体層61に入射する光が遮光される。

[0033] 図5Aは、実施形態1に係る第1の半導体押力センサの第1構成例を示す平面図である。図5Bは、図5Aに示す第1の半導体押力センサの拡大図である。図5Cは、図5AのC3-C4線に沿う断面図である。なお、図5B及び図5Cでは、絶縁層58d上に設けられた配線44、半導体抵抗素子411、及び絶縁層58d上に設けられた配線45の接続関係を見易くするため、ゲート線GCL及び信号線SGLを省略している。図6は、図5AのB1-B2線に沿う断面図である。図7は、図5AのC1-C2線に沿う断面図である。図8は、図5AのD1-D2線に沿う断面図である。図5A乃至図8では、図3に示す画素Pixの各構成要素は省略している。

[0034] 図5A乃至図8に示すように、第1の半導体押力センサ41は、半導体層

6 1 と同層に設けられた半導体抵抗素子 4 1 1 を含む。なお、本明細書中「同層」とは、同じ工程及び同じ材料で成膜される層である。

[0035] 半導体抵抗素子 4 1 1 は、表示領域 1 1 a 内の半導体層 6 1 と同層に設けられている。また、半導体抵抗素子 4 1 1 は、絶縁層 5 8 c 上に設けられた信号線 S G L に重なり、列方向に延在して設けられている。半導体抵抗素子 4 1 1 の一方端は、図 6 に示すように、コンタクトホール H 2 1 及びコンタクトホール H 2 2 を介して、絶縁層 5 8 d 上に設けられた配線 4 4 と接続されている。また、半導体抵抗素子 4 1 1 の他方端は、図 8 に示すように、コンタクトホール H 2 3 及びコンタクトホール H 2 4 を介して、絶縁層 5 8 d 上に設けられた配線 4 5 と接続されている。

[0036] なお、図 5 A では、図中上側に配線 4 4 及び配線 4 5 が引き出された例を示したが、配線 4 4 及び配線 4 5 の引き出し方向はこれに限るものではない。

[0037] 図 9 は、実施形態 1 に係る押力検出部の第 1 構成例を示す等価回路図である。図 9 に示す第 1 構成例において、実施形態 1 に係る押力検出部 4 0 は、正電源電位 V D D と接地電位 G N D との間に、第 1 の半導体押力センサ 4 1 と第 2 の半導体押力センサ 4 2 とが直列に接続され、中点電圧 V O U T が検出回路 4 3 に出力される態様を例示している。

[0038] 図 9 に示す態様において、検出回路 4 3 は、第 1 の半導体押力センサ 4 1 と第 2 の半導体押力センサ 4 2 との中点電圧 V O U T に基づき、表示領域 1 1 a に加えられた押力を検出する。

[0039] 第 1 の半導体押力センサ 4 1 の半導体抵抗素子 4 1 1 は、表示領域 1 1 a に加えられた押力によって抵抗値が変化する可変抵抗と見做せる。

[0040] 第 2 の半導体押力センサ 4 2 は、第 1 の半導体押力センサ 4 1 と同等の電気特性を有している。すなわち、第 2 の半導体押力センサ 4 2 は、額縁領域 1 1 b において、半導体層 6 1 と同層に半導体抵抗素子が設けられ、この半導体抵抗素子の抵抗値が、表示領域 1 1 a に力が加えられていないときの第 1 の半導体押力センサ 4 1 の半導体抵抗素子 4 1 1 の抵抗値と等価である。

また、第2の半導体押力センサ42は、当該半導体抵抗素子を含め、図5A乃至図8に示す第1の半導体押力センサ41と同等の層構成を有している。これにより、第2の半導体押力センサ42は、第1の半導体押力センサ41の半導体抵抗素子411の抵抗値の変化に対するリファレンスとして機能する。

[0041] 図10は、実施形態1に係る押力検出部の第2構成例を示す等価回路図である。図10に示す第2構成例において、実施形態1に係る押力検出部40は、正電源電位VDDと接地電位GNDとの間に、2つの第1の半導体押力センサ41と2つの第2の半導体押力センサ42とでホイートストンブリッジ回路が構成される態様を例示している。

[0042] 図10に示す態様において、検出回路43は、ホイートストンブリッジ回路の出力電圧VOUT1、VOUT2に基づき、表示領域11aに加えられた押力を検出する。

[0043] ホイートストンブリッジ回路を構成することで、出力電圧VOUT1、VOUT2の電位差は、温度変化による影響をキャンセルした値となる。このため、図9に示す態様よりも高精度に表示領域11aに加えられた押力を検出することができる。

[0044] 図11は、実施形態1に係る第1の半導体押力センサの第2構成例を示す平面図である。

[0045] 図11に示す第2構成例では、図5に示す第1構成例に対し、複数の半導体抵抗素子411が直列接続されて第1の半導体押力センサ41が構成されている点が異なる。半導体抵抗素子411間は、それぞれコンタクトホールを介して絶縁層58d上に設けられた配線46により接続されている。また、図11に示す第2構成例では、列方向(Dy方向)に延びる半導体抵抗素子411を複数列有する構成である。図11では、図中に二点鎖線で示すように、第1の半導体押力センサ41が、絶縁層58d上に設けられた配線44、半導体抵抗素子411、絶縁層58d上に設けられた配線46、半導体抵抗素子411、配線46、半導体抵抗素子411、・・・、配線46、半

導体抵抗素子 4 1 1、絶縁層 5 8 d 上に設けられた配線 4 5 の順で接続された例を示している。

[0046] 図 1 2 は、実施形態 1 に係る第 1 の半導体押力センサの第 3 構成例を示す平面図である。

[0047] 図 1 2 に示す第 3 構成例では、図 1 1 に示す第 2 構成例に対し、半導体抵抗素子 4 1 1 がゲート線 G C L に沿って行方向に延在して設けられている点異なる。また、図 1 2 に示す第 3 構成例では、行方向（D x 方向）に延びる半導体抵抗素子 4 1 1 を複数行有する構成である。なお、半導体抵抗素子 4 1 1 がゲート線 G C L と重畳した場合、ゲート線 G C L への電圧印加に伴い、半導体抵抗素子 4 1 1 の抵抗値が変化して誤検知する可能性がある。そのため、複数の半導体抵抗素子 4 1 1 は、ゲート線 G C L と重畳しないことが好ましい。

[0048] 図 1 3 は、実施形態 1 に係る第 1 の半導体押力センサの第 4 構成例を示す平面図である。

[0049] 図 1 3 に示す第 4 構成例では、図 1 1 に示す第 2 構成例と図 1 2 に示す第 3 構成例とを組み合わせ、列方向（D y 方向）に延びる半導体抵抗素子 4 1 1 と行方向（D x 方向）に延びる半導体抵抗素子 4 1 1 とが混在する構成である。図 1 3 では、複数の半導体抵抗素子 4 1 1 が渦巻き状に配置された例を示している。

[0050] 図 1 1 乃至図 1 3 に示す各構成例では、図 5 に示す第 1 構成例よりも第 1 の半導体押力センサ 4 1 の抵抗値を大きくすることができる。第 1 の半導体押力センサ 4 1 及び第 2 の半導体押力センサ 4 2 の抵抗値を大きくすることで、表示領域 1 1 a に加えられた押力による抵抗値の変動分が大きくなり、表示領域 1 1 a に加えられた押力の検出精度を高めることができる。

[0051] なお、表示領域 1 1 a 内における第 1 の半導体押力センサ 4 1 の配置場所により、本開示が限定されるものではない。また、表示領域 1 1 a 内の複数箇所第 1 の半導体押力センサ 4 1 を配置する態様であっても良い。この場合には、複数の第 1 の半導体押力センサ 4 1 に対し、それぞれ第 2 の半導体

押力センサ42を有する構成であれば良い。なお、例えば、2つの第1の半導体押力センサ41と2つの第2の半導体押力センサ42とで図10に示すホイートストンブリッジ回路を構成する場合には、2つの第1の半導体押力センサ41が隣り合って配置されていることが望ましい。これにより、表示領域11aに力が加えられた際に、2つの第1の半導体押力センサ41の抵抗値を略同等とすることができる。

[0052] 以上説明したように、実施形態1に係る表示装置1は、複数の画素 P_{ix} が行方向（Dx方向）及び列方向（Dy方向）に並ぶ表示領域11aと、行方向（Dx方向）に並ぶ画素 P_{ix} に走査信号を供給するゲート線GCLと、列方向（Dy方向）に並ぶ画素 P_{ix} に画素信号SIGを供給する信号線SGLと、表示領域11aに設けられた、少なくとも1つの第1の半導体押力センサ41と、表示領域11aの外側の額縁領域11bに設けられた、少なくとも1つの第2の半導体押力センサ42と、第1の半導体押力センサ41と第2の半導体押力センサ42との中点電圧に基づき、表示領域11aに加えられた押力を検出する検出回路43と、を備える。

[0053] 上記構成において、画素トランジスタTrの半導体層61と同層に半導体抵抗素子411を設けることで、低コストで表示領域11aに加えられた押力を検出する構成が得られる。

[0054] また、半導体抵抗素子411を信号線SGLに重なり列方向に延在して設けることで、画素 P_{ix} の開口率の低下を抑制することができる。

[0055] また、半導体抵抗素子411をゲート線GCLに沿って行方向に延在して設けることで、画素 P_{ix} の開口率の低下を抑制することができる。

[0056] また、複数の半導体抵抗素子411を絶縁層58d上に設けられた配線46で直列接続して第1の半導体押力センサ41を構成することで、図5に示す第1構成例よりも第1の半導体押力センサ41の抵抗値を大きくすることができる。これにより、表示領域11aに加えられた押力の検出精度を高めることができる。

[0057] 本実施形態により、低コストで表示領域に加えられた押力を検出する構成

を得ることができる。

[0058] (実施形態2)

図14は、実施形態2に係る押力検出部の第1構成例を示すブロック図である。図15は、実施形態2に係る押力検出部の第2構成例を示すブロック図である。図16Aは、実施形態2に係る第1の半導体押力センサの第1構成例を示す平面図である。図16Bは、図16Aに示す第1の半導体押力センサの拡大図である。図16Bでは、絶縁層58d上に設けられた配線44, 45, 47, 48、半導体抵抗素子411a, 411b、及びゲート電極412a, 412bの接続関係を見易くするため、ゲート線GCL及び信号線SGLを省略している。図16Cは、図16Bに示す第1の半導体押力センサの拡大図において、各ゲート電極を省略した図である。図16Dは、図16Bに示す第1の半導体押力センサの拡大図において、各配線を省略した図である。図17は、図16のE1-E2線に沿う断面図である。図18は、図16のF1-F2線に沿う断面図である。図19は、図16のG1-G2線に沿う断面図である。なお、図16A乃至図19では、図3に示す画素Pixの各構成要素は省略している。また、上述した実施形態1と同等あるいは同一の構成部については、重複する説明を省略する。

[0059] 図14又は図15に示すように、実施形態2に係る押力検出部40aにおいて、第1の半導体押力センサ41a及び第2の半導体押力センサ42aは、TFTトランジスタ（トランジスタ素子）により構成される。以下、第1の半導体押力センサ41aの具体的な構成について説明する。なお、第2の半導体押力センサ42aは、実施形態1と同様に、第1の半導体押力センサ41aと同等の電気特性を有している。すなわち、第2の半導体押力センサ42aは、額縁領域11bにおいて、半導体層61と同層に半導体抵抗素子が設けられ、この半導体抵抗素子の抵抗値が、表示領域11aに力が加えられていないときの第1の半導体押力センサ41aの半導体抵抗素子411a, 411bの抵抗値と等価である。

[0060] 図16A乃至図19に示すように、第1の半導体押力センサ41aは、ゲ

ート線GCLと信号線SGLとの交差部において、2つの半導体抵抗素子411a、411bが絶縁層58d上に設けられた配線48（第1配線）で接続されている。また、第1の半導体押力センサ41aは、ゲート線GCLと信号線SGLとの交差部において、絶縁層58d上に設けられた配線47（第2配線）で接続された2つのゲート電極412a、412bを含む。

[0061] 半導体抵抗素子411aの一方端は、図17に示すように、コンタクトホールH31及びコンタクトホールH32を介して、絶縁層58d上に設けられた配線44と接続されている。また、半導体抵抗素子411aの他方端は、図19に示すように、コンタクトホールH34及びコンタクトホールH35を介して、絶縁層58d上に設けられた配線48（第1配線）と接続されている。半導体抵抗素子411bの接続構成については、半導体抵抗素子411aと同様であるので省略する。

[0062] ゲート電極412aは、図19に示すように、コンタクトホールH36及びコンタクトホールH37を介して、絶縁層58d上に設けられた配線47（第2配線）と接続されている。ゲート電極412bの接続構成については、ゲート電極412aと同様であるので省略する。

[0063] 上記構成により、ゲート電極412a、412bに印加されるゲート電圧VG（図14又は図15参照）に応じた電流が流れるTFトランジスタ（トランジスタ素子）が形成される。

[0064] 図14及び図15に示すように、ゲート電圧VGは、例えば、検出回路43aから配線47（第2配線）を介して印加される態様であっても良いし、検出回路43aとは異なる他の構成部から印加される態様であっても良い。ゲート電圧VGを印加する構成部により本開示が限定されるものではない。

[0065] なお、図16A乃至図16Dでは、配線44及び配線45と同様に、図中上側に配線47（第2配線）が引き出された例を示したが、配線47（第2配線）の引き出し方向はこれに限るものではない。

[0066] 図20Aは、実施形態2に係る第1の半導体押力センサの第2構成例を示す平面図である。図20Bは、図20Aに示す第1の半導体押力センサの第

2構成例において、ゲート線及び信号線を省略した図である。図20Cは、図20Bに示す第1の半導体押力センサの第2構成例において、各ゲート電極をさらに省略した図である。図20Dは、図20Bに示す第1の半導体押力センサの第2構成例において、各配線をさらに省略した図である。

[0067] 図20A乃至図20Dに示す第2構成例では、図16A乃至図16Dに示す第1構成例に対し、複数のTFTトランジスタ（トランジスタ素子）が直列接続されて第1の半導体押力センサ41が構成されている点が異なる。TFTトランジスタ（トランジスタ素子）間には、それぞれコンタクトホールを介して絶縁層58d上に設けられた配線46（第3配線）により接続されている。また、図20A乃至図20Dに示す第2構成例では、列方向（Dy方向）に延びる半導体抵抗素子411を複数列有する構成である。

[0068] 図21Aは、実施形態2に係る第1の半導体押力センサの第3構成例を示す平面図である。図21Bは、図21Aに示す第1の半導体押力センサの第3構成例において、ゲート線及び信号線を省略した図である。図21Cは、図21Bに示す第1の半導体押力センサの第3構成例において、各ゲート電極をさらに省略した図である。図21Dは、図21Bに示す第1の半導体押力センサの第3構成例において、各配線をさらに省略した図である。

[0069] 図21A乃至図21Dに示す第3構成例では、図20A乃至図20Dに示す第2構成例に対し、半導体抵抗素子411がゲート線GCLに沿って行方向に延在して設けられている点が異なる。図21A乃至図21Dに示す第1の半導体押力センサ41aは、絶縁層58b上に設けられたゲート電極412が半導体抵抗素子411に重なりTFTトランジスタ（トランジスタ素子）が形成される。また、図21A乃至図21Dに示す第3構成例では、行方向（Dx方向）に延びる半導体抵抗素子411を複数行有する構成である。

[0070] 図22Aは、実施形態2に係る第1の半導体押力センサの第4構成例を示す平面図である。図22Bは、図22Aに示す第1の半導体押力センサの第4構成例において、ゲート線及び信号線を省略した図である。図22Cは、図22Bに示す第1の半導体押力センサの第4構成例において、各ゲート電

極をさらに省略した図である。図22Dは、図22Bに示す第1の半導体押力センサの第4構成例において、各配線をさらに省略した図である。

[0071] 図22A乃至図22Dに示す第4構成例では、図20A乃至図20Dに示す第2構成例と図21A乃至図21Dに示す第3構成例とを組み合わせ、列方向(D_y方向)に延びる半導体抵抗素子411a, 411bと行方向(D_x方向)に延びる半導体抵抗素子411とが混在する構成である。図22A乃至図22Dでは、複数の半導体抵抗素子411, 411a, 411bが渦巻き状に配置された例を示している。

[0072] 図20A乃至図20D、図21A乃至図21D、及び図22A乃至図22Dに示す各構成例では、第1の半導体押力センサ41aを形成するTFTトランジスタ(トランジスタ素子)が絶縁層58d上に設けられた配線46(第3配線)で直列接続されている。これにより、図16A乃至図16Dに示す第1構成例よりも第1の半導体押力センサ41aの抵抗値を大きくすることができる。第1の半導体押力センサ41a及び第2の半導体押力センサ42aの抵抗値を大きくすることで、表示領域11aに加えられた押力による抵抗値の変動分が大きくなり、表示領域11aに加えられた押力の検出精度を高めることができる。

[0073] 図23は、TFTトランジスタのゲートソース間電圧とドレインソース電流との関係を示す図である。図23に示すように、ゲートソース間電圧V_{gs}に応じて、ドレインソース電流I_{ds}が変化する。すなわち、ゲートソース間電圧V_{gs}を変化させることで、TFTトランジスタのオン抵抗が変化する。

[0074] 本実施形態では、ゲート電圧V_G(図14又は図15参照)を調整することで、第1の半導体押力センサ41a及び第2の半導体押力センサ42aの抵抗値を変えることができる。このため、例えば、表示領域11a内の複数箇所に第1の半導体押力センサ41aを配置する場合に、それぞれゲート電圧V_Gを異なる値とすることで、表示領域11aに加えられた押力に対する検出値を略一定とすることができる。

- [0075] 以上説明したように、実施形態2において、第1の半導体押力センサ41aは、絶縁層58b上に設けられたゲート電極412、412a、412bが半導体抵抗素子411、411a、411bに重なりTFTトランジスタ（トランジスタ素子）が形成される。
- [0076] 具体的に、半導体抵抗素子411a、411bが信号線SGLに重なり列方向（Dy方向）に延在して設けられた構成では、ゲート線GCLと信号線SGLとの交差部において、2つの半導体抵抗素子411a、411bが絶縁層58d上に設けられた配線48（第1配線）で接続される。また、第1の半導体押力センサ41aは、ゲート線GCLと信号線SGLとの交差部において、絶縁層58d上に設けられた配線47（第2配線）で接続された2つのゲート電極412a、412bを含む。
- [0077] これにより、画素Pixの開口率の低下を抑制しつつ、TFTトランジスタ（トランジスタ素子）で構成された第1の半導体押力センサ41aを用いて、表示領域11aに加えられた押力を検出することができる。
- [0078] また、第1の半導体押力センサ41aを構成するTFTトランジスタ（トランジスタ素子）が絶縁層58d上に設けられた配線46（第3配線）で直列接続されることで、図16に示す第1構成例よりも第1の半導体押力センサ41aの抵抗値を大きくすることができる。これにより、表示領域11aに加えられた押力の検出精度を高めることができる。
- [0079] 本実施形態により、低コストで表示面に加えられた押力を検出する構成を得ることができる。
- [0080] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。例えば、実施形態1では、カラー表示可能な液晶表示装置を示したが、本発明はカラー表示対応の液晶表示装置に限定されず、モノクロ表示対応の液晶表示装置であってもよい。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。

[0081] 例えば、本態様の表示装置は、以下の態様をとることができる。

(1) 複数の画素が行方向及び列方向に並ぶ表示領域と、
行方向に並ぶ前記画素にゲート信号を供給するゲート線と、
列方向に並ぶ前記画素に画素信号を供給する信号線と、
前記表示領域に設けられた、少なくとも1つの第1の半導体押力センサと、
、

前記表示領域の外側の額縁領域に設けられた、少なくとも1つの第2の半導体押力センサと、

前記第1の半導体押力センサと前記第2の半導体押力センサとの中点電圧に基づき、前記表示領域に加えられた押力を検出する検出回路と、
を備える
表示装置。

(2) 前記第1の半導体押力センサと前記第2の半導体押力センサは、力が加えられていないときの抵抗値が等価である
上記(1)に記載の表示装置。

(3) 前記複数の画素のそれぞれは、半導体層を含む画素トランジスタを有し、前記第1の半導体押力センサ及び前記第2の半導体押力センサは、それぞれ前記画素トランジスタの半導体層と同層に設けられた半導体抵抗素子を有する

上記(1)又は上記(2)に記載の表示装置。

(4) 前記第1の半導体押力センサは、
前記半導体抵抗素子が前記信号線に重なり列方向に延在して設けられている

上記(3)に記載の表示装置。

(5) 前記第1の半導体押力センサは、
前記半導体抵抗素子が前記ゲート線に沿って行方向に延在して設けられている

上記(3)に記載の表示装置。

(6) 前記第1の半導体押力センサは、

複数の前記半導体抵抗素子が、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた配線で直列接続されて構成されている
上記(4)又は上記(5)に記載の表示装置。

(7) 前記第1の半導体押力センサは、

前記ゲート線と同層に設けられ、前記半導体抵抗素子に重なるゲート電極をさらに含むトランジスタ素子を形成する
上記(4)又は上記(5)に記載の表示装置。

(8) 前記第1の半導体押力センサは、

前記ゲート線と前記信号線との交差部において、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた第1配線で接続された2つの前記半導体抵抗素子と、

前記交差部において、前記第1配線と同層に設けられた第2配線で接続された2つの前記ゲート電極と、
を含む前記トランジスタ素子を形成する
上記(7)に記載の表示装置。

(9) 前記第1の半導体押力センサは、

複数の前記トランジスタ素子が、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた第3配線で直列接続されて構成されている
上記(7)又は上記(8)に記載の表示装置。

(10) 2つの前記第1の半導体押力センサと2つの前記第2の半導体押力センサとを含み、ホイートストンブリッジ回路が構成される

上記(1)乃至上記(9)の何れか1つに記載の表示装置。

(11) 前記第1の半導体押力センサは、前記表示領域の複数箇所に配置されている

上記(1)乃至上記(10)の何れか1つに記載の表示装置。

符号の説明

- [0082] 1 表示装置
- 2 画素基板
- 6 液晶層
- 10 表示パネル
- 11a 表示領域
- 11b 額縁領域
- 12 ゲート線駆動回路
- 13 信号線駆動回路
- 21 TFT基板
- 22 画素電極
- 24 絶縁層
- 31 対向基板
- 32 カラーフィルタ
- 40, 40a 押力検出部
- 41, 41a 第1の半導体押力センサ
- 42 第2の半導体押力センサ
- 43 検出回路
- 44 配線
- 45 配線
- 46 配線
- 47 配線（第2配線）
- 48 配線（第1配線）
- 58a, 58b, 58c, 58d, 58e 絶縁層
- 61 半導体層
- 62 ソース電極
- 63 ドレイン電極
- 64 ゲート電極
- 411, 411a, 411b 半導体抵抗素子

4 1 2, 4 1 2 a, 4 1 2 b ゲート電極

G C L ゲート線

P i x 画素

S G L 信号線

T r 画素トランジスタ

請求の範囲

- [請求項1] 複数の画素が行方向及び列方向に並ぶ表示領域と、
行方向に並ぶ前記画素にゲート信号を供給するゲート線と、
列方向に並ぶ前記画素に画素信号を供給する信号線と、
前記表示領域に設けられた、少なくとも1つの第1の半導体押力センサと、
前記表示領域の外側の額縁領域に設けられた、少なくとも1つの第2の半導体押力センサと、
前記第1の半導体押力センサと前記第2の半導体押力センサとの中点電圧に基づき、前記表示領域に加えられた押力を検出する検出回路と、
を備える
表示装置。
- [請求項2] 前記第1の半導体押力センサと前記第2の半導体押力センサは、力が加えられていないときの抵抗値が等価である
請求項1に記載の表示装置。
- [請求項3] 前記複数の画素のそれぞれは、半導体層を含む画素トランジスタを有し、
前記第1の半導体押力センサ及び前記第2の半導体押力センサは、それぞれ前記画素トランジスタの半導体層と同層に設けられた半導体抵抗素子を有する
請求項1又は2に記載の表示装置。
- [請求項4] 前記第1の半導体押力センサは、
前記半導体抵抗素子が前記信号線に重なり列方向に延在して設けられている
請求項3に記載の表示装置。
- [請求項5] 前記第1の半導体押力センサは、
前記半導体抵抗素子が前記ゲート線に沿って行方向に延在して設け

られている

請求項 3 に記載の表示装置。

[請求項6]

前記第 1 の半導体押力センサは、

複数の前記半導体抵抗素子が、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた配線で直列接続されて構成されている

請求項 4 又は 5 に記載の表示装置。

[請求項7]

前記第 1 の半導体押力センサは、

前記ゲート線と同層に設けられ、前記半導体抵抗素子に重なるゲート電極をさらに含むトランジスタ素子を形成する

請求項 4 又は 5 に記載の表示装置。

[請求項8]

前記第 1 の半導体押力センサは、

前記ゲート線と前記信号線との交差部において、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた第 1 配線で接続された 2 つの前記半導体抵抗素子と、

前記交差部において、前記第 1 配線と同層に設けられた第 2 配線で接続された 2 つの前記ゲート電極と、

を含む前記トランジスタ素子を形成する

請求項 7 に記載の表示装置。

[請求項9]

前記第 1 の半導体押力センサは、

複数の前記トランジスタ素子が、前記ゲート線、前記信号線、及び前記半導体抵抗素子とは異なる層に設けられた第 3 配線で直列接続されて構成されている

請求項 7 又は 8 に記載の表示装置。

[請求項10]

2 つの前記第 1 の半導体押力センサと 2 つの前記第 2 の半導体押力センサとを含み、ホイートストンブリッジ回路が構成される

請求項 1 乃至 9 の何れか一項に記載の表示装置。

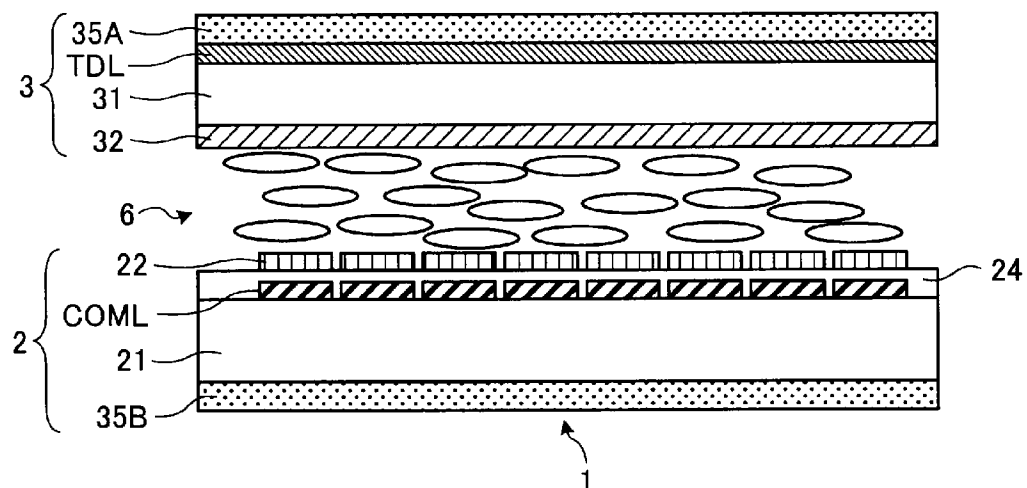
[請求項11]

前記第 1 の半導体押力センサは、前記表示領域の複数箇所に配置さ

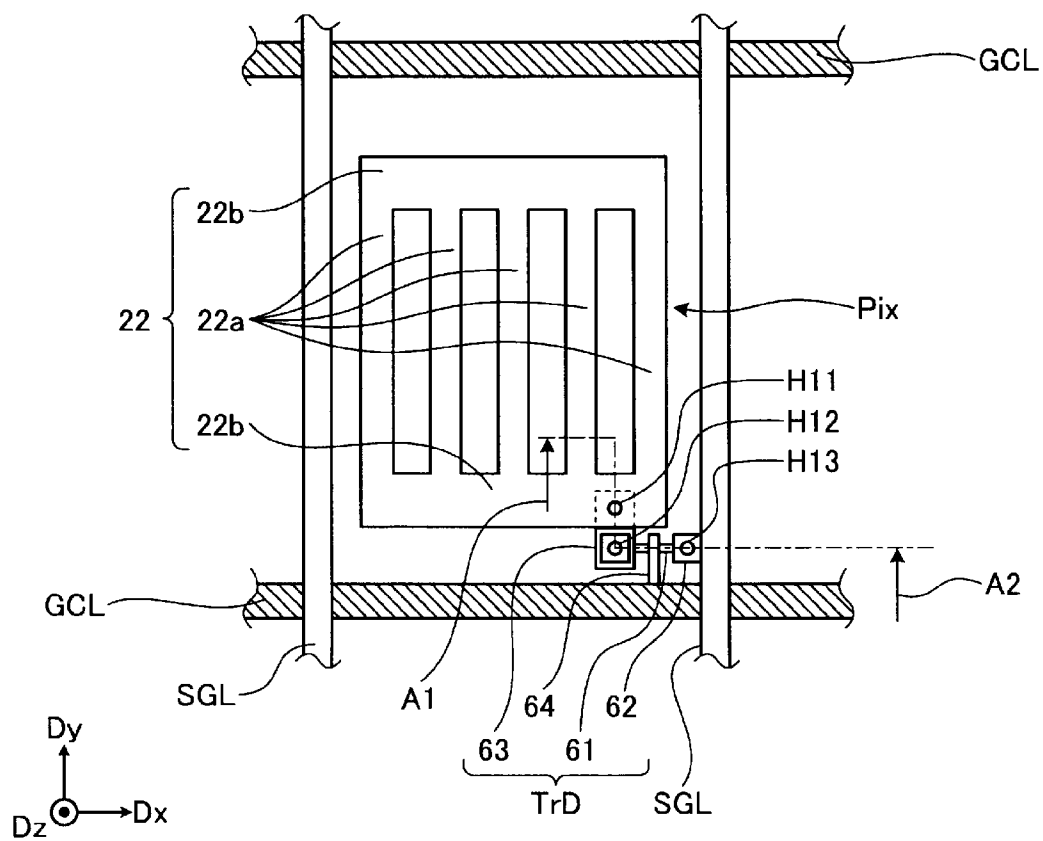
れている

請求項 1 乃至 10 の何れか一項に記載の表示装置。

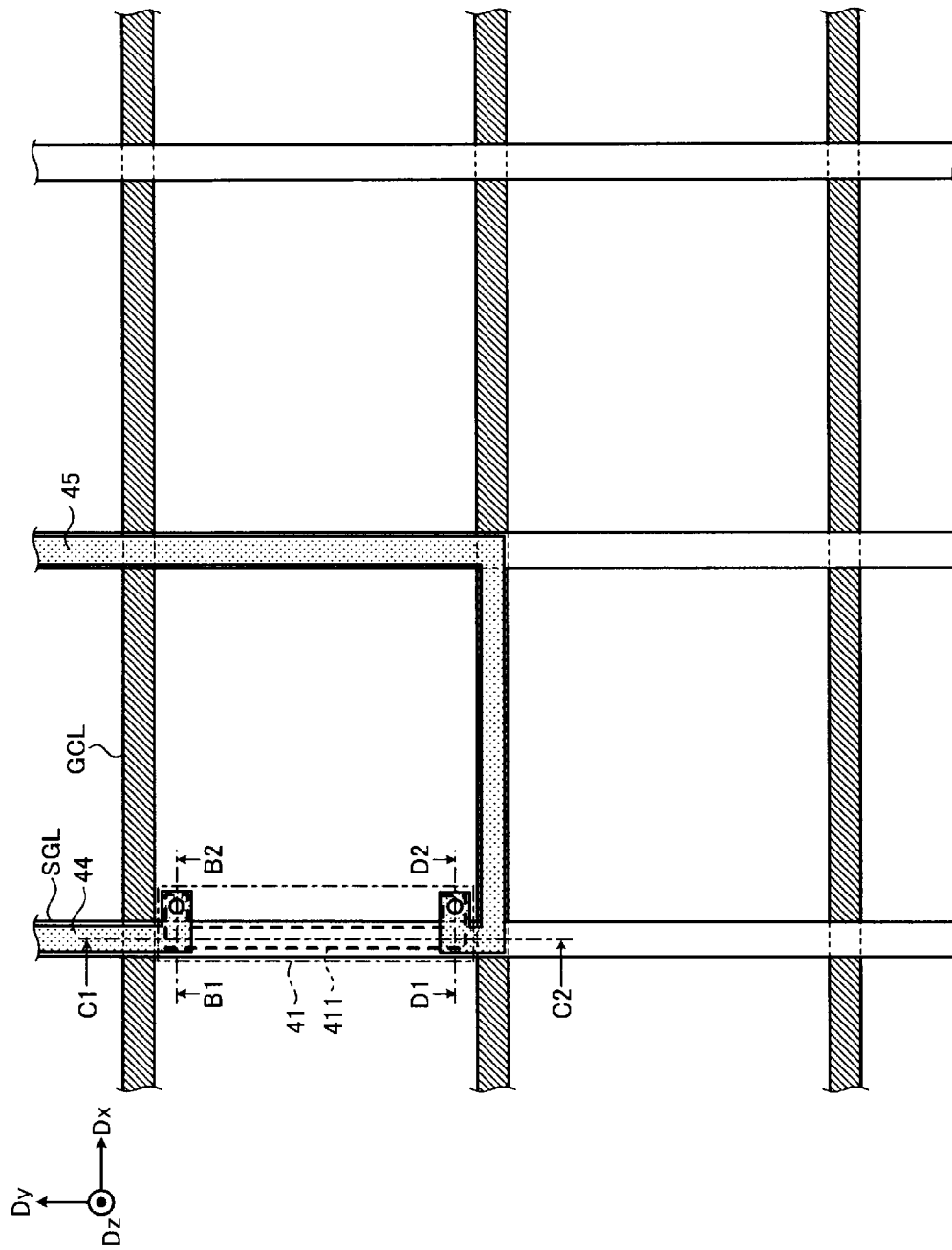
[図2]



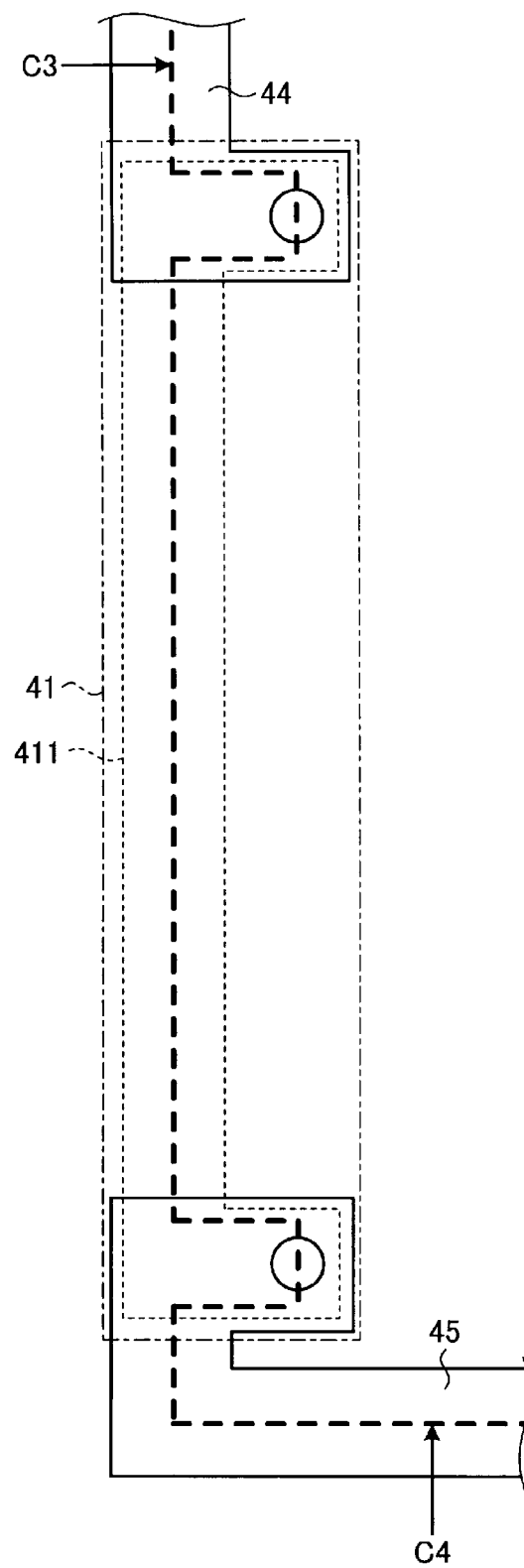
[図3]



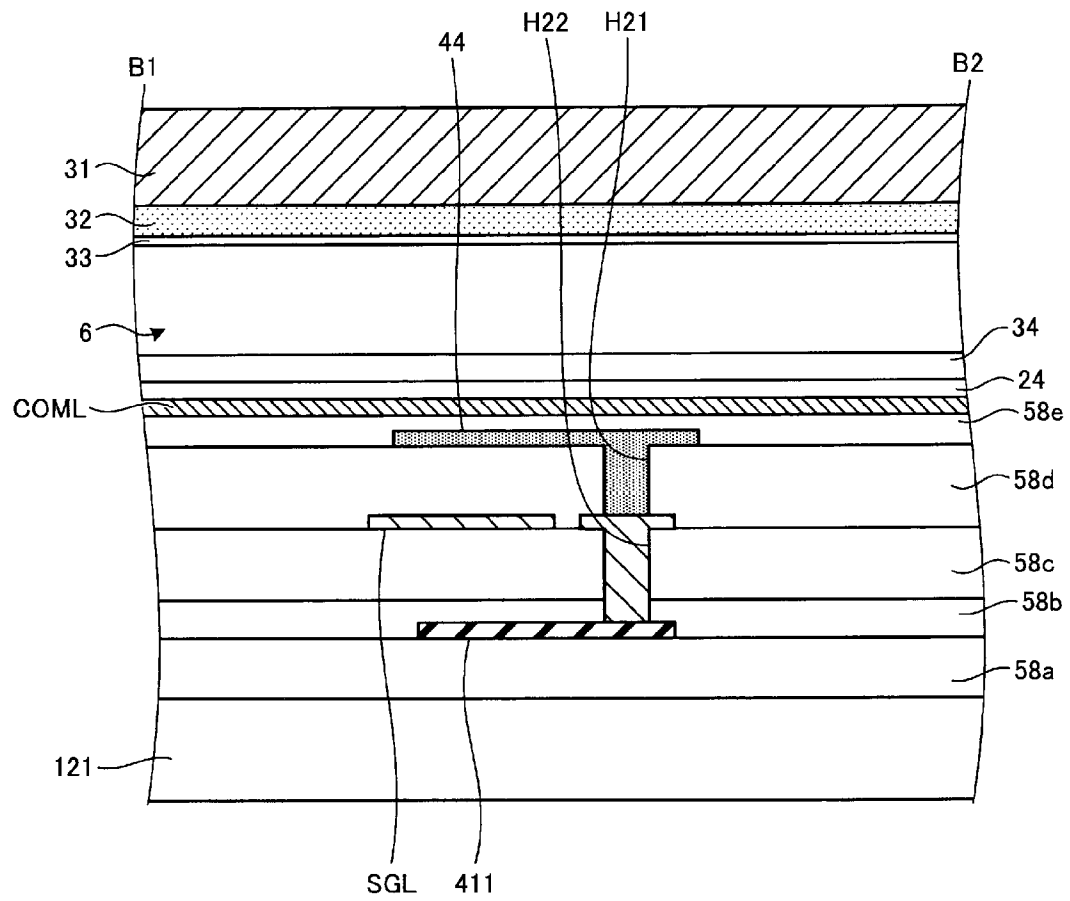
[図5A]



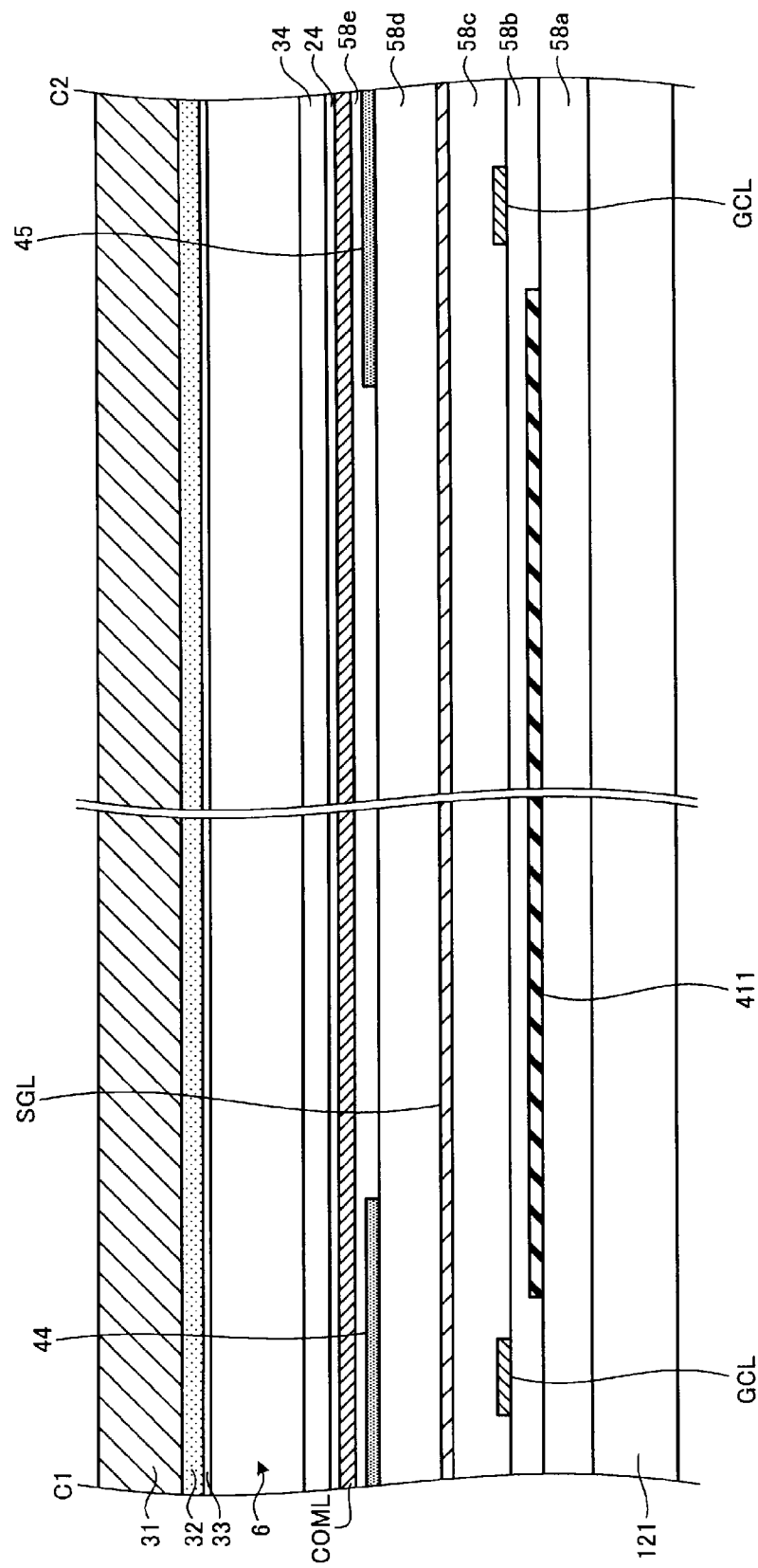
[図5B]



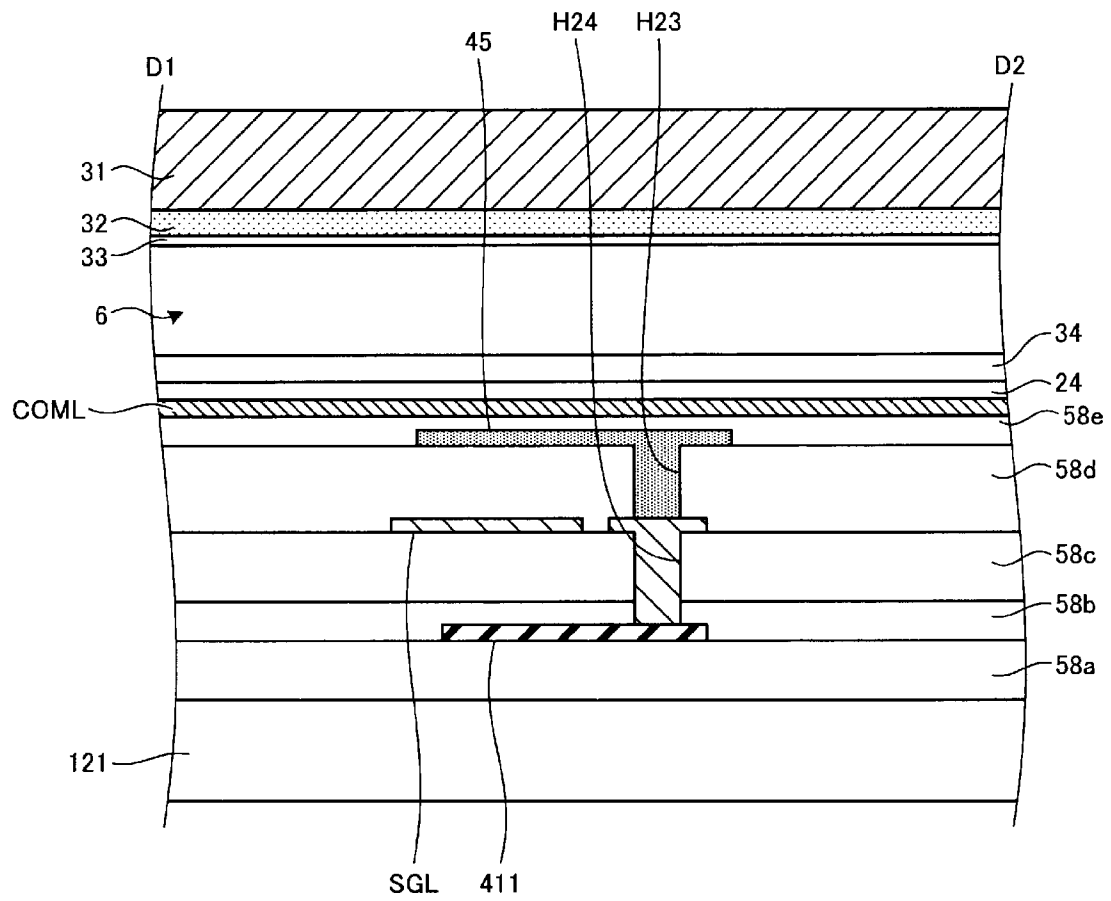
[図6]



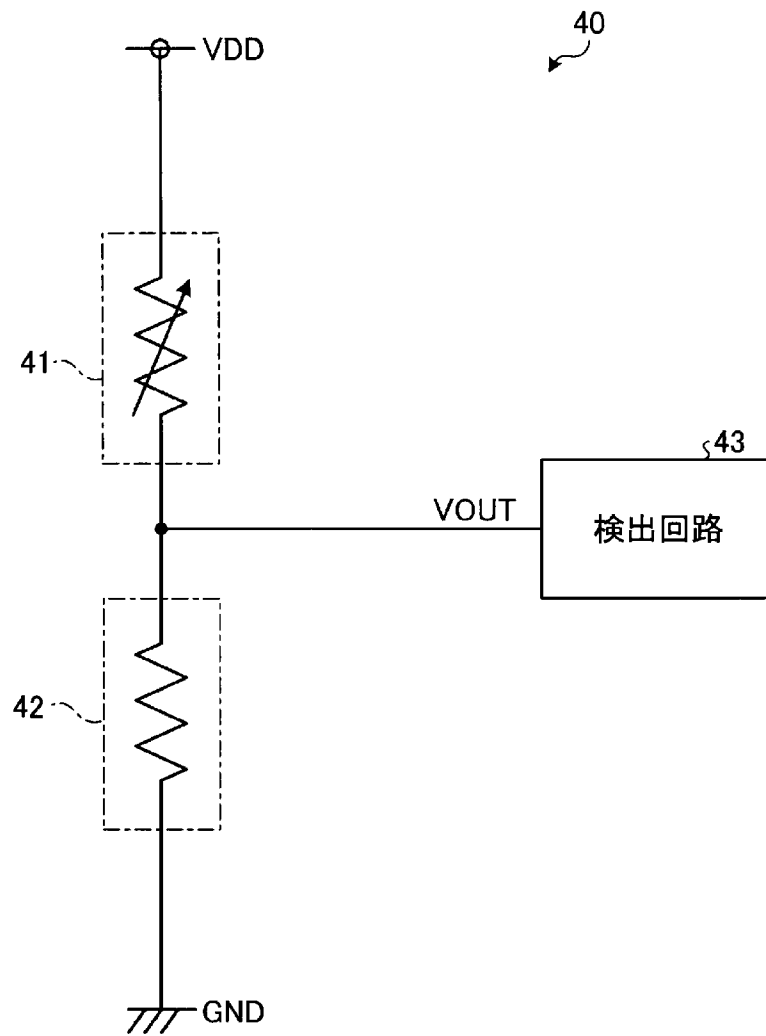
[図7]



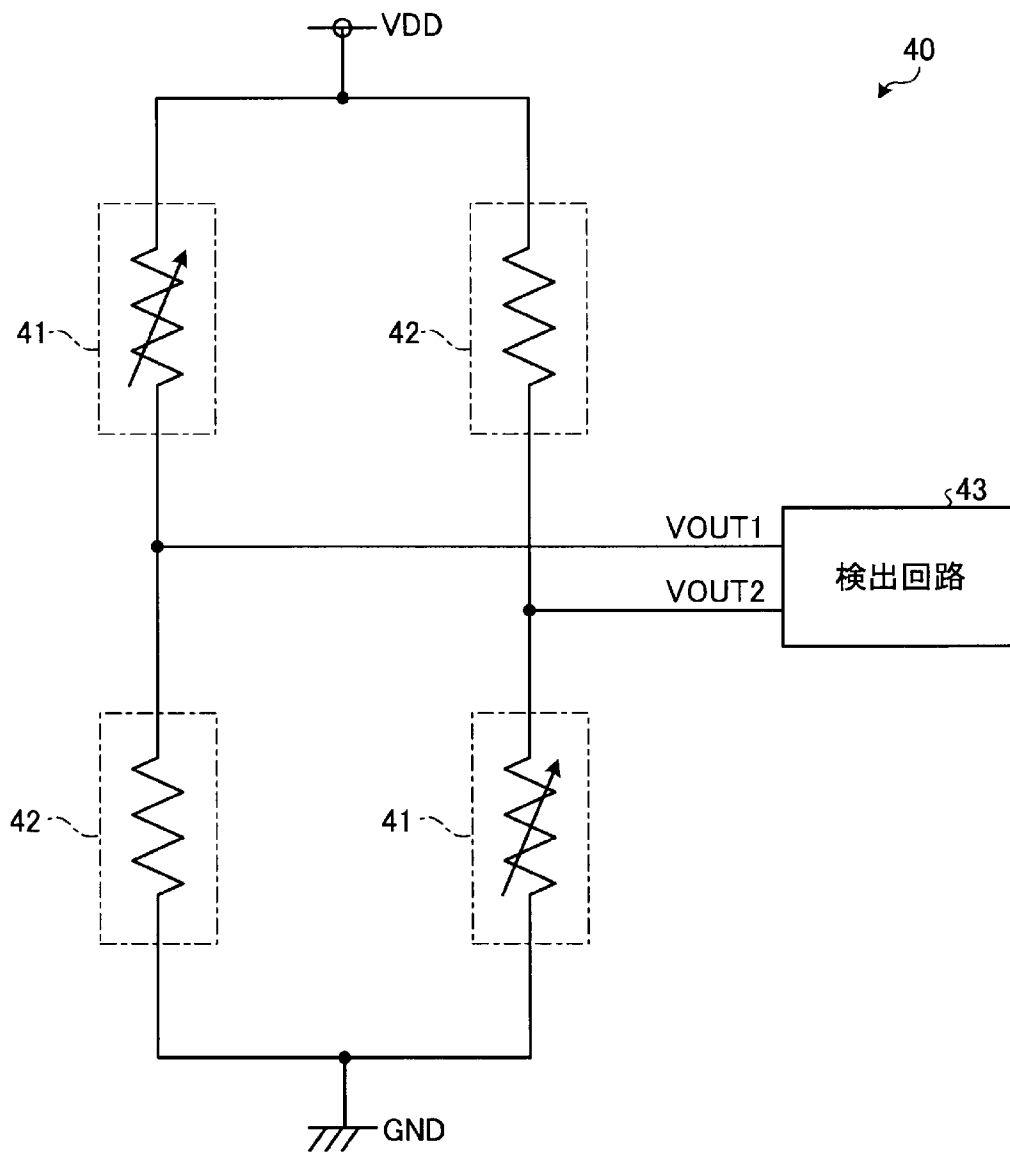
[図8]



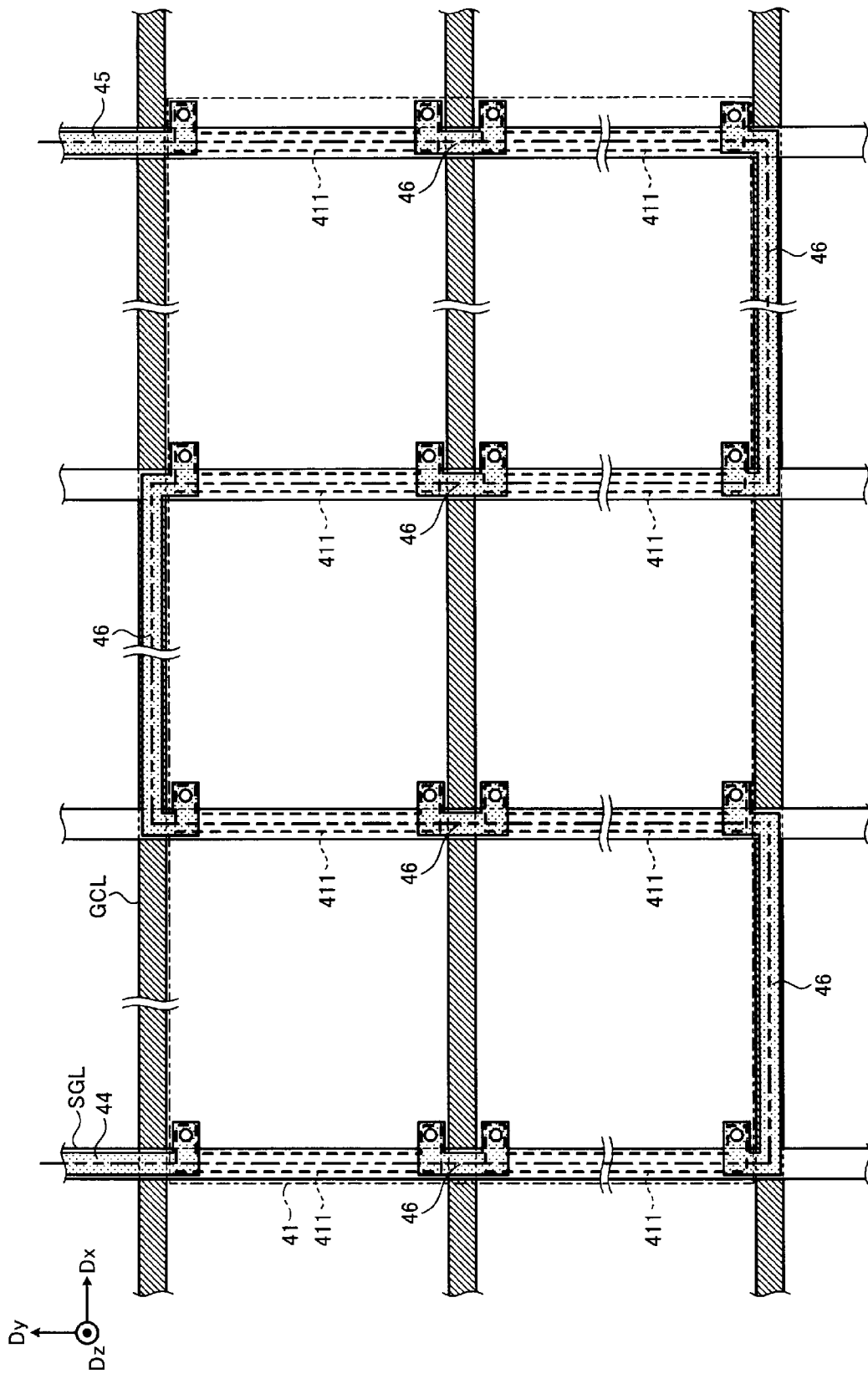
[図9]



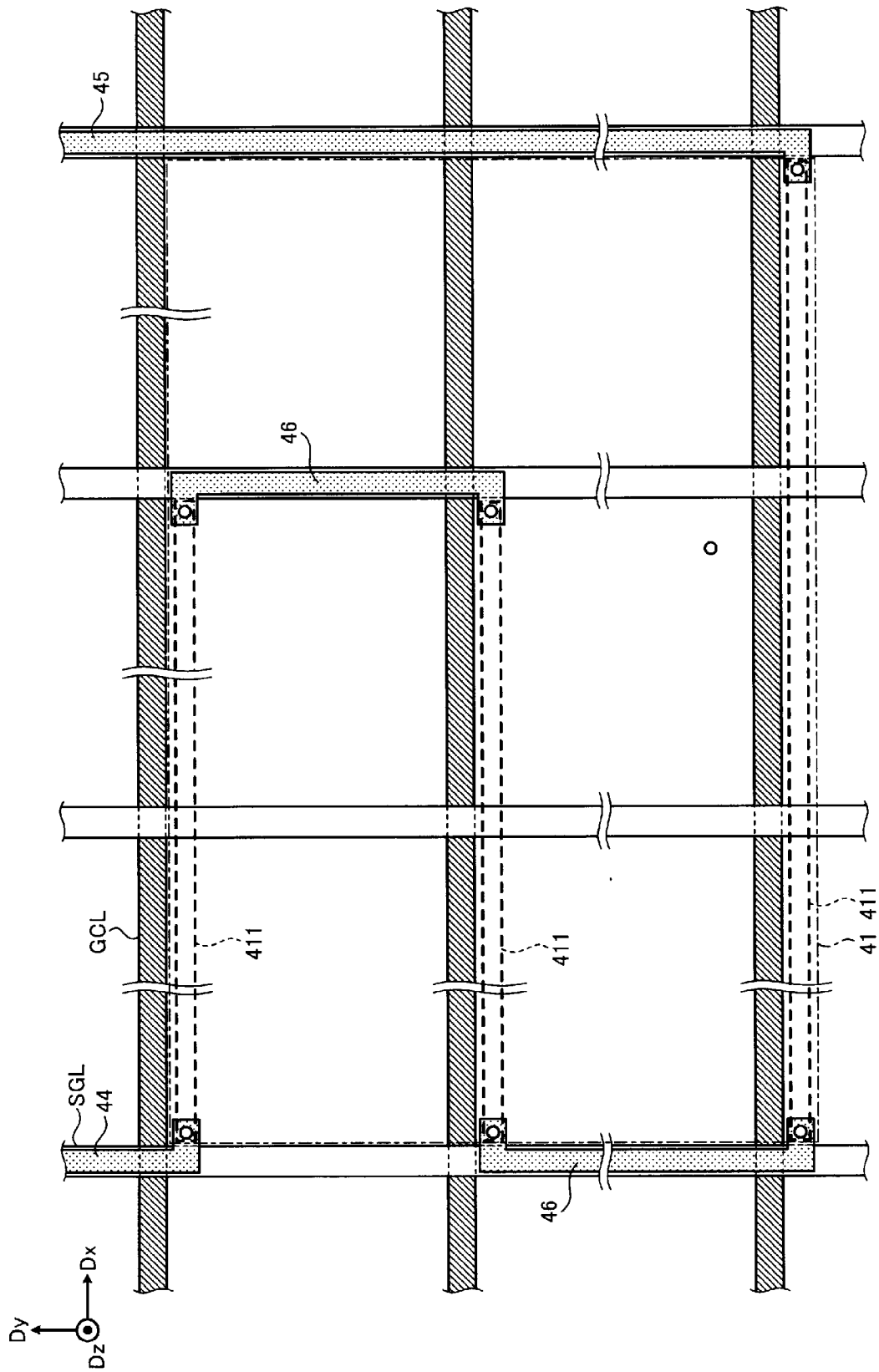
[図10]



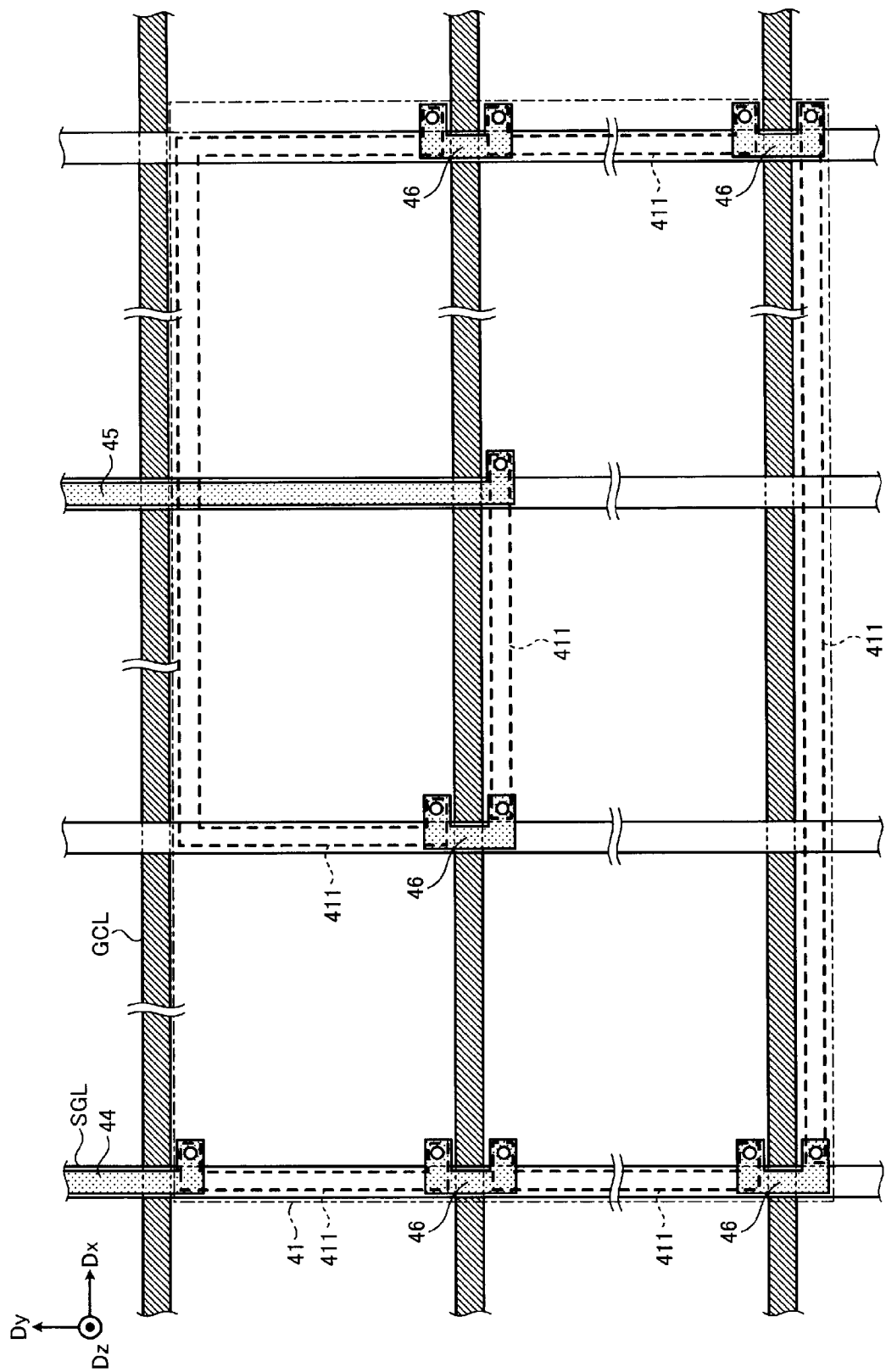
[図11]



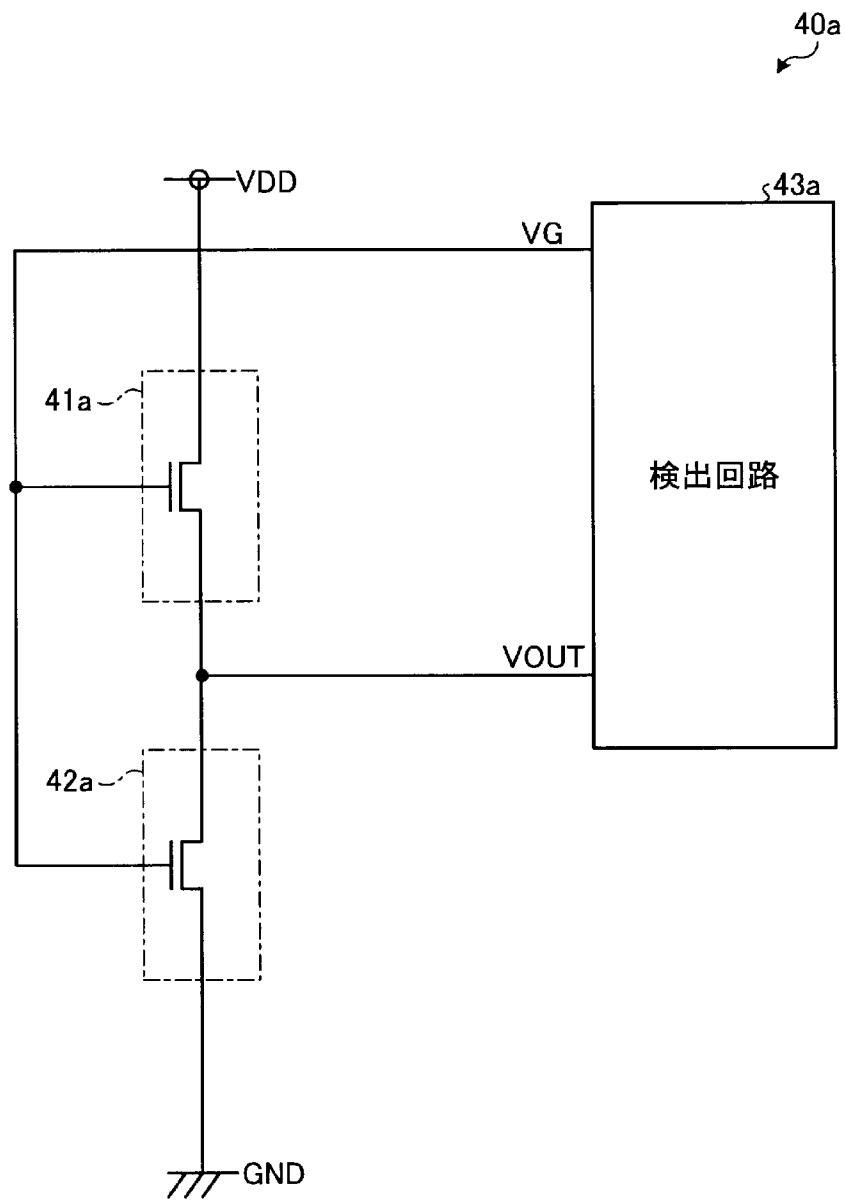
[図12]



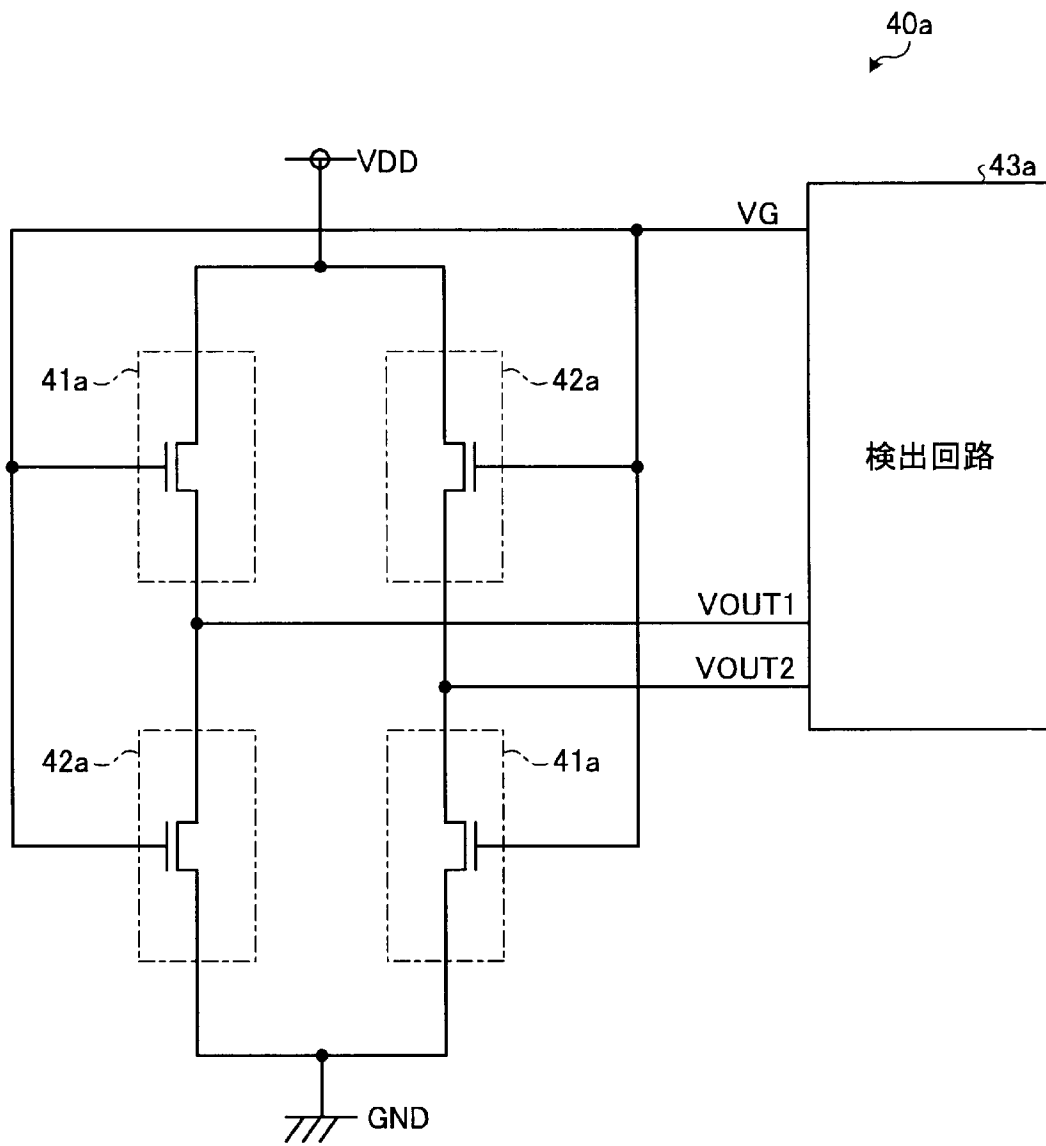
[図13]



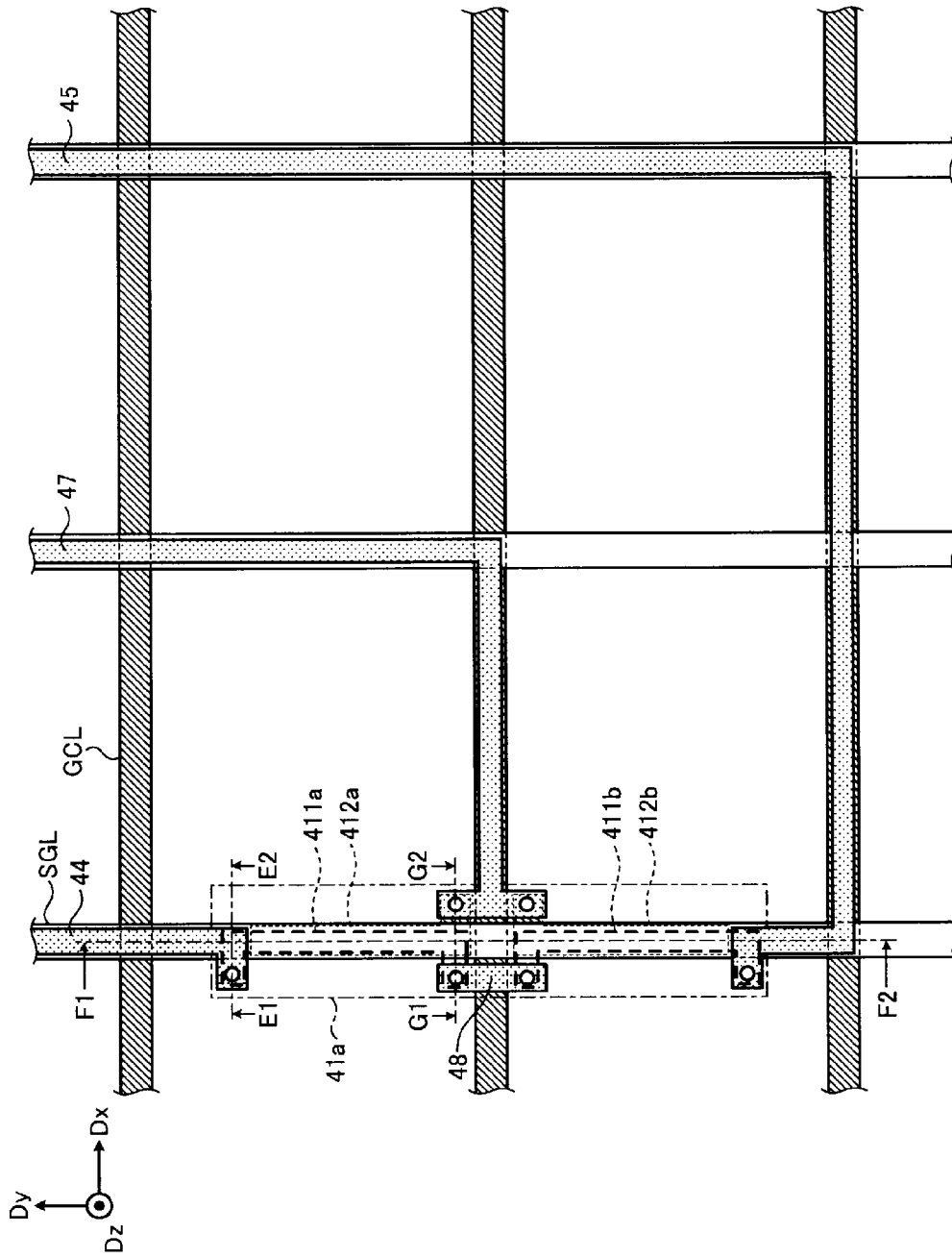
[図14]



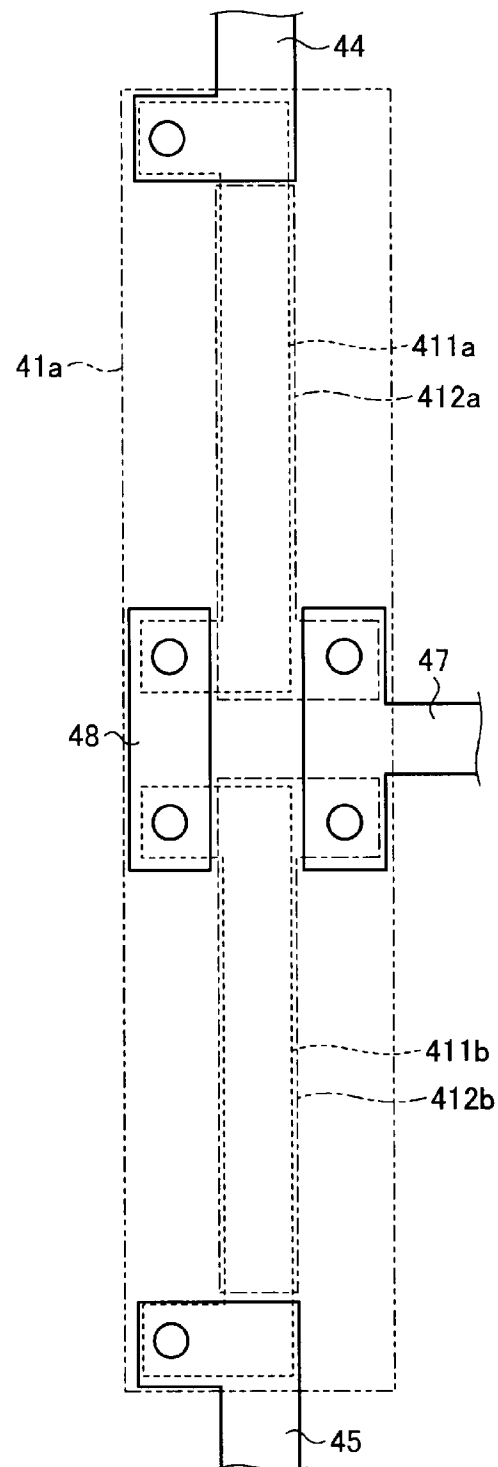
[図15]



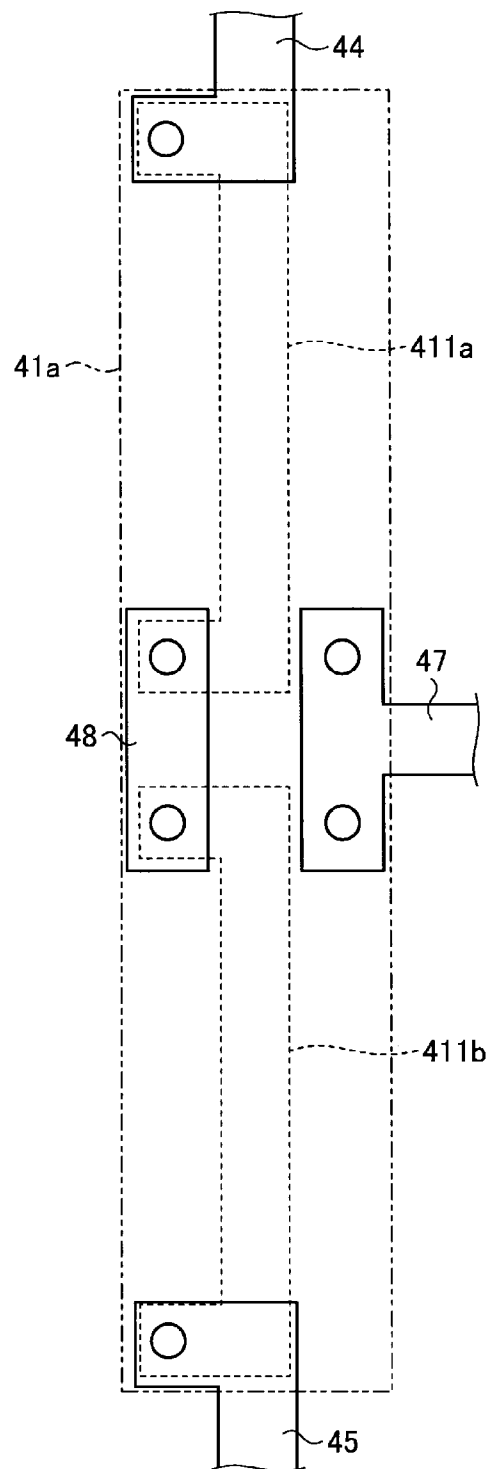
[図16A]



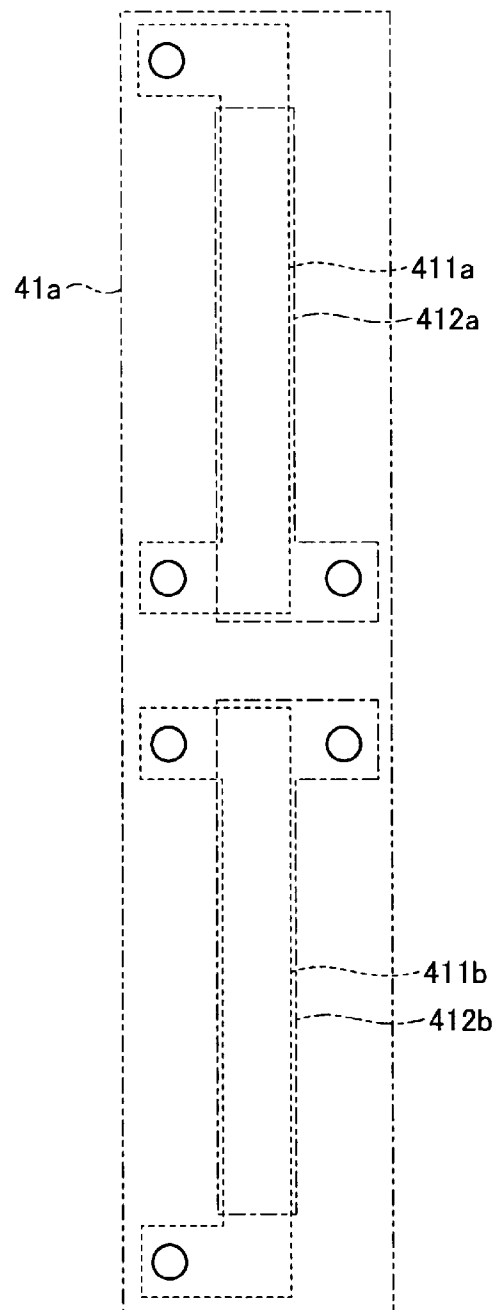
[図16B]



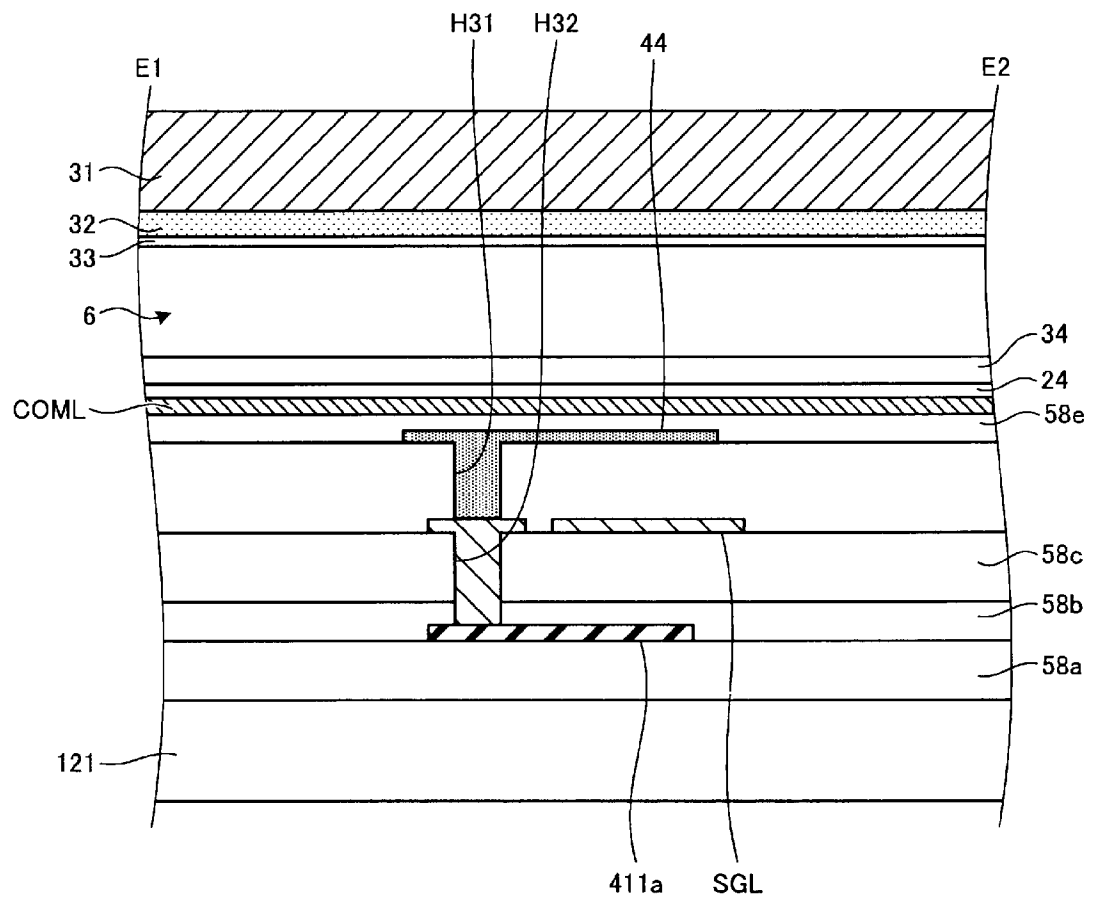
[図16C]



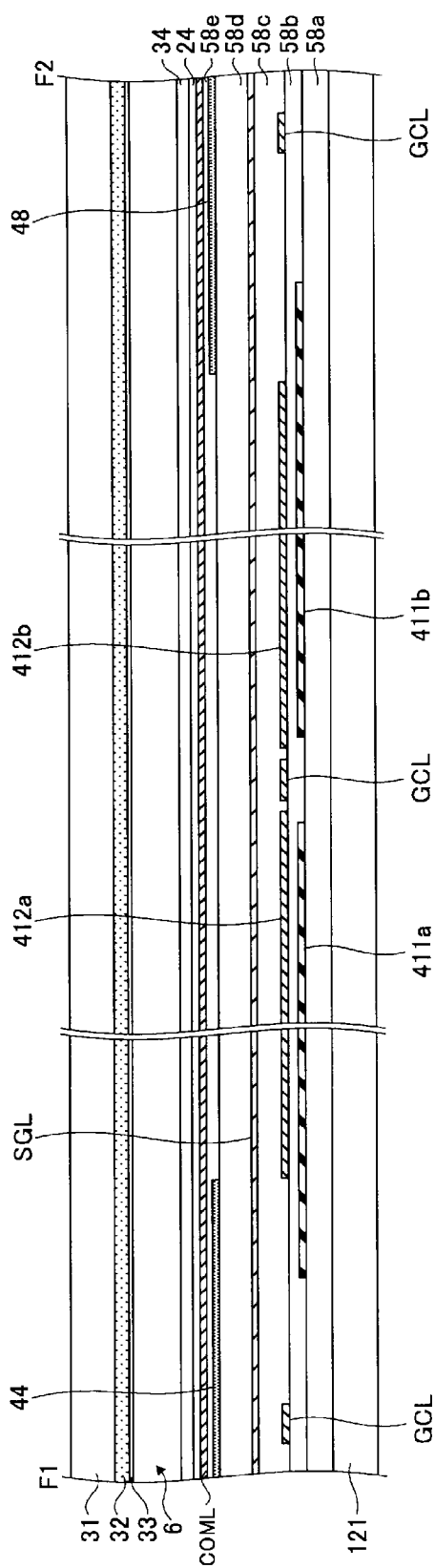
[図16D]



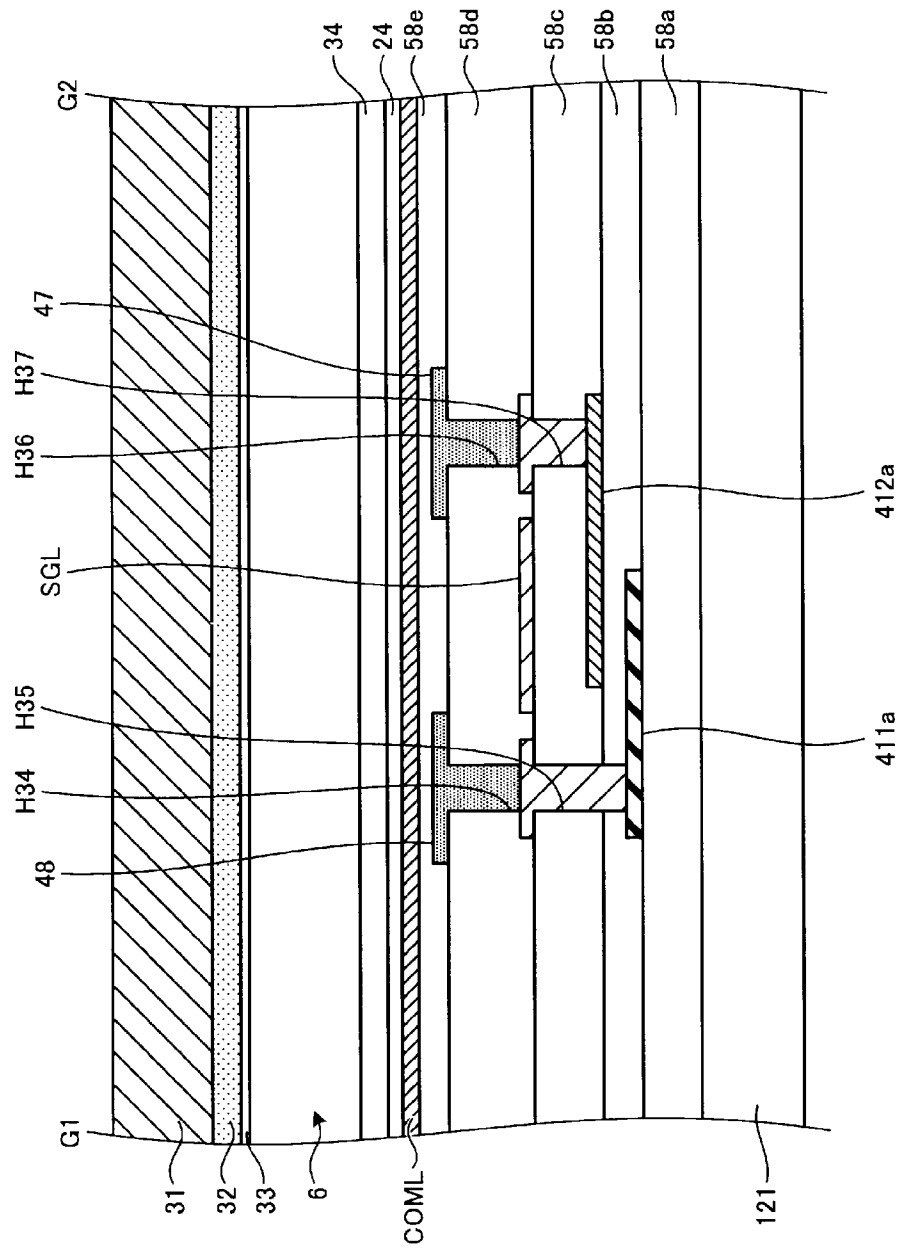
[図17]



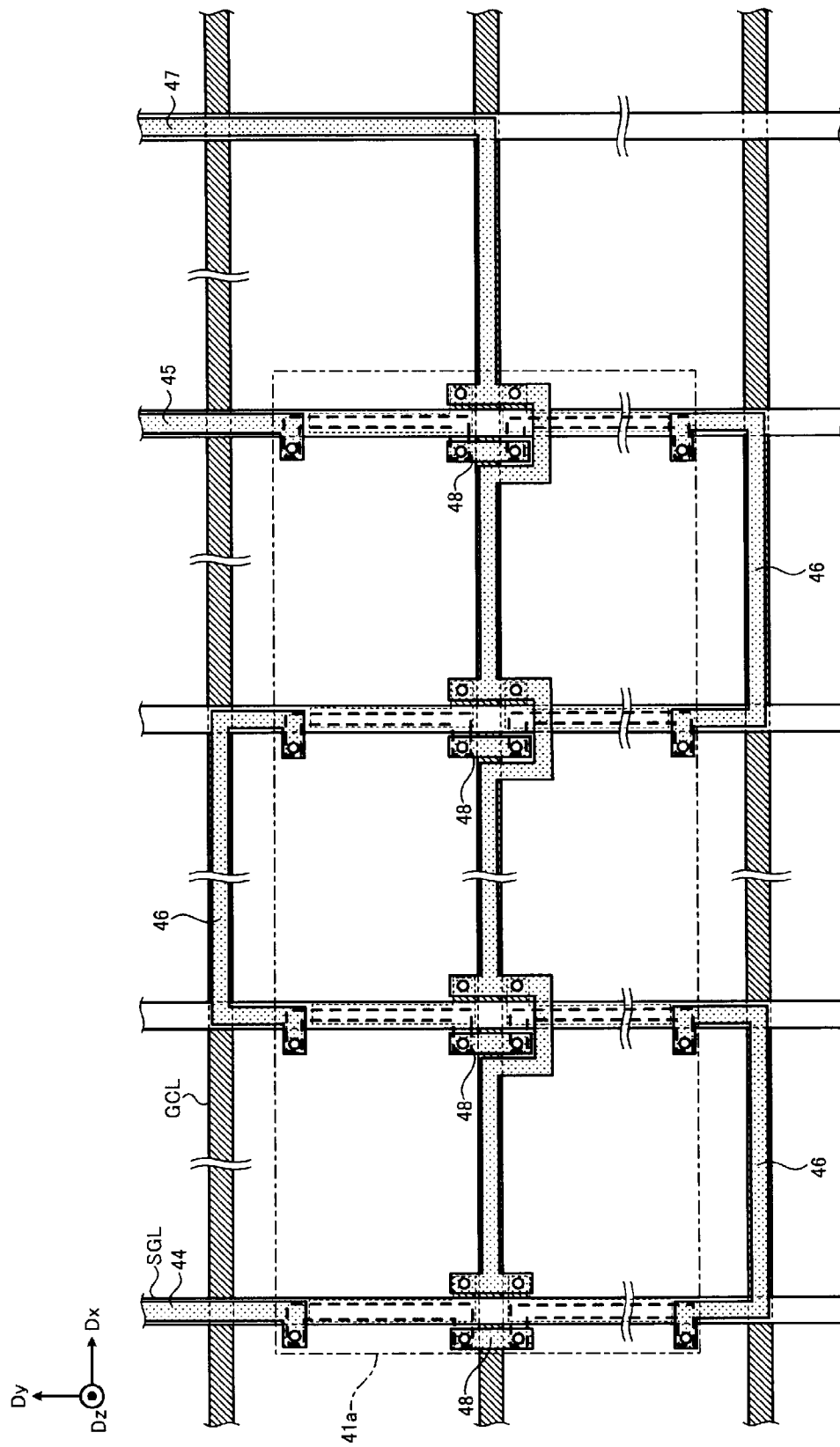
[図18]



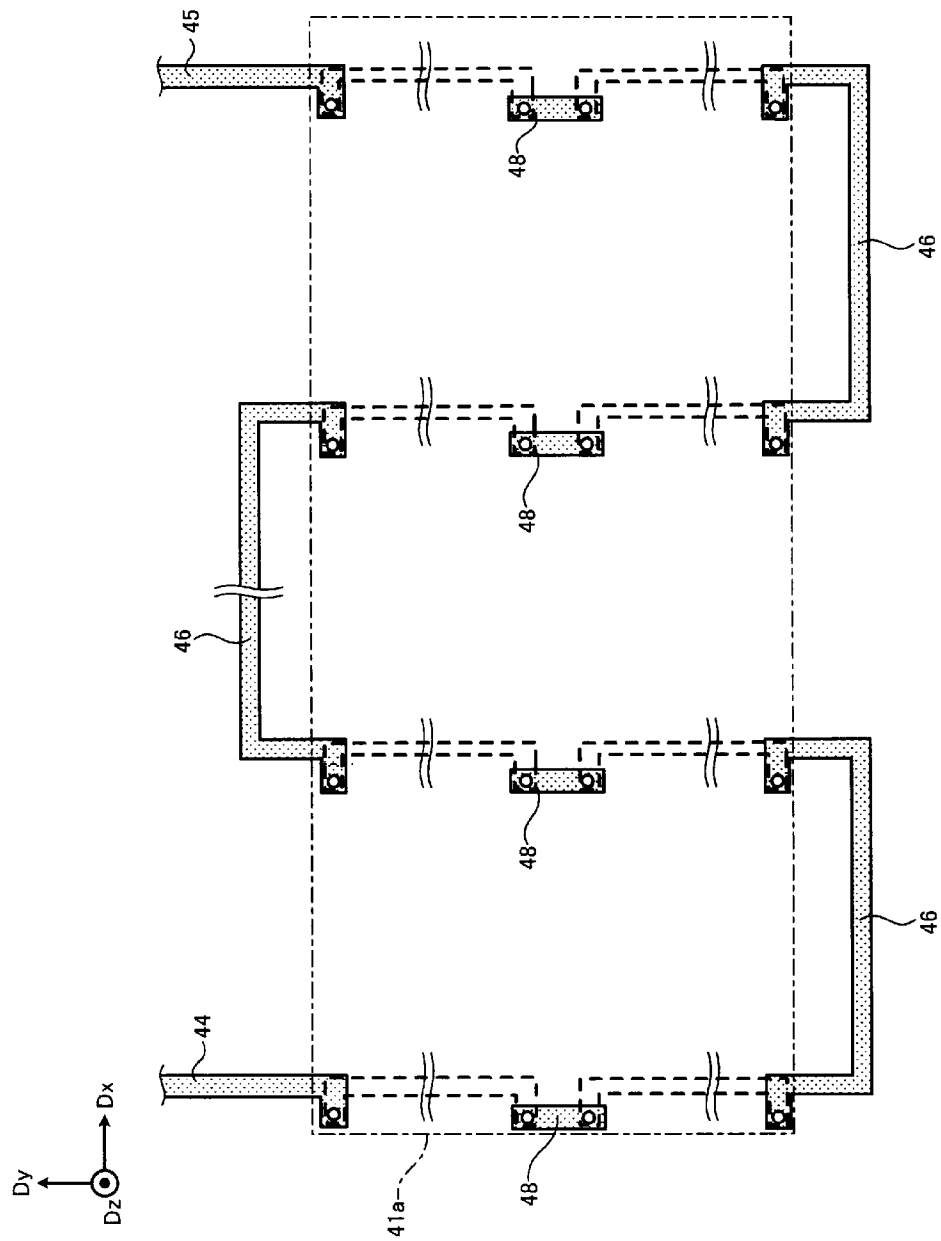
[図19]



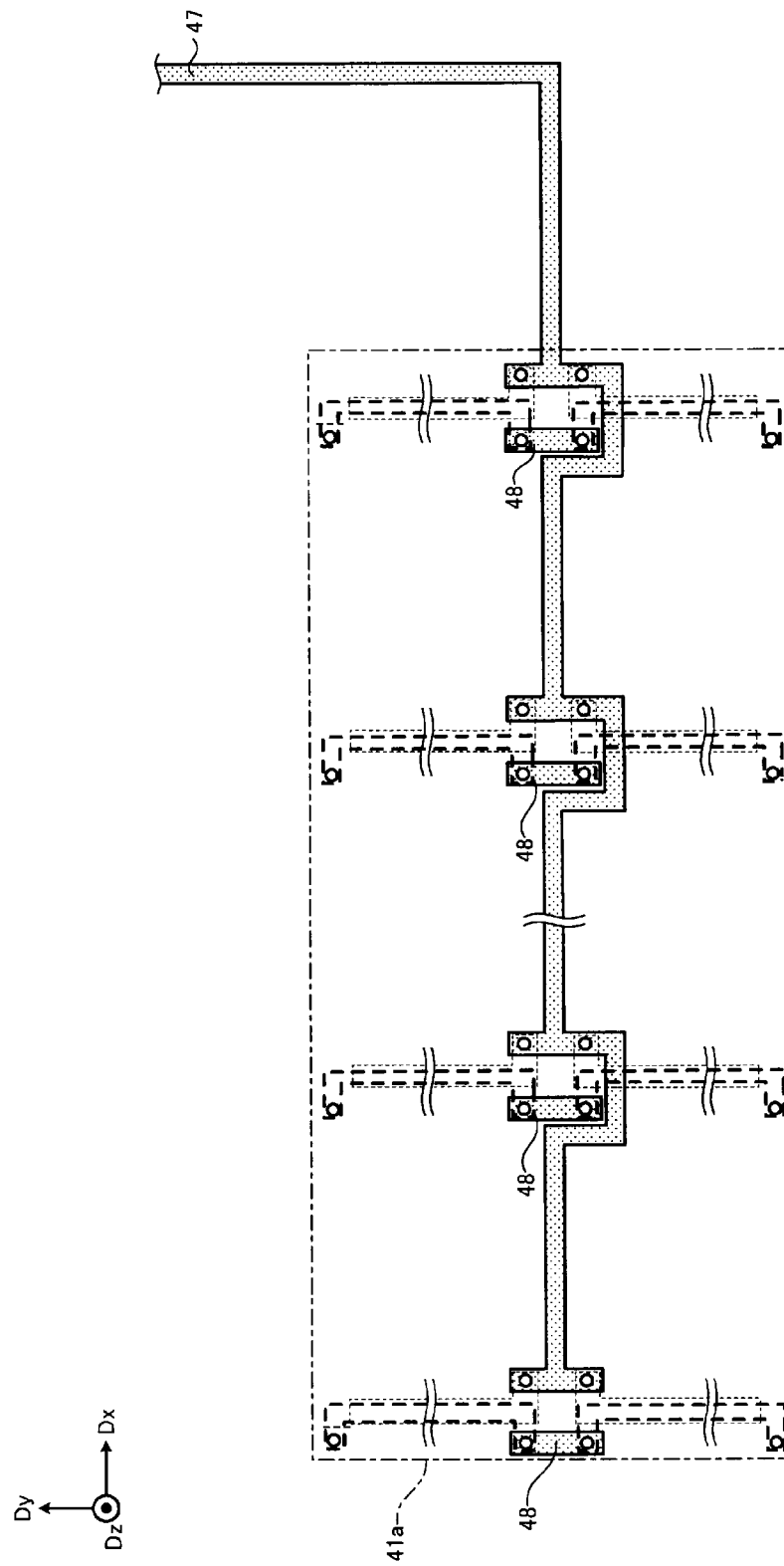
[図20A]



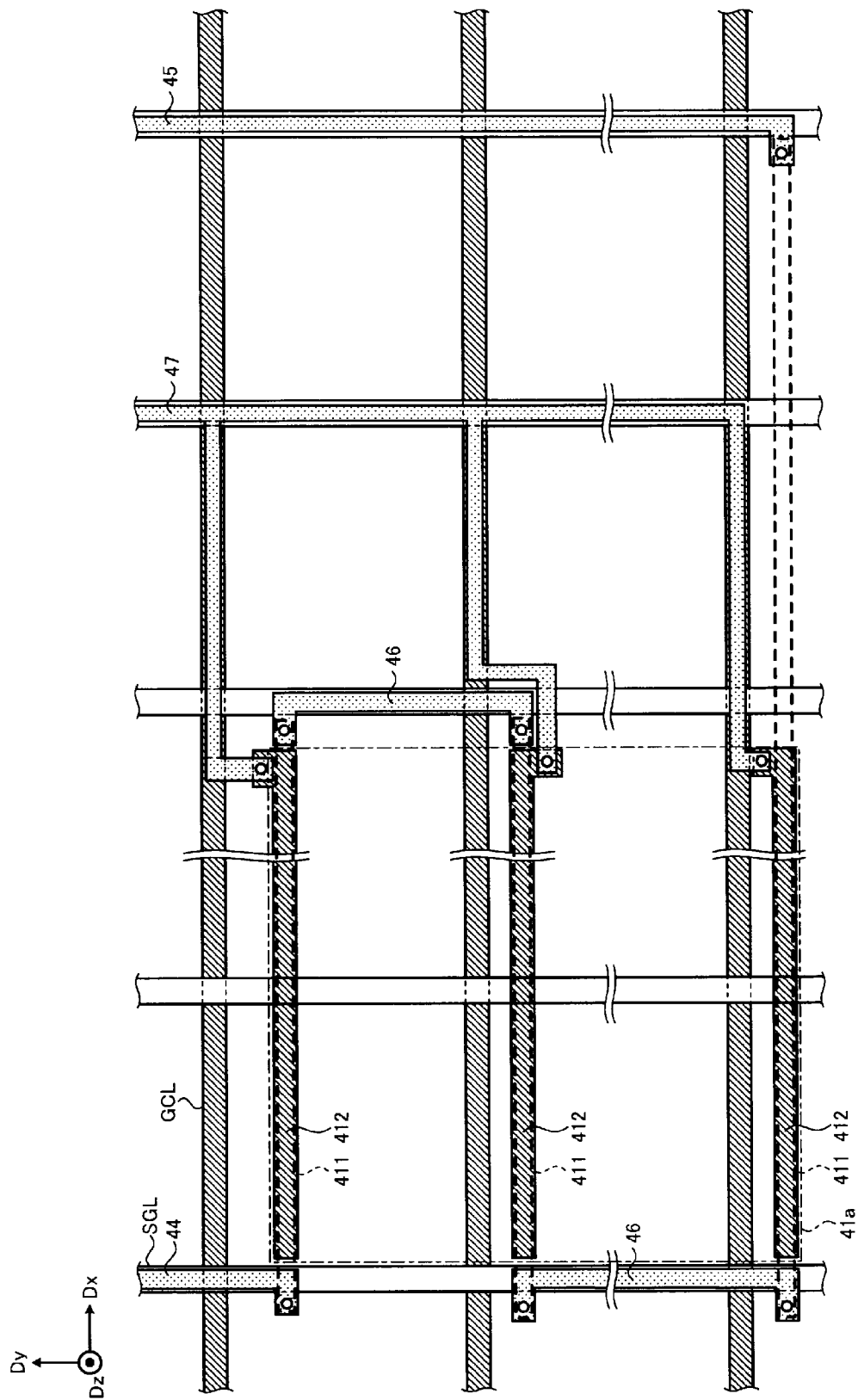
[図20C]



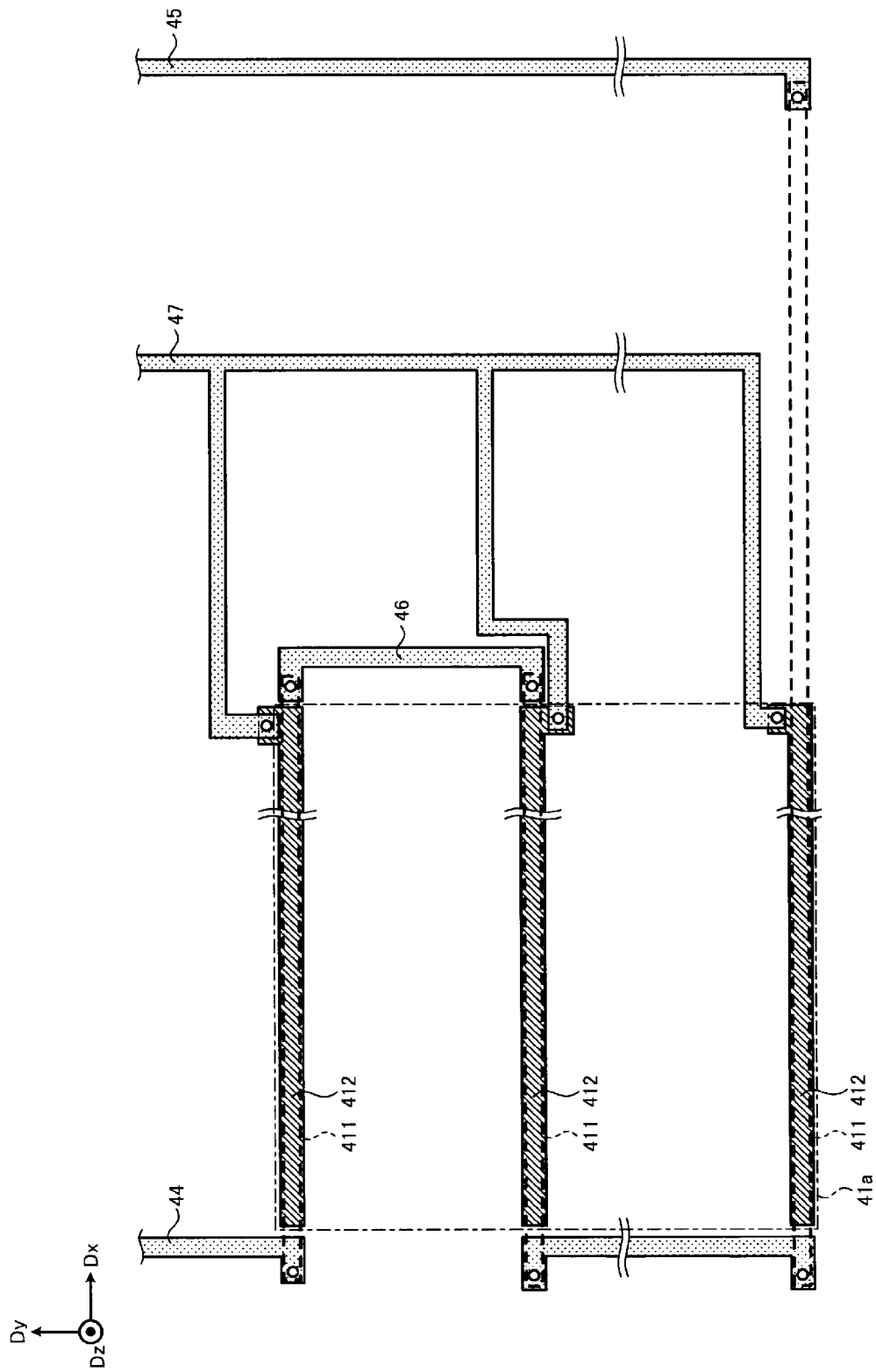
[図20D]



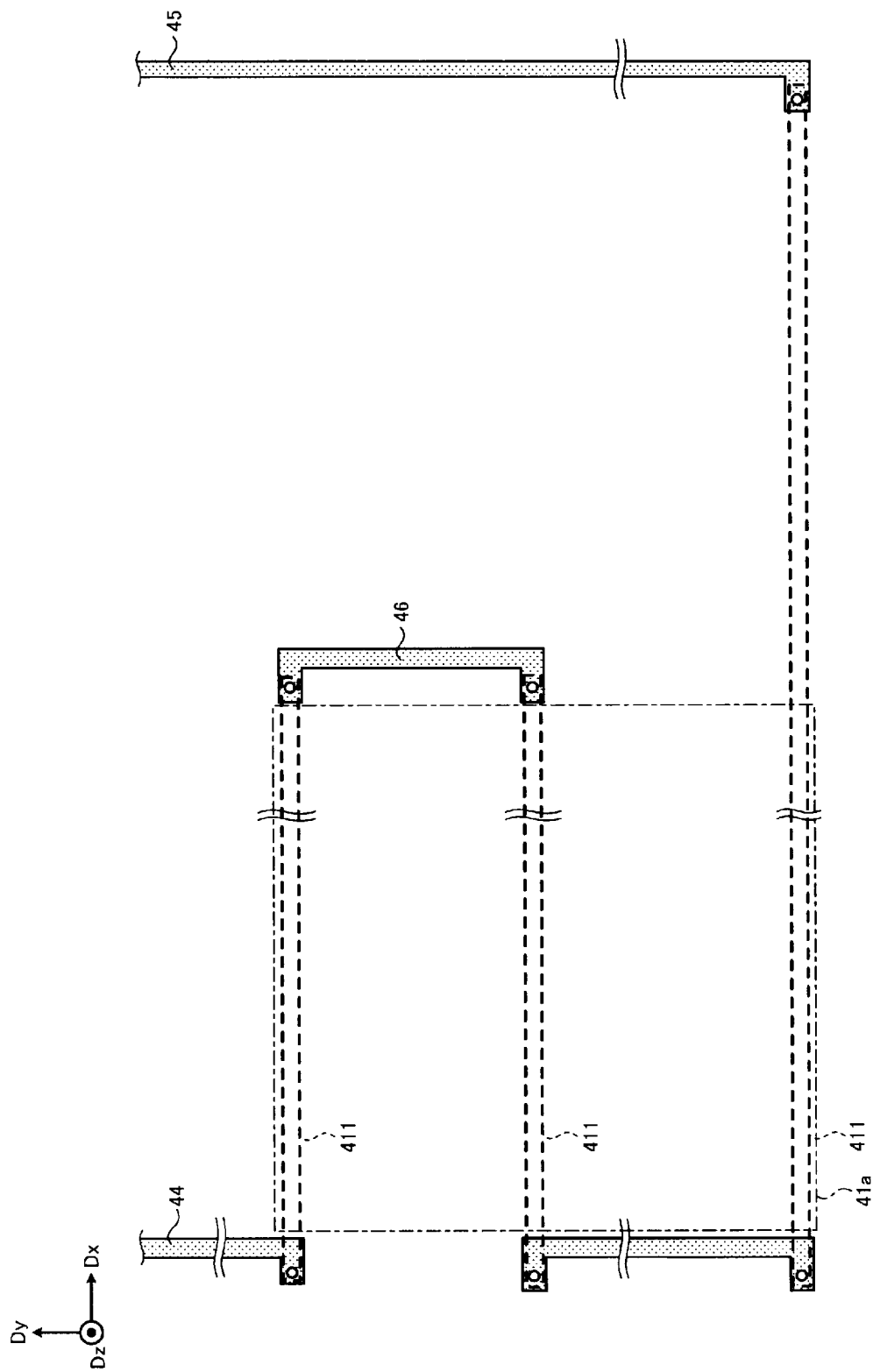
[図21A]



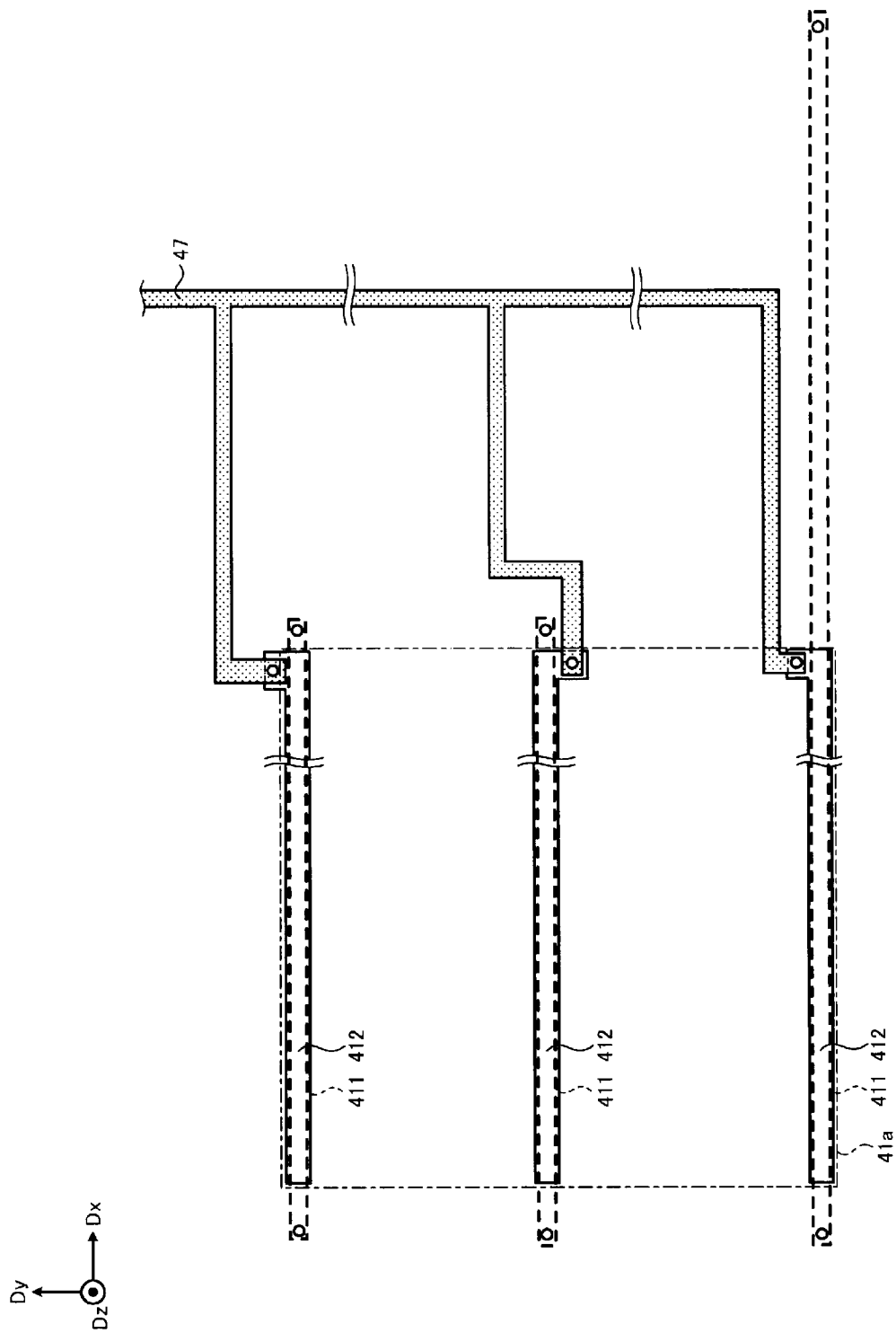
[図21B]



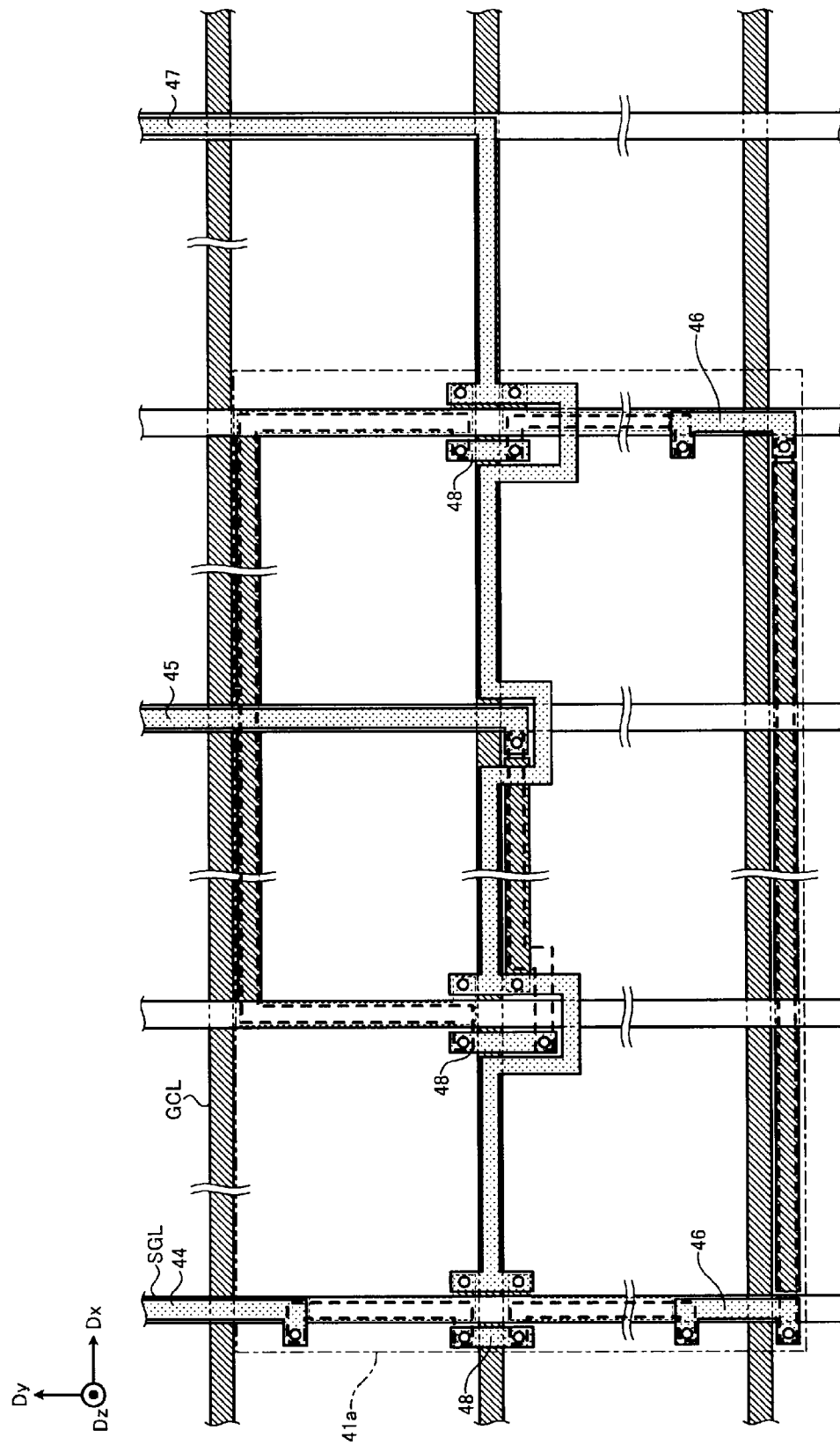
[図21C]



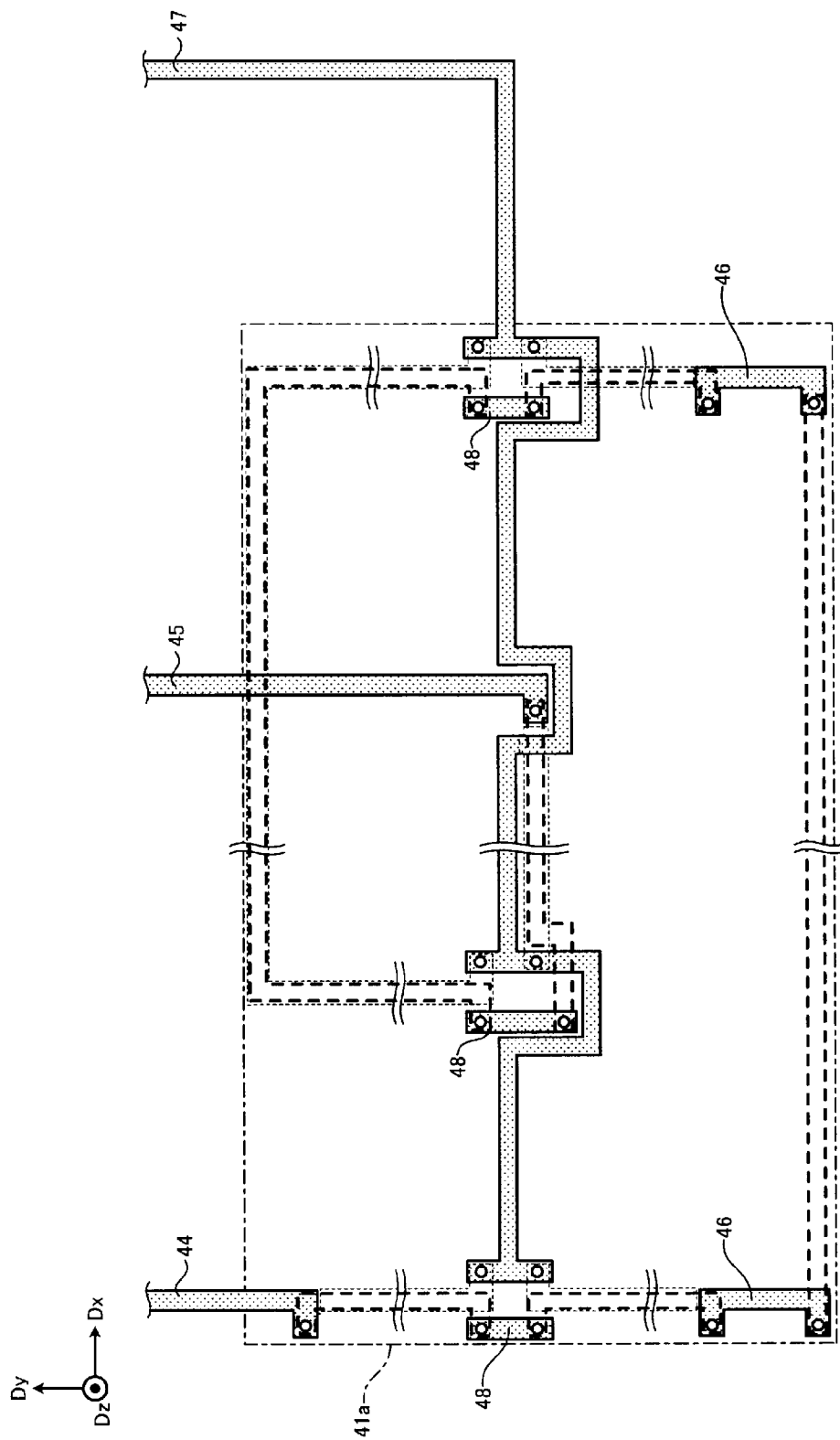
[図21D]



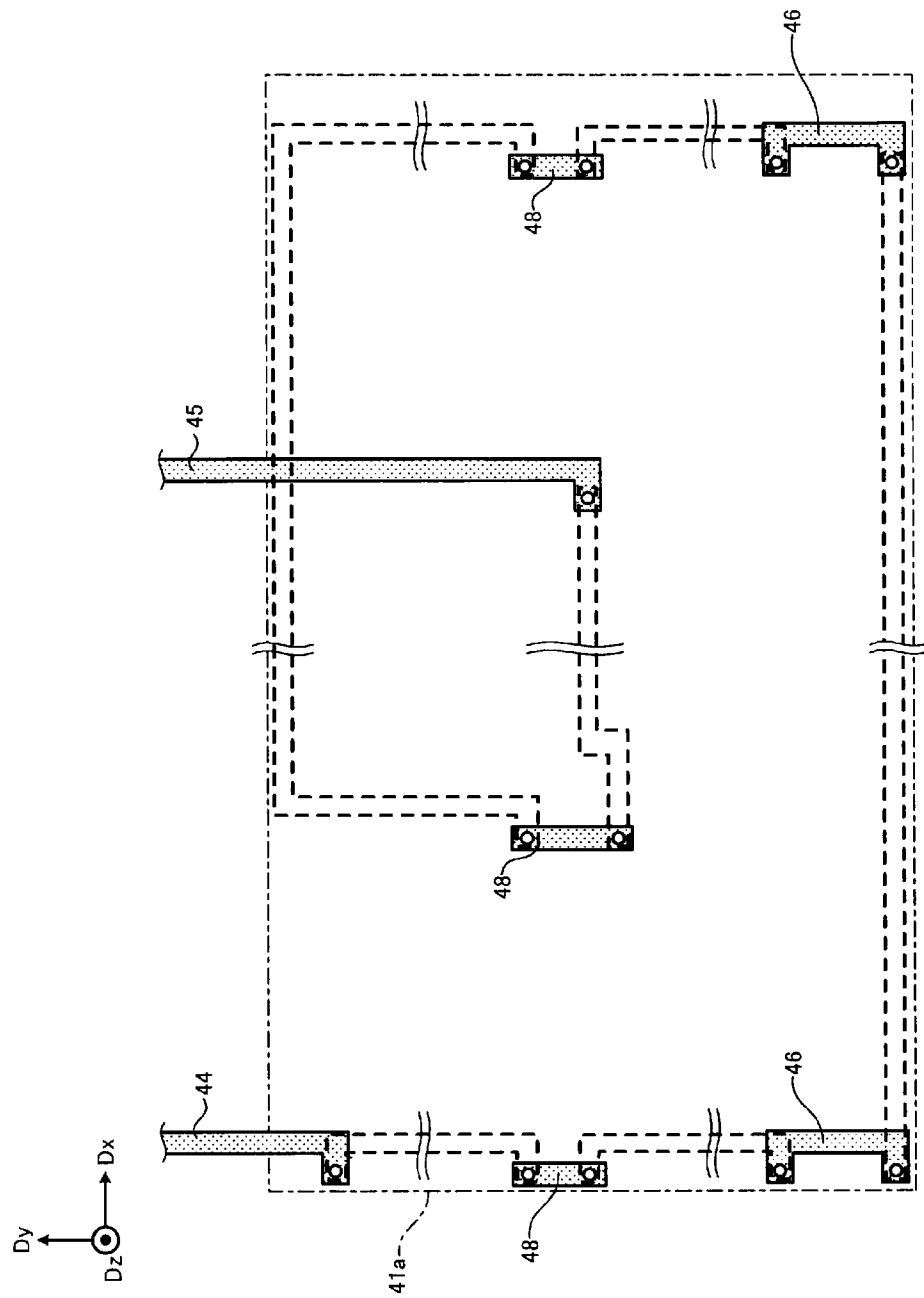
[図22A]



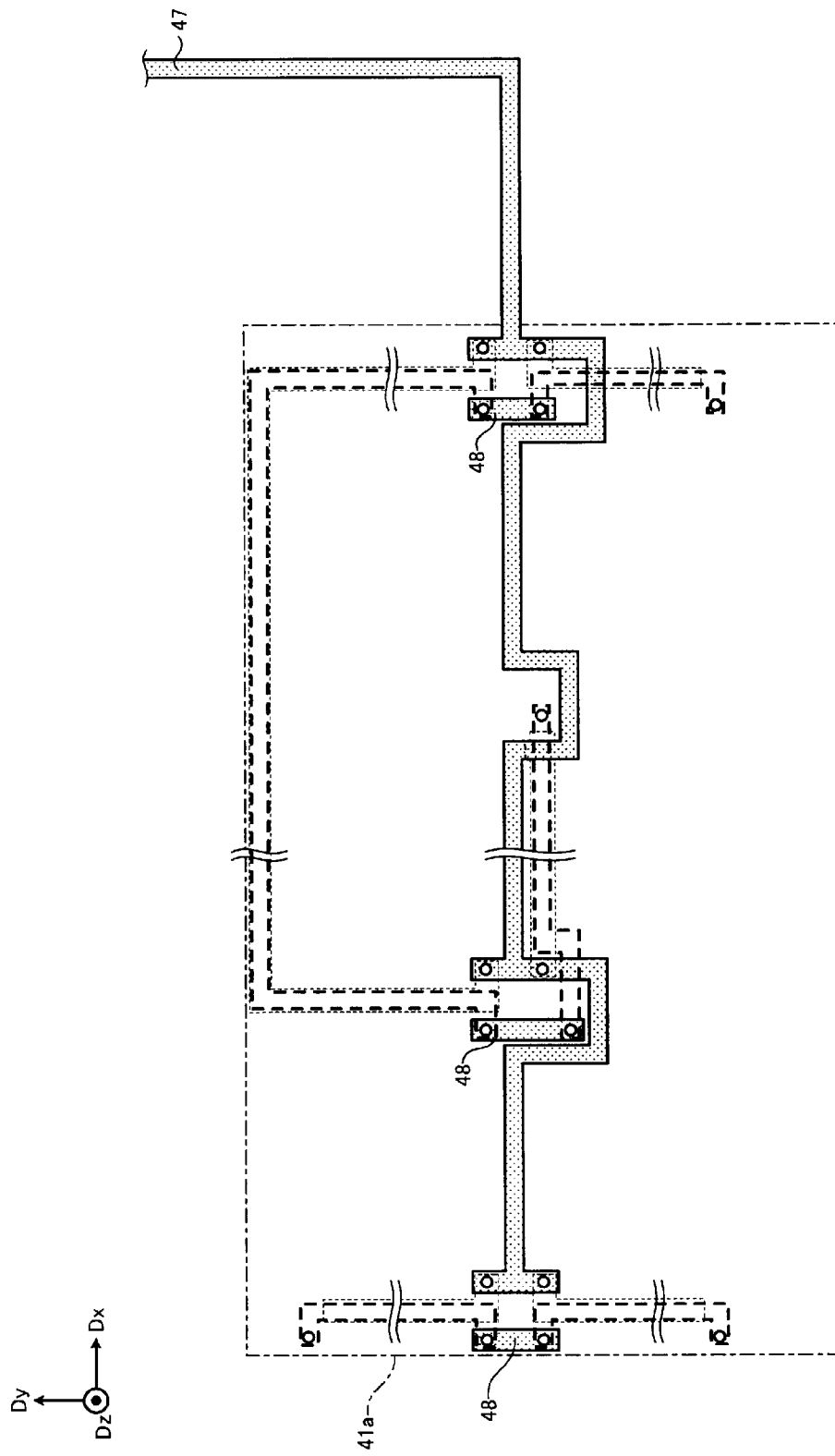
[図22B]



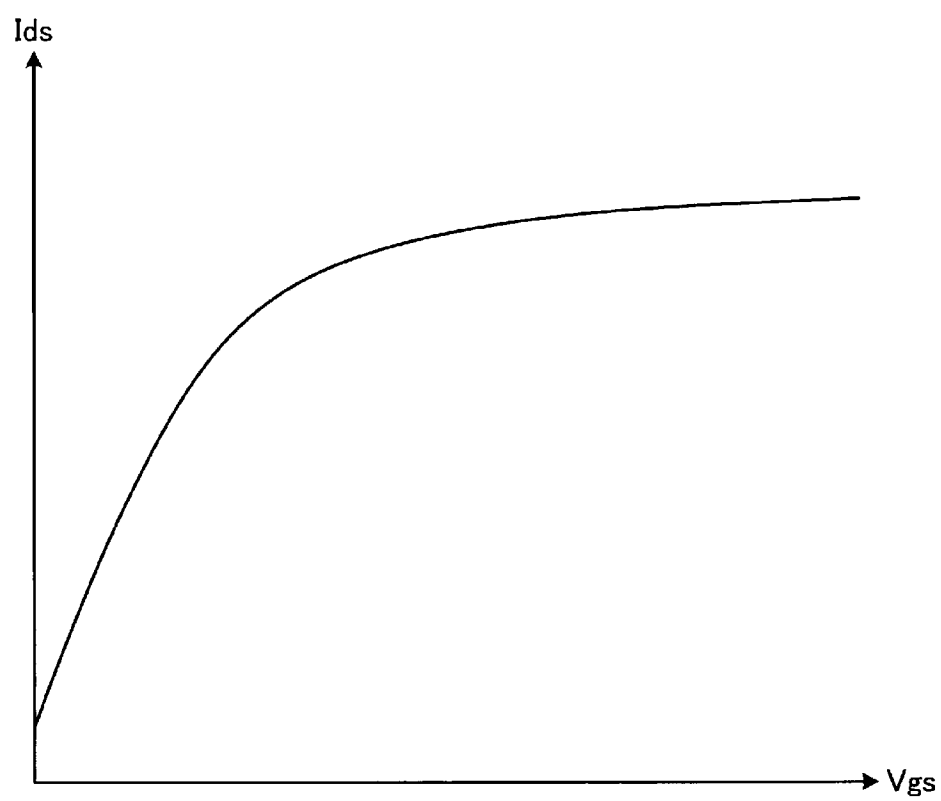
[図22C]



[図22D]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/035076

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30(2006.01)i, G01L1/18(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/30, G01L1/18, G02F1/1343, G02F1/1368, G06F3/041, G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-529934 A (APPLE INC.) 11 October 2018, paragraphs [0022]-[0076], fig. 1-15, etc., particularly, paragraphs [0027], [0074], etc. & US 2017/0023420 A1, paragraphs [0038]-[0092], fig. 1-15, etc., particularly, paragraphs [0043]-[0090], etc. & WO 2017/014870 A1 & CN 107850499 A & KR 10-2018-0031028 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17.10.2019	Date of mailing of the international search report 05.11.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/035076

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/024349 A1 (SHARP CORPORATION) 03 March 2011, entire text, all drawings & US 2012/0147287 A1, entire text, all drawings & EP 2472363 A1 & CN 102483658 A	1-11
A	JP 2010-176000 A (FUJI XEROX CO., LTD.) 12 August 2010, entire text, all drawings (Family: none)	1-11
A	CN 108132557 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD.) 08 June 2018, entire text, all drawings (Family: none)	1-11
A	WO 2010/095293 A1 (SHARP CORPORATION) 26 August 2010, entire text, all drawings & US 2011/0273401 A1, entire text, all drawings	1-11
A	US 2018/0069053 A1 (SAMSUNG DISPLAY CO., LTD.) 08 March 2018, entire text, all drawings & KR 10-2018-0028597 A & CN 107808893 A	1-11
A	JP 2000-55757 A (RITSUMEIKAN) 25 February 2000, entire text, all drawings (Family: none)	1-11
A	JP 2008-46619 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28 February 2008, paragraphs [0043]-[0104], [0206]-[0224], fig. 1, etc., particularly, paragraphs [0218]-[0223], etc. & US 2008/0017866 A1, paragraphs [0062]-[0123], [0225]-[0243], fig. 1, etc., particularly, paragraphs [0237]-[0242], etc. & CN 101110422 A & KR 10-2008-0008989 A & TW 200822371 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G01L1/18(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/30, G01L1/18, G02F1/1343, G02F1/1368, G06F3/041, G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-529934 A（アップル インコーポレイテッド）2018.10.11, 段落0022-0076, 図1-15等、特に、段落0027, 0074等 & US 2017/0023420 A1, 段落0038-0092, 図1-15等、特に、段落0043-0090等 & WO 2017/014870 A1 & CN 107850499 A & KR 10-2018-0031028 A	1-11

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.10.2019

国際調査報告の発送日

05.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐野 浩樹

21

4071

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/024349 A1 (シャープ株式会社) 2011. 03. 03, 全文全図 & US 2012/0147287 A1, 全文全図 & EP 2472363 A1 & CN 102483658 A	1-11
A	JP 2010-176000 A (富士ゼロックス株式会社) 2010. 08. 12, 全文全図 (ファミリーなし)	1-11
A	CN 108132557 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD.) 2018. 06. 08, 全文全図 (ファミリーなし)	1-11
A	WO 2010/095293 A1 (シャープ株式会社) 2010. 08. 26, 全文全図 & US 2011/0273401 A1, 全文全図	1-11
A	US 2018/0069053 A1 (SAMSUNG DISPLAY CO., LTD.) 2018. 03. 08, 全文全図 & KR 10-2018-0028597 A & CN 107808893 A	1-11
A	JP 2000-55757 A (学校法人立命館) 2000. 02. 25, 全文全図 (ファミリーなし)	1-11
A	JP 2008-46619 A (株式会社半導体エネルギー研究所) 2008. 02. 28, 段落 0043-0104, 0206-0224, 図 1 等、特に、 段落 0218-0223 等 & US 2008/0017866 A1, 段落 0062-0123, 0225-0243, 図 1 等、特に、段落 0237-0242 等 & CN 101110422 A & KR 10-2008-0008989 A & TW 200822371 A	1-11