

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

GOA 电路和显示装置

技术领域

本揭示涉及显示技术领域，特别涉及一种 GOA(gate driver on array)电路和显示装置。

背景技术

目前显示面板的水平扫描线的驱动是由外接集成电路(integrated circuit, IC)来实现的，外接集成电路可以控制各级行扫描线的逐级开启，而采用 GOA(gate driver on array)技术，即阵列基板行驱动技术，可以将行扫描驱动电路集成在显示面板的基板上，能够减少外接集成电路的数量，从而降低了显示面板的生产成本，并且能够实现显示装置的窄边框化。IGZO(indium gallium zinc oxide)，即铟镓锌氧化物，具有高的迁移率和良好的器件稳定性，目前广泛的应用于显示面板，然而，IGZO-GOA 电路设计较为复杂，薄膜晶体管(thin film transistor, TFT)的数量较多，不利于显示面板的窄边框化，与 GOA 电路的设计初衷不符。分用器(demultiplexer, Demux)GOA 电路是一种能够实现 GOA 电路窄边框的方法，然而目前 Demux GOA 电路需要新增多组不同脉宽与幅值的时钟信号源，因此，尽管减少了 GOA 整体版图所占空间，但是极大增加了信号的数量，并且新增信号线也占用很大一部分空间。

故，有需要提供一种 GOA 电路和显示装置，以解决现有技术存在的问题。

技术问题

目前 Demux GOA 电路需要新增多组不同脉宽与幅值的时钟信号源，因此，尽管减少了 GOA 整体版图所占空间，但是极大增加了信号的数量，并且新增信号线也占用很大一部分空间。

技术方案

为解决上述技术问题，本揭示的一目的在于提供 GOA(gate driver on array)电路和显示装置，能够驱动三条行扫描线，且使用一组时钟信号，所需的薄膜晶体管(thin film transistor, TFT)的数量较少和所需的信号线较少，实现 GOA 电路窄边框。

为达成上述目的，本揭示提供一 GOA 电路。所述 GOA 电路包括级联的多个 GOA 电路单元。设 n 为自然数。负责输出第 n 级水平扫描信号的第 n 级 GOA 单元包括上拉单元、上拉控制单元、下传单元、下拉单元、下拉维持单元以及自举电容。所述上拉单元连接第一节点、第二节点、直流低电压以及一组时钟信号。所述组时钟信号包括第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号。所述上拉控制单元连接所述第一节点、所述第二节点、所述第一时钟信号、当前级级传信号输出端以及前一级级传信号输出端或启动脉冲触发信号。所述下传单元连接所述第一节点、所述当前级级传信号输出端以及第一直流高电压。所述下拉单元连接所述第一节点、所述第二节点、所述前一级级传信号输出端、下一级级传信号输出端以及所述直流低电压。所述下拉维持单元连接所述第一节点、所述第二节点、所述当前级级传信号输出端、所述第二直流高电压以及所述直流低电

压。所述自举电容的两端分别连接所述第一节点和所述当前级级传信号输出端。

于本揭示其中的一实施例中，所述组时钟信号的所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号是波形相同的交流信号。

于本揭示其中的一实施例中，所述上拉控制单元包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管。所述第一薄膜晶体管的栅极连接所述第一时钟信号，所述第一薄膜晶体管的源极和漏极分别连接所述第二节点和所述前一级级传信号输出端或所述启动脉冲触发信号。所述第二薄膜晶体管的栅极连接所述第一时钟信号，所述第二薄膜晶体管的源极和漏极分别连接所述第一节点和所述第二节点。所述第三薄膜晶体管的栅极连接所述第一节点，所述第三薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述第二节点。

于本揭示其中的一实施例中，当 $n=1$ 时，所述第一薄膜晶体管的所述源极和所述漏极分别连接所述第二节点和所述启动脉冲触发信号。

于本揭示其中的一实施例中，所述上拉单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管和第九薄膜晶体管。所述第四薄膜晶体管的栅极连接所述第一节点，所述第四薄膜晶体管的源极和漏极分别连接所述第四时钟信号和第 $3n$ 级水平扫描信号输出端。所述第五薄膜晶体管的栅极连接所述第一节点，所述第五薄膜晶体管的源极和漏极分别连接所述第三时

钟信号和第 $3n-1$ 级水平扫描信号输出端。所述第六薄膜晶体管的栅极连接所述第一节点,所述第六薄膜晶体管的源极和漏极分别连接所述第二时钟信号和第 $3n-2$ 级水平扫描信号输出端。所述第七薄膜晶体管的栅极连接所述第一时钟信号,所述第七薄膜晶体管的源极和漏极分别连接所述第 $3n$ 级水平扫描信号输出端和所述第二节点。所述第八薄膜晶体管的栅极连接所述第四时钟信号,所述第八薄膜晶体管的源极和漏极分别连接所述第 $3n-1$ 级水平扫描信号输出端和所述第二节点。所述第九薄膜晶体管的栅极连接所述第三时钟信号,所述第九薄膜晶体管的源极和漏极分别连接所述第 $3n-2$ 级水平扫描信号输出端和所述第二节点。

于本揭示其中的一实施例中,所述下传单元包括第十薄膜晶体管,所述第十薄膜晶体管的栅极连接所述第一节点,所述第十薄膜晶体管的源极和漏极分别连接所述第一直流高电压和所述当前级级传信号输出端。

于本揭示其中的一实施例中,所述下拉单元包括第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管和第十四薄膜晶体管。所述第十一薄膜晶体管的栅极连接所述上一级级传信号输出端,所述第十一薄膜晶体管的源极和漏极分别连接所述直流低电压和所述当前级级传信号输出端。所述第十二薄膜晶体管的栅极连接所述上一级级传信号输出端,所述第十二薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述直流低电压。所述第十三薄膜晶体管的栅极连接所述下一级级传信号输出端,所述第十三薄膜晶体管的源极和

漏极分别连接所述第二节点和所述第一节点。所述第十四薄膜晶体管的栅极连接所述下一级级传信号输出端，所述第十四薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。

于本揭示其中的一实施例中，所述下拉维持单元包括第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管、第十九薄膜晶体管和第二十薄膜晶体管。所述第十五薄膜晶体管的栅极连接第三节点，所述第十五薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点。所述第十六薄膜晶体管的栅极连接所述第三节点，所述第十六薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。所述第十七薄膜晶体管的栅极连接所述第二直流高电压，所述第十七薄膜晶体管的源极和漏极分别连接所述第十八薄膜晶体管的栅极和所述第二直流高电压。所述第十八薄膜晶体管的所述栅极连接所述第十七薄膜晶体管的所述源极，所述第十八薄膜晶体管的源极和漏极分别连接所述第三节点和所述第二直流高电压。所述第十九薄膜晶体管的栅极连接所述第一节点，所述第十九薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第十八薄膜晶体管的所述栅极。所述第二十薄膜晶体管的栅极连接所述第一节点，所述第二十薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第三节点。

于本揭示其中的一实施例中，所述 GOA 电路为基于 IGZO 材料制备的 GOA 电路。

本揭示还提供一显示装置包括 GOA 电路。所述 GOA 电路包括

级联的多个 GOA 电路单元。设 n 为自然数。负责输出第 n 级水平扫描信号的第 n 级 GOA 单元包括上拉单元、上拉控制单元、下传单元、下拉单元、下拉维持单元以及自举电容。所述上拉单元连接第一节点、第二节点、直流低电压以及一组时钟信号。所述组时钟信号包括第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号。所述上拉控制单元连接所述第一节点、所述第二节点、所述第一时钟信号、当前级级传信号输出端以及前一级级传信号输出端或启动脉冲触发信号。所述下传单元连接所述第一节点、所述当前级级传信号输出端以及第一直流高电压。所述下拉单元连接所述第一节点、所述第二节点、所述前一级级传信号输出端、下一级级传信号输出端以及所述直流低电压。所述下拉维持单元连接所述第一节点、所述第二节点、所述当前级级传信号输出端、所述第二直流高电压以及所述直流低电压。所述自举电容的两端分别连接所述第一节点和所述当前级级传信号输出端。

于本揭示其中的一实施例中，所述组时钟信号的所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号是波形相同的交流信号。

于本揭示其中的一实施例中，所述上拉控制单元包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管。所述第一薄膜晶体管的栅极连接所述第一时钟信号，所述第一薄膜晶体管的源极和漏极分别连接所述第二节点和所述前一级级传信号输出端或所述启动脉冲触发信号。所述第二薄膜晶体管的栅极连接所述第一时钟信号，所述第二

薄膜晶体管的源极和漏极分别连接所述第一节点和所述第二节点。所述第三薄膜晶体管的栅极连接所述第一节点，所述第三薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述第二节点。

于本揭示其中的一实施例中，当 $n=1$ 时，所述第一薄膜晶体管的所述源极和所述漏极分别连接所述第二节点和所述启动脉冲触发信号。

于本揭示其中的一实施例中，所述上拉单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管和第九薄膜晶体管。所述第四薄膜晶体管的栅极连接所述第一节点，所述第四薄膜晶体管的源极和漏极分别连接所述第四时钟信号和第 $3n$ 级水平扫描信号输出端。所述第五薄膜晶体管的栅极连接所述第一节点，所述第五薄膜晶体管的源极和漏极分别连接所述第三时钟信号和第 $3n-1$ 级水平扫描信号输出端。所述第六薄膜晶体管的栅极连接所述第一节点，所述第六薄膜晶体管的源极和漏极分别连接所述第二时钟信号和第 $3n-2$ 级水平扫描信号输出端。所述第七薄膜晶体管的栅极连接所述第一时钟信号，所述第七薄膜晶体管的源极和漏极分别连接所述第 $3n$ 级水平扫描信号输出端和所述第二节点。所述第八薄膜晶体管的栅极连接所述第四时钟信号，所述第八薄膜晶体管的源极和漏极分别连接所述第 $3n-1$ 级水平扫描信号输出端和所述第二节点。所述第九薄膜晶体管的栅极连接所述第三时钟信号，所述第九薄膜晶体管的源极和漏极分别连接所述第 $3n-2$ 级水平扫描信号输出端和所述第二节点。

于本揭示其中的一实施例中，所述下传单元包括第十薄膜晶体管，所述第十薄膜晶体管的栅极连接所述第一节点，所述第十薄膜晶体管的源极和漏极分别连接所述第一直流高电压和所述当前级级传信号输出端。

于本揭示其中的一实施例中，所述下拉单元包括第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管和第十四薄膜晶体管。所述第十一薄膜晶体管的栅极连接所述上一级级传信号输出端，所述第十一薄膜晶体管的源极和漏极分别连接所述直流低电压和所述当前级级传信号输出端。所述第十二薄膜晶体管的栅极连接所述上一级级传信号输出端，所述第十二薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述直流低电压。所述第十三薄膜晶体管的栅极连接所述下一级级传信号输出端，所述第十三薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点。所述第十四薄膜晶体管的栅极连接所述下一级级传信号输出端，所述第十四薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。

于本揭示其中的一实施例中，所述下拉维持单元包括第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管、第十九薄膜晶体管和第二十薄膜晶体管。所述第十五薄膜晶体管的栅极连接第三节点，所述第十五薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点。所述第十六薄膜晶体管的栅极连接所述第三节点，所述第十六薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。所述第十七薄膜晶体管的栅极连接所述第二直流

高电压，所述第十七薄膜晶体管的源极和漏极分别连接所述第十八薄膜晶体管的栅极和所述第二直流高电压。所述第十八薄膜晶体管的所述栅极连接所述第十七薄膜晶体管的所述源极，所述第十八薄膜晶体管的源极和漏极分别连接所述第三节点和所述第二直流高电压。所述第十九薄膜晶体管的栅极连接所述第一节点，所述第十九薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第十八薄膜晶体管的所述栅极。所述第二十薄膜晶体管的栅极连接所述第一节点，所述第二十薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第三节点。

于本揭示其中的一实施例中，所述 GOA 电路为基于 IGZO 材料制备的 GOA 电路。

有益效果

相较于现有技术，为解决上述技术问题，由于本揭示的实施例的所述 GOA 电路和所述显示装置中，GOA 电路包括级联的多个 GOA 电路单元。负责输出第 n 级水平扫描信号的第 n 级 GOA 单元包括上拉单元、上拉控制单元、下传单元、下拉单元、下拉维持单元以及自举电容。所述上拉单元连接第 n 级水平扫描信号输出端以及一组时钟信号。所述第 n 级 GOA 单元能够驱动三条行扫描线，能够驱动三条行扫描线，且使用一组时钟信号，所需的薄膜晶体管的数量较少和所需的信号线较少，实现 GOA 电路窄边框。

附图说明

图 1 显示根据本揭示的一实施例的 GOA 电路的结构示意图；

图 2 显示根据本揭示的一实施例的 GOA 电路的输入源信号波形示意图；

图 3 显示根据本揭示的一实施例的 GOA 电路的第 n 级 GOA 单元的输出波形示意图；以及

图 4 显示根据本揭示的一实施例的显示装置的示意图。

本发明的最佳实施方式

以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。

为了让本揭示的上述及其他目的、特征、优点能更明显易懂，下文将特举本揭示优选实施例，并配合所附图式，作详细说明如下。再者，本揭示所提到的方向用语，例如上、下、顶、底、前、后、左、右、内、外、侧层、周围、中央、水平、横向、垂直、纵向、轴向、径向、最上层或最下层等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本揭示，而非用以限制本揭示。

在图中，结构相似的单元是以相同标号表示。

参照图 1 及图 2，本揭示的一实施例的 GOA 电路包括二十个薄膜晶体管(thin film transistor, TFT)和一个电容 C_{bt} ，电路之间的连接关系如图 1 所示。 V_{GH} 、 V_{GHH} 和 V_{GL} 是直流电源(direct current(DC) power supply)， STV 是启动脉冲(start pulse)触发信号，为启动第一级 GOA 单元所需。GOA 电路中各信号具体的波形与电位关系可以如下表 1 所示。节点 N 、 Q 、 QB 、 $C_{out}(n-1)$ 、 $C_{out}(n)$ 、 $C_{out}(n+1)$ 、 $G(3n-2)$ 、 $G(3n-1)$ 、 $G(3n)$ 等是电路中重要的节点。 $CK1$ 、 $CK2$ ， $CK3$ ， $CK4$ 为

一组交流讯号， $C_{out}(n-1)$ 连接前一级的 $C_{out}(n)$ 输出信号， $C_{out}(n+1)$ 连接下一级的 C_{out} 输出信号。GOA 电路第一级的 T11 的 $C_{out}(n-1)$ 与 STV 信号相连。

表 1

GOA 信号	电压设置		时间设置	
	最小 (伏特)	最大 (伏特)		
STV	-10	+20	STV 数量	1
CK1/CK2/CK3/CK4	-10	+20	CK 周期 (μ s)	60
VGH	+20		CK 占空比	25%
VGHH	+30			
VGL	-10			

应用本揭示的一实施例的面板的其他参数可以设置如下：对于例如全高清(full high definition, FHD)分辨率，行扫描线数量为1080，时钟信号数量(CK number)为4个(CK1、CK2、CK3和CK4)，时钟周期(CK period) 为60毫秒，CK占空比(duty cycle)为25%，STV数量为1个。

本揭示的一实施例提供一GOA电路。所述GOA电路包括级联的多个GOA电路单元。设n为自然数。负责输出第n级水平扫描信号的第n级GOA单元包括上拉单元10、上拉控制单元20、下传单元30、下拉单元40、下拉维持单元50以及自举电容Cbt。

所述上拉单元10连接第一节点Q、第二节点N、直流低电压VGL

以及一组时钟信号。所述组时钟信号包括第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4。所述上拉控制单元20连接所述第一节点Q、所述第二节点N、所述第一时钟信号CK1、当前级级传信号输出端Cout(n)以及前一级级传信号输出端Cout(n-1)或启动脉冲触发信号STV。所述下传单元30连接所述第一节点Q、所述当前级级传信号输出端Cout(n)以及第一直流高电压VGHH。

所述下拉单元40连接所述第一节点Q、所述第二节点N、所述前一级级传信号输出端Cout(n-1)、下一级级传信号输出端Cout(n+1)以及所述直流低电压VGL。所述下拉维持单元50连接所述第一节点Q、所述第二节点N、所述当前级级传信号输出端Cout(n)、所述第二直流高电压VGH以及所述直流低电压VGL。所述自举电容Cbt的两端分别连接所述第一节点Q和所述当前级级传信号输出端Cout(n)。

于本揭示其中的一实施例中，所述组时钟信号的所述第一时钟信号CK1、所述第二时钟信号CK2、所述第三时钟信号CK3和所述第四时钟信号CK4是波形相同的交流信号。

于本揭示其中的一实施例中，所述上拉控制单元主要是拉升所述第一节点Q的电位并控制所述上拉单元10的打开时间。所述上拉控制单元20包括第一薄膜晶体管T11、第二薄膜晶体管T12和第三薄膜晶体管T6。所述第一薄膜晶体管T11的栅极连接所述第一时钟信号CK1，所述第一薄膜晶体管T11的源极和漏极分别连接所述第二节点N和所述前一级级传信号输出端Cout(n-1)或所述启动脉冲触发信号STV。所

述第二薄膜晶体管T12的栅极连接所述第一时钟信号CK1，所述第二薄膜晶体管T12的源极和漏极分别连接所述第一节点Q和所述第二节点N。所述第三薄膜晶体管T6的栅极连接所述第一节点Q，所述第三薄膜晶体管T6的源极和漏极分别连接所述当前级级传信号输出端Cout(n)和所述第二节点N。

于本揭示其中的一实施例中，当 $n=1$ 时，所述第一薄膜晶体管T11的所述源极和所述漏极分别连接所述第二节点N和所述启动脉冲触发信号STV。

于本揭示其中的一实施例中，所述上拉单元10主要负责将时钟信号转变为输出信号。所述上拉单元10包括第四薄膜晶体管T21、第五薄膜晶体管T22、第六薄膜晶体管T23、第七薄膜晶体管T41、第八薄膜晶体管T42和第九薄膜晶体管T43。所述第四薄膜晶体管T21的栅极连接所述第一节点Q，所述第四薄膜晶体管T21的源极和漏极分别连接所述第四时钟信号CK4和第 $3n$ 级水平扫描信号输出端G($3n$)。所述第四薄膜晶体管T21负责将所述第四时钟信号CK4转变为输出信号，即所述第 $3n$ 级水平扫描信号输出端G($3n$)。

所述第五薄膜晶体管T22的栅极连接所述第一节点Q，所述第五薄膜晶体管T22的源极和漏极分别连接所述第三时钟信号CK3和第 $3n-1$ 级水平扫描信号输出端G($3n-1$)。所述第五薄膜晶体管T22负责将所述第三时钟信号CK3转变为输出信号，即所述第 $3n-1$ 级水平扫描信号输出端G($3n-1$)。所述第六薄膜晶体管T23的栅极连接所述第一节点Q，所述第六薄膜晶体管T23的源极和漏极分别连接所述第二时钟信

号CK2和第 $3n-2$ 级水平扫描信号输出端 $G(3n-2)$ 。所述第六薄膜晶体管T23负责将所述第二时钟信号CK2转变为输出信号，即所述第 $3n-2$ 级水平扫描信号输出端 $G(3n-2)$ 。

所述第七薄膜晶体管T41的栅极连接所述第一时钟信号CK1，所述第七薄膜晶体管T41的源极和漏极分别连接所述第 $3n$ 级水平扫描信号输出端 $G(3n)$ 和所述第二节点N。所述第八薄膜晶体管T42的栅极连接所述第四时钟信号CK4，所述第八薄膜晶体管T42的源极和漏极分别连接所述第 $3n-1$ 级水平扫描信号输出端 $G(3n-1)$ 和所述第二节点N。所述第九薄膜晶体管T43的栅极连接所述第三时钟信号CK3，所述第九薄膜晶体管T43的源极和漏极分别连接所述第 $3n-2$ 级水平扫描信号输出端 $G(3n-2)$ 和所述第二节点N。

于本揭示其中的一实施例中，所述下传单元30主要是将所述当前级级传信号输出端 $Cout(n)$ 作为下一级GOA单元的输入信号以及上一级GOA单元的反馈信号。所述下传单元30包括第十薄膜晶体管T24，所述第十薄膜晶体管T24的栅极连接所述第一节点Q，所述第十薄膜晶体管T24的源极和漏极分别连接所述第一直流高电压 V_{GHH} 和所述当前级级传信号输出端 $Cout(n)$ 。

于本揭示其中的一实施例中，所述下拉单元40主要是负责在第一时间将所述第一节点Q的电位与输出信号拉低为低电位。所述下拉单元40包括第十一薄膜晶体管T31、第十二薄膜晶体管T44、第十三薄膜晶体管T32和第十四薄膜晶体管T33。所述第十一薄膜晶体管T31的栅极连接所述上一级级传信号输出端 $Cout(n-1)$ ，所述第十一薄膜晶体

管T31的源极和漏极分别连接所述直流低电压VGL和所述当前级级传信号输出端Cout(n)。所述第十二薄膜晶体管T44的栅极连接所述上一级级传信号输出端Cout(n-1)，所述第十二薄膜晶体管T44的源极和漏极分别连接所述当前级级传信号输出端Cout(n)和所述直流低电压VGL。

所述第十三薄膜晶体管T32的栅极连接所述下一级级传信号输出端Cout(n+1)，所述第十三薄膜晶体管T33的源极和漏极分别连接所述第二节点N和所述第一节点Q。所述第十四薄膜晶体管T33的栅极连接所述下一级级传信号输出端Cout(n+1)，所述第十四薄膜晶体管T33的源极和漏极分别连接所述直流低电压VGL和所述第二节点N。

于本揭示其中的一实施例中，所述下拉维持单元50主要是负责将所述第一节点Q的电位维持在关闭状态。所述下拉维持单元50包括第十五薄膜晶体管T45、第十六薄膜晶体管T46、第十七薄膜晶体管T51、第十八薄膜晶体管T52、第十九薄膜晶体管T53和第二十薄膜晶体管T54。所述第十五薄膜晶体管T45的栅极连接第三节点QB，所述第十五薄膜晶体管T45的源极和漏极分别连接所述第二节点N和所述第一节点Q。所述第十六薄膜晶体管T46的栅极连接所述第三节点QB，所述第十六薄膜晶体管T46的源极和漏极分别连接所述直流低电压VGL和所述第二节点N。

所述第十七薄膜晶体管T51的栅极连接所述第二直流高电压VGH，所述第十七薄膜晶体管T51的源极和漏极分别连接所述第十八薄膜晶体管T52的栅极和所述第二直流高电压VGH。所述第十八薄膜

晶体管T52的所述栅极连接所述第十七薄膜晶体管T51的所述源极，所述第十八薄膜晶体管T52的源极和漏极分别连接所述第三节点QB和所述第二直流高电压VGH。

所述第十九薄膜晶体管T53的栅极连接所述第一节点Q，所述第十九薄膜晶体管T53的源极和漏极分别连接所述直流低电压VGL和所述第十八薄膜晶体管T52的所述栅极。所述第二十薄膜晶体管T54的栅极连接所述第一节点Q，所述第二十薄膜晶体管T54的源极和漏极分别连接所述直流低电压VGL和所述第三节点QB。

所述自举电容Cbt的两端分别连接所述第一节点Q和所述当前级级传信号输出端Cout(n)。，负责所述第一节点Q的电位的二次抬升，这有利于所述当前级级传信号输出端Cout(n) 的输出。

于本揭示其中的一实施例中，所述GOA电路为基于IGZO材料制备的GOA电路。

参照图3，本揭示的一实施例的GOA电路的第n级GOA单元的输出波形示意图，通过将图2所示的波形带入本揭示的一实施例的GOA电路，得到了非常好的信号输出。并且下面以单级GOA电路为例，说明电路的工作过程。

T1阶段：前一级级传信号输出端Cout(n-1)与第一时钟信号CK1为高电位，第一薄膜晶体管T11与第二薄膜晶体管T12打开，所述第一节点Q的电位被抬升至高电位，第十九薄膜晶体管T53、第二十薄膜晶体管T54、第四薄膜晶体管T21、第五薄膜晶体管T22、第六薄膜晶体管T23及所述第十薄膜晶体管T24打开，所述第三节点QB降为低

电位，第十二薄膜晶体管T44、第十五薄膜晶体管T45和第十六薄膜晶体管T46关闭，第十一薄膜晶体管T31打开，因此，当前级级传信号输出端Cout(n)为低电位，由于第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4为低电位，第3n-2级水平扫描信号输出端G(3n-2)、第3n-1级水平扫描信号输出端G(3n-1)及第3n级水平扫描信号输出端G(3n)为低电位。

T2阶段：前一级级传信号输出端Cout(n-1)与第一时钟信号CK1降为低电位，第一薄膜晶体管T11、第二薄膜晶体管T12与第十一薄膜晶体管关闭，所述第一节点Q为高电位，第十九薄膜晶体管T53、第二十薄膜晶体管T54、第四薄膜晶体管T21、第五薄膜晶体管T22、第六薄膜晶体管T23及所述第十薄膜晶体管T24维持打开状态，所述第三节点QB保持低电位，当前级级传信号输出端Cout(n)升为高电位，由于存储电容Cbt的存在，所述第一节点Q的电位被耦合(couple)至更高电位，此时，第二时钟信号CK2为高电位，第一时钟信号CK1、第三时钟信号CK3和第四时钟信号CK4为低电位，第七薄膜晶体管T41、第八薄膜晶体管T42和第九薄膜晶体管T43关闭。因此，此时第3n-2级水平扫描信号输出端G(3n-2)为高电位，同时，第三薄膜晶体管T6打开，所述第二节点N电位的被抬升至高电位，减少了所述第一节点Q的漏电。

T3阶段：所述第一节点Q维持高电位，此时，第三时钟信号CK3为高电位，第一时钟信号CK1、第二时钟信号CK2和第四时钟信号CK4降为低电位，因此第九薄膜晶体管T43打开，第3n-2级水平扫描

信号输出端G(3n-2)降为低电位，第3n-1级水平扫描信号输出端G(3n-1)升为高电位，第3n级水平扫描信号输出端G(3n)维持低电位。

T4阶段：所述第一节点Q维持高电位，此时，第四时钟信号CK4为高电位，第一时钟信号CK1、第二时钟信号CK2和第三时钟信号CK3降为低电位，因此第八薄膜晶体管T42打开，第3n-1级水平扫描信号输出端G(3n-1)降为低电位，第3n级水平扫描信号输出端G(3n)升为高电位，第3n-2级水平扫描信号输出端G(3n-2)。

T5阶段：第一时钟信号升为高电位，第一薄膜晶体管T11和第二薄膜晶体管T12打开，同时，下一级级传信号输出端Cout(n+1)升为高电位，第十三薄膜晶体管T32和第十四薄膜晶体管T33打开，由于前一级级传信号输出端Cout(n-1)为低电位，所述第一节点Q的电位被迅速拉低至低电位，第十九薄膜晶体管T53和第二十薄膜晶体管T54关闭，所述第三节点QB的电位被抬升至高电位，第十二薄膜晶体管T44、第十五薄膜晶体管T45和第十六薄膜晶体管T46打开，当前级级传信号输出端Cout(n)被拉低至低信号。

第一节点Q的电位维持能力是限制IGZO(铟镓锌氧化物)-GOA电路输出宽脉冲信号的重要因素，本揭示的实施例提出了GOA电路，可应用于IGZO-GOA电路，也可以应用于分用器(demultiplexer, Demux)GOA电路可以有效的维持Q点电位，实现宽脉冲GOA信号输出。可运用于液晶显示器(liquid crystal display, LCD)，也可以运用于有机发光二极管(organic light emitting diode, OLED)显示器。综上，本揭示的实施例的GOA电路可以有效的解决第一节点Q的电位维持问

题，能够实现宽脉冲GOA信号输出。本揭示的实施例的一级GOA电路能够驱动三条行扫描线，减少了GOA电路的版图占用空间，并且只需要一组CK讯号，进一步减少信号线数量及版图所占空间，有利于显示屏窄边框化。

参照图4，在一实施例中，显示装置200包括面板220和位于面板220一侧的GOA电路240。GOA电路240为上述任一实施例所述的GOA电路。显示装置200可以是LCD或OLED显示器。

由于本揭示的实施例的所述GOA电路和所述显示装置中，GOA电路包括级联的多个GOA电路单元。负责输出第n级水平扫描信号的第n级GOA单元包括上拉单元、上拉控制单元、下传单元、下拉单元、下拉维持单元以及自举电容。所述上拉单元连接第n级水平扫描信号输出端以及一组时钟信号。所述第n级GOA单元能够驱动三条行扫描线，能够驱动三条行扫描线，且使用一组时钟信号，所需的薄膜晶体管的数量较少和所需的信号线较少，实现GOA电路窄边框。

尽管已经相对于一个或多个实现方式示出并描述了本揭示，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本揭示包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不等同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个

被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

以上仅是本揭示的优选实施方式，应当指出，对于本领域普通技术人员，在不脱离本揭示原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本揭示的保护范围。

权利要求书

1. 一种 GOA 电路，包括多个级联的 GOA 单元，设 n 为自然数，负责输出第 n 级水平扫描信号的第 n 级 GOA 单元包括：

上拉单元，所述上拉单元连接第一节点、第二节点、直流低电压以及一组时钟信号，所述组时钟信号包括第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号；

上拉控制单元，所述上拉控制单元连接所述第一节点、所述第二节点、所述第一时钟信号、当前级级传信号输出端以及前一级级传信号输出端或启动脉冲触发信号；

下传单元，所述下传单元连接所述第一节点、所述当前级级传信号输出端以及第一直流高电压；

下拉单元，所述下拉单元连接所述第一节点、所述第二节点、所述前一级级传信号输出端、下一级级传信号输出端以及所述直流低电压；

下拉维持单元，所述下拉维持单元连接所述第一节点、所述第二节点、所述当前级级传信号输出端、第二直流高电压以及所述直流低电压；以及

自举电容，所述自举电容的两端分别连接所述第一节点和所述当前级级传信号输出端。

2. 如权利要求 1 所述的 GOA 电路，其中所述组时钟信号的所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时

钟信号是波形相同的交流信号。

3. 如权利要求 1 所述的 GOA 电路, 其中所述上拉控制单元包括:

第一薄膜晶体管, 所述第一薄膜晶体管的栅极连接所述第一时钟信号, 所述第一薄膜晶体管的源极和漏极分别连接所述第二节点和所述前一级级传信号输出端或所述启动脉冲触发信号;

第二薄膜晶体管, 所述第二薄膜晶体管的栅极连接所述第一时钟信号, 所述第二薄膜晶体管的源极和漏极分别连接所述第一节点和所述第二节点; 以及

第三薄膜晶体管, 所述第三薄膜晶体管的栅极连接所述第一节点, 所述第三薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述第二节点。

4. 如权利要求 3 所述的 GOA 电路, 其中当 $n=1$ 时, 所述第一薄膜晶体管的所述源极和所述漏极分别连接所述第二节点和所述启动脉冲触发信号。

5. 如权利要求 1 所述的 GOA 电路, 其中所述上拉单元包括:

第四薄膜晶体管, 所述第四薄膜晶体管的栅极连接所述第一节点, 所述第四薄膜晶体管的源极和漏极分别连接所述第四时钟信号和第 $3n$ 级水平扫描信号输出端;

第五薄膜晶体管, 所述第五薄膜晶体管的栅极连接所述第一节点, 所述第五薄膜晶体管的源极和漏极分别连接所述第三时钟信号和第 $3n-1$ 级水平扫描信号输出端;

第六薄膜晶体管, 所述第六薄膜晶体管的栅极连接所述第一节

点,所述第六薄膜晶体管的源极和漏极分别连接所述第二时钟信号和第 $3n-2$ 级水平扫描信号输出端;

第七薄膜晶体管,所述第七薄膜晶体管的栅极连接所述第一时钟信号,所述第七薄膜晶体管的源极和漏极分别连接所述第 $3n$ 级水平扫描信号输出端和所述第二节点;

第八薄膜晶体管,所述第八薄膜晶体管的栅极连接所述第四时钟信号,所述第八薄膜晶体管的源极和漏极分别连接所述第 $3n-1$ 级水平扫描信号输出端和所述第二节点; 以及

第九薄膜晶体管,所述第九薄膜晶体管的栅极连接所述第三时钟信号,所述第九薄膜晶体管的源极和漏极分别连接所述第 $3n-2$ 级水平扫描信号输出端和所述第二节点。

6. 如权利要求 1 所述的 GOA 电路,其中所述下传单元包括第十薄膜晶体管,所述第十薄膜晶体管的栅极连接所述第一节点,所述第十薄膜晶体管的源极和漏极分别连接所述第一直流高电压和所述当前级级传信号输出端。

7. 根据权利要求 1 所述的 GOA 电路,其中所述下拉单元包括:

第十一薄膜晶体管,所述第十一薄膜晶体管的栅极连接所述上一级级传信号输出端,所述第十一薄膜晶体管的源极和漏极分别连接所述直流低电压和所述当前级级传信号输出端;

第十二薄膜晶体管,所述第十二薄膜晶体管的栅极连接所述上一级级传信号输出端,所述第十二薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述直流低电压;

第十三薄膜晶体管,所述第十三薄膜晶体管的栅极连接所述下一级级传信号输出端,所述第十三薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点;以及

第十四薄膜晶体管,所述第十四薄膜晶体管的栅极连接所述下一级级传信号输出端,所述第十四薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。

8. 根据权利要求1所述的GOA电路,其中所述下拉维持单元包括:

第十五薄膜晶体管,所述第十五薄膜晶体管的栅极连接第三节点,所述第十五薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点;

第十六薄膜晶体管,所述第十六薄膜晶体管的栅极连接所述第三节点,所述第十六薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点;

第十七薄膜晶体管,所述第十七薄膜晶体管的栅极连接所述第二直流高电压,所述第十七薄膜晶体管的源极和漏极分别连接第十八薄膜晶体管的栅极和所述第二直流高电压;

所述第十八薄膜晶体管,所述第十八薄膜晶体管的所述栅极连接所述第十七薄膜晶体管的所述源极,所述第十八薄膜晶体管的源极和漏极分别连接所述第三节点和所述第二直流高电压;

第十九薄膜晶体管,所述第十九薄膜晶体管的栅极连接所述第一节点,所述第十九薄膜晶体管的源极和漏极分别连接所述直流低电

压和所述第十八薄膜晶体管的所述栅极；以及

第二十薄膜晶体管，所述第二十薄膜晶体管的栅极连接所述第一节点，所述第二十薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第三节点。

9. 根据权利要求1所述的GOA电路，其中所述GOA电路为基于IGZO材料制备的GOA电路。

10. 一种显示装置，包括：

GOA电路，包括多个级联的GOA单元，设 n 为自然数，负责输出第 n 级水平扫描信号的第 n 级GOA单元包括：

上拉单元，所述上拉单元连接第一节点、第二节点、直流低电压以及一组时钟信号，所述组时钟信号包括第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号；

上拉控制单元，所述上拉控制单元连接所述第一节点、所述第二节点、所述第一时钟信号、当前级级传信号输出端以及前一级级传信号输出端或启动脉冲触发信号；

下传单元，所述下传单元连接所述第一节点、所述当前级级传信号输出端以及第一直流高电压；

下拉单元，所述下拉单元连接所述第一节点、所述第二节点、所述前一级级传信号输出端、下一级级传信号输出端以及所述直流低电压；

下拉维持单元，所述下拉维持单元连接所述第一节点、所述第二节点、所述当前级级传信号输出端、第二直流高电压以及所述直流

低电压；以及

自举电容，所述自举电容的两端分别连接所述第一节点和所述当前级级传信号输出端。

11. 如权利要求 10 所述的显示装置，其中所述组时钟信号的所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号是波形相同的交流信号。

12. 如权利要求 10 所述的显示装置，其中所述上拉控制单元包括：

第一薄膜晶体管，所述第一薄膜晶体管的栅极连接所述第一时钟信号，所述第一薄膜晶体管的源极和漏极分别连接所述第二节点和所述前一级级传信号输出端或所述启动脉冲触发信号；

第二薄膜晶体管，所述第二薄膜晶体管的栅极连接所述第一时钟信号，所述第二薄膜晶体管的源极和漏极分别连接所述第一节点和所述第二节点；以及

第三薄膜晶体管，所述第三薄膜晶体管的栅极连接所述第一节点，所述第三薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述第二节点。

13. 如权利要求 12 所述的显示装置，其中当 $n=1$ 时，所述第一薄膜晶体管的所述源极和所述漏极分别连接所述第二节点和所述启动脉冲触发信号。

14. 如权利要求 10 所述的显示装置，其中所述上拉单元包括：

第四薄膜晶体管，所述第四薄膜晶体管的栅极连接所述第一节

点, 所述第四薄膜晶体管的源极和漏极分别连接所述第四时钟信号和第 $3n$ 级水平扫描信号输出端;

第五薄膜晶体管, 所述第五薄膜晶体管的栅极连接所述第一节点, 所述第五薄膜晶体管的源极和漏极分别连接所述第三时钟信号和第 $3n-1$ 级水平扫描信号输出端;

第六薄膜晶体管, 所述第六薄膜晶体管的栅极连接所述第一节点, 所述第六薄膜晶体管的源极和漏极分别连接所述第二时钟信号和第 $3n-2$ 级水平扫描信号输出端;

第七薄膜晶体管, 所述第七薄膜晶体管的栅极连接所述第一时钟信号, 所述第七薄膜晶体管的源极和漏极分别连接所述第 $3n$ 级水平扫描信号输出端和所述第二节点;

第八薄膜晶体管, 所述第八薄膜晶体管的栅极连接所述第四时钟信号, 所述第八薄膜晶体管的源极和漏极分别连接所述第 $3n-1$ 级水平扫描信号输出端和所述第二节点; 以及

第九薄膜晶体管, 所述第九薄膜晶体管的栅极连接所述第三时钟信号, 所述第九薄膜晶体管的源极和漏极分别连接所述第 $3n-2$ 级水平扫描信号输出端和所述第二节点。

15. 如权利要求 10 所述的显示装置, 其中所述下传单元包括第十薄膜晶体管, 所述第十薄膜晶体管的栅极连接所述第一节点, 所述第十薄膜晶体管的源极和漏极分别连接所述第一直流高电压和所述当前级级传信号输出端。

16. 根据权利要求 10 所述的显示装置, 其中所述下拉单元包括:

第十一薄膜晶体管，所述第十一薄膜晶体管的栅极连接所述上一级级传信号输出端，所述第十一薄膜晶体管的源极和漏极分别连接所述直流低电压和所述当前级级传信号输出端；

第十二薄膜晶体管，所述第十二薄膜晶体管的栅极连接所述上一级级传信号输出端，所述第十二薄膜晶体管的源极和漏极分别连接所述当前级级传信号输出端和所述直流低电压；

第十三薄膜晶体管，所述第十三薄膜晶体管的栅极连接所述下一级级传信号输出端，所述第十三薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点；以及

第十四薄膜晶体管，所述第十四薄膜晶体管的栅极连接所述下一级级传信号输出端，所述第十四薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点。

17. 根据权利要求 10 所述的显示装置，其中所述下拉维持单元包括：

第十五薄膜晶体管，所述第十五薄膜晶体管的栅极连接第三节点，所述第十五薄膜晶体管的源极和漏极分别连接所述第二节点和所述第一节点；

第十六薄膜晶体管，所述第十六薄膜晶体管的栅极连接所述第三节点，所述第十六薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第二节点；

第十七薄膜晶体管，所述第十七薄膜晶体管的栅极连接所述第二直流高电压，所述第十七薄膜晶体管的源极和漏极分别连接第十八

薄膜晶体管的栅极和所述第二直流高电压；

所述第十八薄膜晶体管，所述第十八薄膜晶体管的所述栅极连接所述第十七薄膜晶体管的所述源极，所述第十八薄膜晶体管的源极和漏极分别连接所述第三节点和所述第二直流高电压；

第十九薄膜晶体管，所述第十九薄膜晶体管的栅极连接所述第一节点，所述第十九薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第十八薄膜晶体管的所述栅极；以及

第二十薄膜晶体管，所述第二十薄膜晶体管的栅极连接所述第一节点，所述第二十薄膜晶体管的源极和漏极分别连接所述直流低电压和所述第三节点。

18. 根据权利要求 10 所述的显示装置，其中所述 GOA 电路为基于 IGZO 材料制备的 GOA 电路。

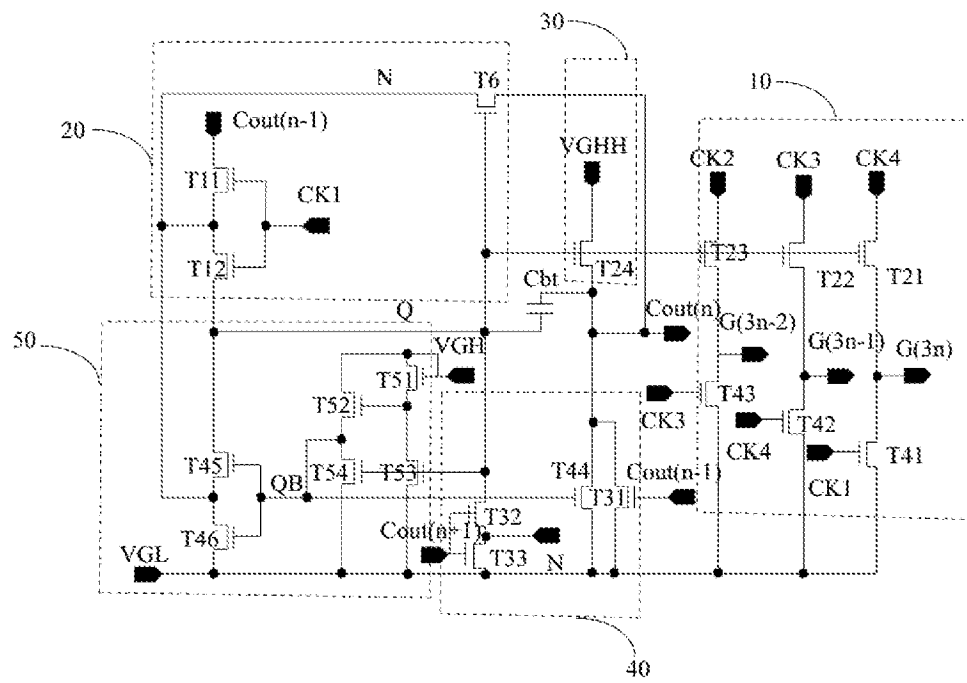


图 1

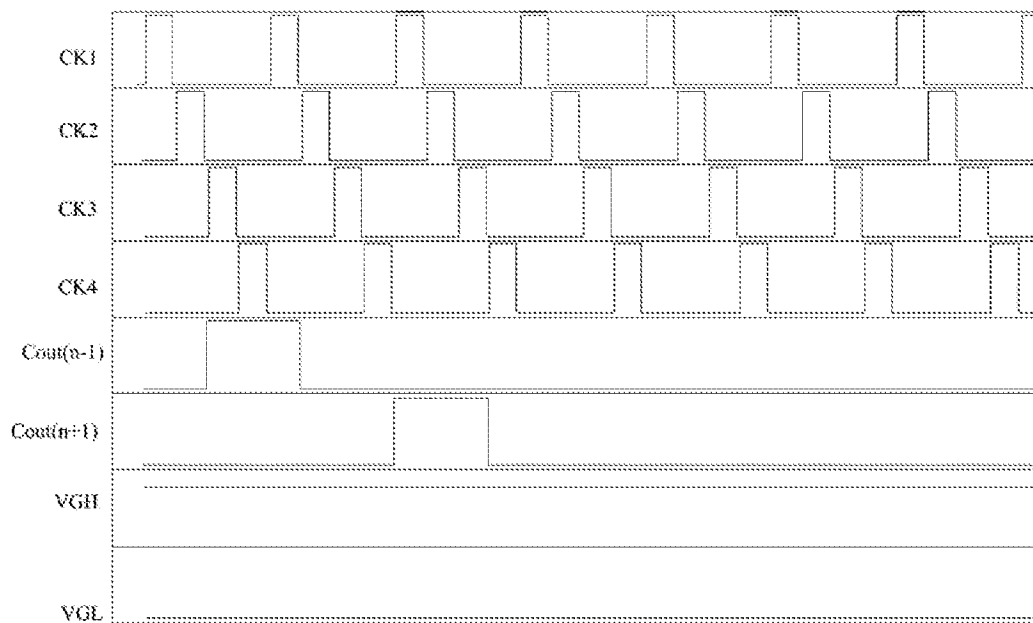


图 2

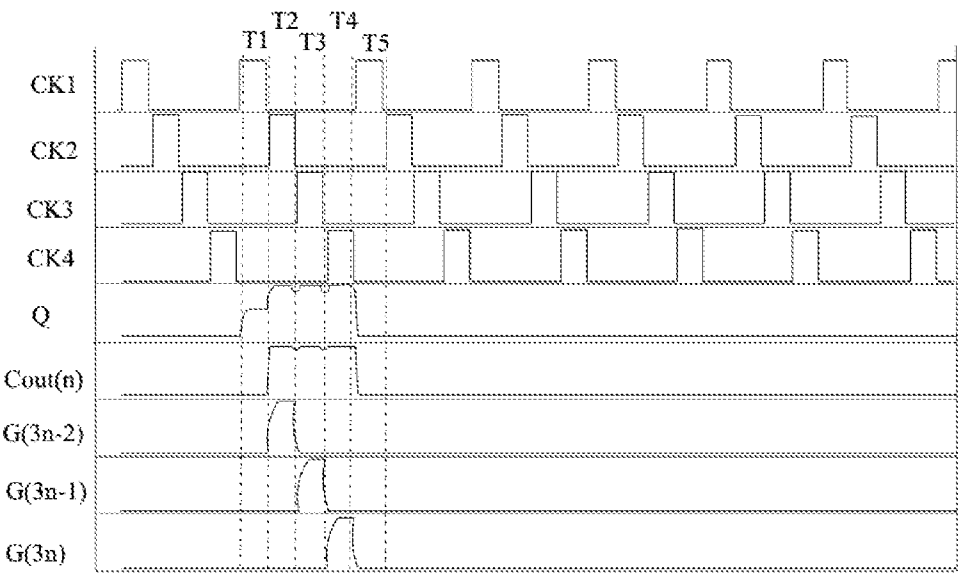


图 3

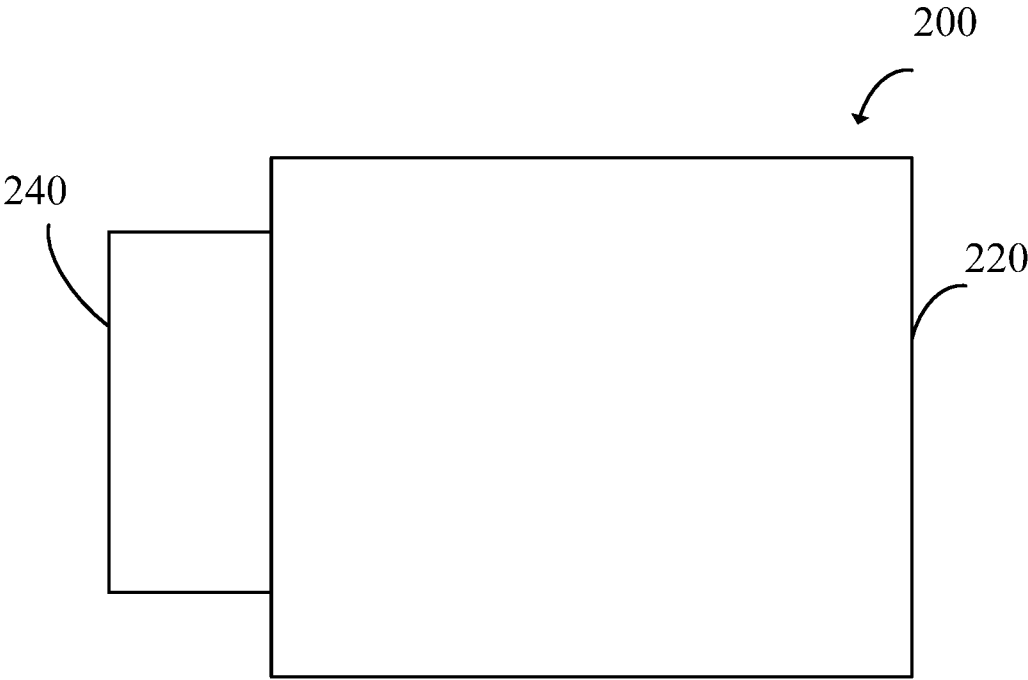


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/106293

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H03K; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, CNKI: GOA, 扫描线, 栅极线, 上拉, 下拉, 自举电容, 时钟, 时脉, 窄, 边框, scan, gate, drive, array, pull, up, down, capacitor, clock, time, narrow, frame

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109961737 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 02 July 2019 (2019-07-02) description, paragraphs 0021-0052, and figures 1-4	1-18
Y	CN 107393473 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 24 November 2017 (2017-11-24) description, paragraphs 0040-0056, and figures 1-4	1-18
Y	CN 109003588 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 14 December 2018 (2018-12-14) description, paragraphs 0024-0065, and figures 1-3	1-18
A	CN 105304044 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 03 February 2016 (2016-02-03) entire document	1-18
A	CN 105139816 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 December 2015 (2015-12-09) entire document	1-18
A	CN 102109696 A (AU OPTRONICS CORPORATION) 29 June 2011 (2011-06-29) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 February 2020

Date of mailing of the international search report

10 February 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/106293

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016343335 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECH) 24 November 2016 (2016-11-24) entire document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/106293

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109961737	A	02 July 2019	None			
CN	107393473	A	24 November 2017	WO	2019037299	A1	28 February 2019
				CN	107393473	B	23 November 2018
				US	2019066596	A1	28 February 2019
				US	10446085	B2	15 October 2019
CN	109003588	A	14 December 2018	None			
CN	105304044	A	03 February 2016	GB	2557764	A	27 June 2018
				US	9786241	B2	10 October 2017
				KR	20180081589	A	16 July 2018
				JP	2018536192	A	06 December 2018
				EA	201890995	A1	28 September 2018
				CN	105304044	B	17 November 2017
				US	2017229083	A1	10 August 2017
				WO	2017084146	A1	26 May 2017
				GB	201802737	D0	04 April 2018
CN	105139816	A	09 December 2015	US	9898987	B2	20 February 2018
				WO	2017049658	A1	30 March 2017
				US	2017256218	A1	07 September 2017
				CN	105139816	B	19 December 2017
CN	102109696	A	29 June 2011	TW	1421849	B	01 January 2014
				TW	201227699	A	01 July 2012
				CN	102109696	B	03 April 2013
				US	8890790	B2	18 November 2014
				US	2012169679	A1	05 July 2012
US	2016343335	A1	24 November 2016	GB	201710278	D0	09 August 2017
				JP	2018507431	A	15 March 2018
				KR	101985119	B1	31 May 2019
				CN	104505048	A	08 April 2015
				WO	2016106830	A1	07 July 2016
				KR	20170091700	A	09 August 2017
				JP	6498772	B2	10 April 2019
				US	9633620	B2	25 April 2017
				GB	2548760	A	27 September 2017

国际检索报告

国际申请号

PCT/CN2019/106293

A. 主题的分类 G09G 3/20(2006.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; H03K; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, VEN, CNKI: GOA, 扫描线, 栅极线, 上拉, 下拉, 自举电容, 时钟, 时脉, 窄, 边框, scan, gate, drive, array, pull, up, down, capacitor, clock, time, narrow, frame																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109961737 A (深圳市华星光电半导体显示技术有限公司) 2019年 7月 2日 (2019 - 07 - 02) 说明书0021-0052段、图1-4</td> <td>1-18</td> </tr> <tr> <td>Y</td> <td>CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 说明书0040-0056段、图1-4</td> <td>1-18</td> </tr> <tr> <td>Y</td> <td>CN 109003588 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 说明书0024-0065段、图1-3</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 105304044 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 105139816 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109961737 A (深圳市华星光电半导体显示技术有限公司) 2019年 7月 2日 (2019 - 07 - 02) 说明书0021-0052段、图1-4	1-18	Y	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 说明书0040-0056段、图1-4	1-18	Y	CN 109003588 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 说明书0024-0065段、图1-3	1-18	A	CN 105304044 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文	1-18	A	CN 105139816 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-18	A	CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 109961737 A (深圳市华星光电半导体显示技术有限公司) 2019年 7月 2日 (2019 - 07 - 02) 说明书0021-0052段、图1-4	1-18																					
Y	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 说明书0040-0056段、图1-4	1-18																					
Y	CN 109003588 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 说明书0024-0065段、图1-3	1-18																					
A	CN 105304044 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文	1-18																					
A	CN 105139816 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-18																					
A	CN 102109696 A (友达光电股份有限公司) 2011年 6月 29日 (2011 - 06 - 29) 全文	1-18																					
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2020年 2月 1日		国际检索报告邮寄日期 2020年 2月 10日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 吴娟 电话号码 86-(10)-62089845																					

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2016343335 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECH) 2016年 11月 24日 (2016 - 11 - 24) 全文	1-18

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/106293

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109961737	A	2019年 7月 2日	无			
CN	107393473	A	2017年 11月 24日	WO	2019037299	A1	2019年 2月 28日
				CN	107393473	B	2018年 11月 23日
				US	2019066596	A1	2019年 2月 28日
				US	10446085	B2	2019年 10月 15日
CN	109003588	A	2018年 12月 14日	无			
CN	105304044	A	2016年 2月 3日	GB	2557764	A	2018年 6月 27日
				US	9786241	B2	2017年 10月 10日
				KR	20180081589	A	2018年 7月 16日
				JP	2018536192	A	2018年 12月 6日
				EA	201890995	A1	2018年 9月 28日
				CN	105304044	B	2017年 11月 17日
				US	2017229083	A1	2017年 8月 10日
				WO	2017084146	A1	2017年 5月 26日
				GB	201802737	D0	2018年 4月 4日
CN	105139816	A	2015年 12月 9日	US	9898987	B2	2018年 2月 20日
				WO	2017049658	A1	2017年 3月 30日
				US	2017256218	A1	2017年 9月 7日
				CN	105139816	B	2017年 12月 19日
CN	102109696	A	2011年 6月 29日	TW	1421849	B	2014年 1月 1日
				TW	201227699	A	2012年 7月 1日
				CN	102109696	B	2013年 4月 3日
				US	8890790	B2	2014年 11月 18日
				US	2012169679	A1	2012年 7月 5日
US	2016343335	A1	2016年 11月 24日	GB	201710278	D0	2017年 8月 9日
				JP	2018507431	A	2018年 3月 15日
				KR	101985119	B1	2019年 5月 31日
				CN	104505048	A	2015年 4月 8日
				WO	2016106830	A1	2016年 7月 7日
				KR	20170091700	A	2017年 8月 9日
				JP	6498772	B2	2019年 4月 10日
				US	9633620	B2	2017年 4月 25日
				GB	2548760	A	2017年 9月 27日