



(21)申請案號：104134169 (22)申請日：中華民國 104 (2015) 年 10 月 19 日

(51)Int. Cl. : *H01L29/78 (2006.01)* *H01L29/06 (2006.01)*
H01L29/66 (2006.01) *H01L29/08 (2006.01)*

(30)優先權：2014/10/17 美國 14/517,310

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市新竹科學工業園區力行六路 8 號

(72)發明人：張哲豪 ZHANG, ZHE HAO (TW)；程潼文 CHENG, TUNG WEN (TW)；陳建穎
 CHEN, CHANG YIN (TW)；張哲誠 CHANG, CHE CHENG (TW)；張永融 CHANG,
 YUNG JUNG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 36 頁

(54)名稱

鳍式場效電晶體裝置結構及其形成方法

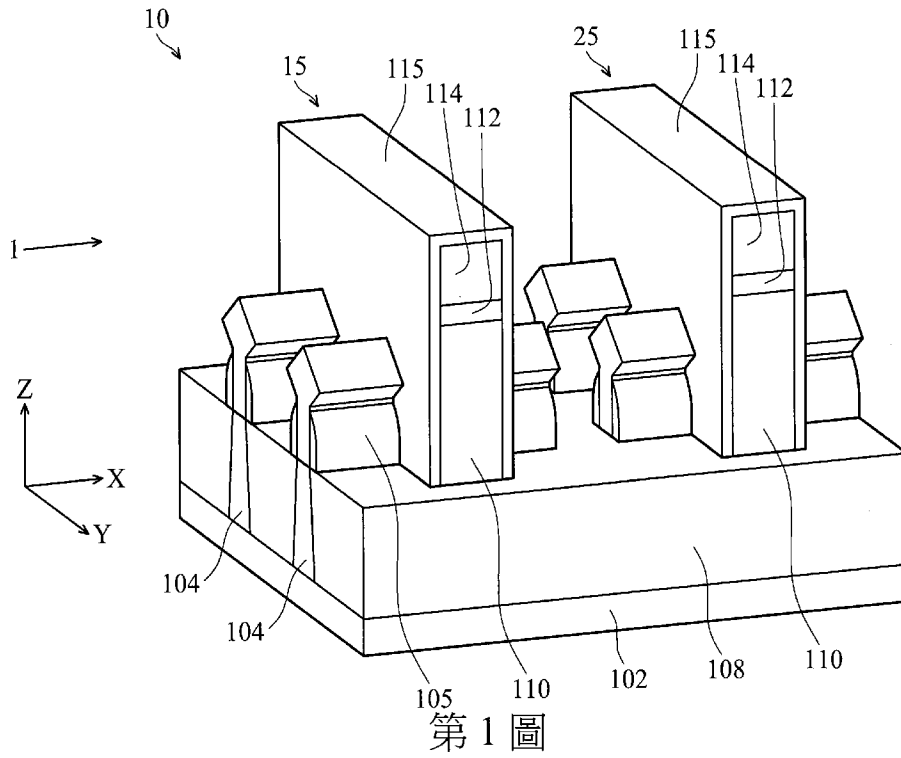
FIN FIELD EFFECT TRANSISTOR DEVICE AND METHOD FOR FORMING THE SAME

(57)摘要

一種鳍式場效電晶體(FinFET)裝置結構及其形成方法，此鳍式場效電晶體(FinFET)裝置結構包括基底及鳍結構，延伸於上述基底之上方，且包括磊晶結構，形成在上述鳍結構上，其中上述磊晶結構具有第一高度，並且鳍側壁間隔物，鄰接上述磊晶結構，其中上述鳍側壁間隔物具有第二高度，並且上述第一高度大於上述第二高度，並且其中上述鳍側壁間隔物設置用以控制上述磊晶結構的體積和上述第一高度。

A fin field effect transistor (FinFET) device structure and method for forming FinFET device structure are provided. The FinFET structure includes a substrate and a fin structure extending above the substrate. The FinFET structure includes an epitaxial structure formed on the fin structure, and the epitaxial structure has a first height. The FinFET structure also includes fin sidewall spacers formed adjacent to the epitaxial structure. The sidewall spacers have a second height and the first height is greater than the second height, and the fin sidewall spacers are configured to control a volume and the first height of the epitaxial structure.

指定代表圖：



符號簡單說明：

- 10 . . . 鳍式场效电
晶体装置结构
- 15 . . . N 型 FinFET
装置结构(NMOS)
- 25 . . . P 型 FinFET
装置结构(PMOS)
- 102 . . . 基底
- 104 . . . 鳍结构
- 105 . . . 鳍侧壁间隔
物
- 108 . . . 隔离结构
- 110 . . . 栅极
- 112 . . . 第一硬罩幕
- 114 . . . 第二硬罩幕
- 115 . . . 栅极侧壁间
隔物

發明摘要

※ 申請案號： 104134169

※ 申請日： 104.10.19

※IPC 分類： H01L 29/78 (2006.1)
H01L 29/06 (2006.1)
H01L 29/66 (2006.1)
H01L 29/08 (2006.1)**【發明名稱】** 鰭式場效電晶體裝置結構及其形成方法FIN FIELD EFFECT TRANSISTOR DEVICE AND
METHOD FOR FORMING THE SAME**【中文】**

一種鰭式場效電晶體 (FinFET) 裝置結構及其形成方法，此鰭式場效電晶體 (FinFET) 裝置結構包括基底及鰭結構，延伸於上述基底之上方，且包括磊晶結構，形成在上述鰭結構上，其中上述磊晶結構具有第一高度，並且鰭側壁間隔物，鄰接上述磊晶結構，其中上述鰭側壁間隔物具有第二高度，並且上述第一高度大於上述第二高度，並且其中上述鰭側壁間隔物設置用以控制上述磊晶結構的體積和上述第一高度。

【英文】

A fin field effect transistor (FinFET) device structure and method for forming FinFET device structure are provided. The FinFET structure includes a substrate and a fin structure extending above the substrate. The FinFET structure includes an epitaxial structure formed on the fin structure, and the epitaxial structure has a first height. The FinFET structure also includes fin sidewall spacers formed adjacent to the epitaxial structure. The sidewall spacers have a second height

and the first height is greater than the second height, and the fin sidewall spacers are configured to control a volume and the first height of the epitaxial structure.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

10～ 鰭式場效電晶體裝置結構

15～ N型 FinFET裝置結構（NMOS）

25～ P型 FinFET裝置結構（PMOS）

102～ 基底

104～ 鰭結構

105～ 鰭側壁間隔物

108～ 隔離結構

110～ 閘極

112～ 第一硬罩幕

114～ 第二硬罩幕

115～ 閘極側壁間隔物

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 鰭式場效電晶體裝置結構及其形成方法

FIN FIELD EFFECT TRANSISTOR DEVICE AND
METHOD FOR FORMING THE SAME

【技術領域】

【0001】 本發明有關於積體電路元件，特別是有關於鰭式場效電晶體 (FinFET) 裝置及其形成方法。

【先前技術】

【0002】 半導體裝置應用於各種電子產品，例如個人電腦、行動電話、數位相機和其他電子設備。通常藉由在半導體基底上方依序沉積絕緣或介電層、導電層和半導體材料層以及使用微影技術圖案化各個材料層以在各個材料層上形成電路構件和元件來製造半導體裝置。在單一個半導體晶圓上通常會製造許多積體電路，並且藉由沿著在積體電路之間的切割線 (scribe line) 切開以分割晶圓上的單獨的晶粒。例如，單獨的晶粒通常以多晶片模組或其他種類的封裝技術來進行封裝。

【0003】 隨著半導體工業為了尋求更高的裝置密度、更高的性能和更低的成本而進入奈米技術節點，來自製造和設計問題已經導致半導體裝置的三維設計，例如鰭式場效電晶體 (FinFET) 的發展面臨挑戰。FinFET為具有從基底延伸的薄垂直“鰭”(或鰭結構)，在該垂直鰭中形成FinFET的通道。在鰭上方提供閘極。FinFET的優勢可以包括降低短通道效應和更高的電流。

【0004】 雖然現有的FinFET裝置以及FinFET裝置的製造方⁵

法對於它們的預期目的通常已經足夠，但是它們不是在所有方面完全令人滿意。

【發明內容】

【0005】 本發明一實施例提供一種鰭式場效電晶體（FinFET）裝置結構，包括：基底；鰭結構，延伸於上述基底之上方；磊晶結構，形成在上述鰭結構上，其中上述磊晶結構具有第一高度；鰭側壁間隔物，鄰接上述磊晶結構，其中上述鰭側壁間隔物具有第二高度，並且上述第一高度大於上述第二高度，並且其中上述鰭側壁間隔物設置用以控制上述磊晶結構的體積和上述第一高度。

【0006】 本發明一實施例一種鰭式場效電晶體（FinFET）裝置結構，包括：基底；鰭結構，延伸於上述基底之上方；隔離結構，形成在上述基底上，其中上述鰭結構嵌入於上述隔離結構中；以及第一磊晶結構，形成於上述鰭結構上，其中上述第一磊晶結構和上述鰭結構之間的界面位於上述隔離結構的頂面下方，並且沒有形成鄰接上述第一磊晶結構的鰭側壁間隔物。

【0007】 本發明一實施例提供一種鰭式場效電晶體（FinFET）裝置結構的形成方法，包括：提供基底；在上述基底之上形成鰭結構；在上述鰭結構的中心部分上方形成閘極堆疊結構；在上述閘極堆疊結構的頂面和側壁上形成閘極側壁間隔物，並且在上述鰭結構的頂面和側壁上形成鰭側壁間隔物；去除上述閘極側壁間隔物的頂部和上述鰭側壁間隔物的頂部以暴露上述閘極堆疊結構的頂部和上述鰭結構的頂部；去除一

部分的上述鰭側壁間隔物，其中，上述鰭側壁間隔物具有第二高度；凹陷化一部的上述鰭結構的以形成溝槽；以及由上述溝槽磊晶成長磊晶結構，其中在上述鰭結構上方形成上述磊晶結構，並且其中上述磊晶結構具有第一高度，並且上述第一高度大於上述第二高度。

【圖式簡單說明】

【0008】

第1圖顯示根據本發明的一些實施例的鰭式場效電晶體（FinFET）裝置結構的立體圖。

第2A圖至第2F圖顯示根據本發明的一些實施例的形成鰭式場效電晶體（FinFET）裝置結構的各個階段的側視圖。

第2G圖是根據本發明的一些實施例的第2F圖的區域A的放大圖。

第3A圖至第3B圖顯示根據本發明的一些實施例的形成鰭式場效電晶體（FinFET）裝置結構的各個階段的側視圖。

第3C圖是根據本發明的一些實施例的第3B圖的區域B的放大圖。

第4A圖至第4D圖顯示根據本發明的一些實施例的形成鰭式場效電晶體（FinFET）裝置結構的各個階段的側視圖。

第4E圖是根據本發明的一些實施例的第4D圖的區域C的放大圖。

【實施方式】

【0009】 下述內容提供的不同實施例可實施本發明的不同結構。特定構件與排列的實施例係用以簡化本發明而非侷限本

發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例將重複標號及/或符號以簡化並清楚說明。不同實施例中具有相同標號的元件並不必然具有相同的對應關係及/或排列。標號重複僅爲了簡化並清楚說明，並不代表不同實施例及/或排列中具有相同標號的元件具有類似的相對關係。

【0010】 提供用以形成鰭式場效應電晶體（FinFET）裝置結構的實施例。第1圖顯示了根據本發明的一些實施例的鰭式場效電晶體（FinFET）裝置結構10的立體圖。FinFET裝置結構10包括N型FinFET裝置結構（NMOS）15和P型FinFET裝置結構（PMOS）25。

【0011】 FinFET裝置結構10包括基底102。基底102可以由矽或其他半導體材料製成。取而代之地或額外地，基底102可以包括例如鍺的其他元素半導體材料。在一些實施例中，基底102由例如碳化矽、砷化鎵、砷化銮或磷化銮的化合物半導體製成。在一些實施例中，基底102由例如矽鍺、碳化矽鍺、磷砷化鎵或磷化鎵銮的合金半導體製成。在一些實施例中，基底102包括磊晶層。例如，基底102具有位於塊狀半導體上的磊晶層。

【0012】 在一些實施例中，可以藉由使用例如微影和蝕刻步驟的合適的步驟形成鰭結構104。在一些實施例中，藉由使用乾蝕刻或電漿步驟從基底102蝕刻得到鰭結構104。

【0013】 在一些其他實施例中，可以藉由雙重圖案化微影

(DPL) 製程以形成鰭結構 104。DPL 是一種藉由將圖案分成兩個交錯圖案而在基底上構造圖案的方法。DPL 允許高的圖樣 (例如, 鰭) 密度。

【0014】 形成例如淺溝槽隔離 (STI) 結構的隔離結構 108 以圍繞鰭結構 104。如第 1 圖所示, 在一些實施例中, 隔離結構 108 圍繞鰭結構 104 的下部, 並且鰭結構 104 的上部凸出於隔離結構 108。換句話說, 鰭結構 104 的部分嵌入在隔離結構 108 中。此隔離結構 108 能夠防止電性干擾或串音 (crosstalk)。

【0015】 FinFET 裝置結構 10 還包括閘極堆疊結構, 閘極堆疊結構包括閘極 110 和閘極介電層 (未顯示)。閘極堆疊結構形成在鰭結構 104 的中心部分上方。在一些其他實施例中, 多個閘極堆疊結構形成在鰭結構 104 上方。

【0016】 在一些其他實施例中, 閘極堆疊結構是偽閘極堆疊並且在實施高熱預算步驟之後由金屬閘極 (MG) 代替。

【0017】 閘極介電層 (未顯示) 可以包括例如氧化矽、氮化矽、氮氧化矽、具有高介電常數 (高 k) 的介電材料或其組合的介電材料。高 k 介電材料的實例包括氧化鉛、氧化鋯、氧化鋁、二氧化鉛-氧化鋁合金、氧化鉛矽、氮氧化鉛矽、氧化鉛鉬、氧化鉛鈦、氧化鉛鋯等或其組合。

【0018】 閘極 110 可以包括多晶矽或金屬。金屬包括氮化鉬 (TaN)、矽化鎳 (NiSi)、矽化鈷 (CoSi)、鉬 (Mo)、銅 (Cu)、鎢 (W)、鋁 (Al)、鈷 (Co)、鋯 (Zr)、鉑 (Pt) 或其他適用的材料。可以在後閘極步驟 (或閘極替代步驟) 中形成閘極 110。在一些實施例中, 閘極堆疊結構包括例如介面 s

層、覆蓋層、擴散/阻障層或其他適用的層的額外的層。

【0019】 藉由沉積步驟、微影製程和蝕刻步驟形成閘極堆疊結構。沉積步驟包括化學氣相沉積（CVD）、物理氣相沉積（PVD）、原子層沉積（ALD）、高密度電漿CVD（HDPCVD）、金屬有機CVD（MOCVD）、遠端電漿CVD（RPCVD）、電漿增強CVD（PECVD）、鍍膜、其他合適的方法和/或其組合。微影步驟包括光阻塗佈（例如，旋塗）、軟烘烤、罩幕對準、曝光、曝光後烘烤、顯影光阻、沖洗和乾燥（例如，硬烘烤）。蝕刻步驟包括乾蝕刻步驟或濕蝕刻步驟。在另一實施例中，由例如無罩幕微影、電子束寫入和離子束寫入的其他適當的方法實施或代替微影製程。

【0020】 第2A圖至第2F圖顯示根據本發明的一些實施例的形成鰭式場效電晶體（FinFET）裝置結構的各個階段的側視圖。第2A圖至第2F圖顯示沿著第1圖的箭頭1截取的側視圖，並且箭頭1平行於X軸。

【0021】 參照第2A圖及第1圖，在閘極110上形成第一硬罩幕層112，並且在第一硬罩幕層112上形成第二硬罩幕層114。在一些實施例中，第一硬罩幕層112由氧化矽、氮化矽、氮氧化矽或其他適用的材料製成。在一些實施例中，第二硬罩幕層114由氧化矽、氮化矽、氮氧化矽或其他適用的材料製成。

【0022】 在閘極110的相對側壁上形成閘極側壁間隔物115，在鰭結構104的相對側壁上形成鰭側壁間隔物105。然後，在閘極側壁間隔物115上形成底部抗反射塗層（BARC）202。BARC層202使用於光阻層底部，以在圖案化過程中提升圖案轉

印於硬罩幕層 112、114 的效果。在一些實施例中，當進行 N 型 FinFET 裝置結構 (NMOS) 15 植入步驟時，在閘極 110 上形成 BARC 202 和光阻層 (未顯示) (光阻層形成在 BARC 202 上) 以覆蓋 P 型 FinFET 裝置結構 (PMOS) 25 中的閘極 110。

【0023】 然後，如圖 2B 所示，根據本發明的一些實施例，藉由蝕刻步驟去除光阻層 (未顯示) 和 BARC 202。蝕刻步驟可以是乾蝕刻步驟或濕蝕刻步驟。在一些實施例中，為約 3 毫托至約 50 毫托的範圍的壓力下操作乾蝕刻步驟。以下又稱此步驟為第一乾蝕刻步驟。在一些實施例中，在第一乾蝕刻步驟中使用的氣體包括甲烷 (CH_4)、氮氣 (N_2)、氦氣 (He)、氧氣 (O_2) 或其組合。在一些實施例中，以約 50 W 至約 1000 W 的範圍的功率操作第一乾蝕刻步驟。在一些實施例中，為約 20 °C 至約 80 °C 的範圍的溫度下操作第一乾蝕刻步驟。

【0024】 如圖 2C 所示，根據本發明的一些實施例，在去除 BARC 202 之後，去除部分的閘極側壁間隔物 115 和部分的鰭側壁間隔物 105。更具體地，去除閘極側壁間隔物 115 的頂部以暴露第二硬罩幕層 114。去除鰭側壁間隔物 105 的頂部以暴露鰭結構 104。

【0025】 在一些實施例中，當閘極側壁間隔物 115 和鰭側壁間隔物 105 由氮化矽製成時，進行蝕刻步驟以去除氮化矽。在一些實施例中，此蝕刻步驟是乾蝕刻步驟，以下又稱此蝕刻步驟為”第二乾蝕刻步驟”，第二乾蝕刻步驟在約 3 毫托至約 50 毫托的範圍的壓力下操作。在一些實施例中，在第二乾蝕刻步驟中使用的氣體包括氟甲烷 (CH_3F)、二氟甲烷 (CH_2F_2)、**S**

甲烷 (CH₄)、氬氣 (Ar)、溴化氫 (HBr)、氮氣 (N₂)、氦氣 (He)、氧氣 (O₂) 或其組合。在一些實施例中，以約 50 W 至約 1000 W 的範圍的功率操作第二乾蝕刻步驟。在一些實施例中，在約 20°C 至約 70°C 的範圍的溫度下操作第二乾蝕刻步驟。

【0026】 在第二乾蝕刻步驟之後，每個鰭側壁間隔物 105 均具有第一高度 H₁。在一些實施例中，第一高度 H₁ 為約 0.1 nm 至約 100 nm 的範圍。

【0027】 如圖 2D 所示，根據本發明的一些實施例，在前述去除一部分的閘極側壁間隔物 115 和一部分的鰭側壁間隔物 105 之後，再進一步去除一部分留下的鰭側壁間隔物 105。亦即，藉由乾蝕刻步驟或濕蝕刻步驟去除鰭側壁間隔物 105 的上部。

【0028】 在一些實施例中，此蝕刻步驟為乾蝕刻步驟，以下又稱此乾蝕刻步驟為“第三乾蝕刻步驟”，在一些實施例中，第三乾蝕刻步驟可以在約 3 毫托至約 50 毫托的範圍的壓力下操作，且在第三乾蝕刻步驟中使用的氣體包括氟甲烷 (CH₃F)、二氟甲烷 (CH₂F₂)、甲烷 (CH₄)、氬氣 (Ar)、溴化氫 (HBr)、氮氣 (N₂)、氦氣 (He)、氧氣 (O₂) 或其組合。在一些實施例中，以約 50 W 至約 1000 W 的範圍的功率操作第三乾蝕刻步驟。在一些實施例中，在約 20°C 至約 70°C 的範圍的溫度下操作第三乾蝕刻步驟。

【0029】 在第三乾蝕刻步驟之後，鰭側壁間隔物 105 的高度從第一高度 H₁ 降低至第二高度 H₂。在一些實施例中，第二高度

H_2 為約 0.1 nm 至約 90 nm 的範圍。

【0030】 值得注意的是，鰭側壁間隔物 105 的第二高度 H_2 可決定磊晶結構（例如圖 2E 中的磊晶結構 210）是至關重要的。磊晶結構的高度和體積受到鰭側壁間隔物 105 的第二高度 H_2 的影響。換句話說，鰭側壁間隔物 105 形成是能夠控制磊晶結構 210 的體積和高度。

【0031】 如圖 2E 所示，根據本發明的一些實施例，在第三乾蝕刻步驟之後，去除一部分的鰭結構 104。去除鰭結構 104 的步驟是藉由例如乾蝕刻步驟或濕蝕刻步驟來進行。如圖 2E 所示，留下的鰭結構 104 的頂面與隔離結構 108 的頂面大致上齊平。藉由使位於隔離結構 108 之上的鰭結構 104 的部分凹陷以形成溝槽 204a。溝槽 204a 的側壁是垂直於隔於留下的鰭結構 104 的頂面，並且彼此平行。在一些實施例中，溝槽 204a 的側壁和鰭結構 104 的頂面之間的角度 θ_1 為約 90 度。

【0032】 如第 2F 圖所示，根據本發明的一些實施例，去除一部分的鰭結構 104 之後，在溝槽 204a 中形成磊晶結構 210。

【0033】 磊晶結構 210 包括源極/汲極磊晶結構。在一些實施例中，當想要形成 N 型 FET (NFET) 元件時，源極/汲極磊晶結構包括磊晶成長的矽（磊晶 Si）。另一方面，當想要形成 P 型 FET (PFET) 元件時，源極/汲極磊晶結構包括磊晶成長的矽鍺（SiGe）。

【0034】 第 2G 圖是根據本發明的一些實施例的第 2F 圖的區域 A 的放大圖。如第 2G 圖所示，磊晶結構 210 具有菱形上部和柱狀下部。磊晶結構 210 的菱形上部具有四個小平面 210A、B、C、D。

210B、210C和210D。每個小平面均具有(111)結晶方位(orientation)。磊晶結構210的柱狀下部具有底面和鄰接底面的側壁。底面和側壁之間的角度 θ_1 為約90度。此外，磊晶結構210的柱狀下部的底面與隔離結構108的頂面基本齊平。

【0035】如第2G圖所示，磊晶結構210具有高度 H_{t1} 和寬度 W_1 。在一些實施例中，高度 H_{t1} 為約10 nm至約300 nm的範圍。如果高度 H_{t1} 太大，則電阻將變低。如果高度 H_{t1} 太小，則電阻變高而影響元件的操作速度。在一些實施例中，寬度 W_1 為約10 nm至約100 nm的範圍。如果寬度 W_1 太大，則磊晶結構210可能會與相鄰的磊晶結構210合併而引起短路效應。如果寬度 W_1 太小，則用於與磊晶結構210接觸的接觸窗將變窄，並且因此可以破壞電路效應。

【0036】此外，磊晶結構210的高度 H_{t1} 與鰭側壁間隔物105的高度 H_2 的比例(H_{t1}/H_2)為約1.5至約10的範圍。如果比例太小，則鰭側壁不能對EPI高度提供有效支撐並且引起短EPI結構。

【0037】第3A圖至第3B圖顯示根據本發明的一些實施例的形成鰭式場效電晶體(FinFET)裝置結構的各個階段的側視圖。

【0038】如第3A圖所示，在一些實施例中，留下的鰭結構104的頂面低於隔離結構108的頂面。藉由使位於隔離結構108下方的鰭結構104的部分凹陷以形成溝槽204b。在一些其他實施例中，溝槽204b的側壁和鰭結構104的頂面之間的角度 θ_2 為約90度。溝槽204b從隔離結構108的頂面延伸至深度 D_1 ，深度 D_1 為約0.1 nm至約50 nm的範圍。

【0039】 如第3B圖所示，根據本發明的一些實施例，在去除一部分的鰭結構104之後，在溝槽204b中形成磊晶結構212。磊晶結構212包括源極/汲極磊晶結構。在一些實施例中，當想要形成N型FET（NFET）元件時，源極/汲極磊晶結構包括磊晶成長的矽（磊晶Si）。另一方面，當想要形成P型FET（PFET）元件時，源極/汲極磊晶結構包括磊晶成長的矽鍺（SiGe）。

【0040】 第3C圖是根據本發明的一些實施例的第3B圖的區域B的放大圖。如第3C圖所示，磊晶結構212具有菱形上部和柱狀下部。磊晶結構212的菱形上部具有四個小平面212A、212B、212C和212D。每個小平面均具有（111）結晶方位。磊晶結構212的柱狀下部具有底面和鄰接底面的側壁。底面和側壁之間的角度 θ_2 為約90度。此外，磊晶結構212的柱狀下部的底面低於隔離結構108的頂面。

【0041】 如第3C圖所示，磊晶結構212具有高度 H_{t2} 和寬度 W_2 。高度 H_{t1} 小於高度 H_{t2} ，並且寬度 W_1 大於寬度 W_2 。在一些實施例中，高度 H_{t2} 為約15 nm至約150 nm的範圍。在一些實施例中，寬度 W_2 為約10 nm至約100 nm的範圍。

【0042】 磊晶結構210和磊晶結構212各自地包括例如鍺（Ge）或矽（Si）的單元素半導體材料；或例如砷化鎵（GaAs）、砷化鋁鎵（AlGaAs）的化合物半導體材料；或例如矽鍺（SiGe）、磷砷化鎵（GaAsP）的半導體合金。

【0043】 藉由磊晶步驟形成磊晶結構210和212。磊晶步驟包括選擇性磊晶成長（SEG）步驟、CVD沉積技術（例如，氣相磊晶（VPE）和/或超高真空CVD（UHV-CVD））、分子束

磊晶或其他適用的磊晶步驟。

【0044】 可以在磊晶過程中，臨場摻雜(in-situ)或未臨場摻雜磊晶結構210和212。例如，磊晶成長的SiGe磊晶結構可以摻雜有硼；並且磊晶成長的Si磊晶結構可以摻雜有碳以形成Si:C磊晶結構、摻雜有磷以形成Si:P磊晶結構，或摻雜有碳和磷以形成SiCP磊晶結構。可以藉由離子植入步驟、電漿浸潤離子植入(PIII)步驟、氣體和/或固體源擴散製程、或其他合適的製程來進行摻雜。磊晶結構210和212可以進一步進行例如快速熱退火步驟的退火步驟。

【0045】 如果未臨場摻雜磊晶結構210和212，則進行第二植入步驟(即，接面(junction)植入步驟)以摻雜磊晶結構210和212。

【0046】 鰭結構104包括由閘極110圍繞或包裹的通道區(未顯示)。磊晶結構210和212的晶格常數與基底102的晶格常數不同，通道區被應變或施加應力以提高FinFET裝置結構的載子遷移率並且提高FinFET裝置結構性能。

【0047】 值得注意的是，藉由調整鰭側壁間隔物105的高度 H_2 和/或深度 D_1 來控制磊晶結構210和212的體積和高度 H_{t1} 、 H_{t2} 。一旦磊晶結構210和212的體積和高度 H_{t1} 、 H_{t2} 受到良好地控制，則可以進一步改良FinFET裝置結構。例如，FinFET裝置結構改善時，元件遷移率(I_{d_Sat})將增大。

【0048】 第4A圖至第4D圖顯示根據本發明的一些實施例的形成鰭式場效電晶體(FinFET)裝置結構的各個階段的側視圖。第4E圖是根據本發明的一些實施例的第4D圖的區域C的放

大圖。第4A圖至第4D圖顯示沿著第1圖的箭頭1截取的側視圖，並且箭頭1平行於X軸方向。

【0049】 參照第4A圖，在閘極110的相對側壁上形成閘極側壁間隔物115，在鰭結構104的相對側壁上形成鰭側壁間隔物105。

【0050】 然後，如第4B圖所示，根據本發明的一些實施例，完全去除鰭側壁間隔物105。結果，暴露鰭結構104的頂面和側壁的部分。在鰭結構104上沒有形成鰭側壁間隔物105。

【0051】 如第4C圖所示，根據本發明的一些實施例，在完全去除鰭側壁間隔物105之後，去除一部分的鰭結構104。結果，藉由使一部分的鰭結構104凹陷以形成溝槽304。

【0052】 溝槽304具有位於隔離結構108下方的深度 D_2 。在一些實施例中，深度 D_2 為約0.1 nm至約50 nm的範圍。在一些實施例中，溝槽304的側壁和鰭結構104的頂面之間的角度 θ_3 為約90度。

【0053】 如第4D圖所示，根據本發明的一些實施例，在去除一部分的鰭結構104之後，在溝槽304中且在鰭結構104上形成磊晶結構214。

【0054】 磊晶結構214包括例如鍺(Ge)或矽(Si)的單元素半導體材料；或例如砷化鎵(GaAs)、砷化鋁鎵(AlGaAs)的化合物半導體材料；或例如矽鍺(SiGe)、磷砷化鎵(GaAsP)的半導體合金。

【0055】 藉由磊晶步驟形成磊晶結構214。磊晶步驟可以包括選擇性磊晶成長(SEG)步驟、CVD沉積技術(例如，氣相

磊晶（VPE）和/或超高真空CVD（UHV-CVD））、分子束磊晶或其他適用的磊晶步驟。

【0056】 與磊晶結構210和212相同，磊晶結構214具有菱形上部和柱狀下部。磊晶結構214的菱形上部具有四個小平面214A、214B、214C和214D。每個小平面均具有（111）結晶方位。

【0057】 值得注意的是，與第2G圖和第3C圖相比，在鄰近第4E圖中的磊晶結構214處，沒有形成鰭側壁間隔物。因此，可藉由調整溝槽304（第4C圖中顯示）的深度來控制磊晶結構214的體積和高度。此外，由於沒有鰭側壁間隔物抑制磊晶結構214的成長，所以磊晶結構214傾向於在X軸的方向上成長。因此，磊晶結構214的寬度 W_3 大於鰭結構104的寬度 W_4 。

【0058】 磊晶結構214具有高度 H_{t3} 和寬度 W_3 。磊晶結構214的高度 H_{t3} 小於磊晶結構212的高度 H_{t2} ，而磊晶結構212的寬度 W_2 大於磊晶結構214的寬度 W_3 。此外，磊晶結構214的高度 H_{t3} 小於磊晶結構210的高度 H_{t1} ，並且磊晶結構210的寬度 W_1 大於磊晶結構214的寬度 W_3 。

【0059】 再次參照第4D圖，兩個鄰近的磊晶結構214之間的間距 S 為約0.1 nm至約100 nm的範圍。在一些實施例中，磊晶結構214的寬度 W_3 為約10 nm至約100 nm的範圍。在一些實施例中，磊晶結構214的高度 H_{t3} 為約10 nm至約300 nm的範圍。在一些實施例中，磊晶結構214的高度與寬度的比例（ H_{t3}/W_3 ）為約0.1至約10的範圍。

【0060】 然後，FinFET裝置結構可以繼續進行其他步驟以

形成其他結構或元件。在一些實施例中，金屬化包括例如傳統的通孔或接觸物的垂直內連線以及例如金屬線的水平內連線。各種內連線可以採用包括銅、鎢和/或矽化物的各種導電材料。

【0061】 提供鰭式場效電晶體（FinFET）裝置結構的形成方法的一些實施例。FinFET裝置結構包括延伸於基底之上的鰭結構以及形成在鰭結構上方的磊晶結構。在一些實施例中，形成鰭側壁間隔物以鄰接磊晶結構。鰭側壁間隔物是設置來控制磊晶結構的體積和高度。在一些其他實施例中，不形成鄰接磊晶結構的鰭側壁間隔物，而是藉由調整溝槽的深度來控制磊晶結構的體積和高度，其中藉由使鰭結構的頂部凹陷以形成溝槽。一旦磊晶結構的體積和高度受到控制，就進一步改良FinFET裝置結構的性能。

【0062】 提供鰭式場效電晶體（FinFET）裝置結構的一些實施例。FinFET結構包括基底和在基底之上延伸的鰭結構。FinFET結構包括形成在鰭結構上的磊晶結構，並且磊晶結構具有第一高度。FinFET結構也包括形成為鄰近磊晶結構的鰭側壁間隔物。鰭側壁間隔物具有第二高度，並且第一高度大於第二高度，並且鰭側壁間隔物配置為控制磊晶結構的體積和第一高度。

【0063】 在一些實施例中，提供了一種鰭式場效電晶體（FinFET）裝置結構。FinFET結構包括基底和在基底之上延伸的鰭結構。FinFET結構也包括形成在基底上的隔離結構，並且鰭結構嵌入在隔離結構中。FinFET結構還包括形成在鰭結構上s

的第一磊晶結構，第一磊晶結構和鰭結構之間的介面位於隔離結構的頂面下方，並且沒有形成鄰接第一磊晶結構的鰭側壁間隔物。

【0064】 在一些實施例中，提供了一種鰭式場效電晶體（FinFET）裝置結構的形成方法。該方法包括提供基底以及在基底之上形成鰭結構。該方法也包括在鰭結構的中心部分上方形成閘極堆疊結構以及在閘極堆疊結構的頂面和側壁上形成閘極側壁間隔物，以及在鰭結構的頂面和側壁上形成鰭側壁間隔物。該方法還包括去除閘極側壁間隔物的頂部和鰭側壁間隔物的頂部以暴露閘極堆疊結構的頂部和鰭結構的頂部。該方法包括去除一部分的鰭側壁間隔物，並且鰭側壁間隔物具有第二高度。該方法還包括凹陷化鰭結構的部分以形成溝槽。該方法也包括由溝槽磊晶成長磊晶結構，並且在鰭結構上方形成磊晶結構，並且磊晶結構具有第一高度，並且第一高度大於第二高度。

【0065】 上述實施例之特徵有利於本技術領域中具有通常知識者理解本發明。本技術領域中具有通常知識者應理解可採用本申請案作為基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本發明之精神與範疇，並可在未脫離本發明之精神與範疇的前提下進行改變、替換、或更動。

【符號說明】

【0066】

- 10～ 鱗式場效電晶體裝置結構
- 15～ N型FinFET裝置結構 (NMOS)
- 25～ P型FinFET裝置結構 (PMOS)
- 102～ 基底
- 104～ 鱗結構
- 105～ 鱗側壁間隔物
- 108～ 隔離結構
- 110～ 閘極
- 112～ 第一硬罩幕
- 114～ 第二硬罩幕
- 115～ 閘極側壁間隔物
- 202～ 底部抗反射塗層
- 210、212、214～ 磊晶結構
- 210A、210B、210C、210D～ 小平面
- 212A、212B、212C、212D～ 小平面
- 214A、214B、214C、214D～ 小平面
- 204a、204b、304～ 溝槽
- H_1 ～ 鱗側壁間隔物第一高度
- H_2 ～ 鱗側壁間隔物的第二高度
- H_{t1} ～ 磊晶結構210的高度
- H_{t2} ～ 磊晶結構212的高度
- H_{t3} ～ 磊晶結構214的高度
- W_1 ～ 磊晶結構210的寬度
- W_2 ～ 磊晶結構212的寬度

W_3 ~ 磊晶結構 214 的寬度

D_1 ~ 溝槽的深度

D_2 ~ 溝槽的深度

S ~ 磊晶結構之間間距

θ_1 ~ 鰭結構的頂面與鰭側壁間隔物側壁的角度

θ_2 、 θ_3 ~ 鰭結構的頂面與隔離結構側壁的角度

申請專利範圍

1. 一種鰭式場效電晶體 (FinFET) 裝置結構，包括：
基底；
鰭結構，延伸於上述基底之上方；
磊晶結構，形成在上述鰭結構上，其中上述磊晶結構具有第一高度；以及
鰭側壁間隔物，鄰接上述磊晶結構，其中上述鰭側壁間隔物具有第二高度，並且上述第一高度大於上述第二高度，並且其中上述鰭側壁間隔物設置用以控制上述磊晶結構的體積和上述第一高度。
2. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，更包括：
閘極堆疊結構，形成在上述鰭結構的中心部分上方，其中，上述磊晶結構形成為鄰接上述鰭結構的中心部分。
3. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述第二高度為約0.1 nm至約100 nm的範圍。
4. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，還包括：
隔離結構，其中，上述鰭結構嵌入在上述隔離結構中。
5. 如申請專利範圍第4項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構的底面與上述隔離結構的頂面大致上齊平。
6. 如申請專利範圍第4項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構的底面低於上述隔離結構的

頂面。

7. 如申請專利範圍第6項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構從上述隔離結構的頂面延伸至約0.1 nm至約50 nm的範圍的深度。
8. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構包括源極/汲極結構。
9. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中上述磊晶結構包括菱形上部以及柱狀下部，且其中柱狀下部具有一底面及鄰接該底面之側壁，且上述底面及上述側壁之角度為約90度。
10. 一種鰭式場效電晶體 (FinFET) 裝置結構，包括：
 - 基底；
 - 鰭結構，延伸於上述基底之上方；
 - 隔離結構，形成在上述基底上，其中上述鰭結構嵌入於上述隔離結構中；以及
 - 第一磊晶結構，形成於上述鰭結構上，其中上述第一磊晶結構和上述鰭結構之間的界面位於上述隔離結構的頂面下方，並且沒有形成鄰接上述第一磊晶結構的鰭側壁間隔物。
11. 如申請專利範圍第10項所述之鰭式場效電晶體 (FinFET) 裝置結構，由上述隔離結構的頂面延伸。
12. 如申請專利範圍第10項所述之鰭式場效電晶體 (FinFET) 裝置結構，更包括：
 - 閘極堆疊結構，形成於上述鰭結構之中央部分；以及
 - 閘極側壁間隔物，鄰接於上述閘極堆疊結構。

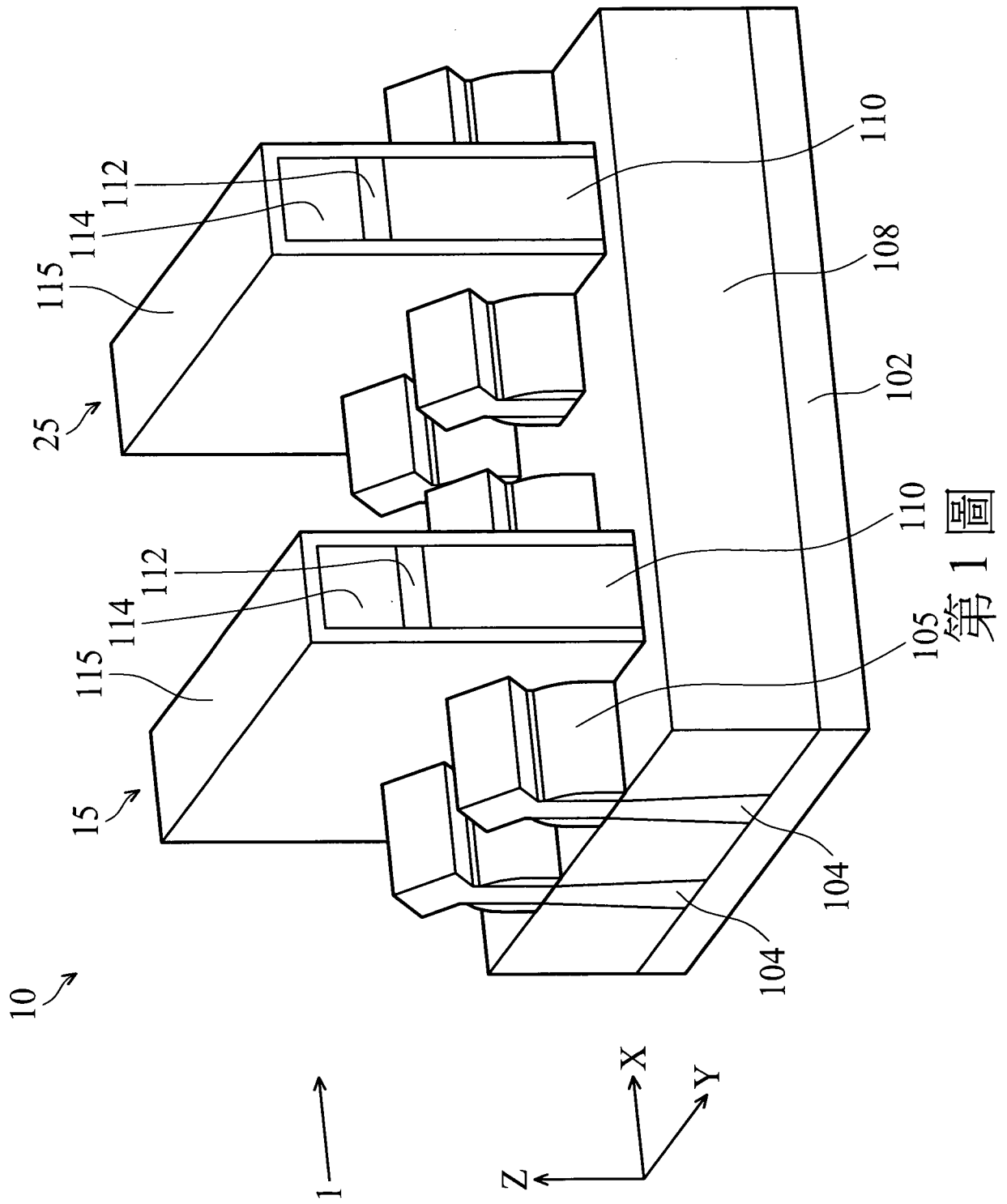
- 13.如申請專利範圍第10項所述之鰭式場效電晶體（FinFET）裝置結構，更包括：
第二磊晶結構，鄰近於該第一磊晶結構，其中上述第一磊晶結構及第二磊晶結構之間的間距為約0.1 nm至約100 nm的範圍。
- 14.如申請專利範圍第10項所述之鰭式場效電晶體（FinFET）裝置結構，其中上述磊晶結構包括菱形上部以及柱狀下部，且其中柱狀下部具有一底面及鄰接該底面之側壁，且上述底面及上述側壁之角度為約90度。
- 15.如申請專利範圍第10項所述之鰭式場效電晶體（FinFET）裝置結構，其中上述鰭結構具有第一寬度，上述磊晶結構具有第二寬度，且上第二寬度大於上述第一寬度。
- 16.一種鰭式場效電晶體（FinFET）裝置結構的形成方法，包括：
提供基底；
在上述基底之上形成鰭結構；
在上述鰭結構的中心部分上方形成閘極堆疊結構；
在上述閘極堆疊結構的頂面和側壁上形成閘極側壁間隔物，並且在上述鰭結構的頂面和側壁上形成鰭側壁間隔物；
去除上述閘極側壁間隔物的頂部和上述鰭側壁間隔物的頂部以暴露上述閘極堆疊結構的頂部和上述鰭結構的頂部；
去除一部分的上述鰭側壁間隔物，其中，上述鰭側壁間隔物具有第二高度；
凹陷化一部的上述鰭結構的以形成溝槽；以及

由上述溝槽磊晶成長磊晶結構，其中在上述鰭結構上方形成上述磊晶結構，並且其中上述磊晶結構具有第一高度，並且上述第一高度大於上述第二高度。

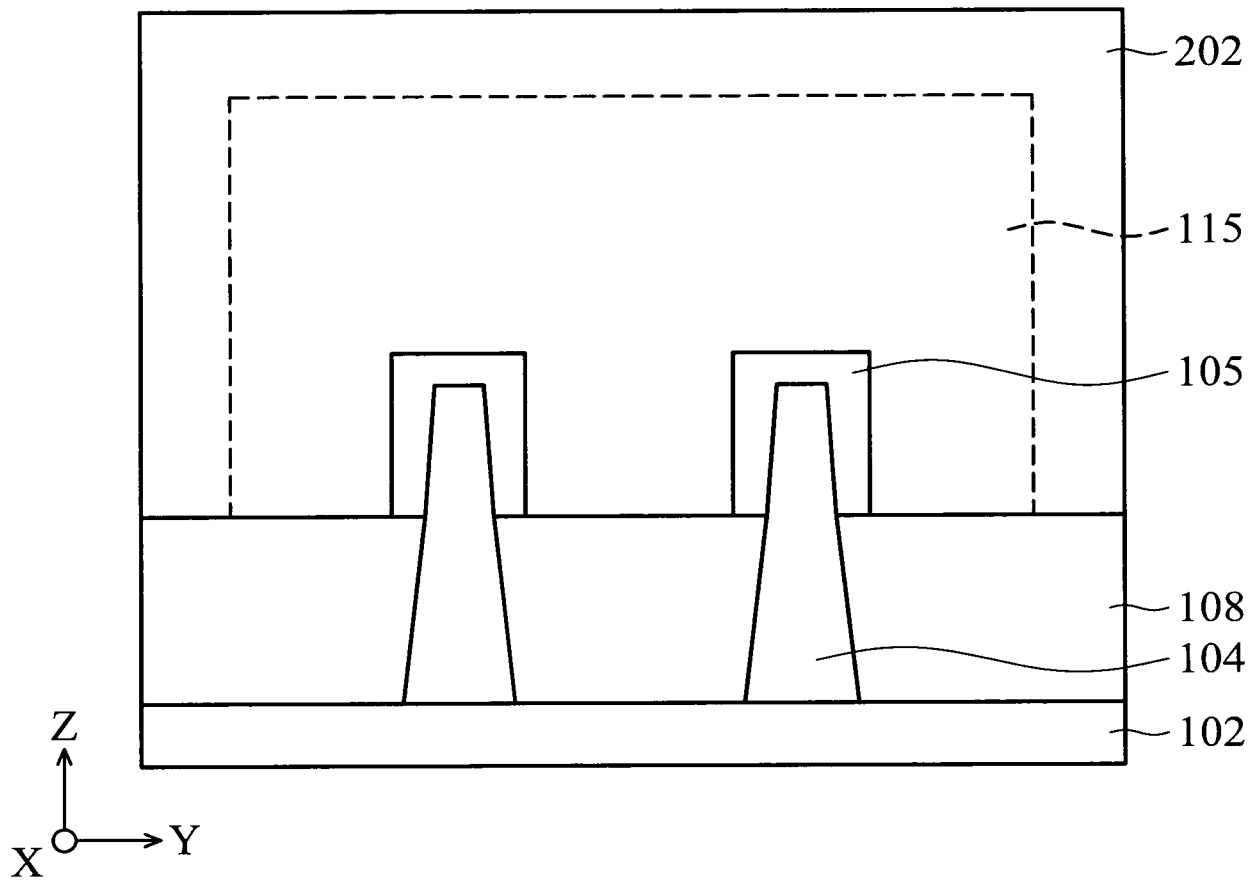
- 17.如申請專利範圍第16項所述之鰭式場效電晶體（FinFET）裝置結構的形成方法，其中在上述鰭結構的中心部分上方形成閘極堆疊結構包括：
上述鰭結構上形成閘極；
在上述閘極形成第一硬罩幕；以及
形成第二硬罩幕於上述第一硬罩幕上。
- 18.如申請專利範圍第16項所述之鰭式場效電晶體（FinFET）裝置結構的形成方法，更包括：
形成隔離結構於上述基底上，其中上述磊晶結構的底面與上述隔離結構的頂面齊平或者上述磊晶結構的底面低於上述隔離結構的頂面。
- 19.如申請專利範圍第16項所述之鰭式場效電晶體（FinFET）裝置結構的形成方法，其中去除上述鰭結構的一部分在鰭側壁間隔物之間形成凹陷的更包括：
去除上述鰭結構的一部分直到上述鰭結構的頂部與隔離結構的頂面齊平或者磊晶結構的底面低於上述隔離結構的頂面。
- 20.如申請專利範圍第16項所述之鰭式場效電晶體（FinFET）裝置結構的形成方法，在磊晶成長上述磊晶結構之前，更包括：
去除整個上述鰭側壁間隔物；以及

去除上述鰭結構的一部分直到上述鰭結構的頂面低於上述
隔離結構的頂面。

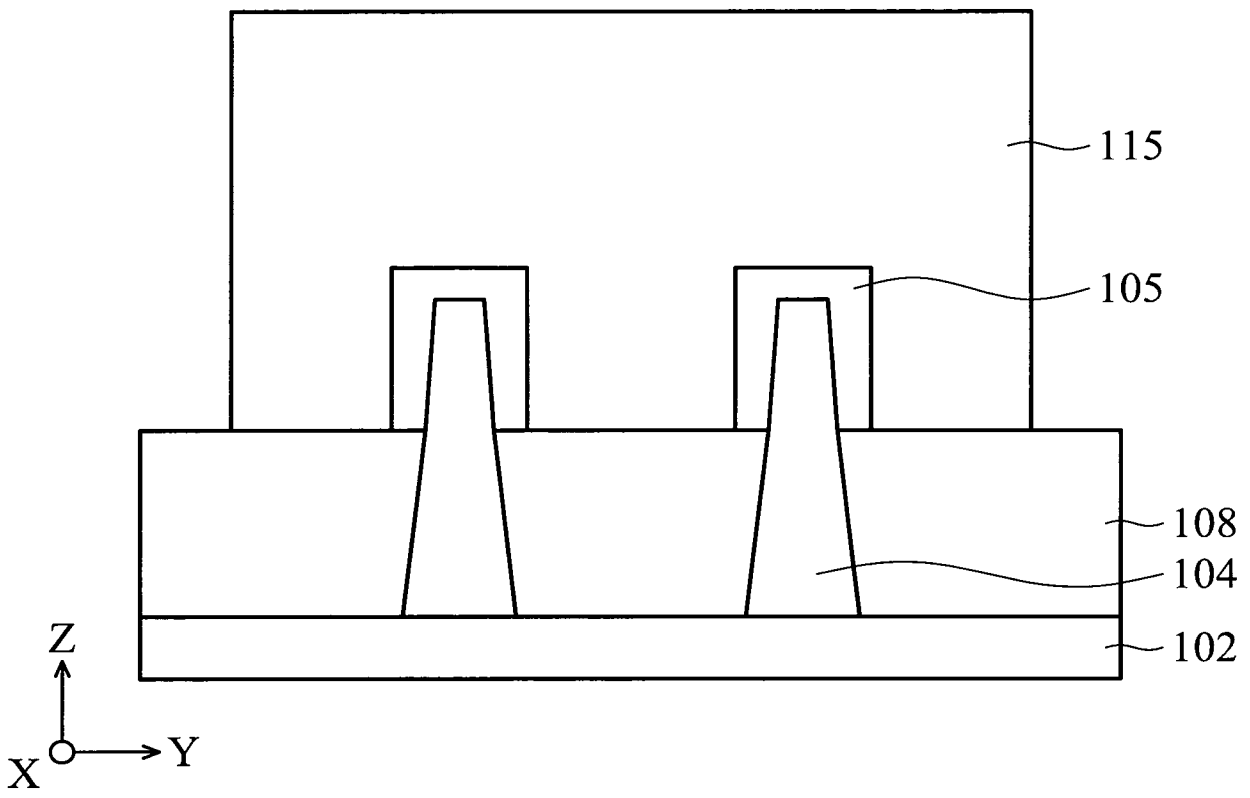
圖式



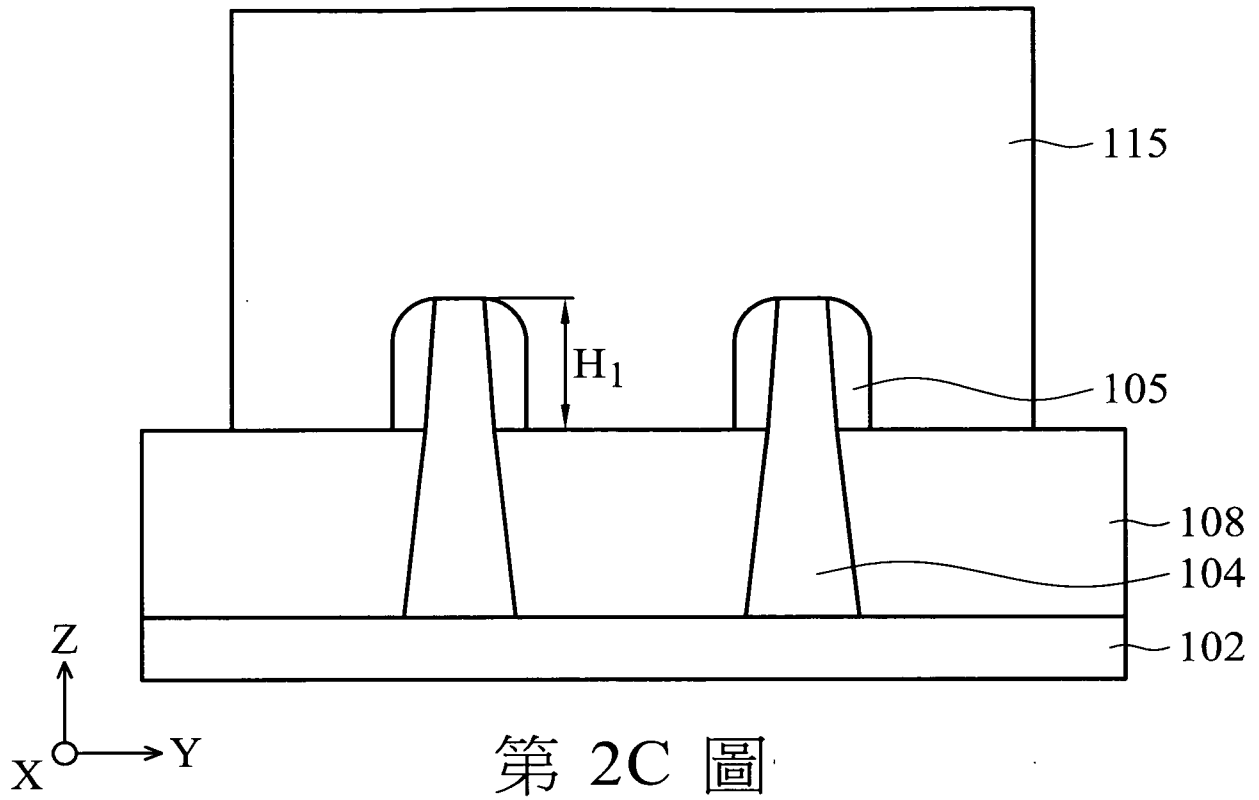
第1圖



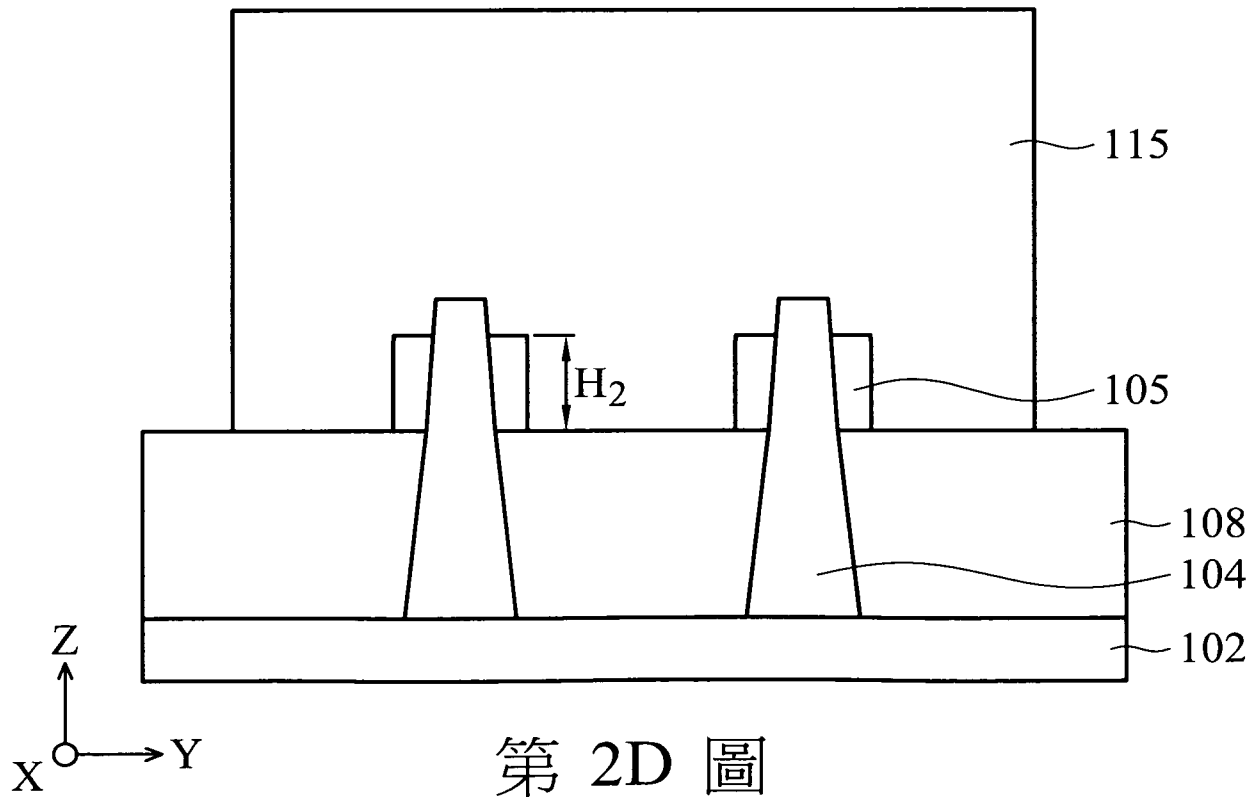
第 2A 圖



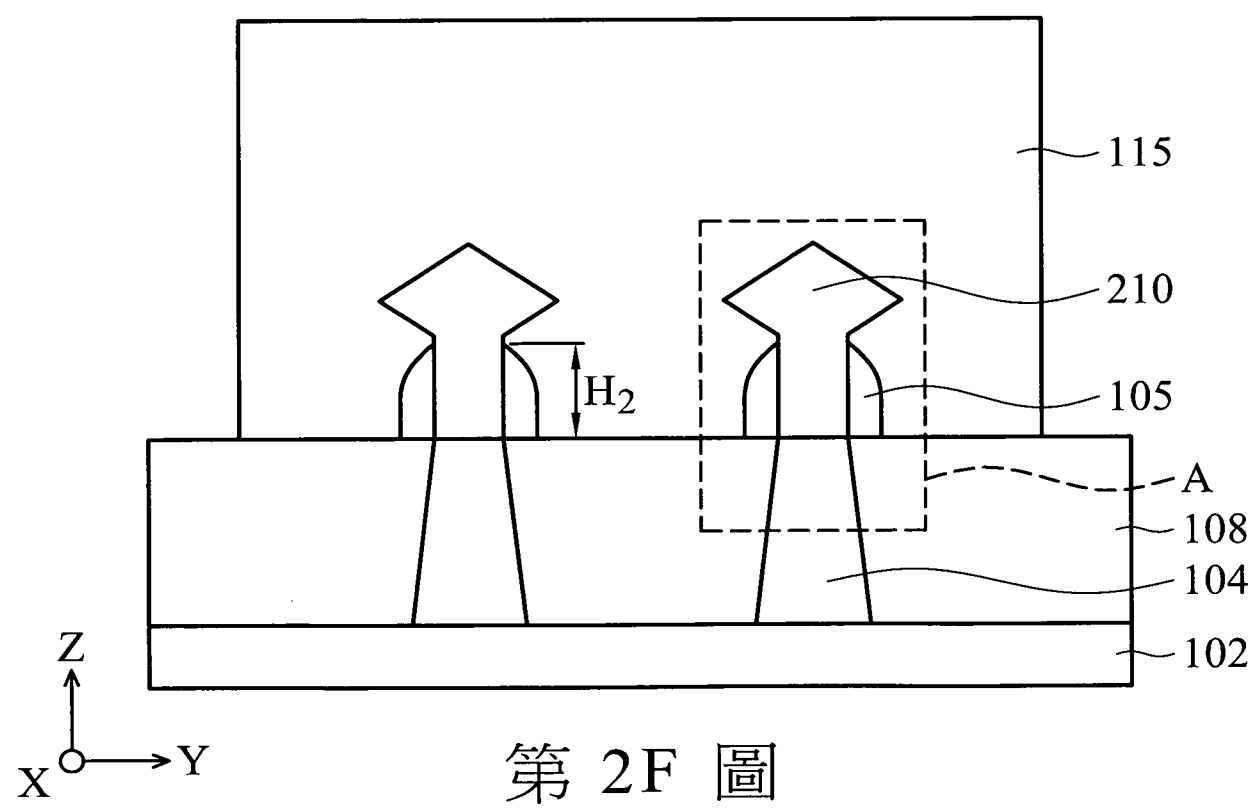
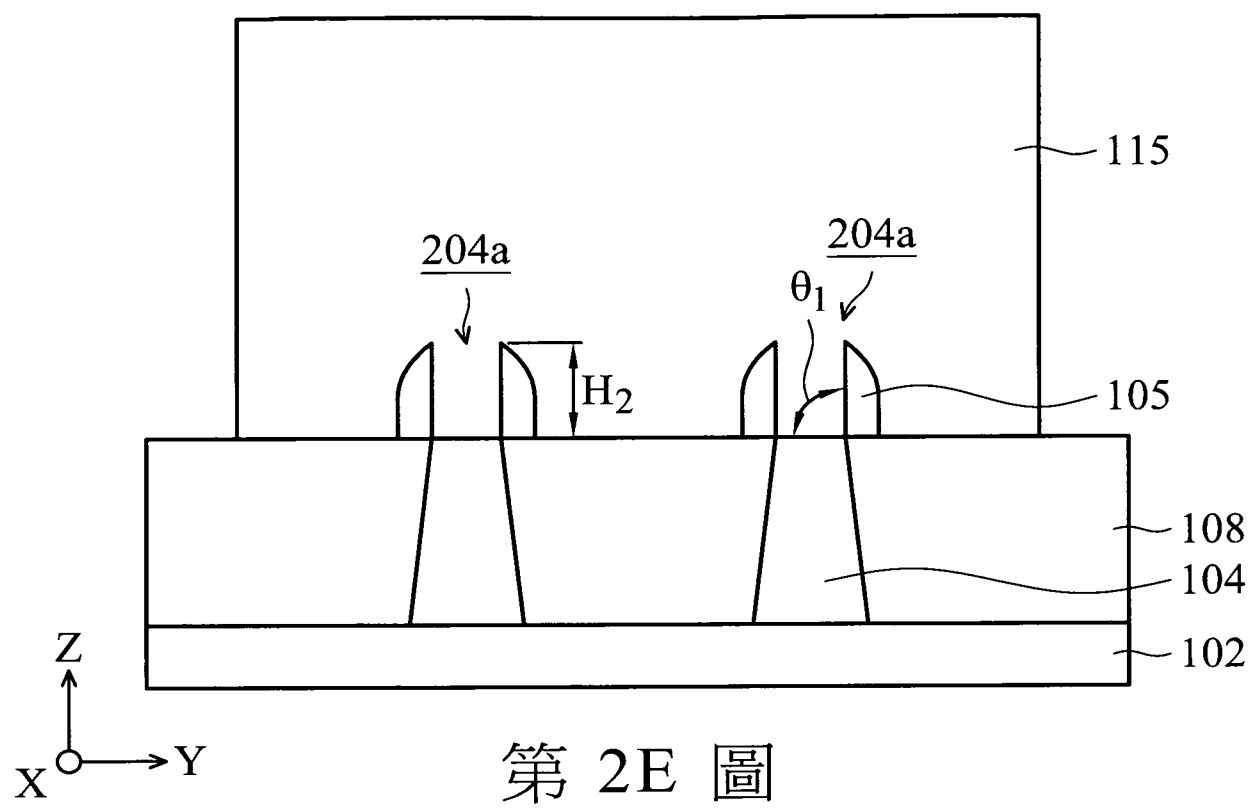
第 2B 圖

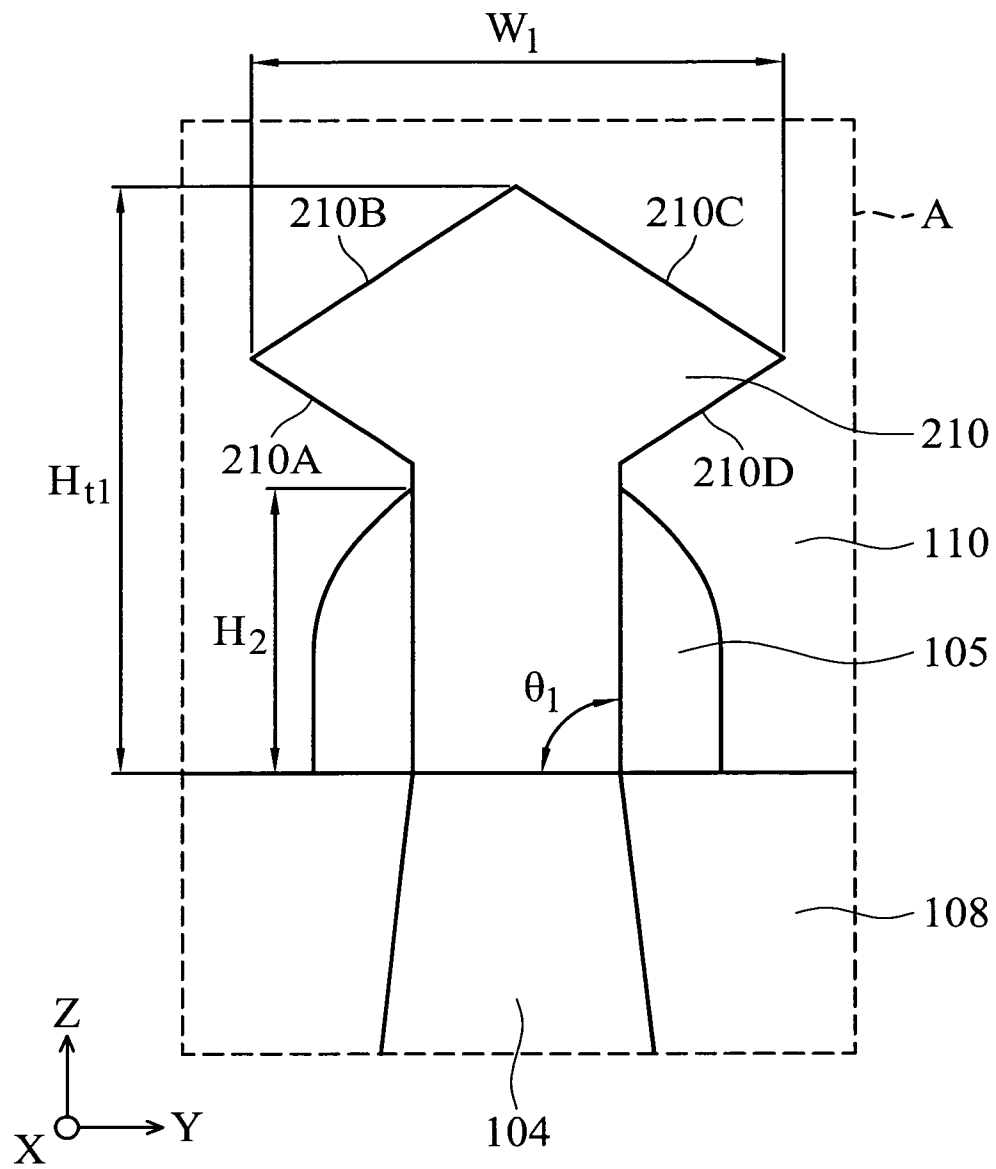


第 2C 圖

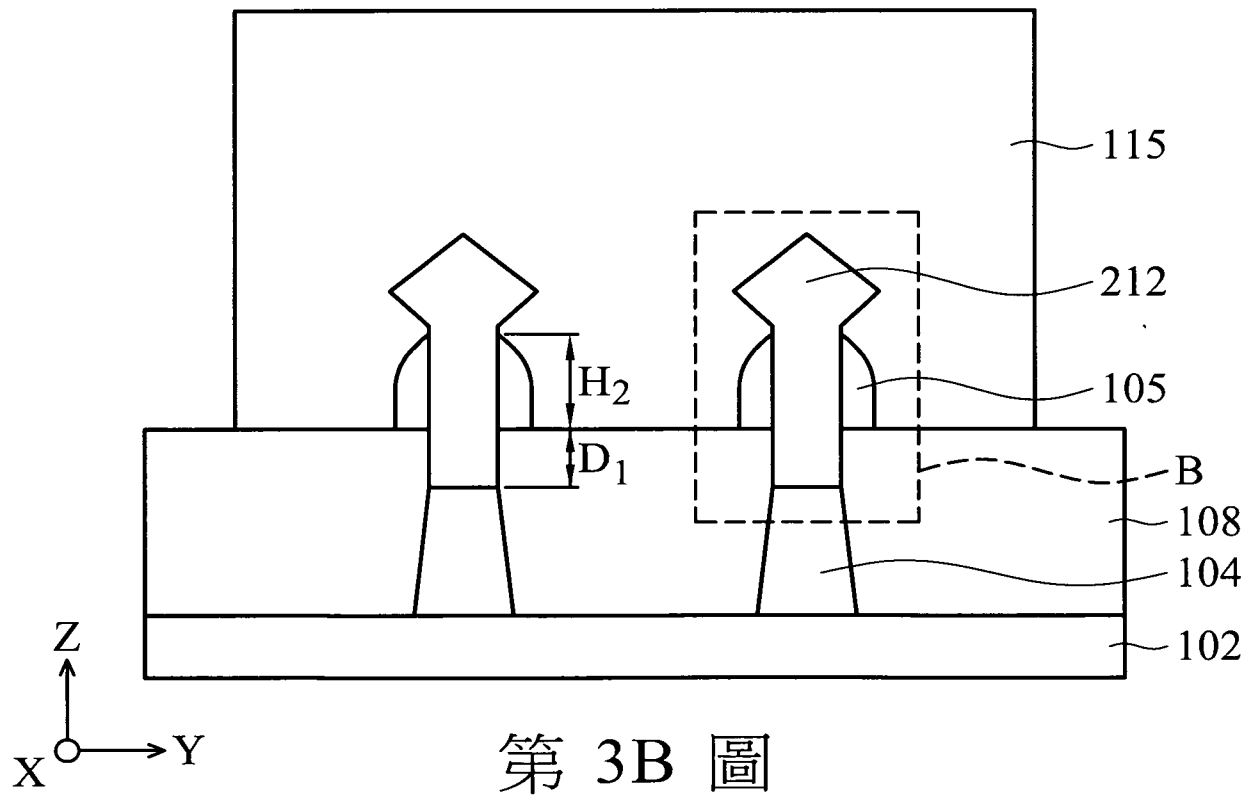
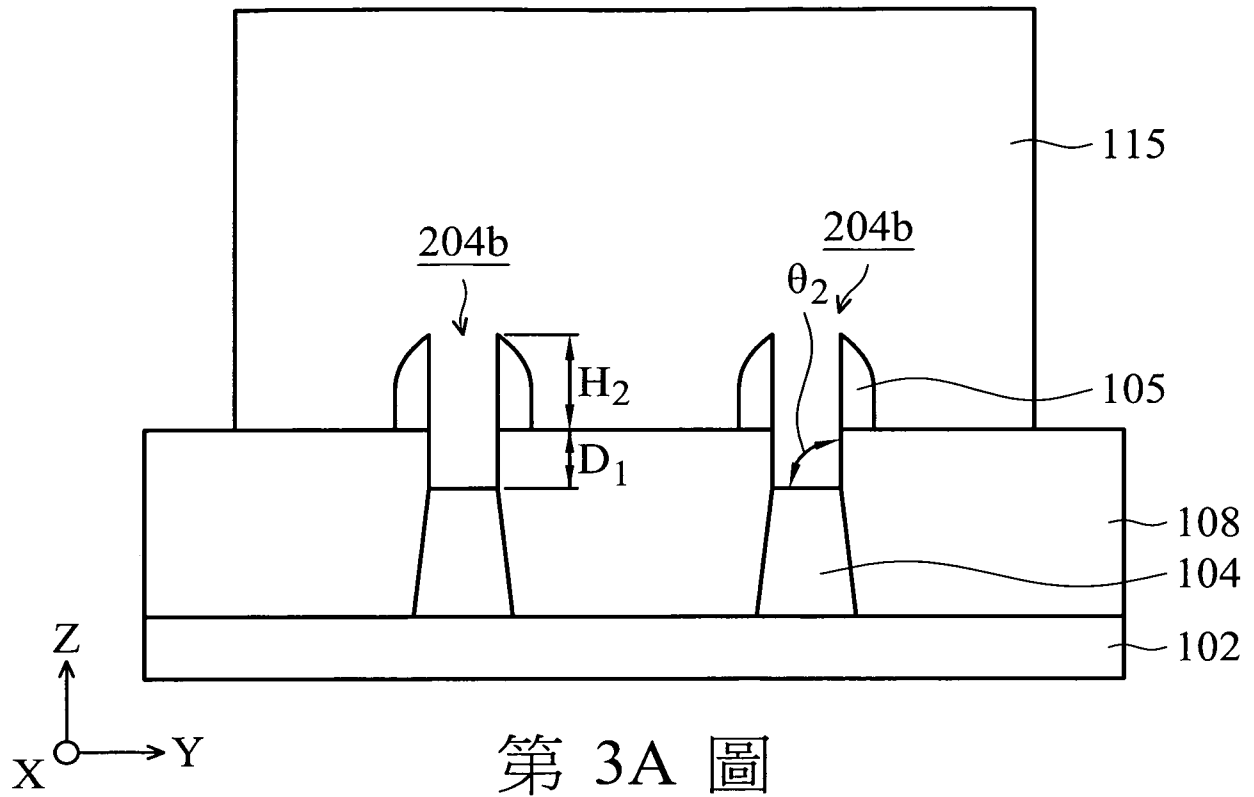


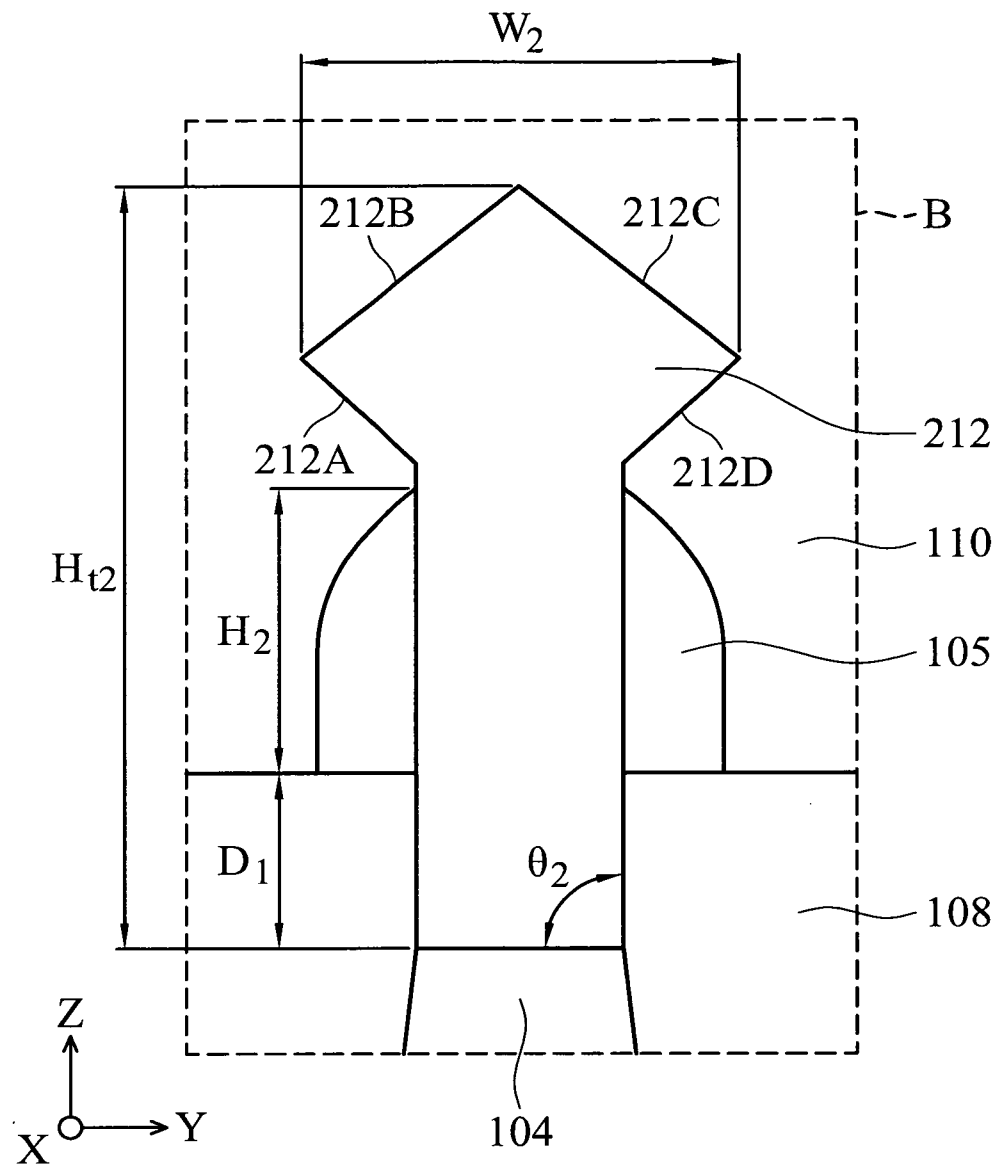
第 2D 圖



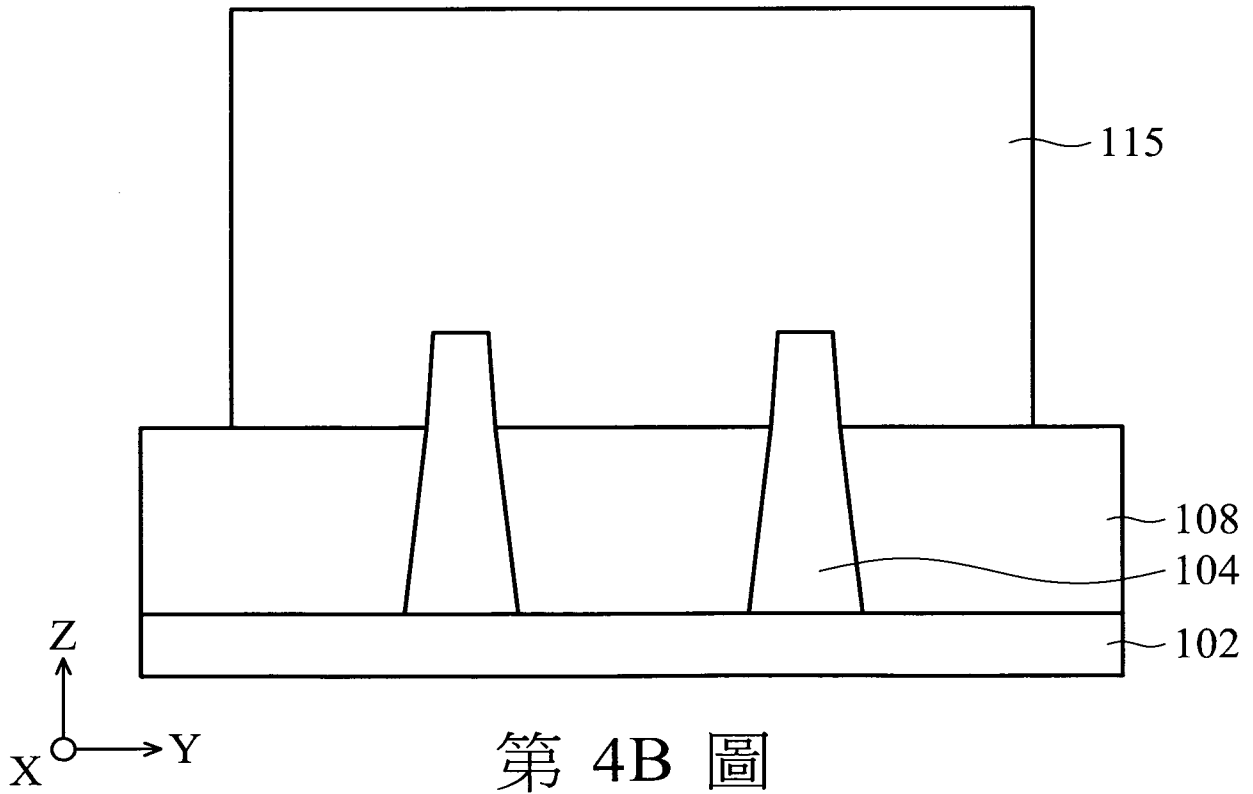
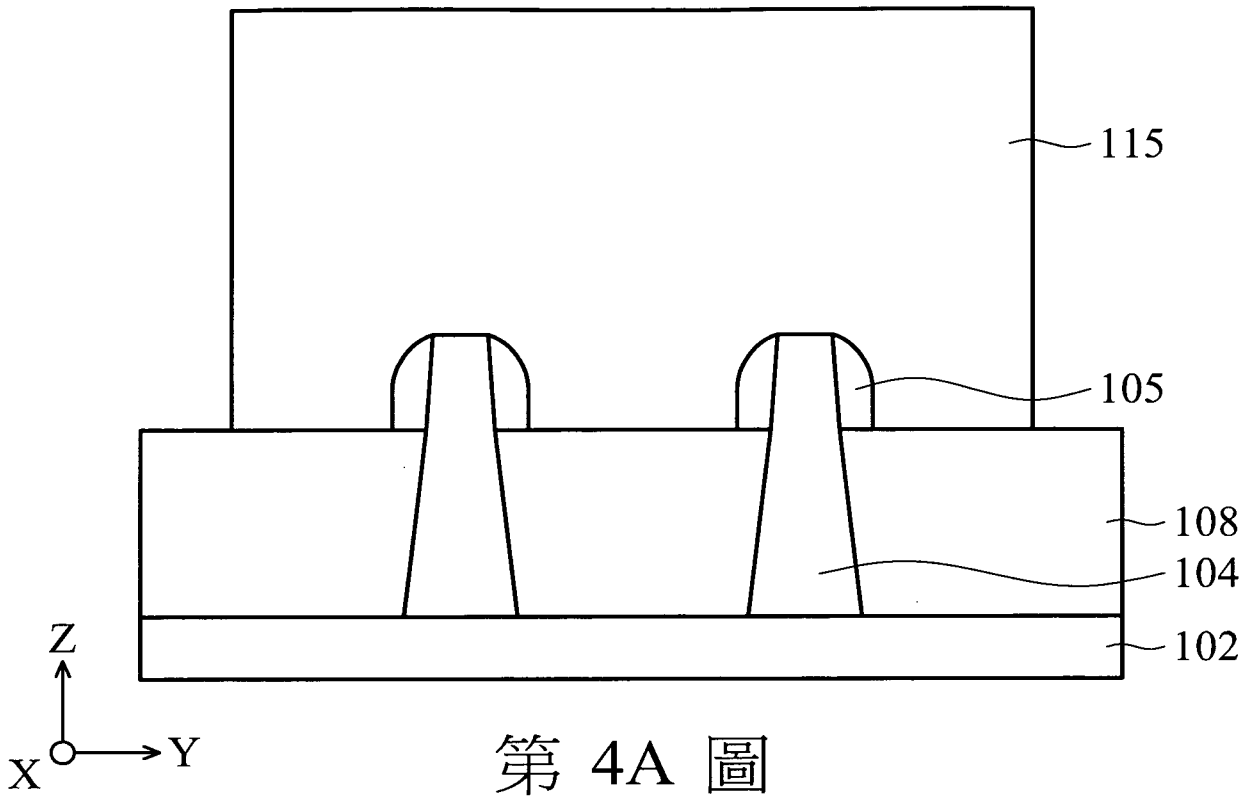


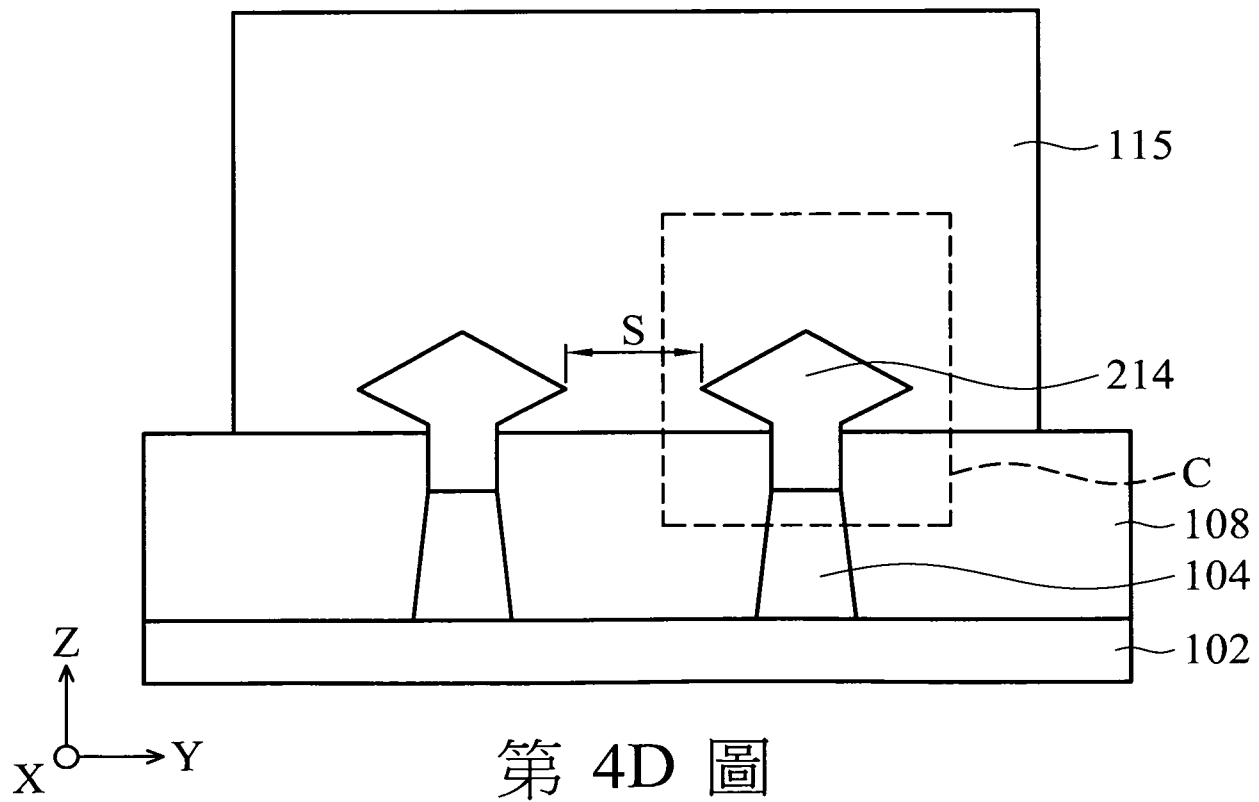
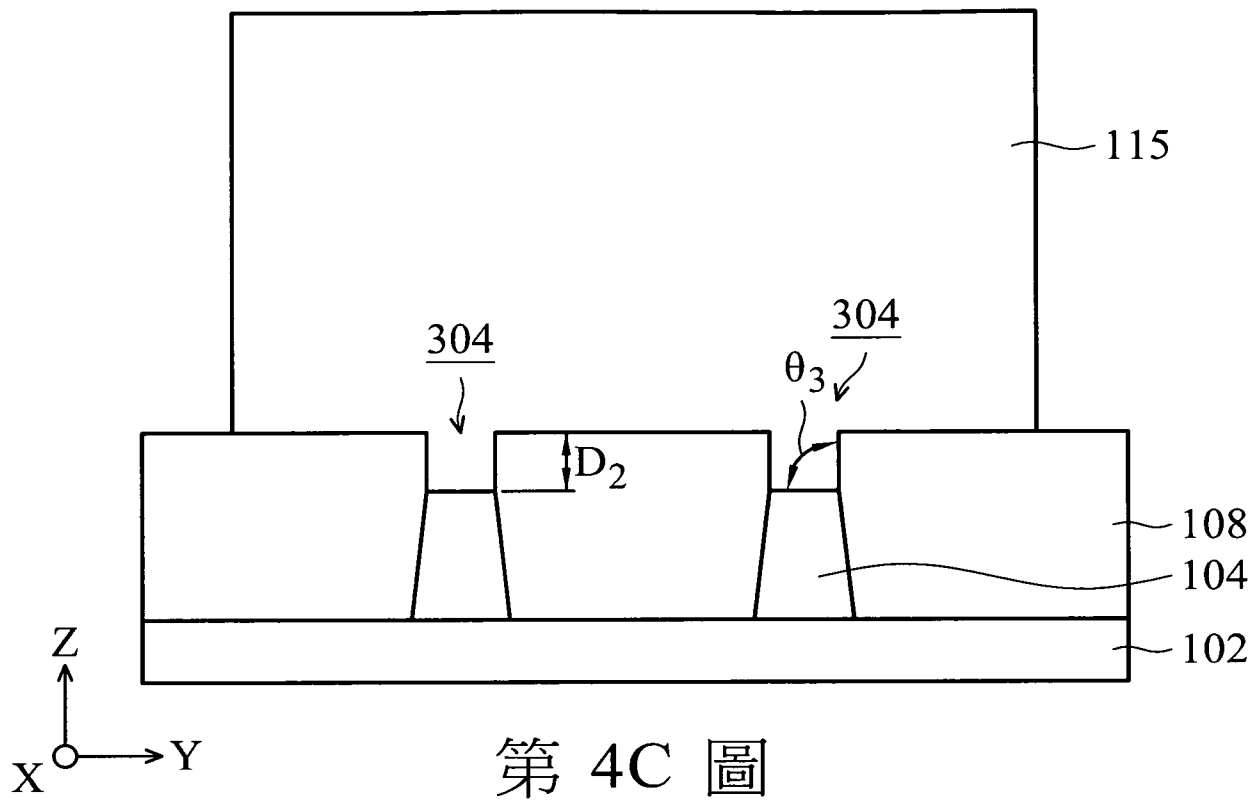
第 2G 圖

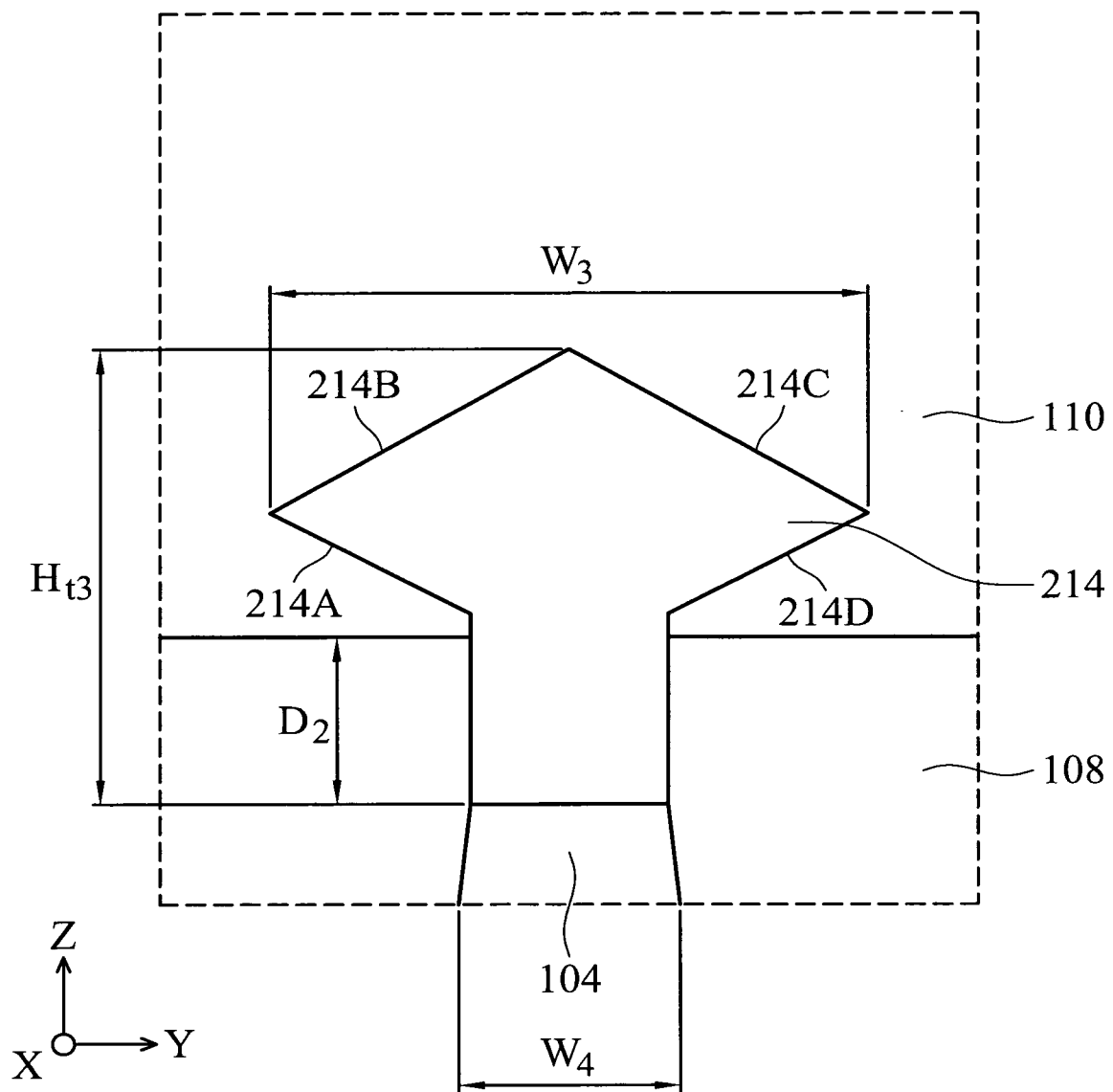




第 3C 圖







第 4E 圖

H₂ 為約 0.1 nm 至約 90 nm 的範圍。

【0030】 值得注意的是，鰭側壁間隔物 105 的第二高度 H₂ 可決定磊晶結構（例如圖 2E 中的磊晶結構 210）是至關重要的。磊晶結構的高度和體積受到鰭側壁間隔物 105 的第二高度 H₂ 的影響。換句話說，鰭側壁間隔物 105 形成是能夠控制磊晶結構 210 的體積和高度。

【0031】 如圖 2E 所示，根據本發明的一些實施例，在第三乾蝕刻步驟之後，去除一部分的鰭結構 104。去除鰭結構 104 的步驟是藉由例如乾蝕刻步驟或濕蝕刻步驟來進行。如圖 2E 所示，留下的鰭結構 104 的頂面與隔離結構 108 的頂面大致上齊平。藉由使位於隔離結構 108 之上的鰭結構 104 的部分凹陷以形成溝槽 204a。溝槽 204a 的側壁是垂直於隔於留下的鰭結構 104 的頂面，並且彼此平行。在一些實施例中，溝槽 204a 的側壁和鰭結構 104 的頂面之間的角度 θ_1 為約 90 度。

【0032】 如第 2F 圖所示，根據本發明的一些實施例，去除一部分的鰭結構 104 之後，在溝槽 204a 中形成磊晶結構 210。

【0033】 磊晶結構 210 包括源極/汲極磊晶結構。在一些實施例中，當想要形成 N 型 FET（NFET）元件時，源極/汲極磊晶結構包括磊晶成長的矽（磊晶 Si）。另一方面，當想要形成 P 型 FET（PFET）元件時，源極/汲極磊晶結構包括磊晶成長的矽鍺（SiGe）。

【0034】 第 2G 圖是根據本發明的一些實施例的第 2F 圖的區域 A 的放大圖。如第 2G 圖所示，磊晶結構 210 具有菱形上部和柱狀下部。磊晶結構 210 的菱形上部具有四個小平面 210A、

210B、210C和210D。每個小平面均具有(111)結晶方位(orientation)。磊晶結構210的柱狀下部具有底面和鄰接底面的側壁。底面和側壁之間的角度 θ_1 為約90度。此外，磊晶結構210的柱狀下部的底面與隔離結構108的頂面基本齊平。

【0035】如第2G圖所示，磊晶結構210具有高度 H_{t1} 和寬度 W_1 。在一些實施例中，高度 H_{t1} 為約10 nm至約300 nm的範圍。如果高度 H_{t1} 太大，則電阻將變低。如果高度 H_{t1} 太小，則電阻變高而影響元件的操作速度。在一些實施例中，寬度 W_1 為約10 nm至約100 nm的範圍。如果寬度 W_1 太大，則磊晶結構210可能會與相鄰的磊晶結構210合併而引起短路效應。如果寬度 W_1 太小，則用於與磊晶結構210接觸的接觸面積將變窄，並且因此可以破壞電路效應。

【0036】此外，磊晶結構210的高度 H_{t1} 與鰭側壁間隔物105的高度 H_2 的比例(H_{t1}/H_2)為約1.5至約10的範圍。如果比例太小，則鰭側壁不能對EPI高度提供有效支撐並且引起短EPI結構。

【0037】第3A圖至第3B圖顯示根據本發明的一些實施例的形成鰭式場效電晶體(FinFET)裝置結構的各個階段的側視圖。

【0038】如第3A圖所示，在一些實施例中，留下的鰭結構104的頂面低於隔離結構108的頂面。藉由使位於隔離結構108下方的鰭結構104的部分凹陷以形成溝槽204b。在一些其他實施例中，溝槽204b的側壁和鰭結構104的頂面之間的角度 θ_2 為約90度。溝槽204b從隔離結構108的頂面延伸至深度 D_1 ，深度 D_1 為約0.1 nm至約50 nm的範圍。

申請專利範圍

1. 一種鰭式場效電晶體 (FinFET) 裝置結構，包括：
基底；
鰭結構，延伸於上述基底之上方；
磊晶結構，形成在上述鰭結構上，其中上述磊晶結構具有第一高度；以及
鰭側壁間隔物，鄰接上述磊晶結構，其中上述鰭側壁間隔物具有第二高度，並且上述第一高度大於上述第二高度，並且其中上述鰭側壁間隔物設置用以控制上述磊晶結構的體積和上述第一高度。
2. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，更包括：
閘極堆疊結構，形成在上述鰭結構的中心部分上方，其中，上述磊晶結構形成為鄰接上述鰭結構的中心部分。
3. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述第二高度為約 0.1 nm 至約 100 nm 的範圍。
4. 如申請專利範圍第1項所述之鰭式場效電晶體 (FinFET) 裝置結構，還包括：
隔離結構，其中，上述鰭結構嵌入在上述隔離結構中。
5. 如申請專利範圍第4項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構的底面與上述隔離結構的頂面大致上齊平。
6. 如申請專利範圍第4項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構的底面低於上述隔離結構的

頂面。

7. 如申請專利範圍第 6 項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構從上述隔離結構的頂面延伸至約 0.1 nm 至約 50 nm 的範圍的深度。
8. 如申請專利範圍第 1 項所述之鰭式場效電晶體 (FinFET) 裝置結構，其中，上述磊晶結構包括源極/汲極結構。
9. 一種鰭式場效電晶體 (FinFET) 裝置結構，包括：
 - 基底；
 - 鰭結構，延伸於上述基底之上方；
 - 隔離結構，形成在上述基底上，其中上述鰭結構嵌入於上述隔離結構中；以及
 - 第一磊晶結構，形成於上述鰭結構上，其中上述第一磊晶結構和上述鰭結構之間的界面位於上述隔離結構的頂面下方，並且沒有形成鄰接上述第一磊晶結構的鰭側壁間隔物。
10. 一種鰭式場效電晶體 (FinFET) 裝置結構的形成方法，包括：
 - 提供基底；
 - 在上述基底之上形成鰭結構；
 - 在上述鰭結構的中心部分上方形成閘極堆疊結構；
 - 在上述閘極堆疊結構的頂面和側壁上形成閘極側壁間隔物，並且在上述鰭結構的頂面和側壁上形成鰭側壁間隔物；
 - 去除上述閘極側壁間隔物的頂部和上述鰭側壁間隔物的頂部以暴露上述閘極堆疊結構的頂部和上述鰭結構的頂部；
 - 去除一部分的上述鰭側壁間隔物，其中，上述鰭側壁間隔

物具有第二高度；

凹陷化一部的上述鰭結構的以形成溝槽；以及

由上述溝槽磊晶成長磊晶結構，其中在上述鰭結構上方形成上述磊晶結構，並且其中上述磊晶結構具有第一高度，並且上述第一高度大於上述第二高度。