

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710042137.3

[51] Int. Cl.

H01L 21/822 (2006.01)
H01L 21/762 (2006.01)
H01L 21/8247 (2006.01)
H01L 27/04 (2006.01)
H01L 27/115 (2006.01)

[43] 公开日 2008年12月24日

[11] 公开号 CN 101330049A

[22] 申请日 2007.6.18

[21] 申请号 200710042137.3

[71] 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

[72] 发明人 黄声河 詹奕鹏 刘晶

[74] 专利代理机构 北京集佳知识产权代理有限公司
代理人 逯长明

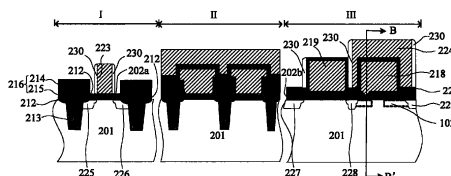
权利要求书4页 说明书13页 附图10页

[54] 发明名称

自对准浅沟槽隔离结构、存储器单元及其形成方法

[57] 摘要

一种自对准浅沟槽隔离结构形成方法，包括在自对准浅沟槽隔离结构工艺中加入侧墙后再进行氧化步骤进而形成场氧化层，然后在隔离区形成沟槽和采用衬氧化层和第三绝缘层填充沟槽。本发明通过在自对准浅沟槽隔离结构工艺中加入侧墙后再进行氧化步骤进而形成场氧化层，防止了自对准浅沟槽隔离结构与栅介质层相接触处形成尖角。相应地，本发明提供一种自对准浅沟槽隔离结构。本发明还提供一种存储器单元及其形成方法，防止了存储器单元区域和外围电路区域的自对准浅沟槽隔离结构与栅介质层相接触处形成尖角。



1. 一种自对准浅沟槽隔离结构形成方法，其特征在于，包括：

提供半导体衬底，把半导体衬底分为有源区和有源区相间的隔离区；

在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；

依次蚀刻去除隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；

在有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、栅介质层上形成侧墙；

进行氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处形成场氧化层；

蚀刻隔离区的栅介质层和半导体衬底形成沟槽，去除有源区的第二蚀刻停止层和第二绝缘层；

在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；

平坦化第三绝缘层和衬氧化物层，去除有源区的第一蚀刻停止层和第一绝缘层；

在有源区形成栅极以及在栅极两侧、半导体衬底中进行源/漏离子注入形成源/漏极。
2. 根据权利要求1所述的自对准浅沟槽隔离结构形成方法，其特征在于，所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度范围为50至500Å。
3. 根据权利要求1所述的自对准浅沟槽隔离结构形成方法，其特征在于，所述侧墙为氧化硅层和氮化硅层构成。
4. 根据权利要求1所述的自对准浅沟槽隔离结构形成方法，其特征在于，所述第一蚀刻停止层、第二蚀刻停止层为氮化硅。

5. 根据权利要求 1 所述的自对准浅沟槽隔离结构形成方法，其特征在于，所述第一绝缘层、第二绝缘层为氧化硅。

6. 一种自对准浅沟槽隔离结构，包括：

具有相间的有源区与隔离区的半导体衬底；

位于半导体衬底中隔离区的沟槽；

依次填充于沟槽内的衬氧化物层和第三绝缘层；

其特征在于，还包括位于有源区与隔离区交界处、栅介质层与半导体衬底交界处通过氧化步骤形成的场氧化层。

7. 根据权利要求 6 所述的自对准浅沟槽隔离结构，其特征在于，所述场氧化层厚度范围为 50 至 500Å。

8. 一种存储器单元的形成方法，其特征在于，包括：

提供带有氧化层的半导体衬底，所述半导体衬底分为存储单元区域和外围电路区域，所述存储单元区域和外围电路区域均分为有源区和有源区以外的隔离区；

在半导体衬底上存储单元区域形成隧穿注入掩模区和隧穿氧化层窗口；

在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；

依次蚀刻存储单元区域和外围电路区域的隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；

在存储单元区域和外围电路区域的有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、栅介质层上形成侧墙；

进行氧化步骤，在存储单元区域和外围电路区域的有源区的多晶硅层两侧、栅介质层与半导体衬底交界处形成场氧化层；

蚀刻存储单元区域和外围电路区域的隔离区的栅介质层和半导体衬底形

成沟槽，去除存储单元区域和外围电路区域的有源区的第二蚀刻停止层和第二绝缘层；

在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；

平坦化第三绝缘层和衬氧化物层，去除存储单元区域和外围电路区域的有源区的第一蚀刻停止层和第一绝缘层；

在存储单元区域形成浮栅、选择栅、层间绝缘层和控制栅；

在外围电路区域形成外围电路栅极；

进行源/漏离子注入形成外围电路的源/漏极和存储单元区域的源/漏极。

9. 根据权利要求8所述的存储器单元的形成方法，其特征在于，所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度范围为50至500Å。

10. 根据权利要求8所述的存储器单元的形成方法，其特征在于，所述侧墙为氧化硅层和氮化硅层组合构成。

11. 根据权利要求8所述的存储器单元的形成方法，其特征在于，所述第一蚀刻停止层、第二蚀刻停止层为氮化硅。

12. 根据权利要求8所述的存储器单元的形成方法，其特征在于，所述第一绝缘层、第二绝缘层为氧化硅。

13. 一种存储器单元，包括：

带有氧化层的半导体衬底，所述半导体衬底分为存储单元区域和外围电路区域，所述存储单元区域和外围电路区域均分为有源区和有源区以外的隔离区；

位于半导体衬底上存储单元区域的隧穿注入掩模区和隧穿氧化层窗口；

形成于半导体衬底上存储单元区域和外围电路区域的栅介质层；并列位于存储单元区域栅介质层上的浮栅、选择栅和外围电路区域栅介质层上的外围电路栅极；位于存储单元区域浮栅、选择栅上的层间绝缘层以及位于浮栅位置层间绝缘层上的控制栅；

位于半导体衬底中外围电路栅极、浮栅和选择栅两侧的源/漏极;

位于存储单元区域和外围电路区域的隔离区中的沟槽;

依次填充于沟槽内的衬氧化物层和第三绝缘层;

其特征在于,还包括位于存储单元区域和外围电路区域的有源区与隔离区交界处、栅介质层与半导体衬底交界处通过氧化步骤形成的场氧化层。

14.根据权利要求 13 所述的存储器单元,其特征在于,形成所述场氧化层厚度范围为 50 至 500Å。

自对准浅沟槽隔离结构、存储器单元及其形成方法

技术领域

本发明涉及半导体技术领域，特别涉及一种自对准浅沟槽隔离结构、存储器单元及其形成方法。

背景技术

随着半导体工业的进步，集成电路向更小尺寸及更快的运算速度发展。当集成电路的尺寸日趋微小化之际，如何有效地进行元件的隔离，是集成电路发展的关键。元件隔离结构目的是用以隔离与其相邻的元件区，而防止载流子（carriers）从基底渗透至邻近的元件中。

在各种元件隔离技术中，局部硅氧化方法（LOCOS）和浅沟槽隔离区制程是最常采用的两种技术，尤其后者，因具有隔离区域小和完成后仍保持基底平坦性等优点，更是近年来颇受重视的半导体制造技术。

通常，场隔离层利用浅沟槽隔离（STI）技术或自对准浅沟槽隔离结构（SA-STI）技术形成。在STI工艺中，氧化物层与氮化物层依次形成在半导体衬底上，接着执行蚀刻工艺以在衬底的场隔离区（filed isolation region）中形成沟槽（Trench）。在SA-STI工艺中，氧化物层、多晶硅层与氮化物层依次形成在半导体衬底上，接着执行蚀刻工艺形成沟槽。

申请号为200510078642的中国专利申请公开了一种采用自对准浅沟槽隔离结构工艺形成快闪存储器元件的方法，通过采用存储单元区的浅沟槽工艺形成场隔离膜，以降低图案的深宽比从而减少由高密度等离子体（HDP）引起的间隙填充缺陷，并且防止了隧道氧化层处的微笑（smiling）现象。但是采用上述自对准浅沟槽隔离结构技术中，位于浅沟槽隔离角落的栅氧化物层容易形成尖角。下面参照附图1加以说明，半导体衬底101上依次形成有栅介

质层102和多晶硅栅113，位于栅介质层102和多晶硅栅113的周围形成有自对准浅沟槽隔离结构112，可以看出，在自对准浅沟槽隔离结构112与栅介质层102相接触处形成有尖角114（corner）。由于形成沟槽以及形成栅介质层时，都会半导体衬底中产生应力，应力会集中于自对准浅沟槽隔离结构112与栅介质层102相接触处的尖角114处，产生漏电流，从而影响器件的可靠性。

发明内容

本发明解决的问题是在自对准浅沟槽隔离结构工艺中由于自对准浅沟槽隔离结构与栅介质层相接触处形成有尖角，尖角处容易产生漏电流，从而影响器件的可靠性。

为解决上述问题，本发明提供一种自对准浅沟槽隔离结构形成方法，包括：提供半导体衬底，把半导体衬底分为有源区和有源区以外的隔离区；在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；依次蚀刻隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；在有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、栅介质层上形成侧墙；进行氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处形成场氧化层；蚀刻隔离区的栅介质层和半导体衬底形成沟槽，去除有源区的第二蚀刻停止层和第二绝缘层；在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；平坦化第三绝缘层和衬氧化物层，去除有源区的第一蚀刻停止层和第一绝缘层；在有源区形成栅极以及在栅极两侧、半导体衬底中进行源/漏离子注入形成源/漏极。

所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度范围为50至500Å。

所述侧墙为氧化硅层和氮化硅层构成。

所述第一蚀刻停止层、第二蚀刻停止层为氮化硅。

所述第一绝缘层、第二绝缘层为氧化硅。

相应地，本发明提供一种自对准浅沟槽隔离结构，包括：分为有源区和有源区以外的隔离区的半导体衬底；位于半导体衬底中隔离区的沟槽；依次填充于沟槽内的衬氧化物层和第三绝缘层；还包括位于有源区与隔离区交界处、栅介质层与半导体衬底交界处通过氧化步骤形成的场氧化层。

所述场氧化层厚度范围为 50 至 500Å。

本发明还提供一种存储器单元的形成方法，包括：提供带有氧化层的半导体衬底，所述半导体衬底分为存储单元区域和外围电路区域，所述存储单元区域和外围电路区域均分为有源区和有源区以外的隔离区；在半导体衬底上存储单元区域形成隧穿注入掩模区和隧穿氧化层窗口；在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；依次蚀刻存储单元区域和外围电路区域的隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；在存储单元区域和外围电路区域的有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、栅介质层上形成侧墙；进行氧化步骤，在存储单元区域和外围电路区域的有源区的多晶硅层两侧、栅介质层与半导体衬底交界处形成场氧化层；蚀刻存储单元区域和外围电路区域的隔离区的栅介质层和半导体衬底形成沟槽，去除存储单元区域和外围电路区域的有源区的第二蚀刻停止层和第二绝缘层；在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；平坦化第三绝缘层和衬氧化物层，去除存储单元区域和外围电路区域的有源区的第一蚀刻停止层和第一绝缘层；在存储单元区域形成浮栅、选择栅、层间绝缘层和控制栅；在外围电路区域形成外围电路栅极；进行源/漏离子注入形成外围电路的源/

漏极和存储单元区域的源/漏极。

所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度范围为 50 至 500Å。

所述侧墙为氧化硅层和氮化硅层组合构成。

所述第一蚀刻停止层、第二蚀刻停止层为氮化硅。

所述第一绝缘层、第二绝缘层为氧化硅。

相应地，本发明还提供一种存储器单元，包括：带有氧化层的半导体衬底，所述半导体衬底分为存储单元区域和外围电路区域，所述存储单元区域和外围电路区域均分为有源区和有源区以外的隔离区；位于半导体衬底上存储单元区域的隧穿注入掩模区和隧穿氧化层窗口；形成于半导体衬底上存储单元区域和外围电路区域的栅介质层；并列位于存储单元区域栅介质层上的浮栅、选择栅和外围电路区域栅介质层上的外围电路栅极；位于存储单元区域浮栅、选择栅上的层间绝缘层以及位于浮栅位置层间绝缘层上的控制栅；位于半导体衬底中外围电路栅极、浮栅和选择栅两侧的源/漏极；位于存储单元区域和外围电路区域的隔离区中的沟槽；依次填充于沟槽内的衬氧化物层和第三绝缘层；还包括位于存储单元区域和外围电路区域的有源区与隔离区交界处、栅介质层与半导体衬底交界处通过氧化步骤形成的场氧化层。

形成所述场氧化层厚度范围为 50 至 500Å。

与现有技术相比，本技术方案具有以下优点：通过在采用自对准浅沟槽隔离结构工艺中加入氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处形成场氧化层，防止了自对准浅沟槽隔离结构与栅介质层相接触处形成尖角。

本技术方案通过在采用自对准浅沟槽隔离结构工艺中加入氧化步骤，在存储单元区域和外围电路区域的有源区与隔离区交界处、栅介质层与半导体

衬底交界处形成场氧化层；防止了存储单元区域和外围电路区域的自对准浅沟槽隔离结构与栅介质层相接触处形成尖角。

附图说明

图 1 是现有技术形成自对准浅沟槽隔离结构示意图；

图 2A 至 2H 是本发明的一个实施例的形成自对准浅沟槽隔离结构示意图；

图 3A 至 3P 是本发明的另一个实施例的形成存储器单元结构示意图。

具体实施方式

本发明的实质是提供一种自对准浅沟槽隔离结构的形成方法，本发明通过在采用自对准浅沟槽隔离结构工艺中加入氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处通过氧化形成场氧化层，防止了自对准浅沟槽隔离结构与栅介质层相接触处形成尖角，从而防止了由于尖角的存在导致的漏电流。本发明的实施例中的半导体衬底为 p 型，形成的 MOS 晶体管为 n 型沟道，半导体衬底还可以为 n 型，MOS 晶体管还可以为 p 型沟道，在此不应过多限制本发明的保护范围。

本发明首先提供一种自对准浅沟槽隔离结构形成方法实施例，本发明提供一种自对准浅沟槽隔离结构形成方法，包括：提供半导体衬底，把半导体衬底分为有源区和有源区以外的隔离区；在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；依次蚀刻隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；在有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、栅介质层上形成侧墙；进行氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处形成场氧化层；蚀刻隔离区的栅介质层和半导体衬底形成沟槽，

去除有源区的第二蚀刻停止层和第二绝缘层；在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；平坦化第三绝缘层和衬氧化物层，去除有源区的第一蚀刻停止层和第一绝缘；在有源区形成栅极以及在栅极两侧、半导体衬底中进行源/漏离子注入形成源/漏极。

下面参照附图 2A 至 2H 对本发明的自对准浅沟槽隔离结构形成方法加以详细说明。

首先，参照附图 2A，提供半导体衬底 301，把半导体衬底 301 分为有源区 I 和有源区以外的隔离区 II；在半导体衬底 301 上依次堆叠形成栅介质层 302、多晶硅层 303、第一绝缘层 304、第一蚀刻停止层 305、第二绝缘层 306 及第二蚀刻停止层 307。

所述栅介质层 302 的厚度范围为 7 至 10nm，所述栅介质层比较优化的为氧化硅。形成所述多晶硅层 303 目的为保护栅介质层 302 在后续工艺中被蚀刻损坏，所述多晶硅层 303 的厚度范围为 30 至 90nm。所述第一蚀刻停止层 305、第二蚀刻停止层 307 为氮化硅，所述第一蚀刻停止层 305 和第二蚀刻停止层 307 的厚度范围为 50 至 150nm，在蚀刻工艺中由于第一蚀刻停止层 305 和第二蚀刻停止层 307 与待蚀刻材料具有不同的蚀刻比例，使得停止于第一蚀刻停止层 305 或第二蚀刻停止层 307。所述第一绝缘层 304 和第二绝缘层 306 为氧化硅。

参照附图 2B，依次蚀刻去除隔离区 II 的第二蚀刻停止层 307、第二绝缘层 306、第一蚀刻停止层 305、第一绝缘层 304 及多晶硅层 303，暴露出栅介质层 302。

参照附图 2C，在有源区 I 的堆叠的多晶硅层 303、第一绝缘层 304、第一蚀刻停止层 305、第二绝缘层 306 及第二蚀刻停止层 307 周围、栅介质层 302 上形成侧墙 308。形成所述侧墙 308 的目的为在后续形成场氧化层和自对准浅

沟槽隔离结构形成中对有源区和器件的栅极的保护，所述侧墙 308 可以氧化硅、氮化硅、氮氧化硅或其组合构成。作为本发明的一个实施方式，所述侧墙 308 为由氧化硅和氮化硅组合构成。形成侧墙 308 的具体工艺为：首先在栅介质层 302 及第二蚀刻停止层 307 上依次形成第一氧化硅层和氮化硅层；然后，采用蚀刻（etch-back）技术形成侧墙 308。

参照附图 2D，进行氧化步骤，在有源区与隔离区交界处、栅介质层与半导体衬底交界处的半导体衬底表面的薄薄层内形成场氧化层 309。形成所述场氧化层 309 的目的为防止栅介质层 302 与后续形成的自对准浅沟槽隔离结构接触处的尖角（corner）现象，从而容易导致漏电流，造成器件可靠性受到影响。

所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度范围为 50 至 500 Å。

作为本实施例的一个实施方式，所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度为 100Å。

作为本实施例的另一个实施方式，所述氧化步骤为在湿氧气氛下进行，形成所述场氧化层厚度为 200Å。

本发明的实施例的通过在有源区与隔离区之间氧化形成场氧化层 309，可以防止栅介质层 302 与后续形成的自对准浅沟槽隔离结构接触处的尖角（corner）现象。

参照附图 2E，蚀刻隔离区 II 的栅介质层 302 和半导体衬底 301 形成沟槽 311，去除有源区 I 的第二蚀刻停止层 307 和第二绝缘层 306。形成沟槽 311 后工艺中会去除部分场氧化层 309，形成图 2E 中的场氧化层 310。

参照附图 2F，在沟槽 311 内以及第一蚀刻停止层 305 上依次形成衬氧化物层 312 和第三绝缘层 313。所述第三绝缘层 313 比较优化的实施方式为高密

度等离子体氧化物。形成所述衬氧化物层 312 和第三绝缘层 313 为本技术领域人员公知技术。所述衬氧化物层 312 和第三绝缘层 313 用于填充沟槽 311。

参照附图 2G，平坦化第三绝缘层 313 和衬氧化物层 312，形成自对准浅沟槽隔离结构 318，去除有源区 I 的第一蚀刻停止层 305 和第一绝缘层 304。

然后，在多晶硅层 303 上继续沉积一层多晶硅，采用现有的蚀刻技术在有源区形成栅极 314。

参照附图 2H，在栅极 314 两侧形成第一侧墙 315，所述第一侧墙 315 可以为氧化硅、氮化硅、氮氧化硅或其组合构成。然后，在半导体衬底中进行源/漏离子注入形成源/漏极，如图 2H 所示，源/漏离子注入后，形成源极 316 和漏极 317。形成所述第一侧墙 315 和源/漏极为本领域技术人员公知技术。

基于上述工艺实施后，形成本发明的自对准浅沟槽隔离结构 (SA-STI)，包括：分为有源区 I 和有源区以外的隔离区 II 的半导体衬底 301；位于半导体衬底 301 中隔离区 II 内的沟槽 311；依次填充于沟槽 311 内的衬氧化物层 312 和高第三绝缘层 313；还包括位于有源区 I 与隔离区 II 交界处、栅介质层与半导体衬底交界处通过氧化步骤形成的场氧化层 310。

本发明还提供一种存储器单元的形成方法实施例，包括：提供带有氧化层的半导体衬底，所述半导体衬底分为存储单元区域和外围电路区域，所述存储单元区域和外围电路区域均分为有源区和有源区以外的隔离区；在半导体衬底上存储单元区域形成隧穿注入掩模区和隧穿氧化层窗口；在半导体衬底上依次堆叠形成栅介质层、多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层；依次蚀刻存储单元区域和外围电路区域的隔离区的第二蚀刻停止层、第二绝缘层、第一蚀刻停止层、第一绝缘层及多晶硅层，暴露出栅介质层；在存储单元区域和外围电路区域的有源区的堆叠的多晶硅层、第一绝缘层、第一蚀刻停止层、第二绝缘层及第二蚀刻停止层周围、

栅介质层上形成侧墙；进行氧化步骤，在存储单元区域和外围电路区域的有源区的多晶硅层两侧、栅介质层与半导体衬底交界处形成场氧化层；蚀刻存储单元区域和外围电路区域的隔离区的栅介质层和半导体衬底形成沟槽，去除存储单元区域和外围电路区域的有源区的第二蚀刻停止层和第二绝缘层；在沟槽内以及第一蚀刻停止层上形成衬氧化物层和第三绝缘层；平坦化第三绝缘层和衬氧化物层，去除存储单元区域和外围电路区域的有源区的第一蚀刻停止层和第一绝缘层；在存储单元区域形成浮栅、选择栅、层间绝缘层和控制栅；在外围电路区域形成外围电路栅极；进行源/漏离子注入形成外围电路的源/漏极和存储单元区域的源/漏极。

首先，参照附图 3A，提供半导体衬底 201，所述半导体衬底 201 分为存储单元区域 II 以及外围电路区域 I，所述存储单元区域 II 包括第 IIA 区域和第 IIB 区域，其中第 IIB 区域为存储单元区域沿位线（Bit line）方向的剖面结构示意图，第 IIA 区域为第 IIB 区域沿 B-B' 方向即字线（Word line）方向剖面结构示意图，以下各图相同，将不再加以说明。所述存储单元区域 II 和外围电路区域 I 均分为有源区和有源区以外的隔离区，存储单元区域 II 的有源区包括选择晶体管和浮栅晶体管。

然后，在半导体衬底 201 上形成栅介质层 202，接着半导体衬底 201 中形成隧穿注入掩模区（TIM，Tunnel implant mask）102。形成所述隧穿注入掩模区 102 目的为存储单元区域的浮栅晶体管提供隧穿电子和定义浮栅晶体管的沟道长度。

参照附图 3B，在半导体衬底 201 上存储单元区域的有源区沿位线方向形成隧穿氧化层窗口 204，所述隧穿氧化层窗口 204 即为存储单元进行将电子写入浮栅和从浮栅中擦除时电子隧穿通路。具体工艺为：在存储单元区域的栅介质层 202 上形成光刻胶层 203，在光刻胶层 203 定义出隧穿氧化层窗口 204 图形，以光刻胶层 203 为掩模，蚀刻外围电路区域 I 和存储单元区域沿位线方

向的栅介质层 202。

参照附图 3C, 在半导体衬底 201 上依次堆叠形成栅介质层 202a 和 202b、多晶硅层 205、第一绝缘层 206、第一蚀刻停止层 207、第二绝缘层 208 及第二蚀刻停止层 209。

所述栅介质层 202a 和 202b 比较优化的为氧化硅, 通过热氧化工艺形成, 在第 IIB 区域热氧化形成的氧化硅与氧化层 202 共同构成栅介质层 202b。形成所述多晶硅层 205 目的为保护栅介质层 202a 和 202b 在后续工艺中被蚀刻损坏, 所述多晶硅层 205 的厚度范围为 30 至 90 nm。所述第一蚀刻停止层 207、第二蚀刻停止层 209 为氮化硅, 所述第一蚀刻停止层 207、第二蚀刻停止层 209 的厚度范围为 50 至 150nm, 在蚀刻工艺中由于第一蚀刻停止层 207 和第二蚀刻停止层 209 与待蚀刻材料具有不同的蚀刻比例, 使得停止于第一蚀刻停止层 207 和第二蚀刻停止层 209。所述第一绝缘层 206 和第二绝缘层 208 为氧化硅。

参照附图 3D, 依次蚀刻第 I 区域即外围电路区域和存储单元区域的第二蚀刻停止层 209、第二绝缘层 208、第一蚀刻停止层 207、第一绝缘层 206 及多晶硅层 205, 暴露出栅介质层 202a。

参照附图 3E, 在栅介质层 202a 以及第二蚀刻停止层 209 上依次形成第一氧化硅层 210 和氮化硅层 211。形成第一氧化硅层 210 和氮化硅层 211 为后续形成侧墙之用。

参照附图 3F, 采用现有的蚀刻技术 (etch-back) 依次蚀刻第 I 区域的氮化硅层 211 和第一氧化硅层 210, 沿字线方向依次蚀刻的第 IIA 区域的氮化硅层 211 和第一氧化硅层 210, 形成氮化硅层 211a 和第一氧化硅层 210a, 氮化硅层 211a 和第一氧化硅层 210a 组成了堆叠的多晶硅层 205、第一绝缘层 206、第一蚀刻停止层 207、第二绝缘层 208 及第二蚀刻停止层 209 的侧墙。

参照附图 3G, 进行氧化步骤, 在存储单元区域即第 IIA 区域和外围电路区域即第 I 区域的有源区的多晶硅层两侧、栅介质层与半导体衬底交界处形成场氧化层 212。形成所述场氧化层 212 的目的为防止栅介质层 302 与后续形成的自对准浅沟槽隔离结构接触处的尖角 (corner) 现象, 从而容易导致漏电流, 造成器件可靠性受到影响。

所述氧化步骤为在湿氧气氛下进行, 形成所述场氧化层 212 厚度范围为 50 至 500 Å。

作为本实施例的一个实施方式, 所述氧化步骤为在湿氧气氛下进行, 形成所述场氧化层 212 厚度为 300Å。

作为本实施例的另一个实施方式, 所述氧化步骤为在湿氧气氛下进行, 形成所述场氧化层 212 厚度为 400Å。

本发明的实施例的通过在有源区与隔离区之间氧化形成场氧化层 212, 可以防止栅介质层 202a 与后续形成的自对准浅沟槽隔离结构接触处的尖角 (corner) 现象。

参照附图 3H, 蚀刻第 I 区域和存储单元区域的隔离区的栅介质层 202a 和半导体衬底 201 形成沟槽 213, 去除第 I 区域和第 IIA 区域的有源区的第二蚀刻停止层 209 和第二绝缘层 208。

参照附图 3I, 在沟槽 213 内以及第一蚀刻停止层 207 上形成衬氧化物层 215 和第三绝缘层 214。所述第三绝缘层 214 比较优化的实施方式为高密度等离子体氧化物, 形成所述衬氧化物层 215 和第三绝缘层 214 为本技术领域人员公知技术。所述衬氧化物层 215 和第三绝缘层 214 用于填充沟槽 213。

参照附图 3J, 平坦化第三绝缘层 214 和衬氧化物层 215, 形成自对准浅沟槽隔离结构 216, 同时去除第 I 区域和存储单元区域有源区的第一蚀刻停止层 207 和第一绝缘层 206。

参照附图 3K，在多晶硅层 205 上继续沉积一层多晶硅，共同组成多晶硅层 217。

参照附图 3L，采用现有蚀刻技术，形成存储单元区域的浮栅 218 和选择栅 219，同时去除第 I 区域的多晶硅层 217。

参照附图 3M，在第 I 区域和存储单元区域形成层间绝缘层 220，所述层间绝缘层 220 比较优化为氧化硅-氮化硅-氧化硅共同组成的 ONO 层，所述层间绝缘层 220 的厚度为 10 至 30nm。

然后，去除第 I 区域即外围电路区域的层间绝缘层 220，在去除第 I 区域的层间绝缘层 220 的时候，会对栅介质层 202a 造成部分损坏。

参照附图 3N，去除第 I 区域的栅介质层 202a，然后在第 I 区域的半导体衬底 201 上形成第二栅介质层 221，所述第二栅介质层 221 比较优化为氧化硅，所述栅介质层比较优化为通过热氧化工艺形成，形成的第二栅介质层 221 的厚度范围为 3 至 9nm。

然后在整个区域包括第 I 区域的第二栅介质层 221 上、第 IIA 和 IIB 区域的层间绝缘层 220 上形成第二多晶硅层 222。所述第二多晶硅层 222 用于形成第 IIA 区域和第 IIB 区域的存储单元的控制栅。所述第二多晶硅层 222 的厚度范围为 100 至 500nm。

参照附图 3O，蚀刻第二多晶硅层 222，分别形成第 I 区域即外围电路区域的外围电路栅极 223 和存储单元区的控制栅 224。

参照附图 3P，按照常规技术，随后进行源/漏离子注入形成外围电路的源极 225 和漏极 226 以及存储单元区域的源极 227 和漏极 229，同时在存储单元区域的选择栅与控制栅之间形成选择晶体管和浮栅晶体管的共用扩散区 228，共用扩散区 228 与隧穿注入掩模区相连。漏极 229 为相邻存储单元的浮栅晶体管所共用。所述源/漏离子注入包括两步注入：浅掺杂离子注入（LDD）和

源/漏深离子注入。

然后在外围电路栅极两侧、存储单元区域的选择栅两侧和控制栅两侧形成第二侧墙 230，所述第二侧墙 230 可以为氧化硅、氮化硅、氮氧化硅或其组合构成。

基于上述工艺实施后，形成本发明的存储器单元。包括：带有氧化层的半导体衬底 201，所述半导体衬底 201 分为存储单元区域 II（包括第 IIA 区域和第 IIB 区域）和外围电路区域 I，所述存储单元区域 II 和外围电路区域 I 均分为有源区和有源区以外的隔离区；位于半导体衬底 201 上存储单元区域 II 的隧穿注入掩模区 102 和隧穿氧化层窗口 204；形成于半导体衬底 201 上存储单元区域 II 和外围电路区域 I 的栅介质层 202b 和 202a；并列位于存储单元区域栅介质层上的浮栅 218、选择栅 219 和外围电路区域栅介质层 202a 上的外围电路栅极 223；位于存储单元区域 II 的浮栅 218、选择栅 219 上的层间绝缘层 220 以及位于浮栅位置层间绝缘层 220 上的控制栅 230；位于半导体衬底 201 中外围电路栅极 223、浮栅 218 和选择栅 219 两侧的源/漏极；位于存储单元区域 II 和外围电路区域 I 的隔离区中的沟槽 213；依次填充于沟槽 213 内的衬氧化物层 215 和第三绝缘层 214；还包括位于存储单元区域 II 和外围电路区域 I 的有源区与隔离区交界处、栅介质层 202a 和 202b 与半导体衬底 201 交界处通过氧化步骤形成的场氧化层 212。

虽然本发明已以较佳实施例披露如上，但本发明并非限定于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

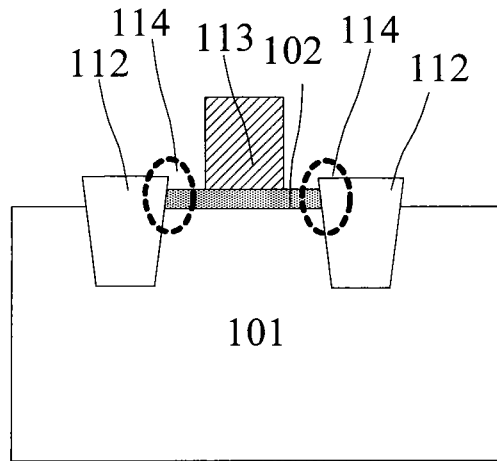


图 1

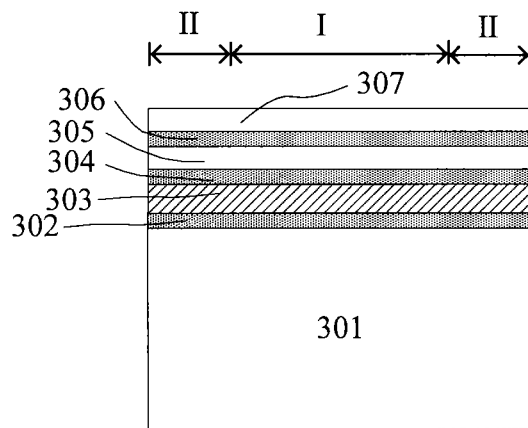


图 2A

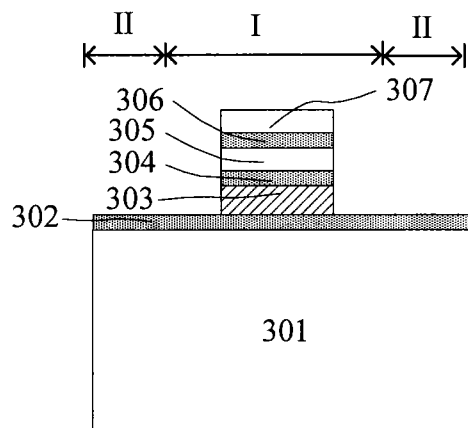


图 2B

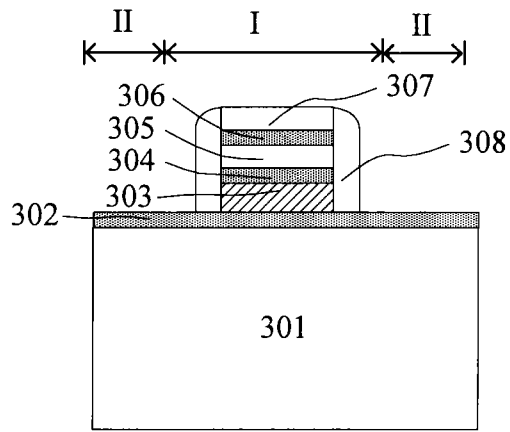


图 2C

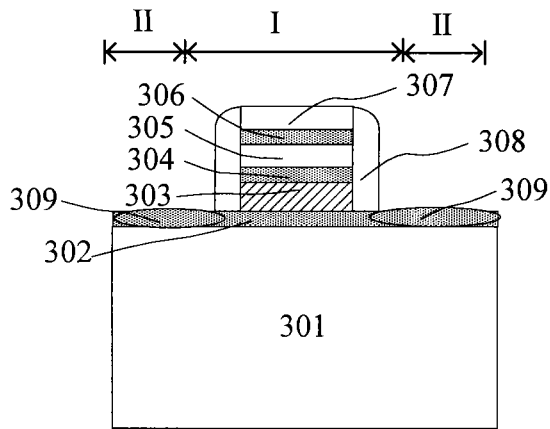


图 2D

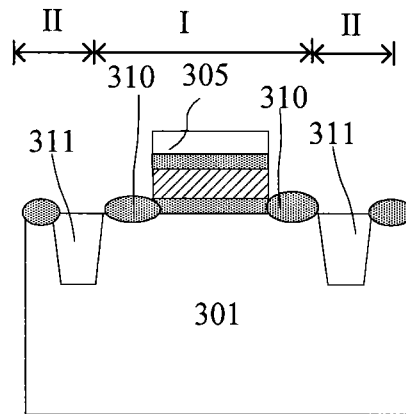


图 2E

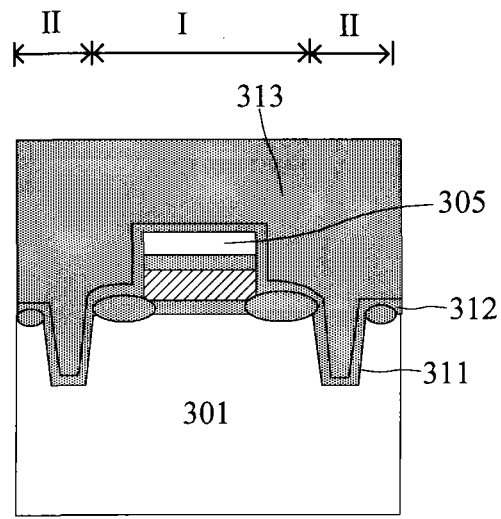


图 2F

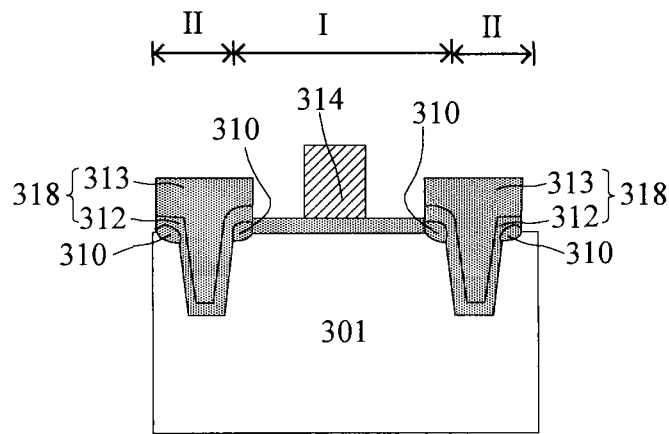


图 2G

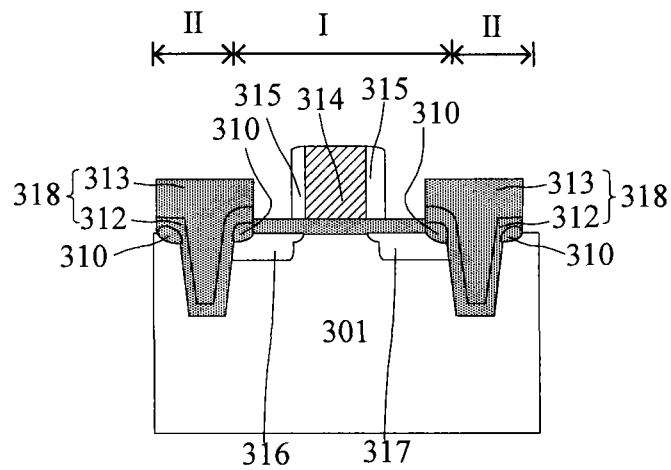


图 2H

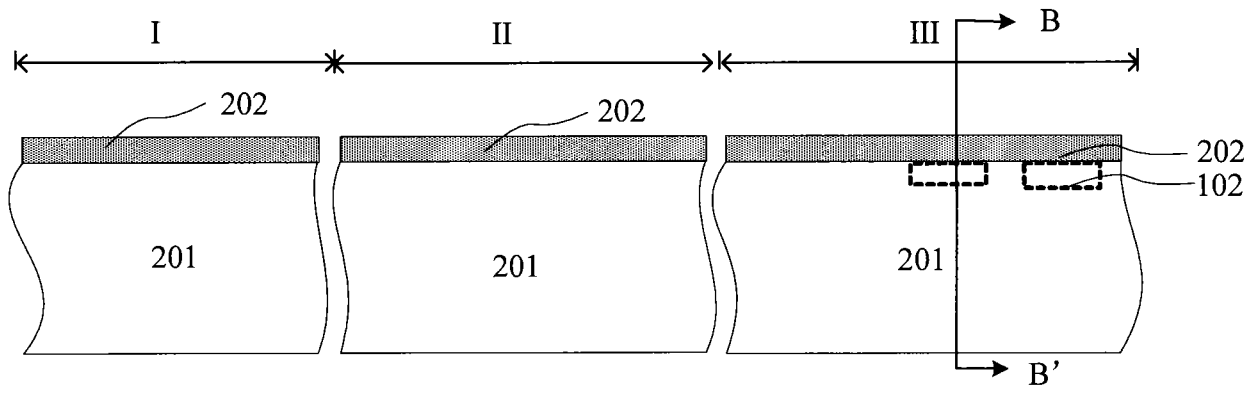


图 3A

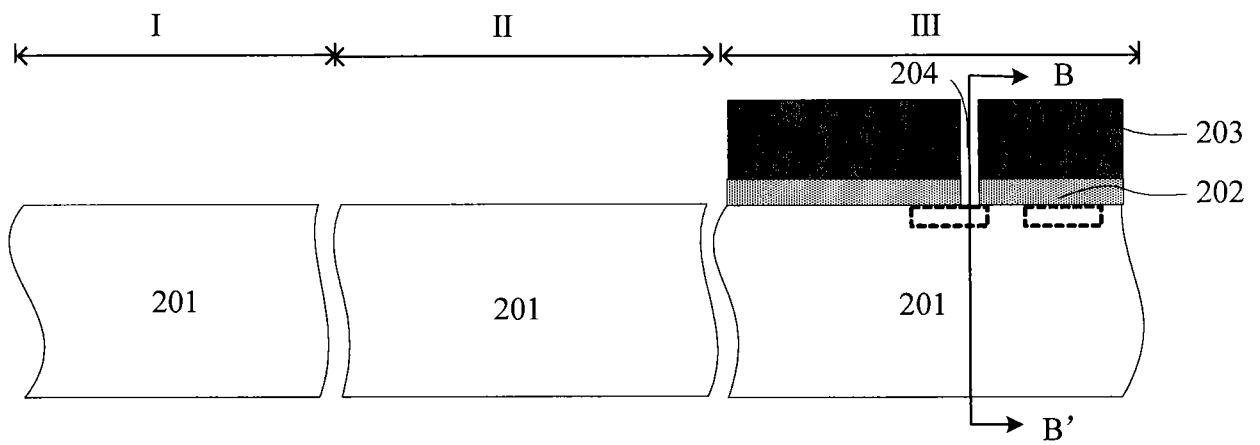


图 3B

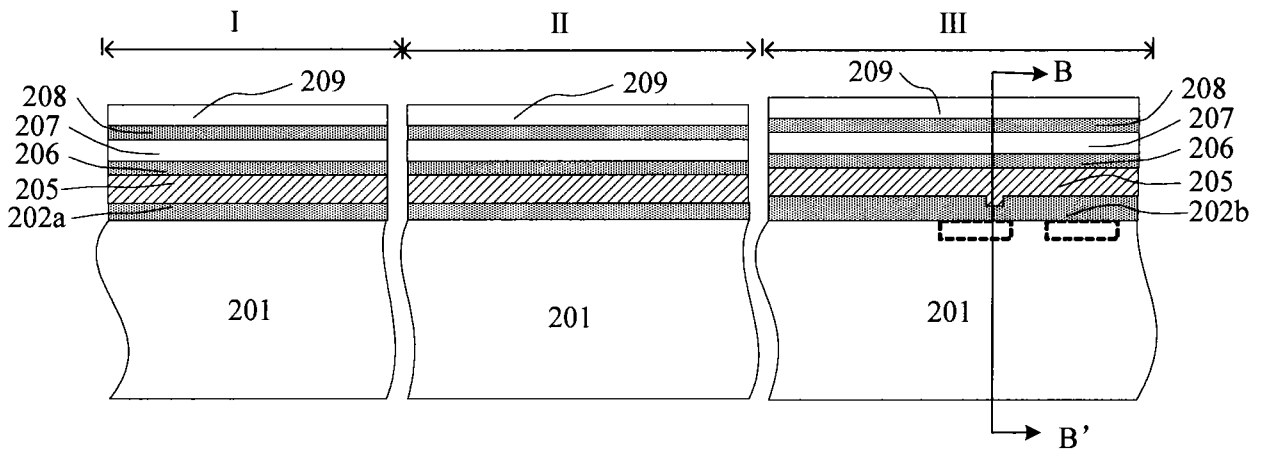


图 3C

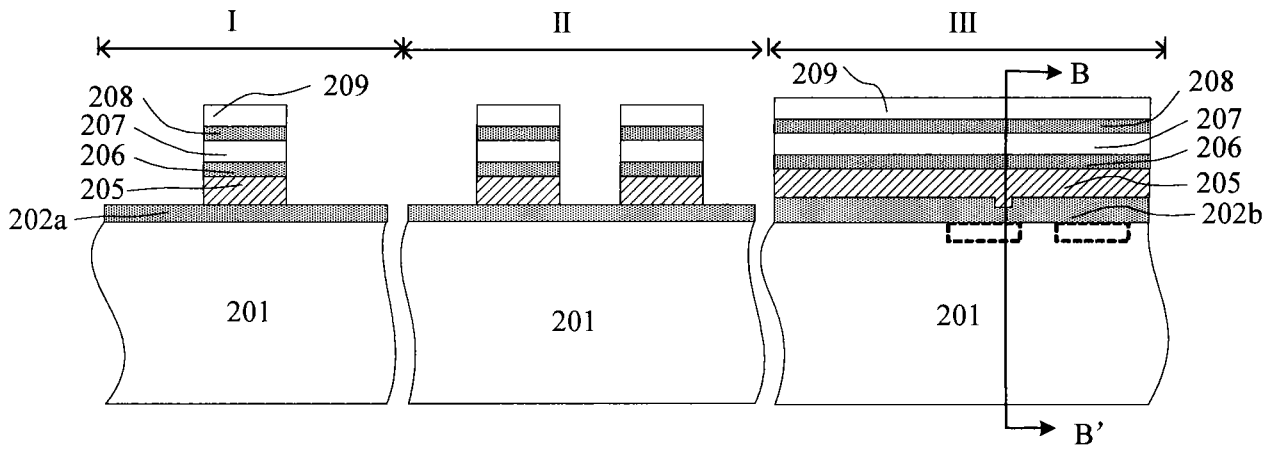


图 3D

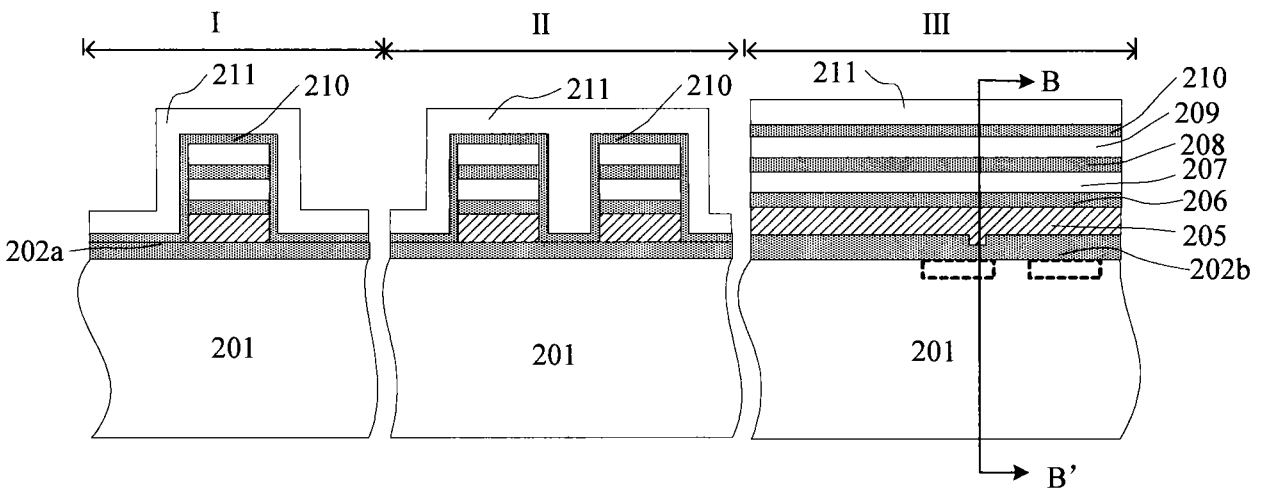


图 3E

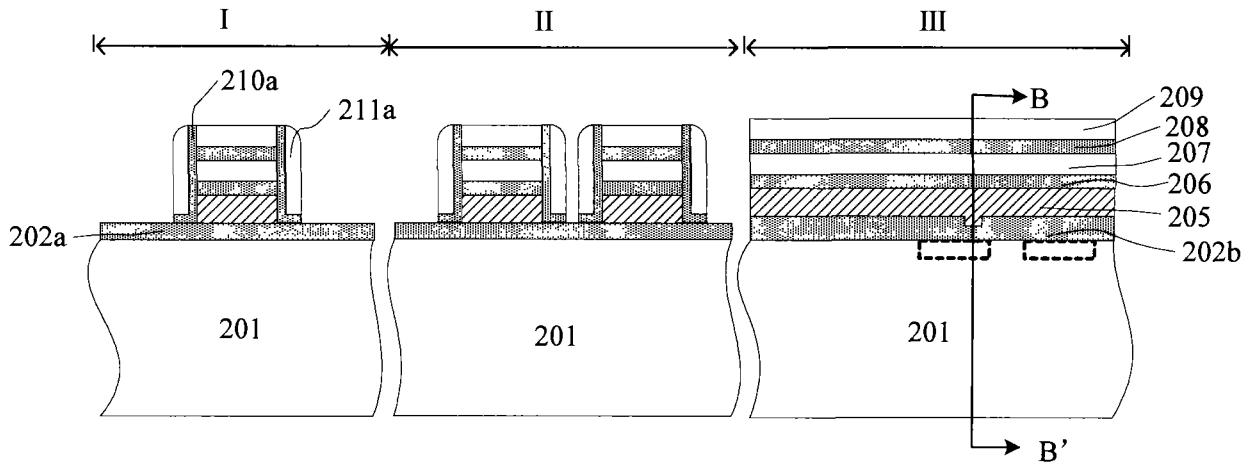


图 3F

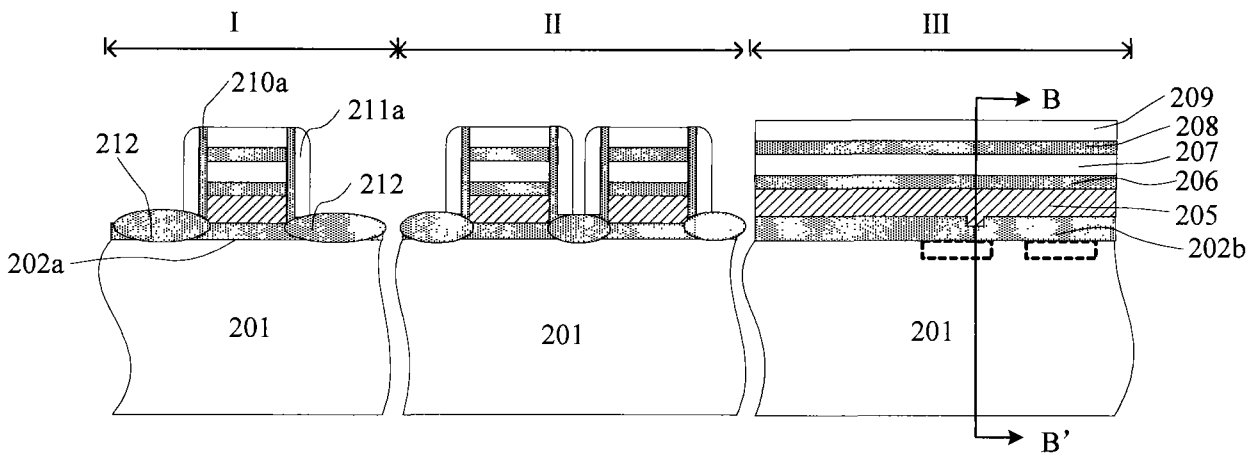


图 3G

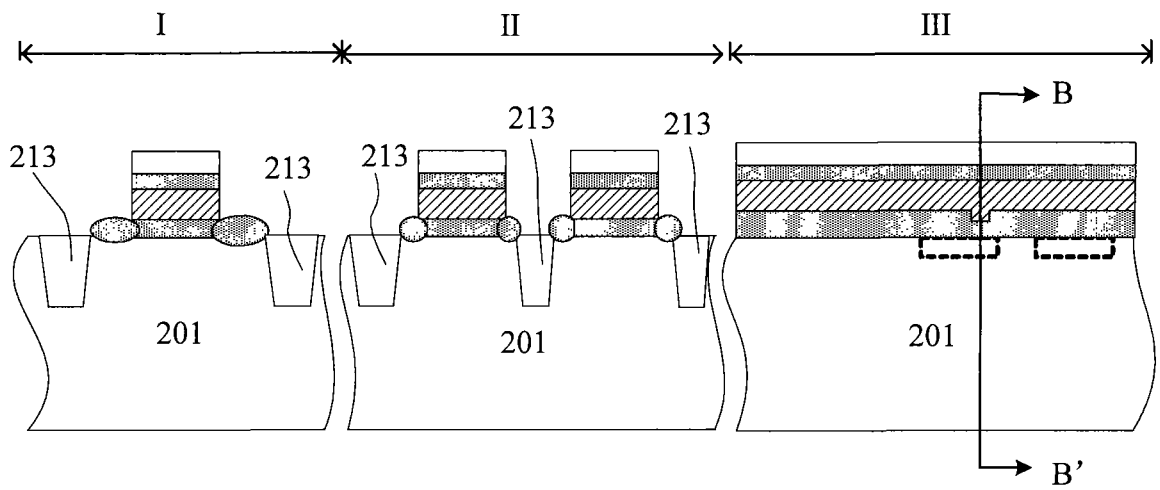


图 3H

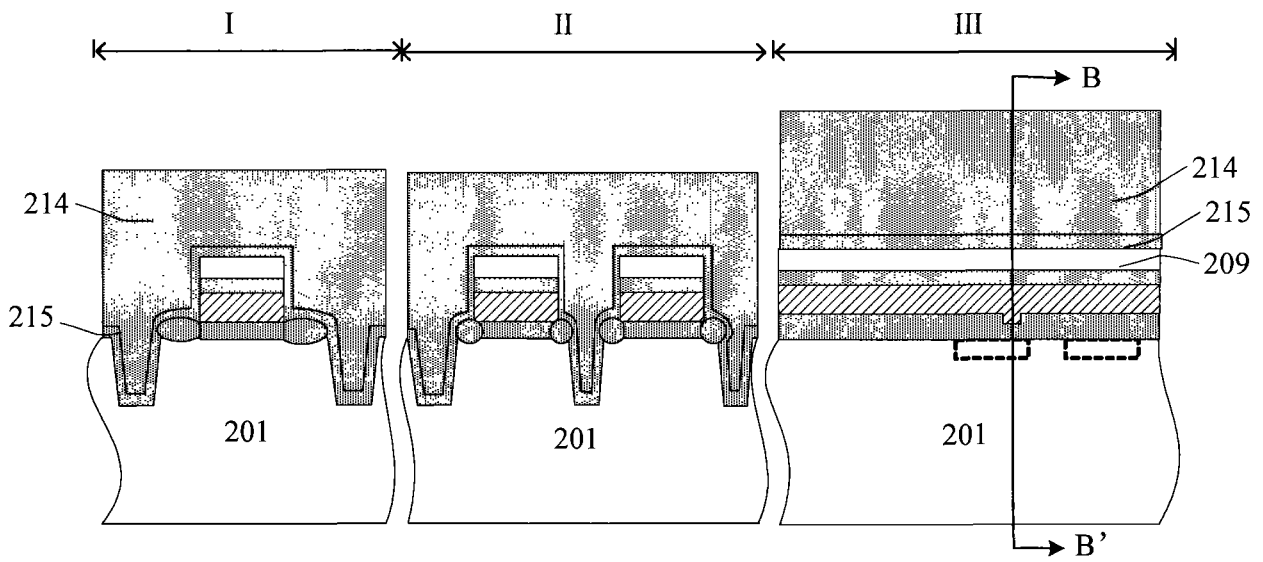


图 3I

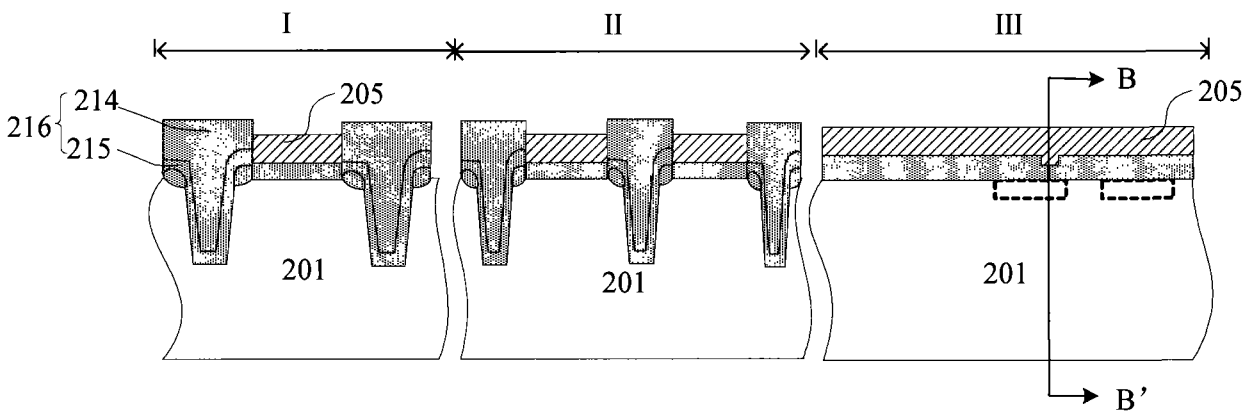


图 3J

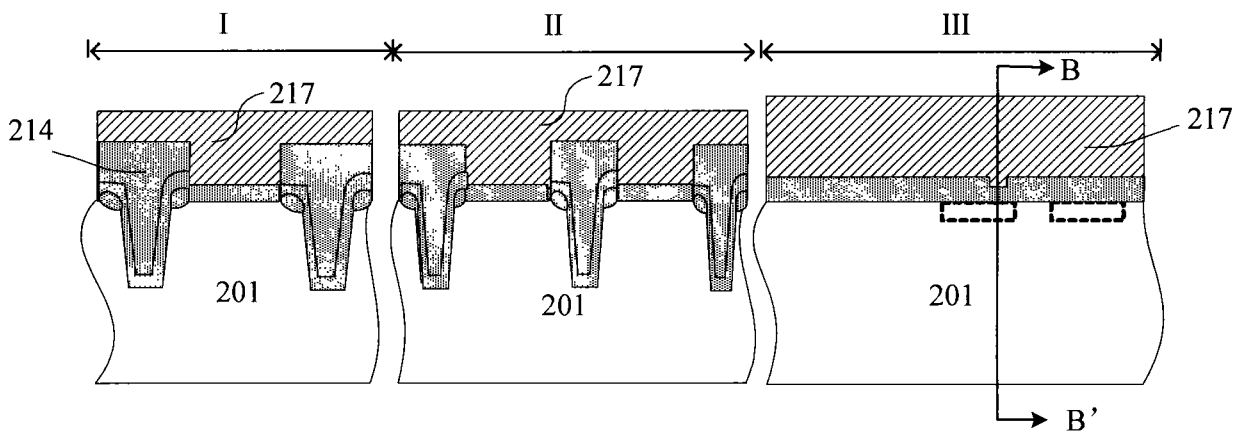


图 3K

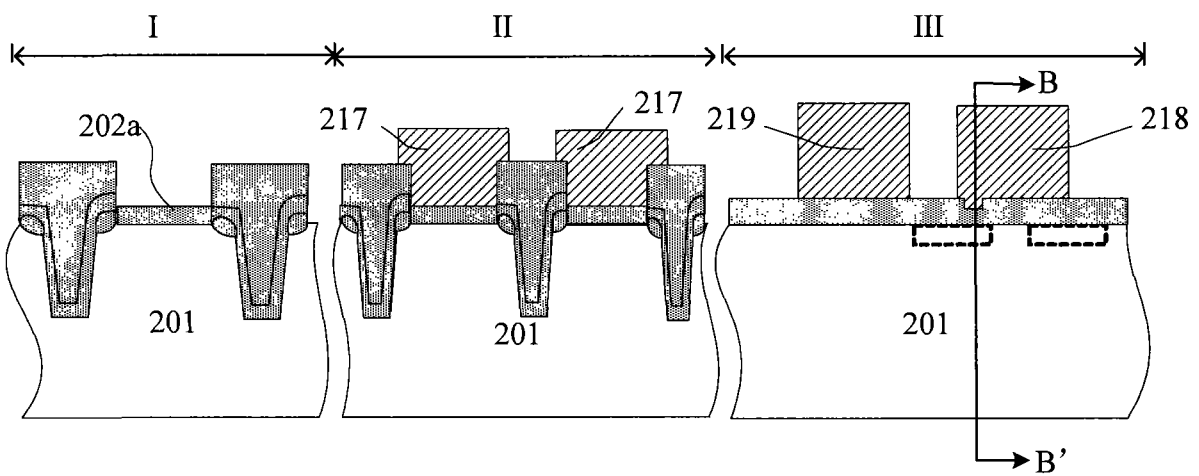


图 3L

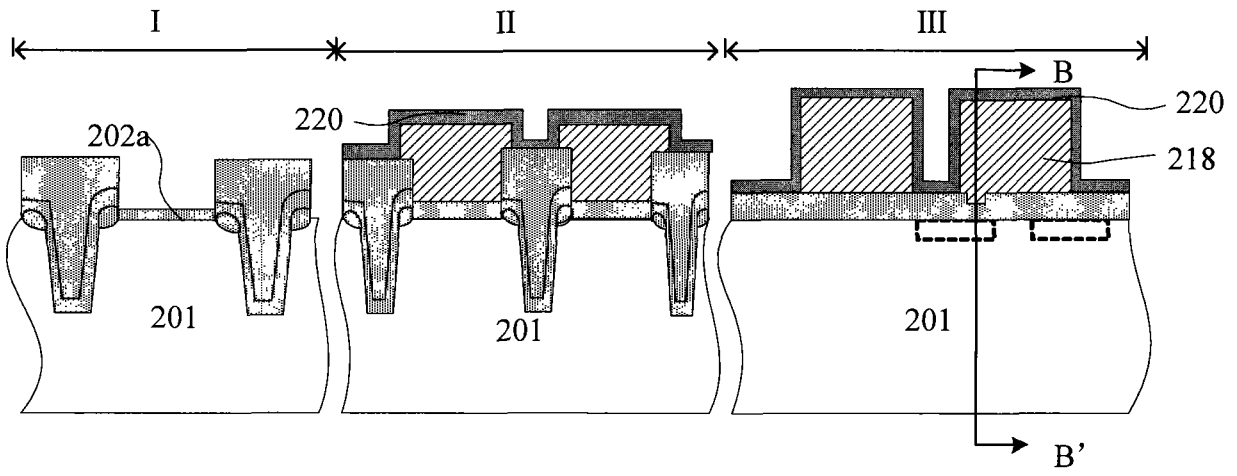


图 3M

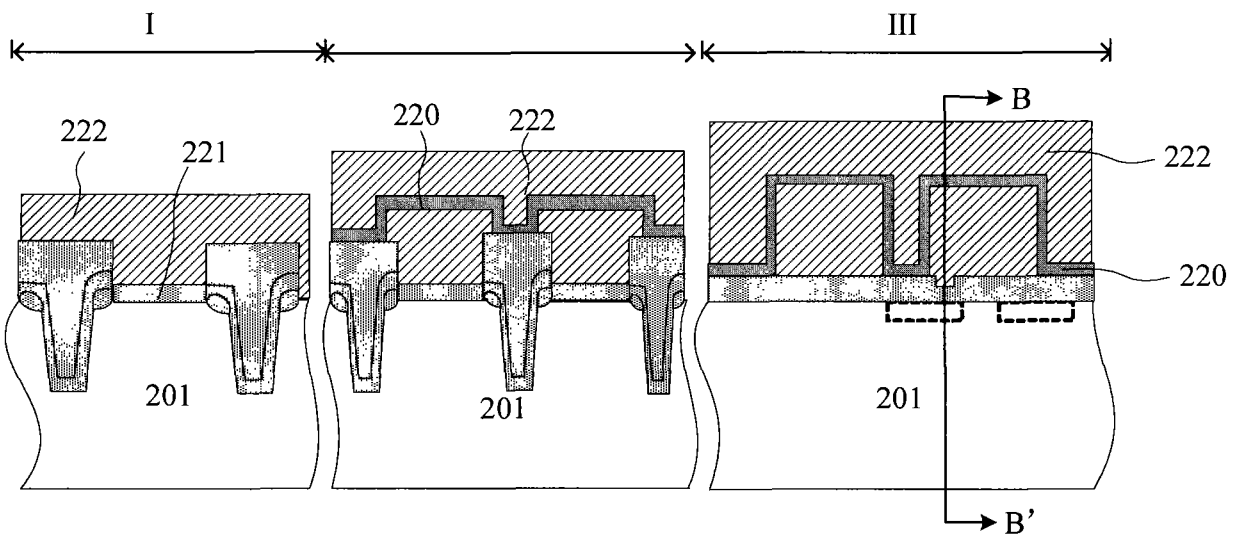


图 3N

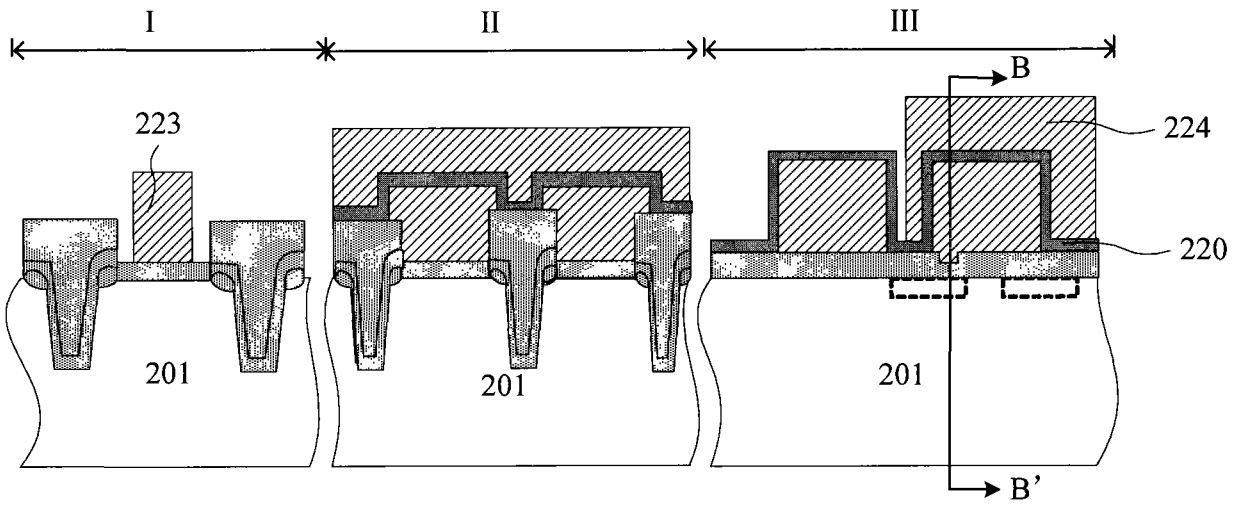


图 30

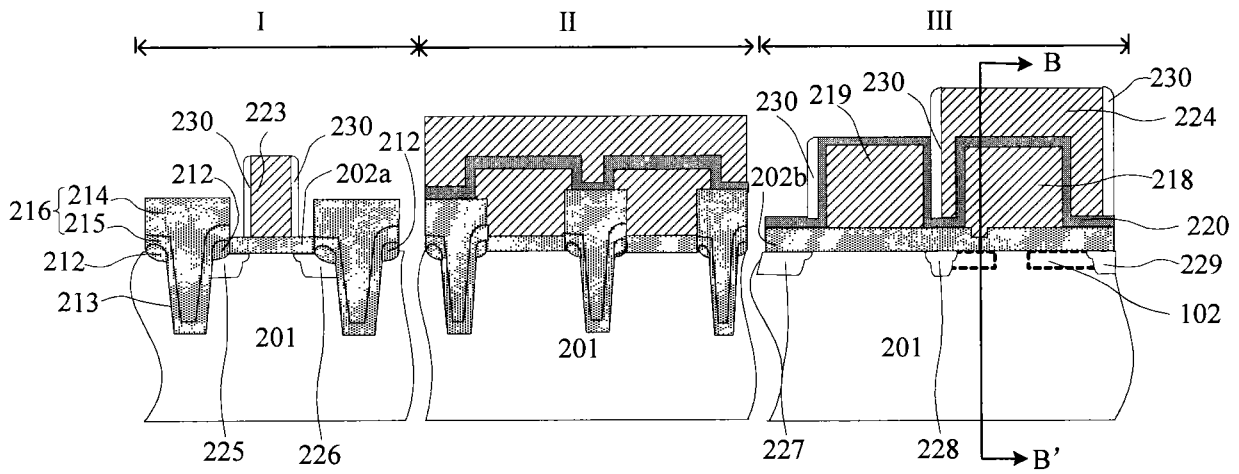


图 3P