



(12)发明专利申请



(10)申请公布号 CN 113764458 A

(43)申请公布日 2021. 12. 07

(21)申请号 202010484479.6

(22)申请日 2020.06.01

(71)申请人 华邦电子股份有限公司

地址 中国台湾台中市大雅区科雅一路8号

(72)发明人 白昌宗 许琮霖 陈侑廷 林铭哲
刘奇青

(74)专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 张娜 刘芳

(51)Int.Cl.

H01L 27/24(2006.01)

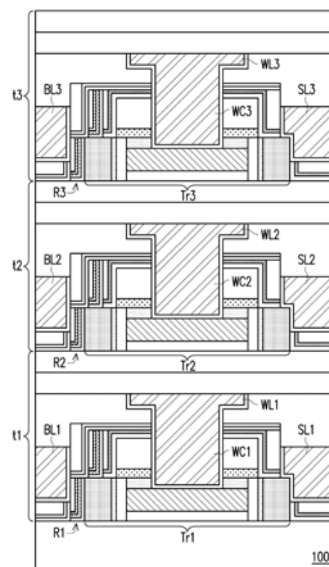
权利要求书3页 说明书6页 附图25页

(54)发明名称

三维半导体装置及其制造方法

(57)摘要

本发明提供一种三维半导体装置及其制造方法,所述三维半导体装置包括第一堆叠结构、第一栅介电层、第一半导体层、第一沟道层、第一源极区与第一漏极区及第一可变电阻式随机存取存储器单元。第一堆叠结构位于衬底上,所述第一堆叠结构包括第一绝缘层与第一栅极导体层。第一栅介电层环绕所述第一堆叠结构的侧壁。第一半导体层环绕所述第一栅介电层的侧壁。第一沟道层位于所述第一半导体层中。第一源极区与第一漏极区位于所述第一沟道层两侧的所述第一半导体层中。第一可变电阻式随机存取存储器单元位于所述第一半导体层的第一侧壁上且与所述第一漏极区连接。



1. 一种三维半导体装置,包括多层半导体装置层,位于衬底上,其特征在于,每一半导体装置层包括:

第一晶体管,包括:

第一堆叠结构,位于所述衬底上,所述第一堆叠结构包括第一绝缘层与第一栅极导体层;

第一栅介电层,环绕所述第一堆叠结构的侧壁

第一半导体层,环绕所述第一栅介电层的侧壁;

第一沟道层,位于所述第一半导体层中;以及

第一源极区与第一漏极区位于所述第一沟道层两侧的所述第一半导体层中;以及

第一可变电阻式随机存取存储器单元,在所述第一晶体管的所述第一半导体层的第一侧壁上且与所述第一漏极区连接。

2. 根据权利要求1所述的三维半导体装置,其中所述每一半导体装置层还包括:

第二晶体管,包括:

所述第一堆叠结构;

第二沟道层,位于所述第一半导体层中,与所述第一沟道层相对设置,其中,所述第一堆叠结构夹在所述第一沟道层与所述第二沟道层之间;以及

第二源极区与第二漏极区位于所述第二沟道层两侧的所述第一半导体层中;以及

第二可变电阻式随机存取存储器单元,位于所述第一半导体层的第二侧壁上且与所述第二漏极区连接。

3. 根据权利要求2所述的三维半导体装置,其中所述第一可变电阻式随机存取存储器单元的第一电极与所述第一漏极区的侧壁接触;所述第二可变电阻式随机存取存储器单元的第一电极与所述第二漏极区的侧壁接触。

4. 根据权利要求2所述的三维半导体装置,其中所述每一半导体装置层还包括:

第三晶体管与第四晶体管,包括:

第二堆叠结构,位于所述衬底上,与所述第一堆叠结构相邻;

第二栅介电层,环绕所述第二堆叠结构的侧壁

第二半导体层,环绕所述第二栅介电层的侧壁;

第三沟道层与第四沟道层,位于所述第二半导体层中;

第三源极区与第三漏极区,位于所述第三沟道层两侧的所述第二半导体层中;

第四源极区与第四漏极区,位于所述第四沟道层两侧的所述第二半导体层中;

第三可变电阻式随机存取存储器单元,位于所述第二半导体层的第一侧壁;以及

第四可变电阻式随机存取存储器单元,位于所述第二半导体层的第二侧壁。

5. 根据权利要求4所述的三维半导体装置,其中所述每一半导体装置层还包括:字线,电性连接所述第一堆叠结构的所述第一栅极导体层以及所述第二堆叠结构的第二栅极导体层。

6. 根据权利要求4所述的三维半导体装置,其中所述每一半导体装置层还包括位线,位于所述第一半导体层与所述第二半导体层之间,且电性连接所述第一、所述第二、所述第三以及所述第四可变电阻式随机存取存储器单元的多个第二电极。

7. 根据权利要求4所述的三维半导体装置,其中所述每一半导体装置层还包括:

第一源极线,其电性连接位于所述第一半导体层中的所述第一源极区与所述第二源极区;以及

第二源极线,其电性连接位于所述第二半导体层中的所述第三源极区与所述第四源极区。

8.一种三维半导体装置的制造方法,包括形成多层半导体装置层于衬底上,其特征在于,形成每一半导体装置层包括:

形成第一晶体管,包括:

形成第一堆叠结构,于所述衬底上,所述第一堆叠结构包括第一绝缘层与第一栅极导体层;

形成第一栅介电层,环绕所述第一堆叠结构的侧壁;

形成第一半导体层,环绕所述第一栅介电层的侧壁;

形成第一源极区与第一漏极区,于所述第一半导体层中,其中所述第一源极区与所述第一漏极区之间定义出第一沟道层;以及

形成第一可变电阻式随机存取存储器单元,于所述第一半导体层的第一侧壁上且与所述第一漏极区连接。

9.根据权利要求8所述的三维半导体装置的制造方法,其中形成所述每一半导体装置层还包括:

形成第二晶体管,包括:

形成第二沟道层,于所述第一半导体层中,与所述第一沟道层相对设置,其中,所述第一堆叠结构夹在所述第一沟道层与所述第二沟道层之间;以及

形成第二源极区与第二漏极区,于所述第二沟道层两侧的所述第一半导体层中;以及

形成第二可变电阻式随机存取存储器单元,于所述第一半导体层的第二侧壁上且与所述第二漏极区连接。

10.根据权利要求9所述的三维半导体装置的制造方法,其中所述第一可变电阻式随机存取存储器单元的第一电极与所述第一漏极区的侧壁接触;所述第二可变电阻式随机存取存储器单元的第一电极与所述第二漏极区的侧壁接触。

11.根据权利要求9所述的三维半导体装置的制造方法,其中形成所述每一半导体装置层还包括:

形成第三晶体管与第四晶体管,包括:

形成第二堆叠结构,位于所述衬底上,与所述第一堆叠结构相邻;

形成第二栅介电层,环绕所述第二堆叠结构的侧壁

形成第二半导体层,环绕所述第二栅介电层的侧壁;

形成第三沟道层与第四沟道层,位于所述第二半导体层中;

形成第三源极区与第三漏极区,于所述第三沟道层两侧的所述第二半导体层中;

形成第四源极区与第四漏极区,于所述第四沟道层两侧的所述第二半导体层中;

形成第三可变电阻式随机存取存储器单元,位于所述第二半导体层的第一侧壁;以及

形成第四可变电阻式随机存取存储器单元,位于所述第二半导体层的第二侧壁。

12.根据权利要求11所述的三维半导体装置的制造方法,其中形成所述每一层还包括:形成字线,所述字线电性连接所述第一堆叠结构的所述第一栅极导体层以及所述第二堆叠

结构的第二栅极导体层。

13.根据权利要求11所述的三维半导体装置的制造方法,其中形成所述每一层还包括形成位线,于所述第一半导体层与所述第二半导体层之间,所述位线电性连接所述第一、所述第二、所述第三以及所述第四可变电阻式随机存取存储器单元的多个第二电极。

14.根据权利要求11所述的三维半导体装置的制造方法,其中形成所述每一半导体装置层还包括:

形成第一源极线,电性连接位于所述第一半导体层中的所述第一源极区与所述第二源极区;以及

形成第二源极线,电性连接位于所述第二半导体层中的所述第三源极区与所述第四源极区。

三维半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种集成电路及其制造方法,尤其涉及一种三维半导体装置及其制造方法。

背景技术

[0002] 近年来电阻式存储器(诸如可变电阻式随机存取存储器(RRAM))的发展极为快速,是目前最受瞩目的未来存储器的结构。由于电阻式存储器具备低功耗、高速运作、高密度以及兼容于互补式金属氧化物半导体(CMOS)工艺技术的潜在优势,因此非常适合作为下一时代的非易失性存储器装置。

[0003] 随着科技的进步,各类电子产品皆朝向高速、高效能、且轻薄短小的趋势发展。如何能有效地利用芯片面积,提升良率是目前非常重要的课题。一晶体管搭配多个存储单元(1TnR)结构的RRAM虽然可以有效利用面积,但潜行路径(sneak path)的问题一直是亟待解决的问题。

发明内容

[0004] 本发明是针对一种三维半导体装置及其制造方法,其具有堆叠的多层半导体装置层,可以有效利用晶圆面积并且可以解决潜行路径的问题。

[0005] 根据本发明的实施例提出一种三维半导体装置,其包括多层半导体装置层,位于衬底上,其中每一半导体装置层包括第一堆叠结构、第一栅介电层、第一半导体层、第一沟道层、第一源极区与第一漏极区及第一RRAM单元。第一堆叠结构位于衬底上,所述第一堆叠结构包括第一绝缘层与第一栅极导体层。第一栅介电层环绕所述第一堆叠结构的侧壁。第一半导体层环绕所述第一栅介电层的侧壁。第一沟道层位于所述第一半导体层中。第一源极区与第一漏极区位于所述第一沟道层两侧的所述第一半导体层中。第一RRAM单元位于所述第一半导体层的第一侧壁上且与所述第一漏极区连接。

[0006] 根据本发明实施例还提出一种三维半导体装置的制造方法,包括形成多层半导体装置层于衬底上,其中形成每一半导体装置层包括以下步骤。形成第一堆叠结构,于衬底上,所述第一堆叠结构包括第一绝缘层与第一栅极导体层。形成第一栅介电层,环绕所述第一堆叠结构的侧壁。形成第一半导体层,环绕所述第一栅介电层的侧壁。形成第一源极区与第一漏极区,于所述第一半导体层中,其中所述第一源极区与所述第一漏极区之间定义出第一沟道层。形成第一RRAM单元,于第一半导体层的第一侧壁上且与所述第一漏极区连接。

[0007] 基于上述,本发明实施例提出的三维半导体装置具有堆叠的多层半导体装置层,每一层半导体装置层有具有垂直沟道的晶体管以及设置在栅极结构的侧壁旁的RRAM,可以在有限的晶圆面积内制作出紧密堆叠的存储装置。而且此存储装置为一晶体管一存储单元(1T1R),因此可以避免潜行路径的问题。

附图说明

[0008] 包含附图以便进一步理解本发明,且附图并入本说明书中并构成本说明书的一部分。附图说明本发明的实施例,并与描述一起用于解释本发明的原理。

[0009] 图1A至图1M为图5A至图5E的A-A'线的剖面图;

[0010] 图2A至图2G为图5A至图5E的B-B'线的剖面图;

[0011] 图3A至图3N为图5A至图5E的C-C'线的剖面图;

[0012] 图30为本发明实施例的三维半导体装置的剖面示意图;

[0013] 图4为图5B的D-D'线的剖面图;

[0014] 图5A至图5E是依照本发明的实施例的一种三维半导体装置的第一层半导体装置层的部分的制造流程的上视图;

[0015] 图6A与图6B是依照本发明的实施例的一种三维半导体装置的第一层半导体装置层的另一部分的制造流程的立体示意图;

[0016] 图7A为本发明实施例的三维半导体装置的第一层半导体装置层的等效电路图;

[0017] 图7B为对图7A所示的存储器的部分存储单元进行程序化操作的示意图。

具体实施方式

[0018] 现将详细地参考本发明的示范性实施例,示范性实施例的实例说明于附图中。只要有可能,相同元件符号在附图和描述中用来表示相同或相似部分。

[0019] 请参照图1A,在衬底100上形成绝缘层102、栅极导体层104及硬掩模层HM1,并进行光刻与蚀刻工艺将其图案化成多个堆叠结构SK1。衬底100可以是半导体,例如是硅。绝缘层102例如是氧化硅。栅极导体层104例如是N型掺杂质的多晶硅。此处以及以下提及的N型掺杂质例如是磷或砷。硬掩模层HM1及以下提及的硬掩模层HM2至HM7的材料例如是SiO₂、SiN、SiCN、SiON、类钻石(DLC)、具有高选择性与透明度膜层(highly selective and transparent film, HST)如碳基材料(carbon base material)等。硬掩模层HM1至HM7可以相同或相异。每个堆叠结构SK1例如是呈矩形;多个堆叠结构SK1例如排列成包含多行与多列的矩阵,如图5A与图5B所示。

[0020] 请参照图1B与图5B,在堆叠结构SK1的侧壁形成栅介电层106,再于栅介电层106的侧壁形成环绕堆叠结构SK1的半导体层108。形成栅介电层106与半导体层108的方法可以是在衬底100上形成例如是氧化硅的介电材料层并进行各向异性蚀刻工艺,之后再沉积例如是P型掺杂质的多晶硅半导体材料层并进行各向异性蚀刻工艺。P型掺杂质例如是硼或三氟化硼。

[0021] 请参照图1C,在衬底100上形成硬掩模层HM2,并在硬掩模层HM2表面的凹陷区形成平坦层PL1,使硬掩模层HM2的表面与平坦层PL1的表面大致共平面。平坦层PL1及以下提及的2至PL5例如是旋涂式玻璃(SOG)或是旋涂碳(SOC)。平坦层PL1至PL5可以相同或相异。

[0022] 请参照图1D与图5A,在硬掩模层HM2与平坦层PL1上形成硬掩模层HM3。接着,在硬掩模层HM3上形成光刻胶图案PR1。光刻胶图案PR1包括多个沿着Y方向延伸且沿着X方向并排的长条状图案。每一个长条状的图案覆盖下方多个对应的堆叠结构SK1。

[0023] 请参照图1E,以光刻胶图案PR1为掩模,进行各向异性蚀刻工艺,将硬掩模层HM3图案化为硬掩模层HM3'。之后将光刻胶图案PR1移除。

[0024] 请参照图1F、图2A与图5A,在硬掩模层HM3'的表面形成平坦层PL2与光刻胶图案PR2。光刻胶图案PR1包括多个沿着X方向延伸且沿着Y方向并排的长条状图案。每一个长条状的图案覆盖下方对应的多个堆叠结构SK1。

[0025] 请参照图1G、图2B、图3A与图5B,以光刻胶图案PR2为掩模,进行各向异性蚀刻工艺,将硬掩模层HM3'图案化为硬掩模层HM3"。之后将光刻胶图案PR2以及平坦层PL2移除。接着,以硬掩模层HM3"为掩模,对硬掩模层HM2进行各向同性或各向异性蚀刻工艺,以形成硬掩模层HM2',裸露出堆叠结构SK1的转角处的半导体层108,其为部分P1。半导体层108的另一部分P2被沿着Y方向延伸的硬掩模层HM2'覆盖。半导体层108的又一部分P3被沿着X方向延伸硬掩模层HM3"覆盖。

[0026] 请参照图3B与图5B,以遮蔽半导体层108的部分P2与P3的硬掩模层HM3"及HM2'为掩模,进行离子注入工艺110,以在半导体层108的部分P1中注入N型掺杂质,形成具有N型掺杂的半导体层108'。

[0027] 请参照图3B、图3C与图5B,在衬底100上形成间隙壁材料层,然后进行各向异性蚀刻工艺,以在硬掩模层HM3"及HM2'及半导体层108'的侧壁形成间隙壁SP1,并在半导体层108'的侧壁形成间隙壁SP2。间隙壁材料层例如是氧化硅层。接着,以硬掩模层HM3"、HM2'以及间隙壁SP1为掩模,进行离子注入工艺112,以在半导体层108'中注入N型掺杂质,形成具有N型浓掺杂的浓掺杂区108"。

[0028] 请参照图3D、图4、图5B,进行蚀刻工艺,以移除间隙壁SP1及SP2,裸露出浓掺杂区108"。堆叠结构SK1的侧壁被栅介电层106以及半导体层108环绕。半导体层108包括四个部分P1、两个部分P2及两个部分P3。部分P1在堆叠结构SK1的四个转角处,其包括具有N型掺杂的半导体层108'以及具有N型掺杂的浓掺杂区108",其位于部分P2及P3的侧壁。部分P2具有P型掺杂质,被硬掩模层HM2'覆盖;部分P3具有P型掺杂质,被硬掩模层HM3"覆盖。

[0029] 请参照图5B,在本实施例中,堆叠结构SK1的栅极导体层104作为两个晶体管Tr1、Tr2的共同栅极体层;栅介电层106作为两个晶体管Tr1、Tr2的共同栅介电层;半导体层108的两个部分P2可分别作为第一与第二晶体管的沟道层CH1与CH2。沟道层CH1与CH2又可称为垂直沟道层,其与堆叠结构SK1形成三明治结构。在沟道层CH1两侧及沟道层CH2两侧的浓掺杂区108"(P3)可分别作为晶体管Tr1的源极区S与漏极区D及晶体管Tr2的源极区S与漏极区D。

[0030] 请参照图3D与图5C,在衬底100上依序形成绝缘层114、硬掩模层HM4、平坦层PL3以及光刻胶图案PR3。绝缘层114例如是氧化硅。平坦层PL3可以经由化学机械抛光工艺(CMP)平坦化,使平坦层PL3的表面与硬掩模层HM4的表面共平面。光刻胶图案PR3具有多个条状开口OP1。开口OP1对应预定形成RRAM区域。

[0031] 请参照图3E与图5C,以光刻胶图案PR3为掩模,进行蚀刻工艺,以移除开口OP1所裸露出的绝缘层114与硬掩模层HM4,使部分的半导体层108"及衬底100的表面裸露出来。蚀刻工艺例如是湿式蚀刻工艺,使用的蚀刻剂例如是稀释的氢氟酸溶液(DHF)以及磷酸。之后,移除光刻胶图案PR3。然后,在衬底100上形成用于RRAM的堆叠层SK2。堆叠层SK2包括由下而上堆叠的第一电极层BE、可变电阻层TMO、盖层CP1以及第二电极层TE。第一电极层BE与第二电极层TE的材料包括Ti、TiN、Ta、Ta₂N、Pt、Au、Ir、Ru、W、Al、Zr、Hf、Ni、Cu、Co、Fe、或其组合,其形成方法可例如是物理气相沉积法或化学气相沉积法。可变电阻层TMO的材料可包括金

属氧化物,例如是氧化钪(可例如是 HfO 或 HfO_2 等)、氧化镧、氧化钪、氧化钇、氧化锆、氧化钛、氧化钽、氧化镍、氧化钨、氧化铜、氧化钴、氧化铁、氧化铝或其组合,其形成方法例如是化学气相沉积法。盖层CP1及后续提及的盖层CP2的材料例如是化学气相沉积法形成的氧化铝、钪、氧化钽或其组合。盖层CP1及CP2可以相同或相异。

[0032] 请参照图3F与图5D,对堆叠层SK2进行各向异性蚀刻工艺,以形成间隙壁SP3与SP4。间隙壁SP4可作为RRAM的存储单元R。在本实施例中,每一个堆叠结构SK1及其周围的半导体层108建构两个晶体管Tr1、Tr2(图5B),并且每一个堆叠结构SK1周围有两个与其电性连接的存储单元R(间隙壁SP4)。存储单元R的高度与堆叠结构SK1的高度大致相等,分别位于两个晶体管的漏极区D(浓掺杂区108”)的侧壁上。每一个存储单元R的第一电极层BE与对应的晶体管的漏极区D电性连接。作为源极区S的半导体层108”的侧壁上则未形成间隙壁SP4。同一行的多个堆叠结构SK1旁的存储单元R排列成一行。每一个堆叠结构SK1旁的两个存储单元R与相邻的堆叠结构SK1旁的两个存储单元R相邻。

[0033] 请参照图3G,在衬底100上形成盖层CP2、硬掩模层HM5、平坦层PL4及光刻胶图案PR4。平坦层PL4可以经由CMP平坦化,使平坦层PL4的表面与硬掩模层HM5的表面共平面。光刻胶图案PR4具有沿着Y方向延伸且沿着X方向排列的多个开口OP2与OP3。开口OP2对应预定形成位线的区域;开口OP3对应预定形成源极线的区域。

[0034] 请参照图3H,以光刻胶图案PR4为掩模,进行蚀刻工艺,以形成沟渠T1以及T2。沟渠T1的侧壁裸露出存储单元R的第二电极层TE;沟渠T2的侧壁裸露出作为源极区S的浓掺杂区108”。蚀刻工艺例如是干蚀刻以及湿式蚀刻工艺。之后,移除光刻胶图案PR4。

[0035] 请参照图3I,在衬底100上以及沟渠T1与T2中形成阻挡层116及导体层118。阻挡层116例如是钛、氮化钛或其组合。导体层118可以是金属层,例如是钨。

[0036] 请参照图3J与图5D,进行回蚀刻工艺,以移除硬掩模层HM5上的阻挡层116及导体层118,进而在沟渠T1中形成位线BL1,并在沟渠T2中形成源极线SL1。如图5D所示,位线BL1与源极线SL1分别沿着Y方向延伸,且彼此交替设置。位线BL1与Y方向上相邻两列(column)的多个存储单元R的第二电极层TE电性连接。源极线SL1与Y方向上相邻两列的作为源极区S的多个浓掺杂区108”电性连接。

[0037] 请参照图3K,在衬底100上形成硬掩模层HM6及光刻胶图案PR5。光刻胶图案PR5具有与堆叠结构SK1的位置相对应的多个开口OP4。

[0038] 请参照图3L,进行各向异性蚀刻工艺,以形成多个接触窗孔(contact hole)120。每一接触窗孔120裸露出堆叠结构SK1的硬掩模层HM1。

[0039] 请参照图3M与图1H,在接触窗孔120之中形成填充层122,并且在填充层122上形成平坦层PL5。填充层122例如是SOC;平坦层PL5例如是旋涂抗反射层(spin on silicon anti-reflection coating, SOSA)或含硅硬掩模底抗反射层(silicon-containing hard-mask bottom anti-reflection coating, SHB)。

[0040] 请参照图2C与图1I,在衬底100上形成光刻胶图案PR6。光刻胶图案PR6具有沿着X方向延伸且沿着Y方向排列的多个开口OP5。开口OP5对应预定形成字线的区域。

[0041] 请参照图1J与图2D,以光刻胶图案PR6为掩模,进行各向异性蚀刻工艺,移除接触窗孔120裸露的硬掩模层HM1,以裸露出栅极导体层104,并移除部分的硬掩模层HM6,以形成多个沟渠T3。每一沟渠T3沿着X方向延伸,与X方向上多个堆叠结构SK1上的接触窗孔120空

间上连通。此时,硬掩模层HM6被蚀刻之后,形成硬掩模层HM6'。在字线区域的硬掩模层HM6'的厚度Tw比在字线区域以外的区域的硬掩模层HM6'的厚度Tn薄。

[0042] 请参照图1K与图2E,在衬底100上以及沟渠T3与接触窗孔120之中形成阻挡层126及导体层128。阻挡层126例如是钛、氮化钛或其组合。导体层128可以是金属层,例如是钨。

[0043] 请参照图1L、图2F与图5E,以字线区域以外的区域的硬掩模层HM6'为停止层,进行CMP工艺,以移除字线区域以外的区域的硬掩模层HM6'。留在接触窗孔120的阻挡层126及导体层128可作为字线接触窗WC1;留在字线区域的阻挡层126及导体层128可作为字线WL1。字线WL1沿着X方向延伸且沿着Y方向排列。每一条字线WL1经由字线接触窗WC1与下方同一列的栅极导体层104电性连接。

[0044] 请参照图1M、图2G及图3N,在衬底100上形成硬掩模层HM7及绝缘层130。绝缘层130例如是氧化硅。至此,完成三维半导体装置的第1层半导体装置层t1的制作。

[0045] 请参照图30及图6A,依照上述三维半导体装置的第1层半导体装置层t1的方法制作依续堆叠的三维半导体装置的第2层半导体装置层t2与第3层半导体装置层t3。三维半导体装置可以堆叠更多层半导体装置层,不以3层为限。三维半导体装置的第1层半导体装置层t1包括多个晶体管T1、多个存储单元R1、多条位线BL1、多条源极线SL1及多条字线WL1。三维半导体装置的第2层半导体装置层t2包括多个晶体管T2、多个存储单元R2、多条位线BL2、多条源极线SL2及多条字线WL2。第3层半导体装置层t3包括多个晶体管T3、多个存储单元R3、多条位线BL3、多条源极线SL3及多条字线WL3。位线BL1、BL2、BL3的末端、源极线SL1、SL2、SL3的末端、字线WL1、WL2、WL3的末端可以分别呈阶梯状。

[0046] 请参照图6B,在位线BL1、BL2、BL3的末端形成位线接触窗BC1、BC2、BC3。在源极线SL1、SL2、SL3的末端形成源极线接触窗SC1、SC2、SC3。在字线WL1、WL2、WL3的末端形成字线接触窗WC1、WC2、WC3。之后可以再进行后续的内连等工艺。

[0047] 图7A为本发明实施例的三维半导体装置的第一层半导体装置层的等效电路图。图7B为对图7A所示的存储器进行程序化操作的示意图。

[0048] 请参照图7A、图7B与表1,在对RRAM的存储单元R,例如是R₂进行程序化以写入数据“0”时,对WL₀施加电压以致能WL₀,并其他的WL则施加0V。并且对SL₀施加正电压,对BL₁及SL₁施加0V。由于SL₁的电压与BL₁的电压相等(电位差为0),因此,即使致能WL₀,存储单元R₃也不会程序化,因此可以避免存储单元R₃对存储单元R₂的误动作(干扰)。在对存储单元R₂行程序化以写入数据“1”时,对WL₀施加程序化电压以致能WL₀,其他的WL则施加0V,并且对SL₀施加0V,对BL₁及SL₁施加相同的正电压。由于SL₁的电压与BL₁的电压相等(电位差为0),因此,即使致能WL₀,存储单元R₃也不会程序化,因此可以避免存储单元R₃对存储单元R₂的误动作(干扰)。

[0049] 表1

[0050]

程序化的 存储单元	程序化的数 据	WL ₀	WL ₁	BL ₀	BL ₁	SL ₀	SL ₁
R ₁	0	1	0	0	1	1	1
R ₁	1	1	0	1	0	0	0
R ₂	0	1	0	1	0	1	0
R ₂	1	1	0	0	1	0	1
R ₃	0	1	0	0	0	0	1
R ₃	1	1	0	1	1	1	0
R ₄	0	0	1	0	1	1	1
R ₄	1	0	1	1	0	0	0
R ₅	0	0	1	1	0	1	0
R ₅	1	0	1	0	1	0	1
R ₆	0	0	1	0	0	0	1
R ₆	1	0	1	1	1	1	0

[0051] 注：在WL₀、WL₁、BL₀、BL₁、SL₀、SL₁中，“1”表示施加程序化电压；“0”表示施加0V电压。

[0052] 请参照图7A与表2在读取存储单元R₂时，对WL₀施加读取电压以致能WL₀，其他的WL则施加0V，对SL₀施加0V，并对BL₁及SL₁施加参考电压V_{ref}，例如0.2V。由于SL₁的电压与BL₁的电压相等（电位差为0），因此，即使致能WL₀，也不会读取存储单元R₃，故可以避免存储单元R₃对存储单元R₂的误动作（干扰）。

[0053] 表2

[0054]

读取的存储单元	WL ₀	WL ₁	BL ₀	BL ₁	SL ₀	SL ₁
R ₁	1	0	V _{ref}	0	0	0
R ₂	1	0	0	V _{ref}	0	V _{ref}
R ₃	1	0	V _{ref}	V _{ref}	V _{ref}	0
R ₄	0	1	V _{ref}	0	0	0
R ₅	0	1	0	V _{ref}	0	V _{ref}
R ₆	0	1	V _{ref}	V _{ref}	V _{ref}	0

[0055] 注：在WL₀、WL₁、BL₀、BL₁、SL₀、SL₁中，“1”表示施加读取电压；“0”表示施加0V电压；“V_{ref}”表示施加参考电压。

[0056] 综上所述，本发明实施例提出的三维半导体装置具有堆叠的多层半导体层，每一层半导体装置层具有具有多个垂直沟道的晶体管以及设置在栅极结构的侧壁旁的多个RRAM。每一层半导体装置层具有平坦的表面，易于下一层半导体装置层的制作。而且此存储装置为一晶体管一存储单元(1T1R)，因此可以避免潜行路径的问题。

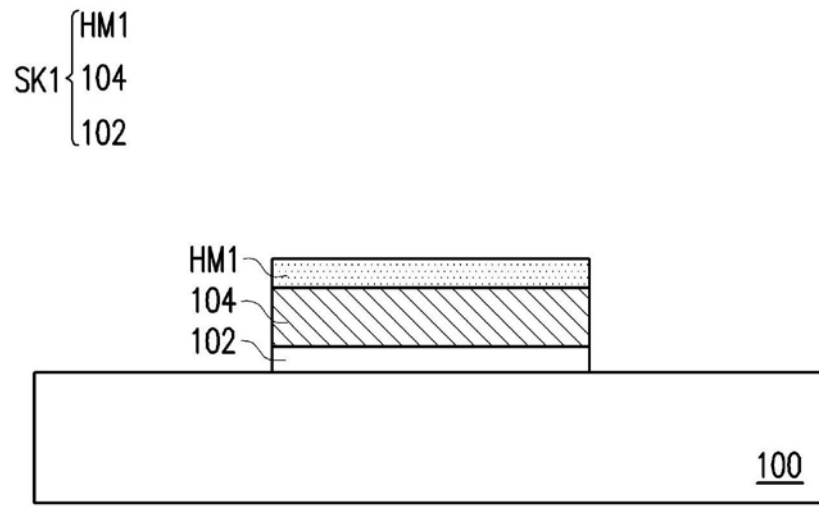


图1A

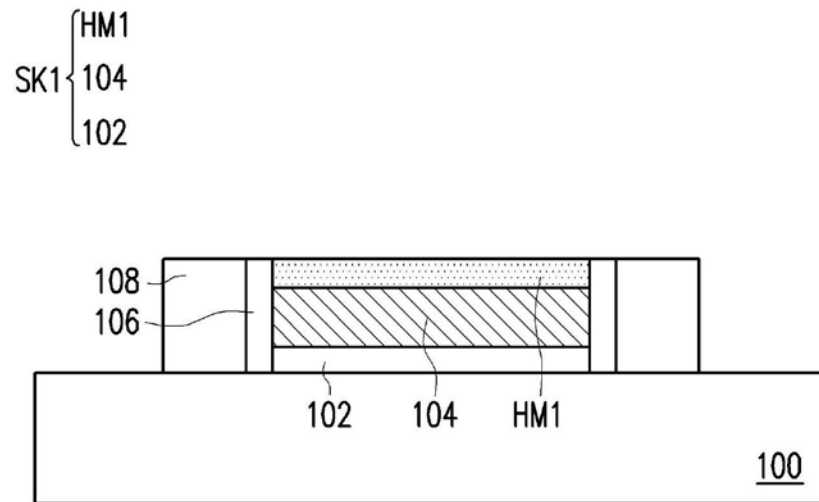


图1B

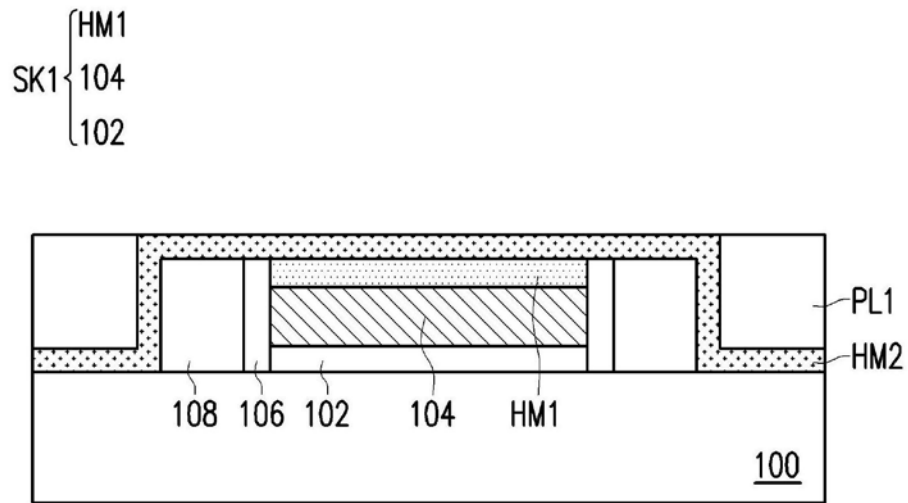


图1C

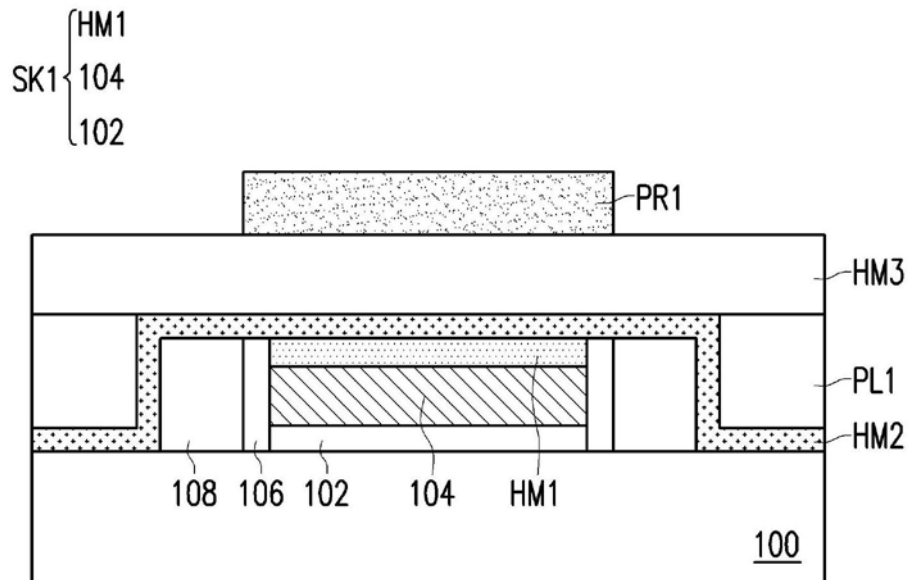


图1D

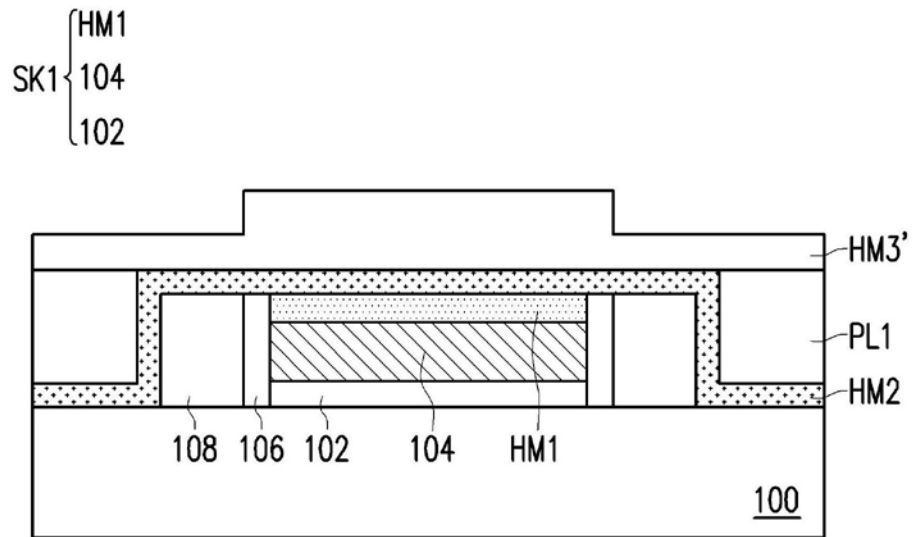


图1E

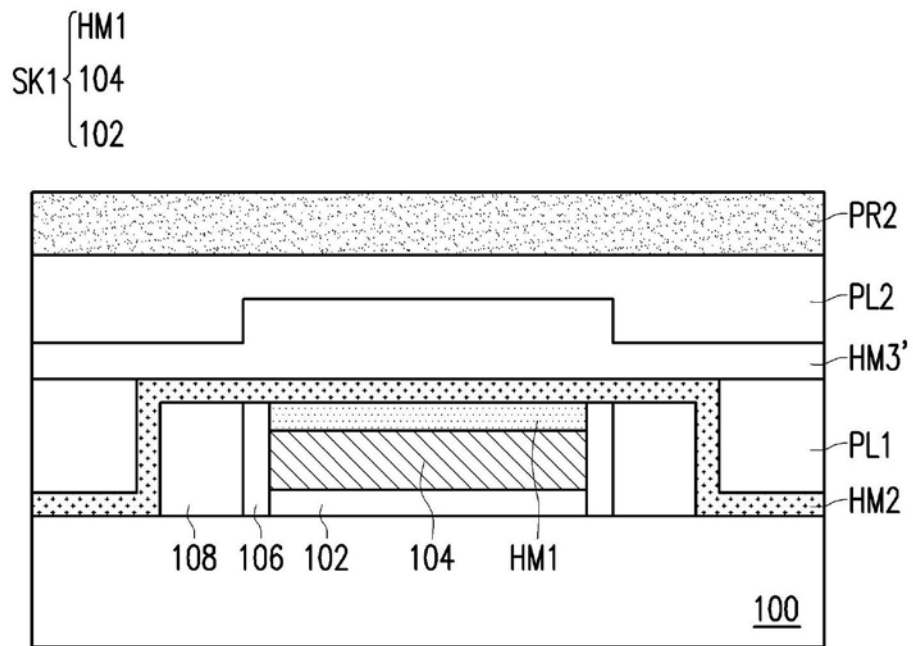


图1F

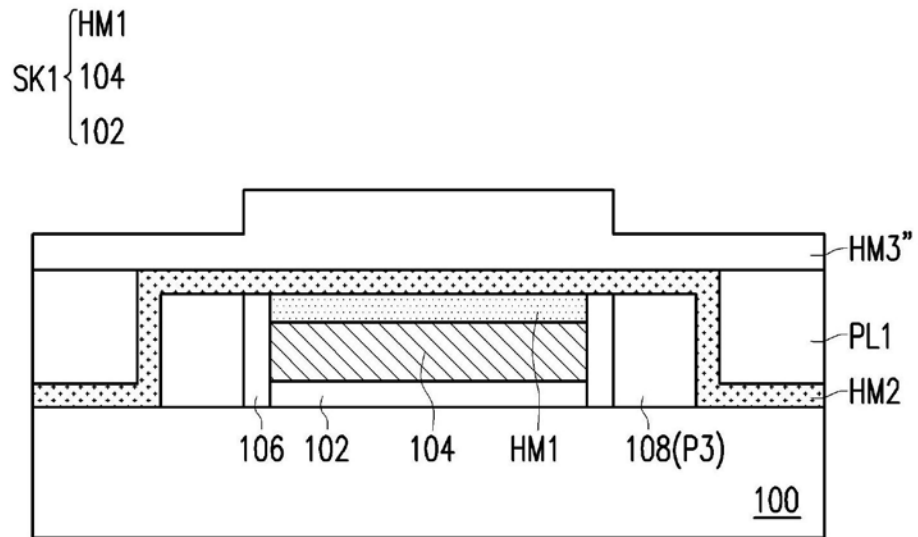


图1G

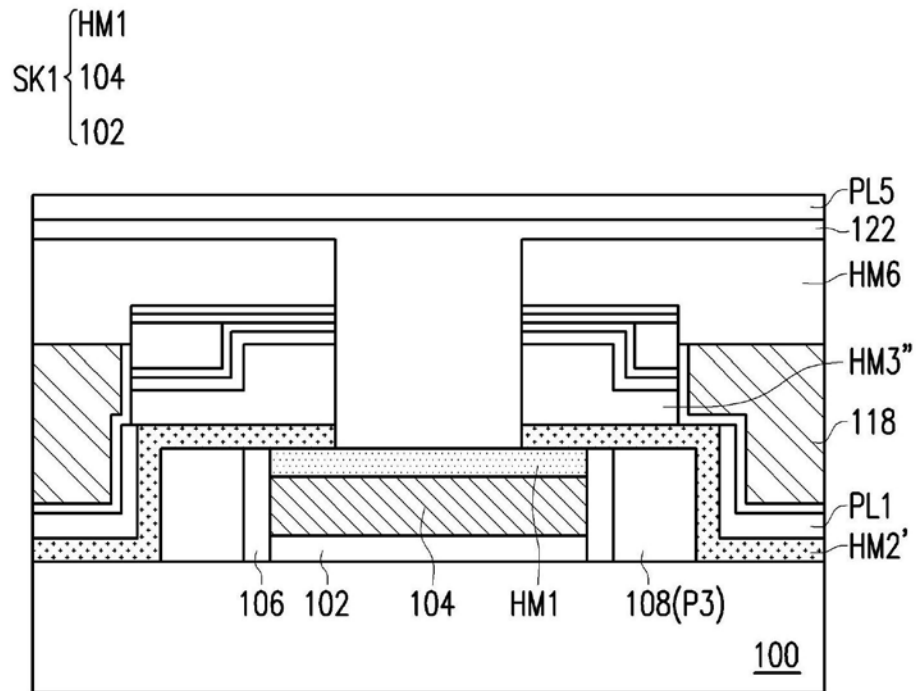


图1H

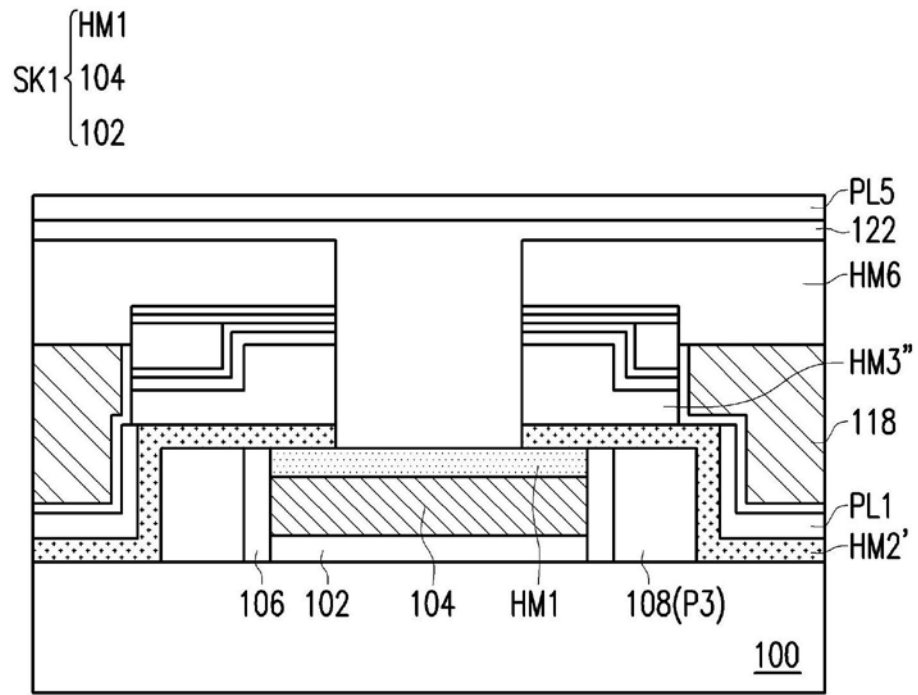


图1I

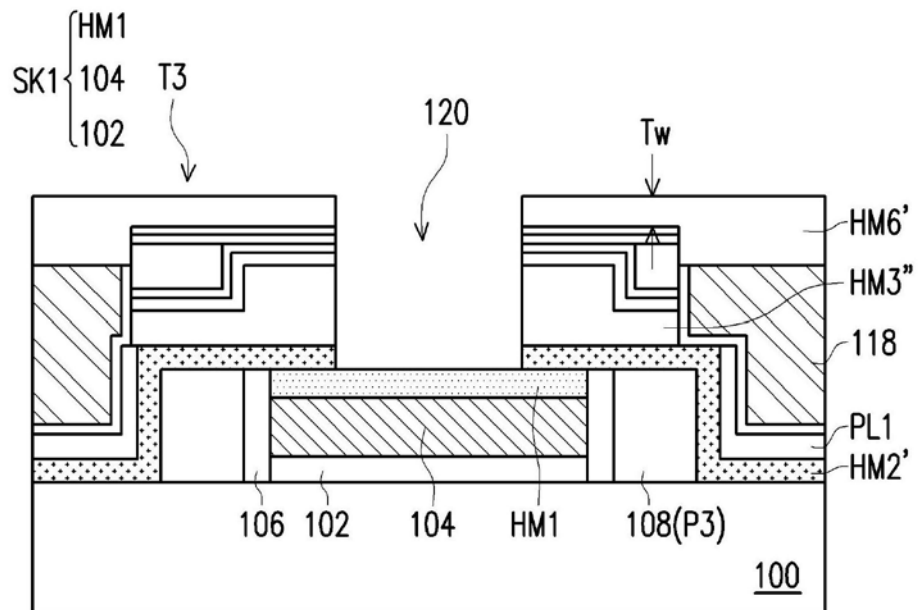


图1J

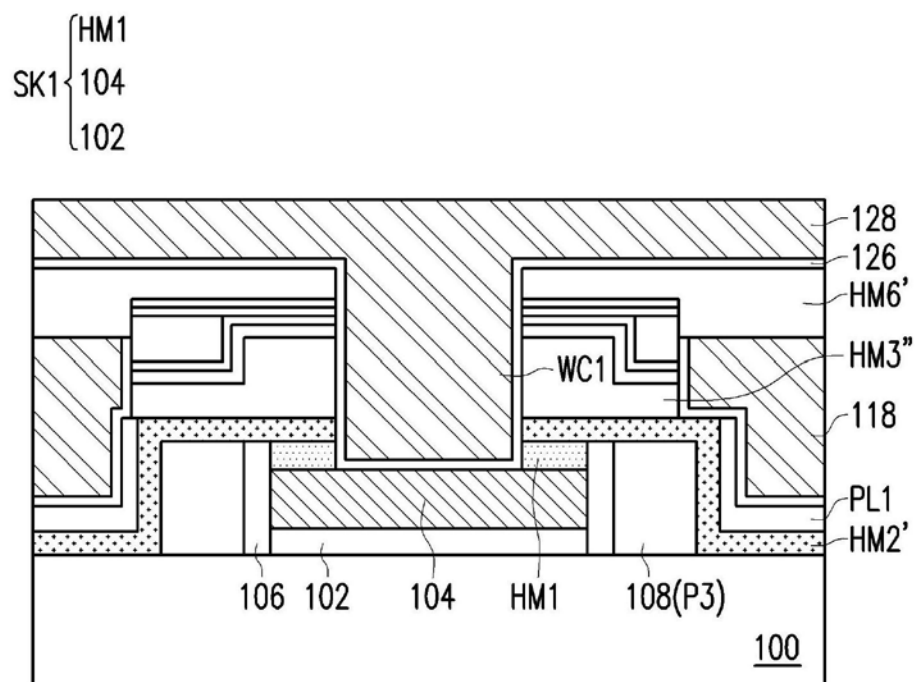


图1K

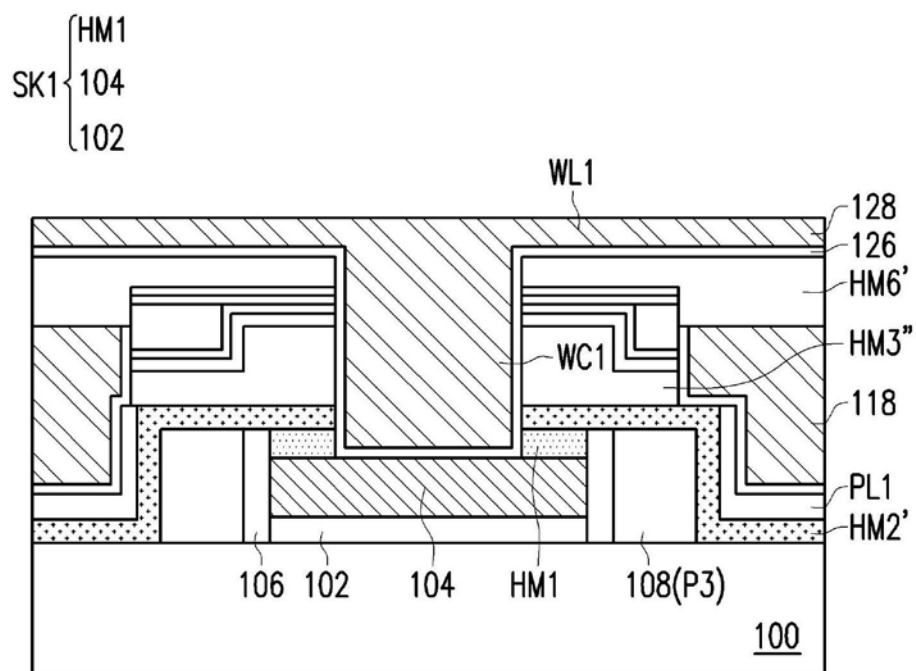


图1L

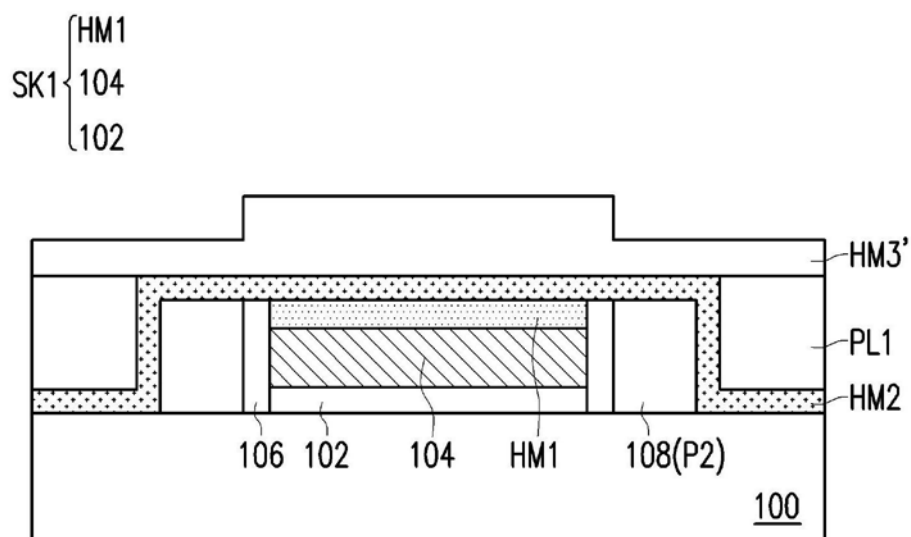


图2B

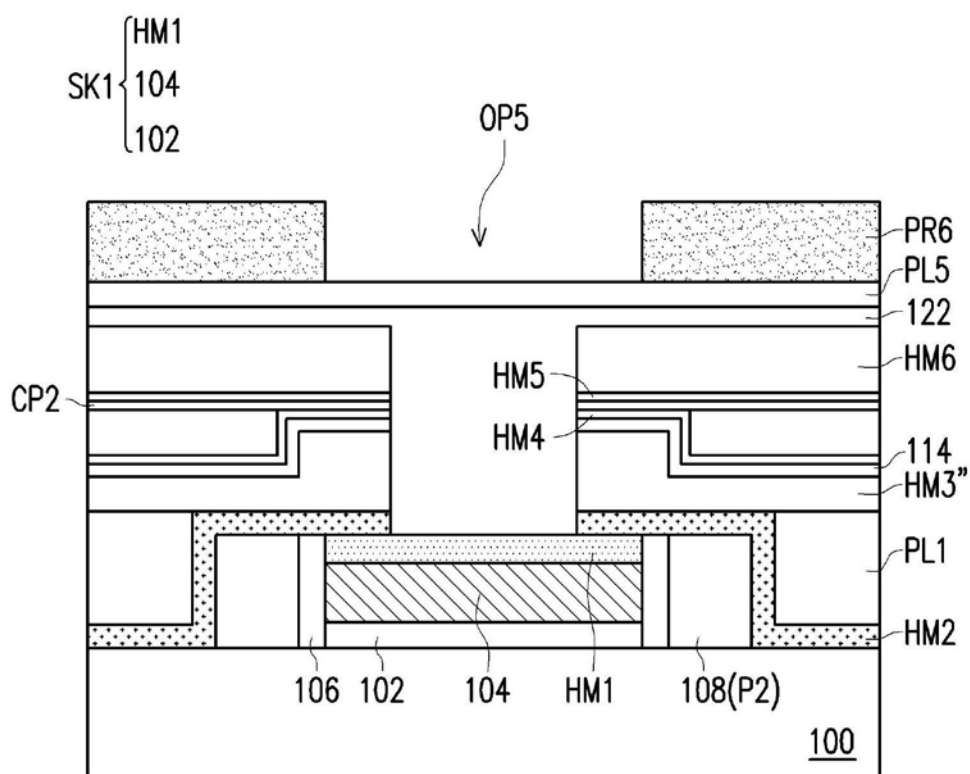


图2C

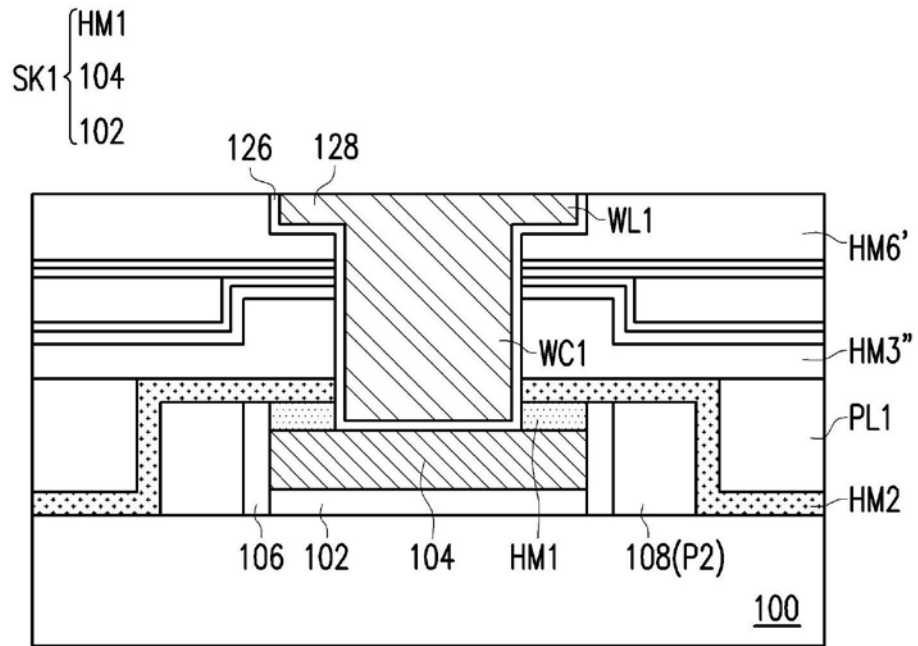


图2F

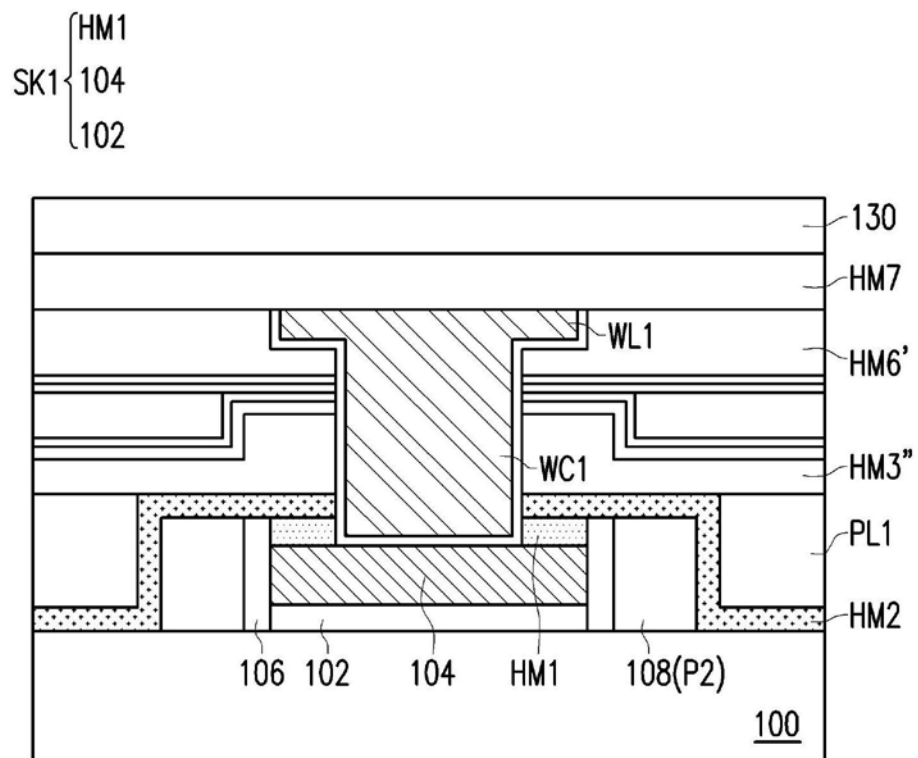


图2G

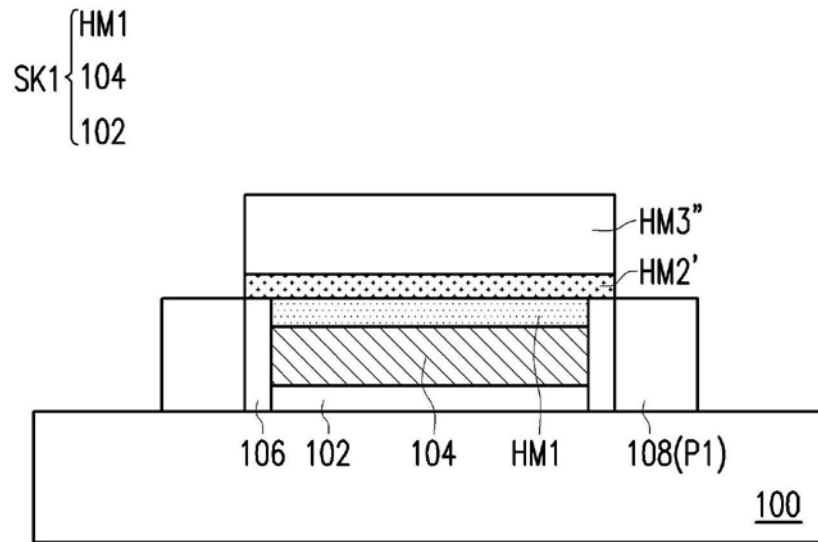


图3A

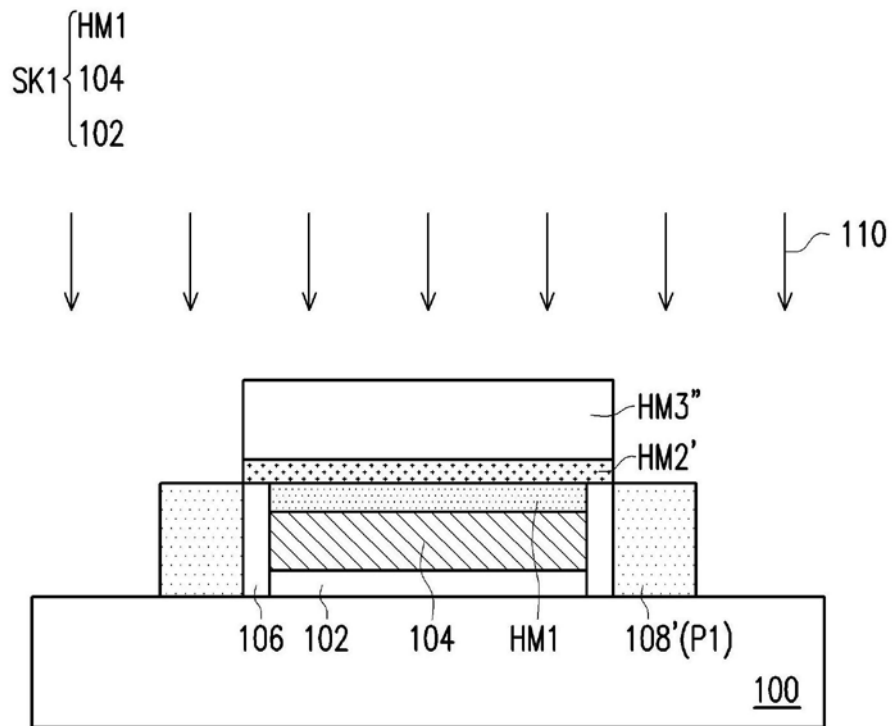


图3B

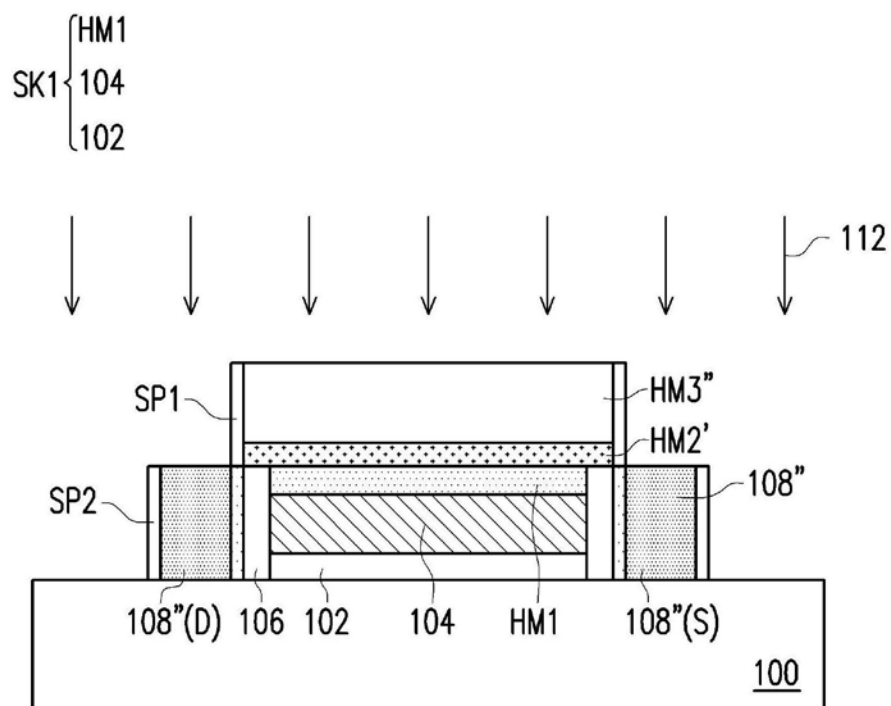


图3C

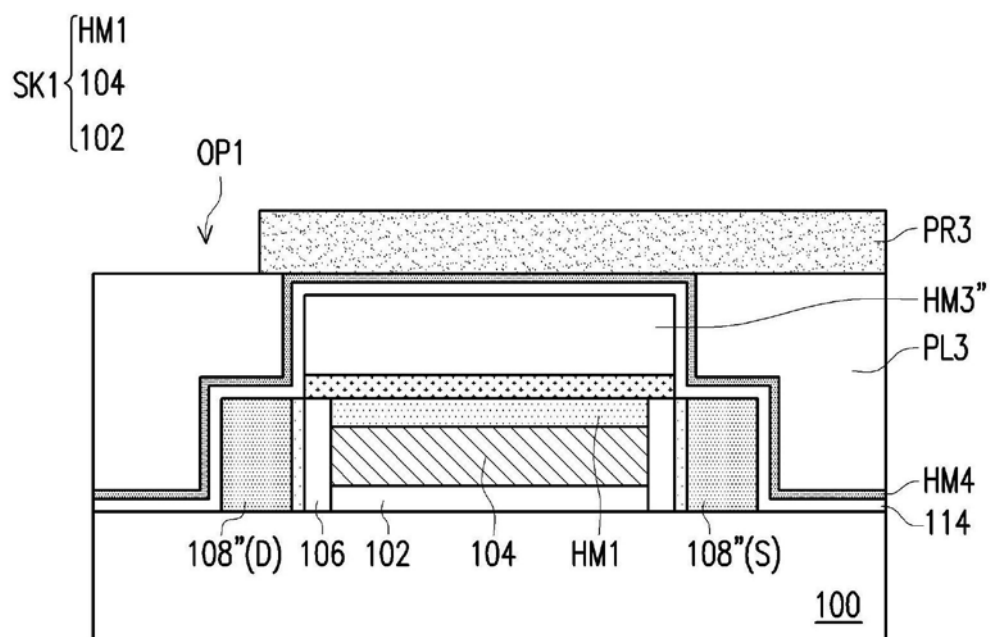


图3D

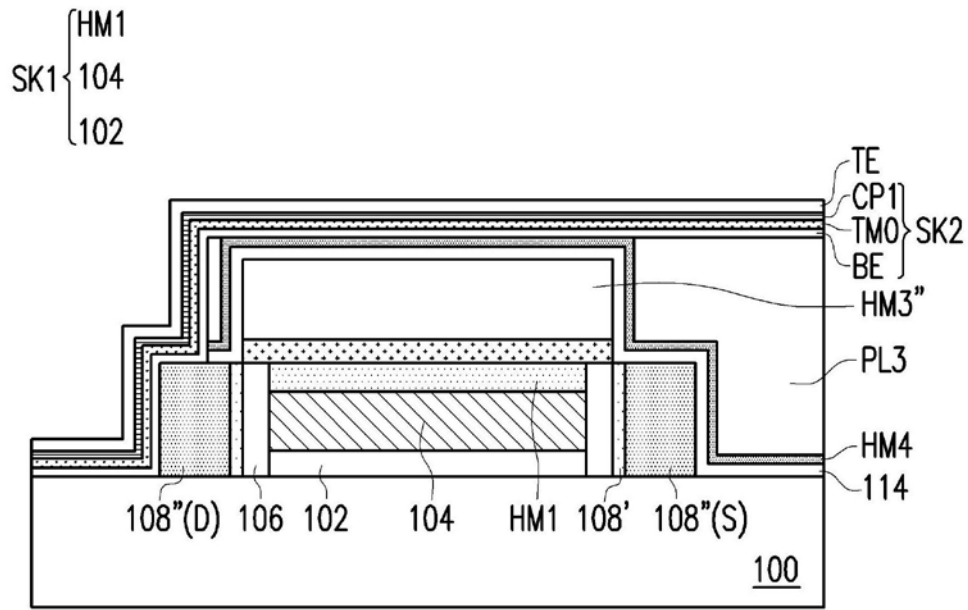


图3E

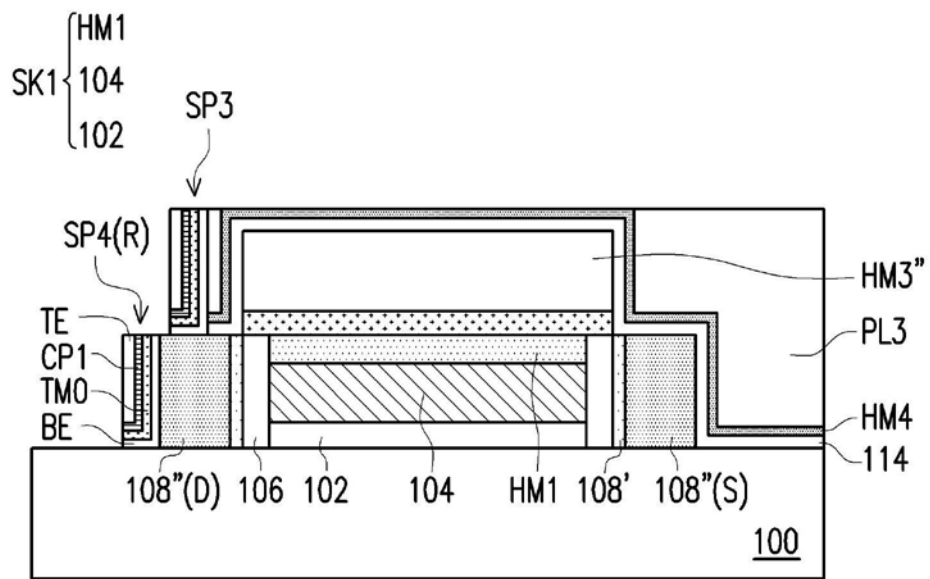


图3F

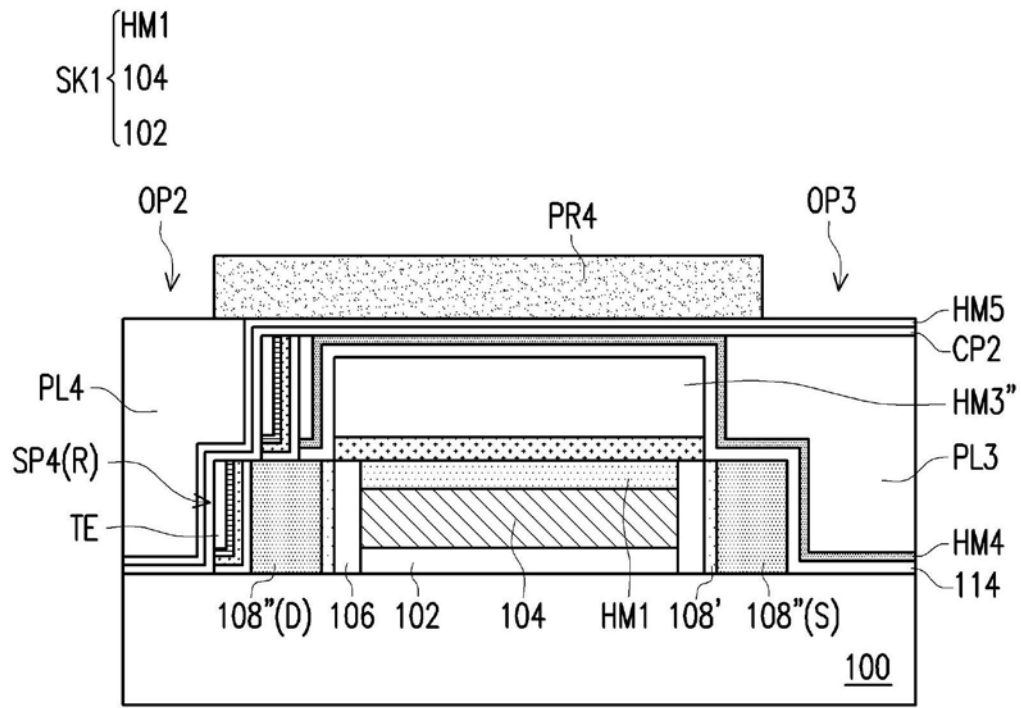


图3G

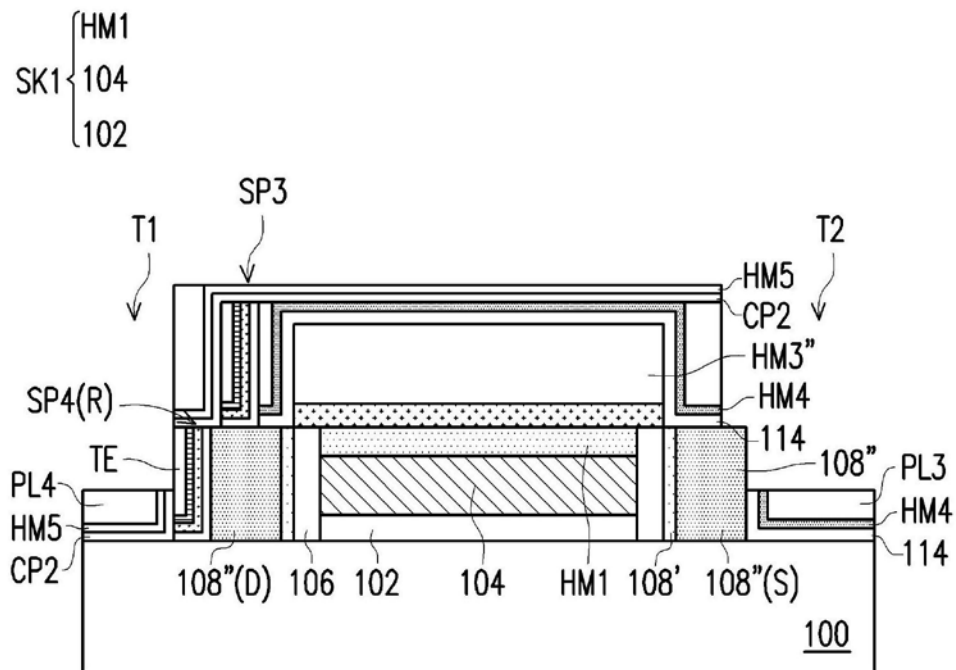


图3H

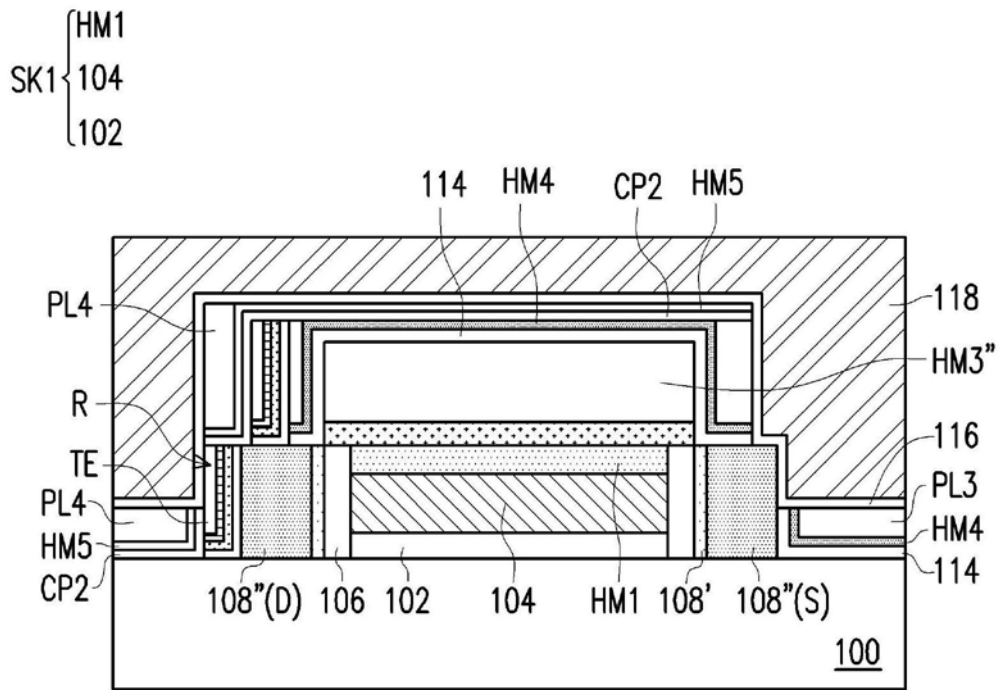


图3I

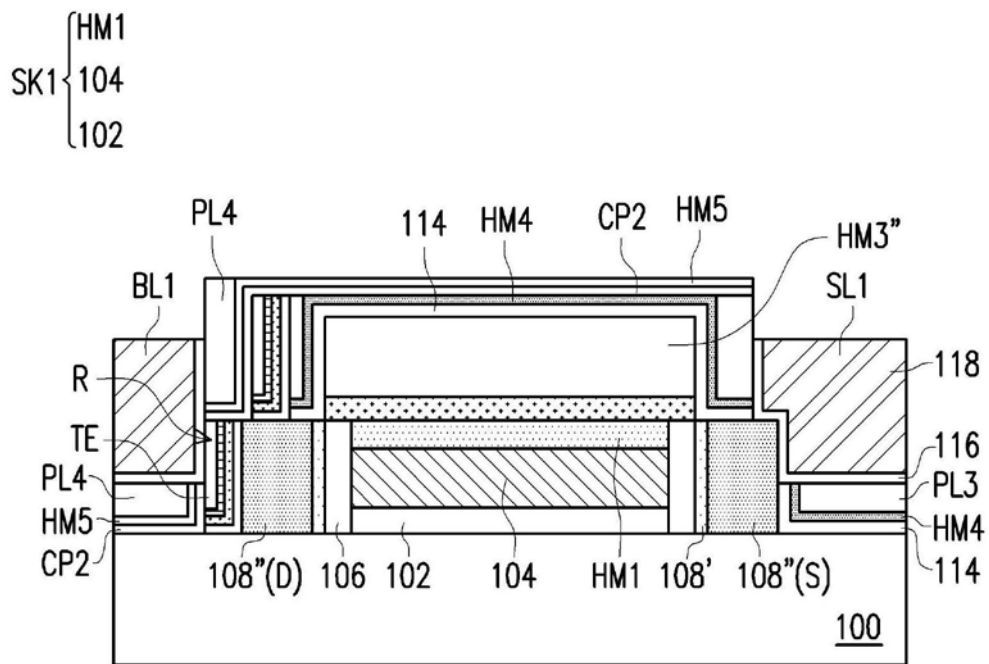


图3J

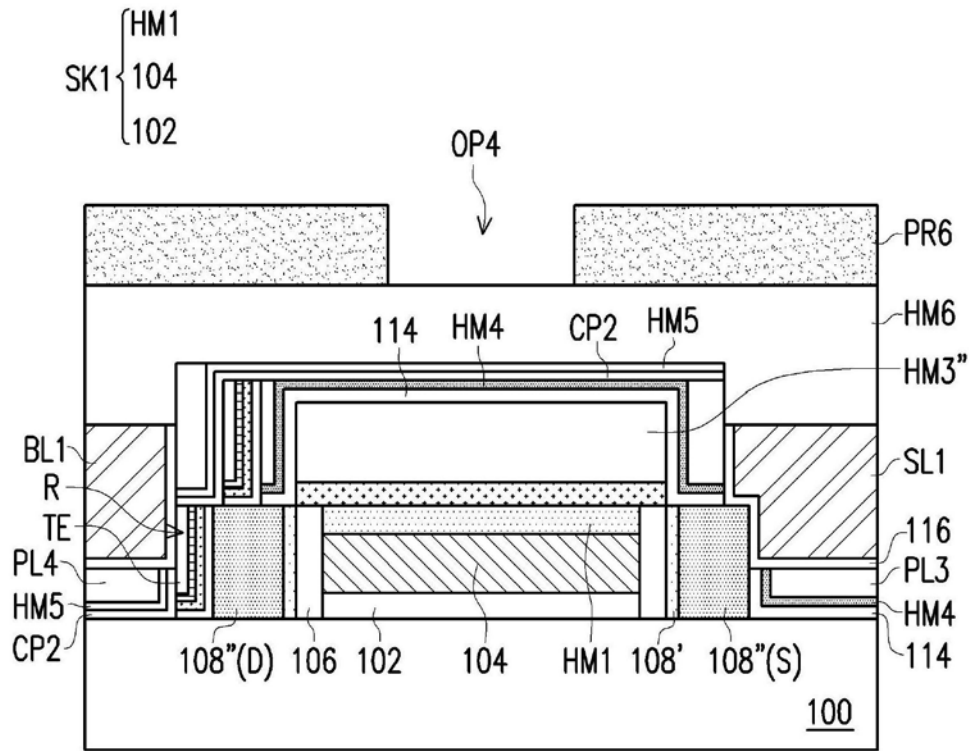


图3K

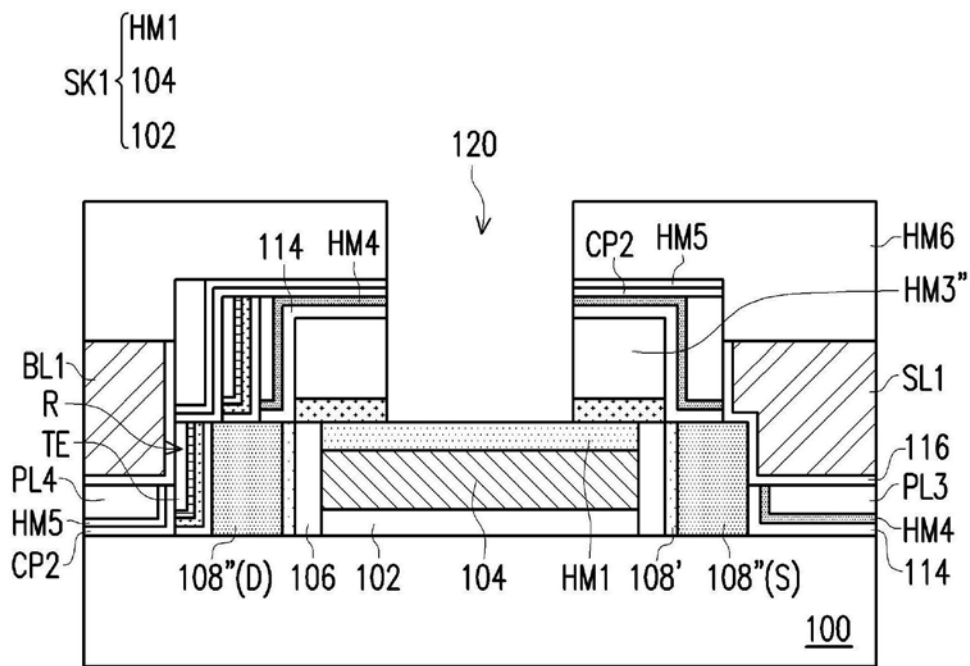


图3L

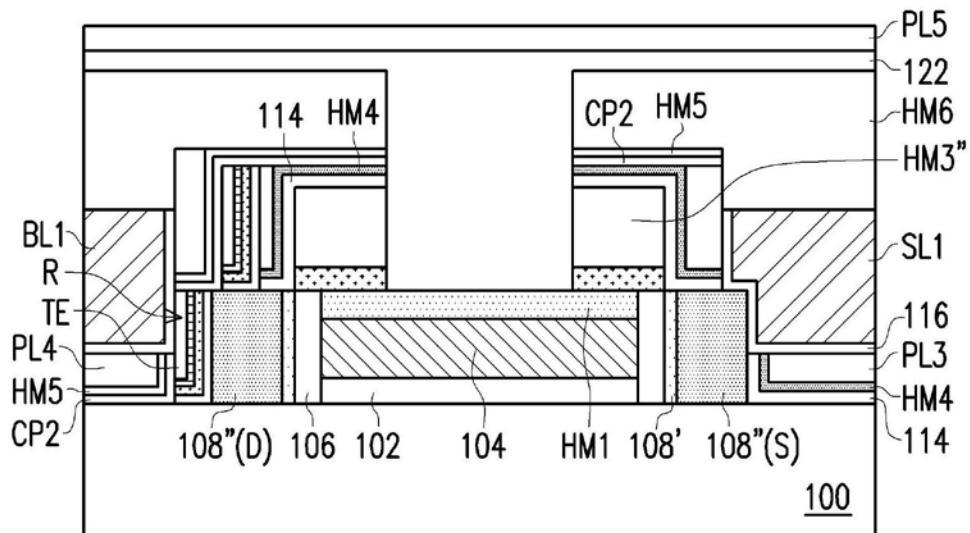


图3M

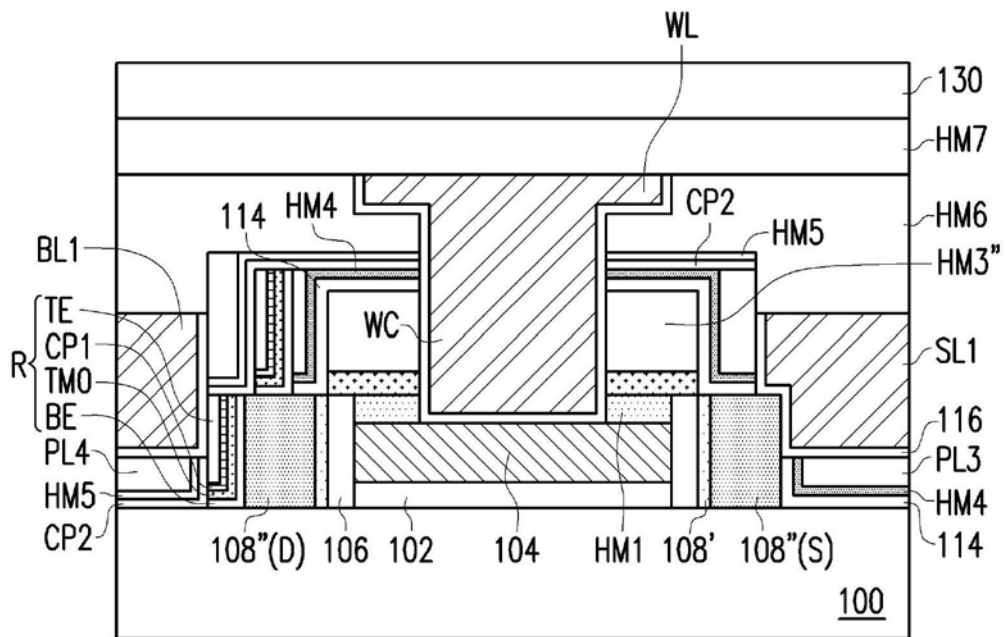


图3N

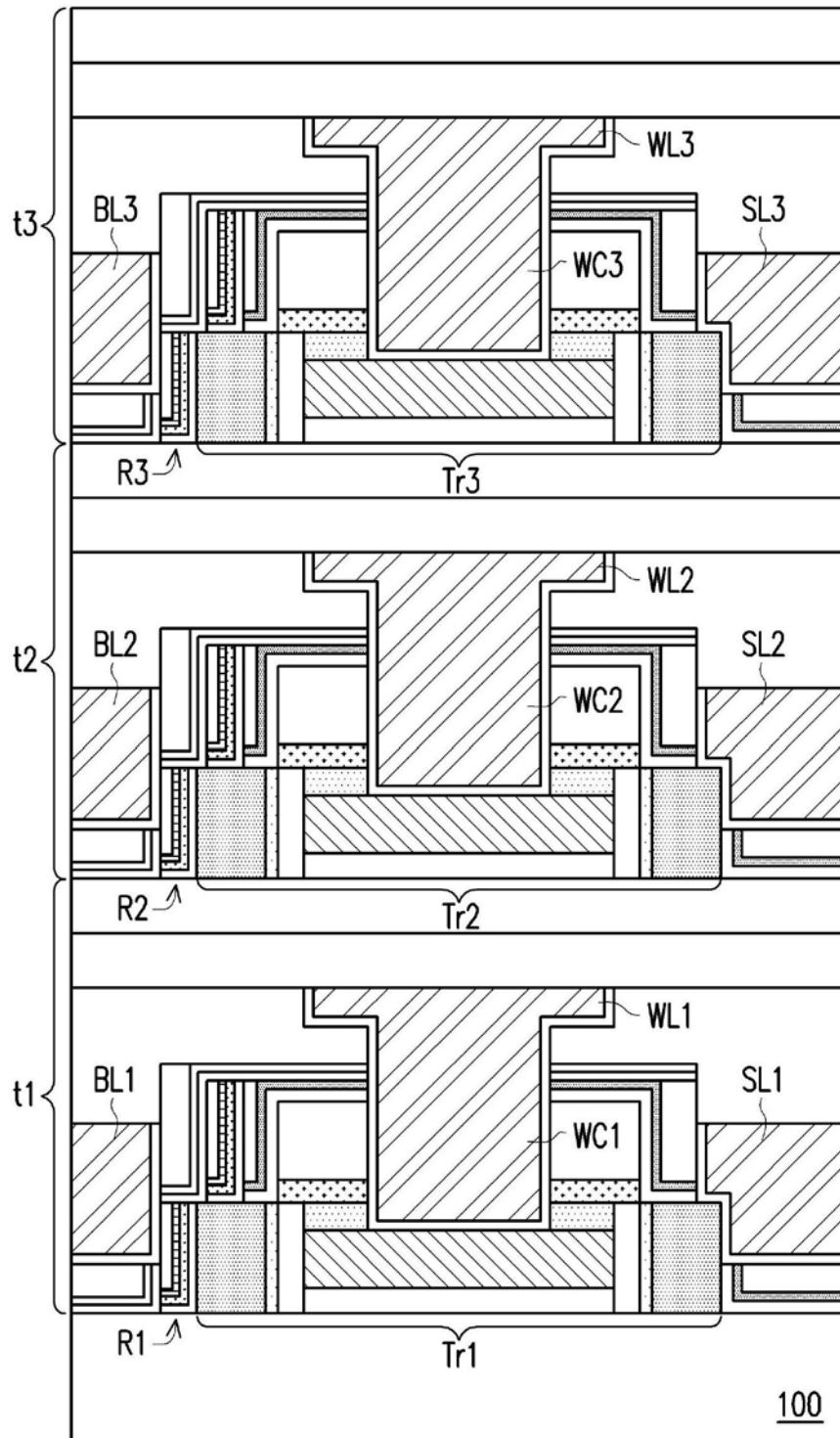


图30

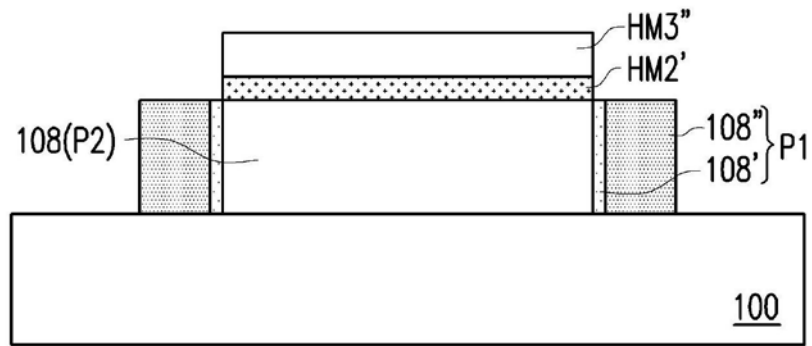


图4

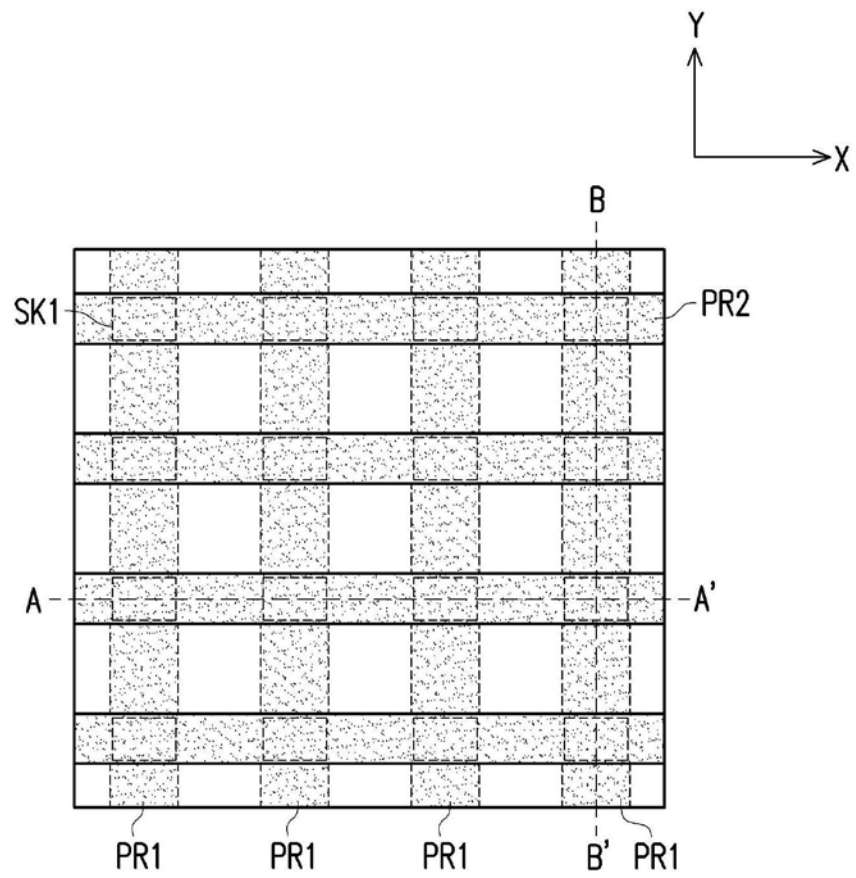


图5A

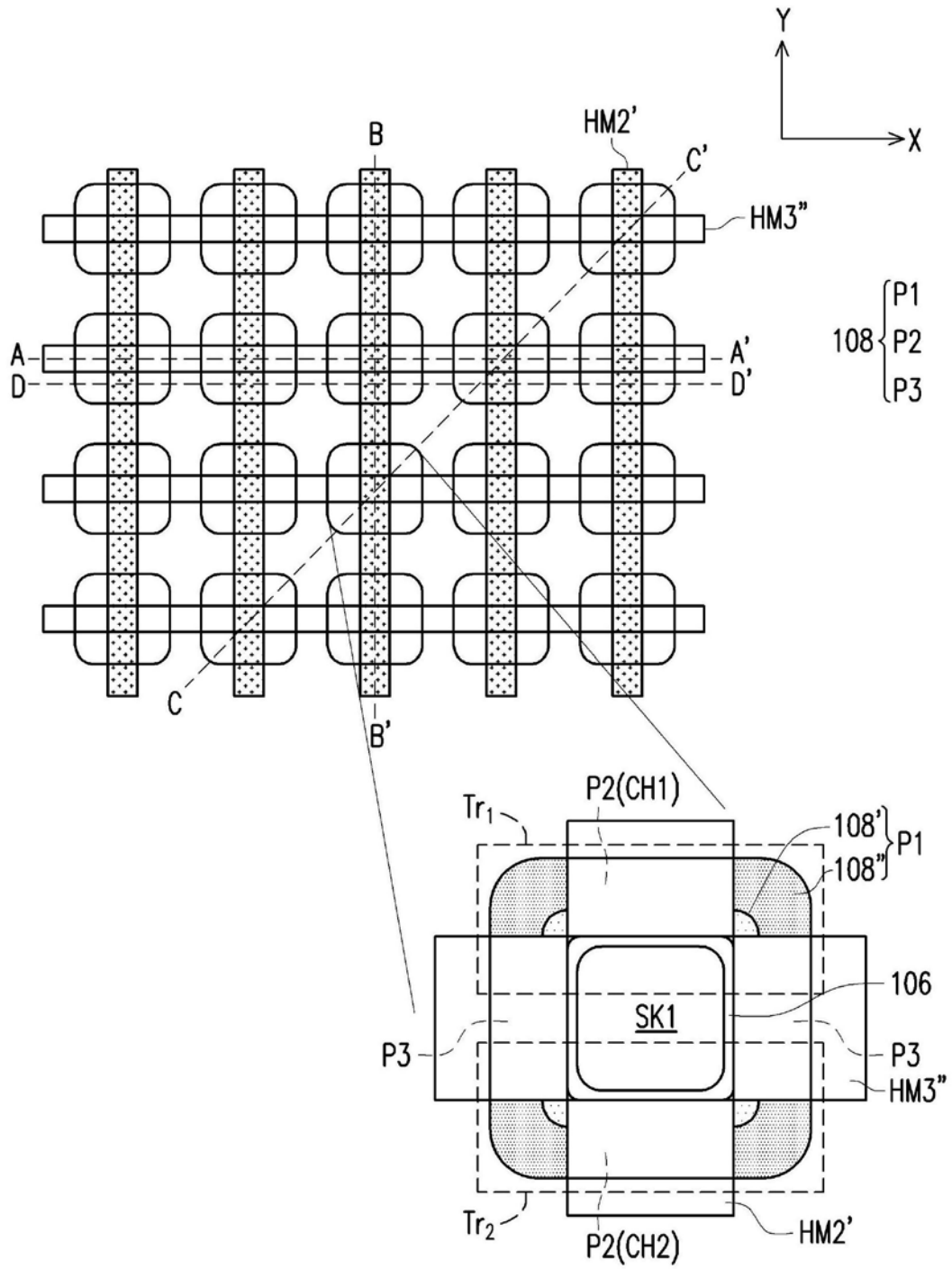


图5B

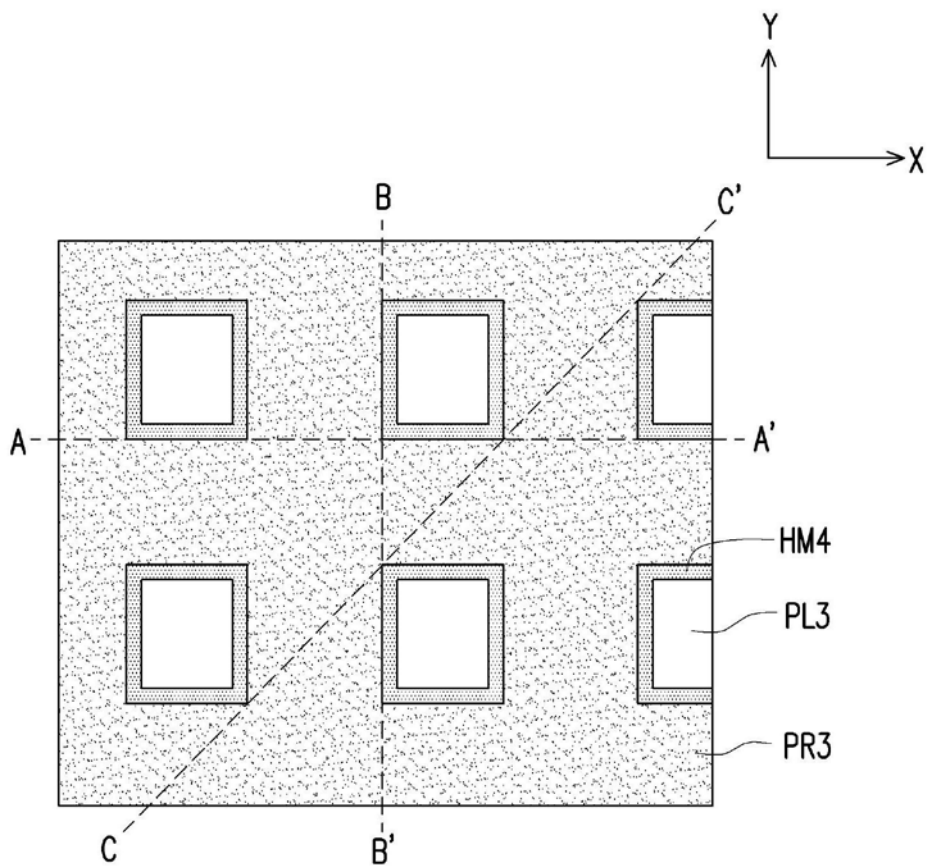


图5C

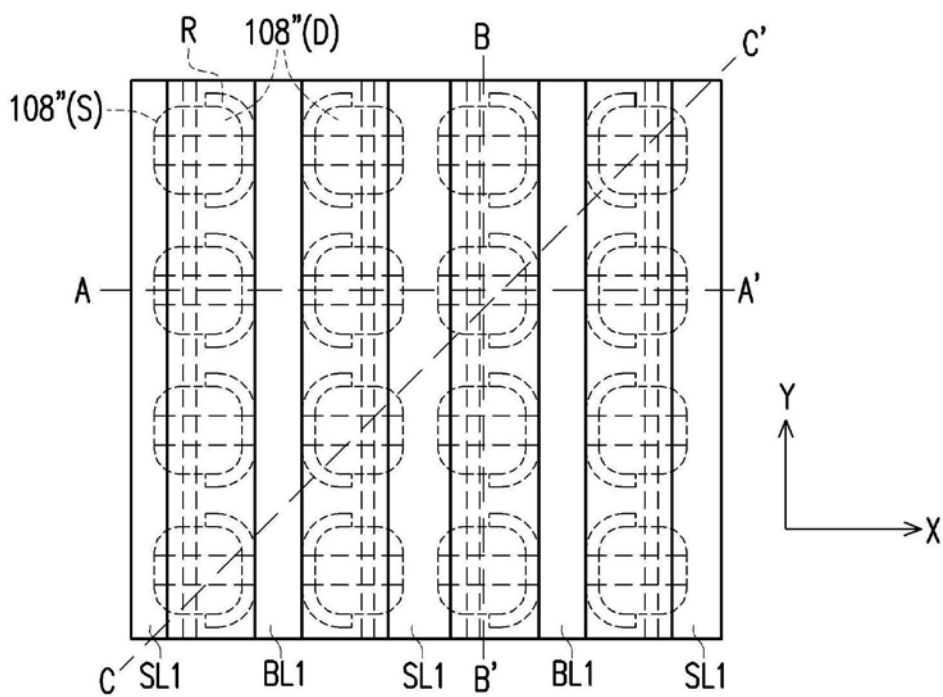


图5D

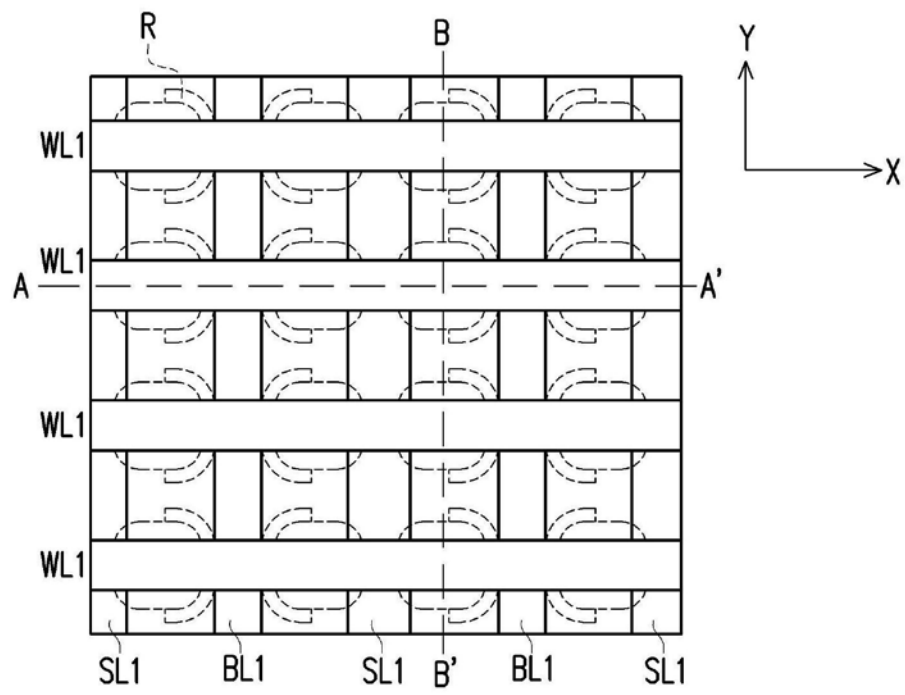


图5E

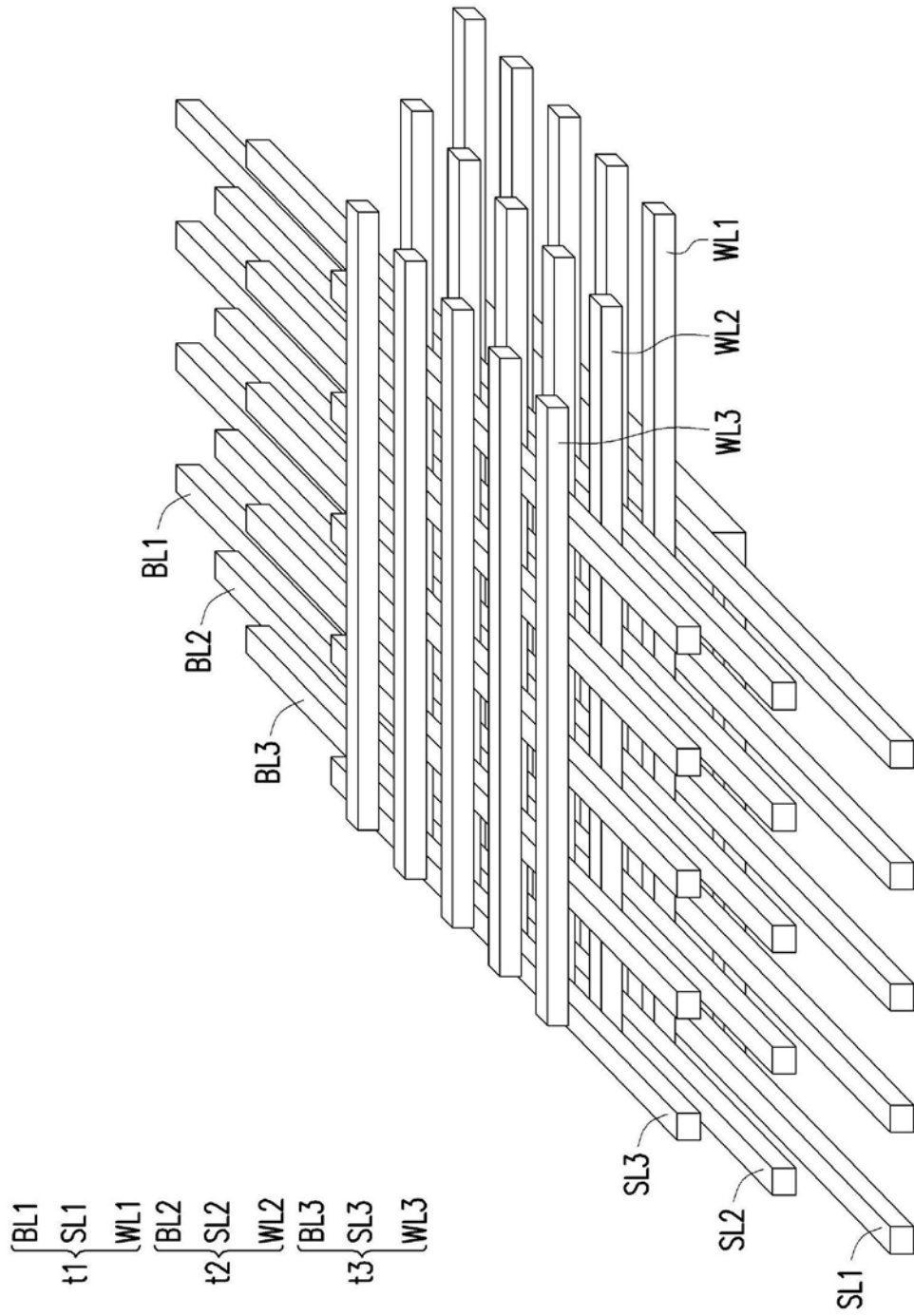


图6A

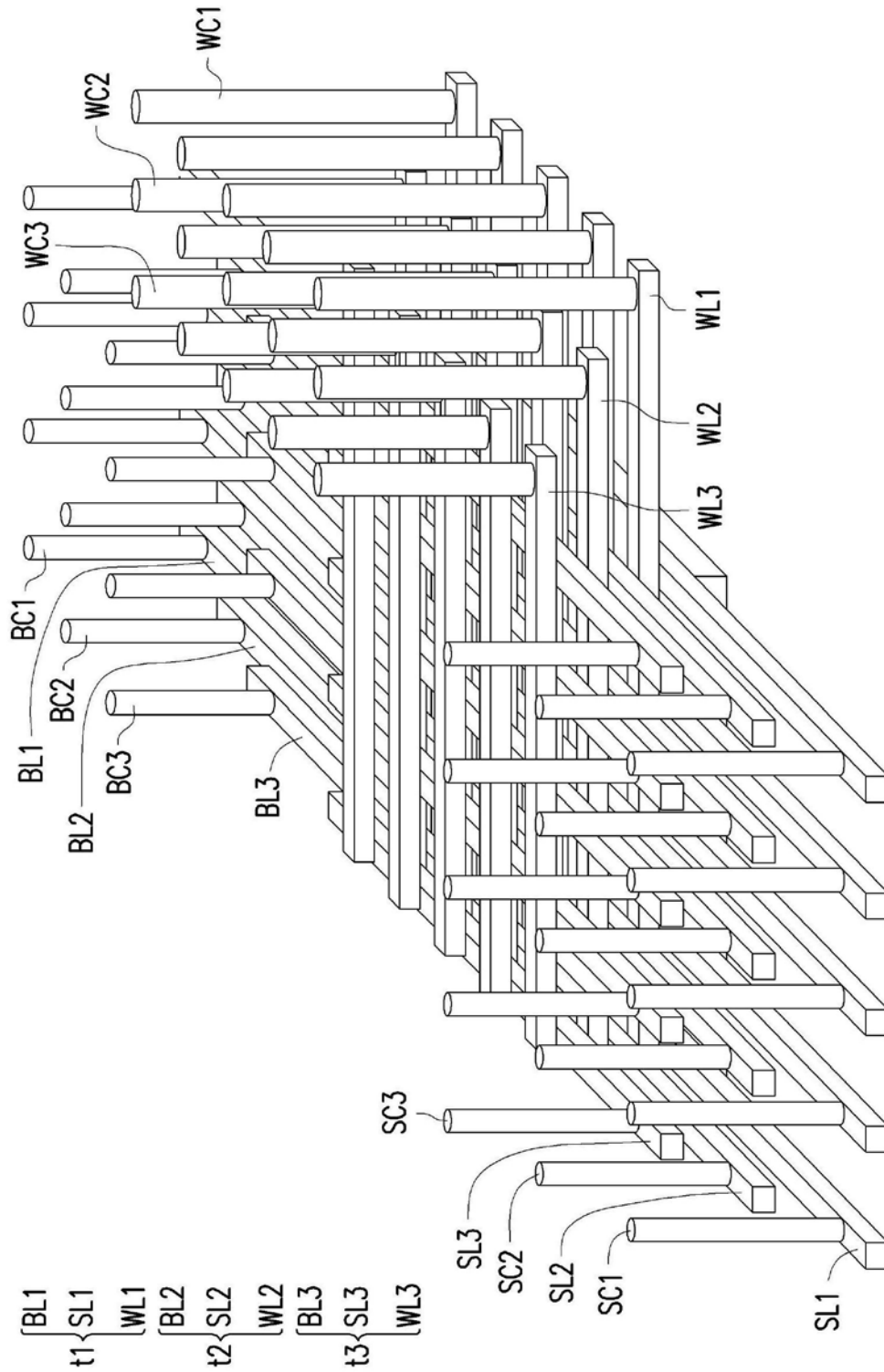


图6B

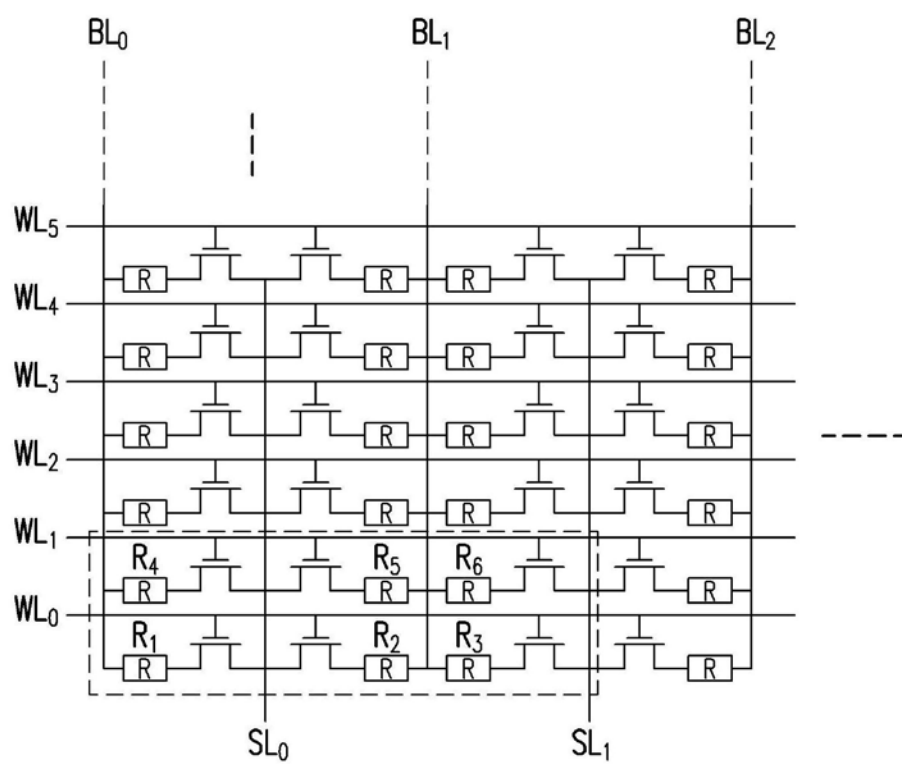


图7A

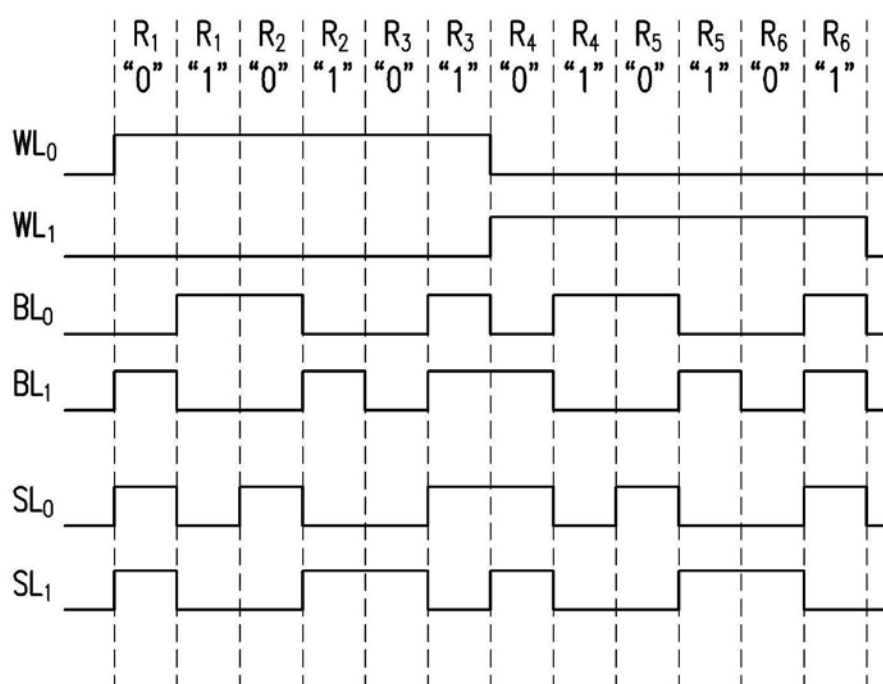


图7B