



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201621907 A

(43) 公開日：中華民國 105 (2016) 年 06 月 16 日

(21) 申請案號：104109355

(22) 申請日：中華民國 104 (2015) 年 03 月 24 日

(51) Int. Cl. : G11C16/02 (2006.01)

G11C16/06 (2006.01)

(30) 優先權：2014/12/03 日本

2014-244574

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)
臺中市大雅區科雅一路 8 號

(72) 發明人：白田里一郎 SHIROTA, RIICHIRO (JP)

(74) 代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：10 項 圖式數：15 共 40 頁

(54) 名稱

快閃記憶體及其程式化方法

FLASH MEMORY AND PROGRAMMING METHOD THEREOF

(57) 摘要

本發明提供一種 NAND 型快閃記憶體的程式化方法，能夠實現臨界值分佈幅度的窄幅化。本發明的快閃記憶體的程式化方法包括：驗證讀出，在對選擇字元線施加程式化電壓後，驗證選擇記憶胞的臨界值是否合格，驗證讀出包括將電壓預充電至位元線的步驟、使經預充電的位元線的電壓能夠放電至源極線的步驟、及在放電步驟後讀出位元線的電壓的步驟，針對從位元線的放電開始到讀出開始為止的放電期間，最初的程式化電壓施加後的驗證讀出的所述放電期間被設定得長於之後的程式化電壓施加後的驗證讀出的所述放電期間。

A programming method for an NAND flash memory is provided, capable of narrowing the distribution width of the threshold voltage. The method has a step of verification reading for verifying a threshold voltage of a selected memory cell after a programming voltage is applied to a selected word line. The verification reading further has a step of pre-charging a voltage to a bit line, a step of discharging the pre-charged bit line to a source line, and a step of reading the voltage of the bit line after the discharging step. Regarding the discharge period from starting the discharging of the bit line to starting the read out, the discharge period of the verification reading after the initial programming voltage is applied is set longer than the discharge period of the verification reading after the subsequent programming voltage is applied.

指定代表圖：

符號簡單說明：
S200~S204 . . . 第 1
實施例之驗證讀出的
動作的流程的各步驟

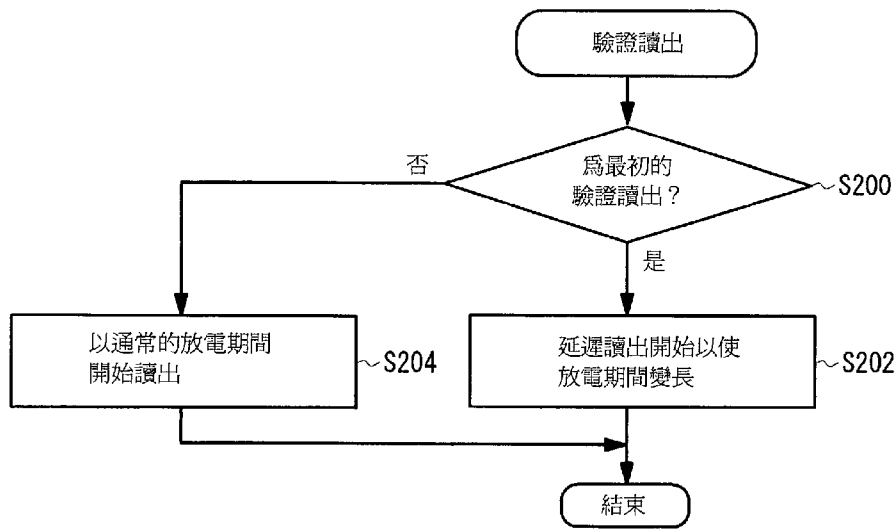


圖 11

發明摘要

※ 申請案號： 104109355

※ 申請日： 104. 3. 24

※IPC 分類： G11C 16/02 (2006.01)

G11C 16/06 (2006.01)

【發明名稱】

快閃記憶體及其程式化方法

FLASH MEMORY AND PROGRAMMING METHOD THEREOF

【中文】

本發明提供一種 NAND 型快閃記憶體的程式化方法，能夠實現臨界值分佈幅度的窄幅化。本發明的快閃記憶體的程式化方法包括：驗證讀出，在對選擇字元線施加程式化電壓後，驗證選擇記憶胞的臨界值是否合格，驗證讀出包括將電壓預充電至位元線的步驟、使經預充電的位元線的電壓能夠放電至源極線的步驟、及在放電步驟後讀出位元線的電壓的步驟，針對從位元線的放電開始到讀出開始為止的放電期間，最初的程式化電壓施加後的驗證讀出的所述放電期間被設定得長於之後的程式化電壓施加後的驗證讀出的所述放電期間。

【英文】

A programming method for an NAND flash memory is provided, capable of narrowing the distribution width of the threshold voltage. The method has a step of verification reading for verifying a threshold voltage of a selected memory cell after a programming

voltage is applied to a selected word line. The verification reading further has a step of pre-charging a voltage to a bit line, a step of discharging the pre-charged bit line to a source line, and a step of reading the voltage of the bit line after the discharging step. Regarding the discharge period from starting the discharging of the bit line to starting the read out, the discharge period of the verification reading after the initial programming voltage is applied is set longer than the discharge period of the verification reading after the subsequent programming voltage is applied.

【代表圖】

【本案指定代表圖】：圖 11。

【本代表圖之符號簡單說明】：

S200~S204：第 1 實施例之驗證讀出的動作的流程的各步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

快閃記憶體及其程式化方法

FLASH MEMORY AND PROGRAMMING METHOD THEREOF

【技術領域】

【0001】 本發明關於一種 NAND 型快閃記憶體 (flash memory) 等非揮發性半導體記憶裝置，更是關於一種程式化的驗證方法。

【先前技術】

【0002】 NAND 型快閃記憶體包含多個 NAND 串，1 個 NAND 串具有：串聯連接的多個記憶胞；與記憶胞其中一個的端部連接的源極線 (source line) 側選擇電晶體 (transistor)；以及與記憶胞的另一個端部連接的位元線 (bit line) 側選擇電晶體。各記憶胞的控制閘極 (gate) 連接於對應的字元線，在源極線側選擇電晶體的閘極連接有選擇閘極線 SGS，在位元線側選擇電晶體的閘極連接有選擇閘極線 SGD。這些 NAND 串在 P 井內沿行方向形成有多個，1 個 P 井構成記憶胞陣列的 1 個區塊。

【0003】 記憶胞具有 NMOS 型結構，該 NMOS 型結構包括：浮置閘極 (floating gate) (電荷蓄積層)，隔著隧道 (tunnel) 氧化層而形成；以及控制閘極，隔著介電層而形成在浮置閘極上，且當在浮置閘極蓄積電子時，記憶胞的臨界值偏移至正方向，該狀態一

般被稱作資料“0”。另一方面，當從浮置閘極放出電子時，臨界值偏移至 0 或負方向，該狀態被稱作資料“1”。圖 1 表示記憶胞的資料“0”、“1”的臨界值的分佈幅度，以記憶胞的臨界值處於該分佈幅度內的方式來控制程式化或抹除。

【0004】 在記憶胞的隧道氧化層或浮置閘極，有時會因製造程序的參數變動或經時變化等因素而存在偏差，因此所有記憶胞未必均勻。即，在某個記憶胞容易注入電子，而在某個記憶胞難以注入電子，即使對兩者施加相同的程式化電壓，兩者的臨界值的偏移量也會相對不同。因而會產生下述事態，即，某個記憶胞立即到達“0”的臨界值分佈幅度內，但某個記憶胞並未立即到達“0”的臨界值分佈幅度內。

【0005】 爲了應對此種事態，通常藉助程式化驗證來進行控制，以對電子注入不夠充分的記憶胞再次施加程式化電壓，使記憶胞的臨界值到達“0”的分佈幅度內。

【0006】 在專利文獻 1 等中公開了一種能夠縮窄記憶胞的臨界值分佈幅度且能夠高速進行電子注入的程式化方法。該程式化方法如圖 2 所示，將程式化電壓分割爲多個脈衝，從而將該程式化電壓施加至記憶胞的控制閘極。施加至控制閘極的最初的程式化電壓的峰值爲 V_{pgm} ，脈衝的峰值逐漸提高 ΔV_{pp} 。脈寬爲固定時間，1 次電子注入動作中的記憶胞的臨界值的最大偏移量 ΔV_{th} 等於 ΔV_{pp} 。另外，專利文獻 2 等公開了一種程式化方法，其鑒於因程式化脈衝電壓的過沖（over shoot）而難以準確控制臨界值

的偏移量的情況，將程式化脈衝電壓分為低電壓寬度部分與高電壓寬度部分，以抑制過沖電壓的影響。

【0007】 現有技術文獻

專利文獻

專利文獻 1：日本專利第 3626221 號公報

專利文獻 2：日本專利第 5522682 號公報

【0008】 若反復進行程式化/抹除，會因隧道氧化層的膜質劣化等原因，程式化快的記憶胞與程式化慢的記憶胞混合存在。即，在施加相同的程式化電壓時，程式化快的記憶胞的臨界值的偏移量大，而程式化慢的記憶胞的臨界值的偏移量小。若在此種狀態下進行初始驗證，可能會有儘管程式化快的記憶胞的臨界值尚未到達目標臨界值（驗證電壓），但看起來該臨界值凸顯得較大，從而被判定為合格。

【0009】 圖 3 是表示記憶胞陣列（memory cell array）的概略結構圖，圖 4 是表示程式化驗證讀出時的各部分的電壓波形圖。在時刻 T1，進行對位元線的預充電（pre-charge）。選擇閘極線 BLS 遷移至 H 準位（level），位元線選擇電晶體導通，選擇閘極線 SGD 遷移至 H 準位，位元線側選擇電晶體導通，無論記憶胞的程式化狀態如何，均對未選擇字元線施加使記憶胞導通的通過電壓，對於選擇字元線施加驗證電壓，選擇閘極線 SGS 遷移至 L 準位，源極線側選擇電晶體斷開，位元線選擇電晶體的閘極線 BLS 遷移至 H 準位而導通。這樣，對於位元線 BLi、BLi+1、BLi+2、BLi+3，

從頁面緩衝器/讀出電路 10 供給預充電電壓。

【0010】 在時刻 T2，進行位元線的放電（discharge）。選擇閘極線 SGS 遷移至 H 準位，源極線側選擇電晶體導通。而且，源極線 SL 通過使電晶體 Q1 導通而接地。在以下的說明中，將對資料“0”進行程式化的記憶胞稱作選擇記憶胞，將保持資料“1”的記憶胞稱作未選擇記憶胞。

【0011】 在放電期間，若選擇記憶胞的臨界值大於驗證電壓，選擇記憶胞為斷開，該位元線的電位不放電而大致固定，另一方面，若選擇記憶胞的臨界值為驗證電壓以下，則選擇記憶胞為導通，該位元線的電位通過放電而下降。在時刻 T3，由讀出（sense）電路 10 讀出位元線的電位，利用時刻 T4，對由讀出電路所讀出的電位進行鎖存（latch）。

【0012】 在圖 3 中，MC1、MC2、MC3 為選擇記憶胞，MC4 為未選擇記憶胞，MC2 設為程式化快的記憶胞，MC1、MC3 設為程式化慢的記憶胞。程式化快的記憶胞 MC2 通過最初的程式化電壓的施加而將相對較多的電子注入浮置閘極，臨界值的偏移量變大。程式化慢的記憶胞 MC1、MC3 的電子的注入量沒有那麼多，臨界值的偏移量小。一般而言，在最初的程式化電壓的施加時超過驗證電壓的程式化快的記憶胞的數量相對不多。因此，在施加最初的程式化電壓的最初驗證中，若程式化慢的記憶胞導通，來自位元線的電流一舉放電至源極線 SL，則源極線 SL 會因其自身的電阻 R 而電壓暫時上升例如 0.1 V~0.2 V 左右。當源極線 SL 的電壓

上升時，記憶胞的閘極/源極間電壓變小，此時，若進行選擇記憶胞的讀出，則程式化快的記憶胞的臨界值看起來會反映得較大。

【0013】 圖 5 (A) 是施加最初的程式化電壓時的最初驗證時的臨界值分佈的例示，圖 5 (B) 是結束程式化電壓時的驗證時的臨界值分佈的例示。如圖 5 (A) 所示，在施加最初的程式化電壓時，大部分的選擇記憶胞的臨界值分佈 V_{th_s} 小於驗證電壓。另一方面，程式化快的記憶胞的臨界值的偏移量大，若在源極線 SL 的電壓浮動的狀態下進行讀出，則臨界值分佈 V_{th_f} 會凸顯得高於驗證電壓。對於已驗證為臨界值 V_{th_f} 高於驗證電壓的選擇記憶胞，對其位元線施加正的電壓，以在施加下個程式化電壓時禁止程式化。

【0014】 當驗證為所有選擇記憶胞的臨界值大於驗證電壓時，結束驗證。此時，如圖 5(B) 所示，程式化慢的記憶胞的臨界值 V_{th_s} 超過驗證電壓，但當判定為程式化快的記憶胞的臨界值 V_{th_f} 在表觀上高於驗證電壓時，該臨界值 V_{th_f} 有可能低於驗證電壓。因而，若在程式化快的記憶胞與程式化慢的記憶胞混合存在的狀態下進行程式化，則無法縮窄資料“0”的臨界值分佈幅度，而且，由於臨界值低，因此資料“0”的保持特性會發生劣化。

【發明內容】

【0015】 本發明解決此種習知問題，提供一種能夠實現臨界值分佈幅度的窄幅化的 NAND 型快閃記憶體的程式化方法。

【0016】 此外，本發明的目的在於提供一種改善了資料保持特性的 NAND 型快閃記憶體的程式化方法。

【0017】 本發明的程式化方法是快閃記憶體的程式化方法，所述快閃記憶體具有形成有 NAND 串的記憶體陣列，所述 NAND 串是由記憶胞串聯連接而成，所述快閃記憶體的程式化方法包括：驗證讀出，在對被選擇的位元線施加程式化電壓後，驗證被選擇的記憶胞的臨界值是否合格，所述驗證讀出包括將電壓預充電至位元線的預充電步驟；使經預充電的位元線的電壓能夠放電至源極線的放電步驟；以及在放電步驟後讀出位元線的電壓的讀出步驟，針對從位元線的放電開始到讀出開始為止的放電期間，最初的程式化電壓施加後的驗證讀出的所述放電期間被設定得長於之後的程式化電壓施加後的驗證讀出的所述放電期間。

【0018】 較佳的是，在多次進行驗證讀出時，將所述放電期間設定成逐漸變短。較佳的是，在多次進行驗證讀出時，僅將最初的程式化電壓施加後的驗證讀出時的所述放電期間設定得長於其他驗證讀出時的放電期間。較佳的是，所述位元線的放電開始是使 NAND 串的源極線側選擇電晶體導通之時。較佳的是，所述讀出開始是位元線電連接於讀出電路之時。較佳的是，所述放電期間視對資料“0”進行程式化的記憶胞的數量而可變。較佳的是，最初的程式化電壓施加後的驗證讀出時的放電期間被設定得至少大於 $6\mu\text{s}$ 。

【0019】 本發明的快閃記憶體包括：記憶體陣列，形成有由記憶

胞串聯連接而成的 NAND 串；選擇部件，選擇記憶體陣列的字元線；施加部件，對由所述選擇部件所選擇的字元線施加程式化電壓；以及驗證讀出部件，在施加程式化電壓後驗證被選擇的記憶胞的臨界值是否合格，所述驗證讀出部件包括：對由所述選擇部件所選擇的字元線施加驗證電壓的部件；放電部件，在施加驗證電壓時，使連接於被選擇的記憶胞的位元線的電壓能夠放電至源極線；探測部件，在所述放電部件的放電後探測位元線的電壓；以及設定部件，針對從所述放電部件的位元線放電開始到所述探測部件的探測開始為止的放電期間，將最初的程式化電壓施加後的驗證讀出時的所述放電期間設定得長於之後的程式化電壓施加後的驗證讀出時的放電期間。

【0020】 較佳的是，所述驗證讀出部件包括對位元線進行預充電的預充電部件，所述放電部件使經預充電的位元線能夠放電。較佳的是，所述設定部件在多次進行驗證讀出時，將所述放電期間設定成逐漸變短。較佳的是，所述設定部件視對資料“0”進行程式化的記憶胞的數量而使所述放電期間可變。較佳的是，所述放電部件通過使 NAND 串的源極線選擇電晶體導通，從而使位元線的電壓能夠放電至源極線。較佳的是，所述探測部件包括用於將位元線連接於讀出電路的位元線選擇電晶體，當位元線通過位元線選擇電晶體而電連接於讀出電路時開始所述探測。

（發明的效果）

【0021】 根據本發明，將使最初的程式化電壓施加後的驗證讀出

時的讀出開始時的放電期間，設定成比之後的程式化電壓施加後的驗證讀出時的讀出開始時的放電期間還長，從而抑制在源極線的電壓上升的期間內進行選擇記憶胞是否合格的驗證，由此，能夠更準確地進行選擇記憶胞的臨界值的驗證。其結果，即使程式化速度存在偏差的記憶胞混合存在，也能夠實現臨界值分佈幅度的窄幅化，且能夠提高記憶胞的資料保持特性。

【0022】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0023】

圖 1 是對 NAND 型快閃記憶體的資料“1”、“0”的關係進行說明圖。

圖 2 是對以往的程式化電壓的施加方法的一例進行說明圖。

圖 3 是對 NAND 型快閃記憶體程式化時的驗證讀出進行說明圖。

圖 4 是表示驗證讀出時各部分的電壓波形圖。

圖 5(A)、5(B)是對程式化快的記憶胞的臨界值分佈幅度廣的原因進行說明的圖。

圖 6 是表示本發明實施例的 NAND 型快閃記憶體的整體結構的一例的方塊圖。

圖 7 是 NAND 串的等效電路圖。

圖 8 是表示在快閃記憶體動作時對各部分施加的電壓的一例的圖。

圖 9 是表示快閃記憶體讀出電路與位元線選擇電路的一例的圖。

圖 10 是本發明實施例的程式化方法進行說明之流程圖。

圖 11 是本發明實施例的驗證讀出動作進行說明之流程圖。

圖 12(A)、12(B)是表示本發明實施例的驗證讀出時各部分之電壓波形圖。

圖 13 (A) 是表示被選擇的記憶胞的臨界值充分小於驗證電壓時的放電時間與胞元電流的關係的圖，圖 13 (B) 是表示放電時間與源極線的電壓的關係的圖，圖 13 (C) 是表示放電時間與胞元電流的關係的圖。

圖 14 是本發明第 2 實施例的驗證讀出動作進行說明之流程圖。

圖 15 是本發明第 3 實施例的驗證讀出動作進行說明之流程圖。

【實施方式】

【0024】 以下，參照附圖來詳細說明本發明的實施方式。另外，應留意的是，附圖中，為了便於理解而強調表示各部分，與實際元件 (device) 的比例 (scale) 並不相同。

【0025】 圖 6 是表示本實施例的 NAND 型的快閃記憶體的一結構

例的方塊圖。如圖 6 所示，快閃記憶體 100 包括：記憶體陣列 110，形成有排列成行列狀的多個記憶胞；輸入/輸出緩衝器 (buffer) 120，連接於外部輸入/輸出端子 I/O；位址暫存器 (address register) 130，接收來自輸入/輸出緩衝器 120 的位址資料；快取記憶體 (cache memory) 140，保持輸入/輸出的資料；控制器 150，生成控制信號 C1、C2、C3 等，該控制信號 C1、C2、C3 等是基於來自輸入/輸出緩衝器 120 的命令資料 (command data) 及外部控制信號 (未圖示的晶片致能 (chip enable) 或位址鎖存致能 (address latch enable) 等) 來控制各部分；字元線選擇電路 160，對來自位址暫存器 130 的行位址資訊 Ax 進行解碼 (decode)，並基於解碼結果來進行區塊的選擇及字元線的選擇等；頁面緩衝器/讀出電路 170，保持經由位元線而讀出的資料，或者經由位元線來保持程式化資料等；列選擇電路 180，對來自位址暫存器 130 的列位址資訊 Ay 進行解碼，並基於該解碼結果來進行位元線的選擇等；內部電壓產生電路 190，生成資料的讀出、程式化 (寫入) 及抹除等所需的電壓 (程式化電壓 Vpgm、通過電壓 Vpass、讀出電壓 Vread、抹除電壓 Vers (包括抹除脈衝、驗證電壓等))；以及系統時鐘產生電路 200，產生內部系統時鐘 CLK。

【0026】 記憶體陣列 110 具有沿列方向配置的多個區塊 BLK(0)、BLK(1)、...、BLK(m)。在區塊的其中一個端部，配置有頁面緩衝器/讀出電路 170。但是，頁面緩衝器/讀出電路 170 也可配置在區塊的另一個端部或者配置在兩側的端部。

【0027】 在 1 個區塊中，如圖 7 所示，形成有多個將多個記憶胞串聯連接而成的 NAND 串單元 NU，在 1 個區塊內，沿行方向排列有 $n+1$ 個串單元 NU。串單元 NU 包括：串聯連接的多個記憶胞 MC_i ($i=0、1、\dots、31$)；位元線側選擇電晶體 TD，連接於做為一個端部的記憶胞 MC_{31} ；以及源極線側選擇電晶體 TS，連接於做為另一個端部的記憶胞 MC_0 ，其中位元線側選擇電晶體 TD 的漏極 (drain) 連接於對應的 1 條位元線 BL，源極線側選擇電晶體 TS 的源極連接於共用源極線 SL。記憶胞 MC_i 的控制閘極連接於字元線 WLi ，位元線側選擇電晶體 TD 的閘極連接於選擇閘極線 SGD，源極線側選擇電晶體 TS 的閘極連接於選擇閘極線 SGS。字元線選擇電路 160 在基於行位址 A_x 來選擇區塊時，經由該被選擇的區塊的選擇閘極線 SGS、SGD 來選擇性地驅動選擇電晶體 TD、TS。

【0028】 記憶胞典型的是具有金屬氧化物半導體 (Metal Oxide Semiconductor, MOS) 結構，該 MOS 結構包括：做為 N 型擴散區域的源極/漏極，形成在 P 井內；隧道氧化層，形成在源極/漏極間的通道 (channel) 上；浮置閘極 (電荷蓄積層)，形成在隧道氧化層上；以及控制閘極，隔著介電層而形成在浮置閘極上。當浮置閘極中未蓄積有電荷時，即寫入有資料 “1” 時，臨界值處於負狀態，記憶胞藉由控制閘極為 0 V 而導通。當在浮置閘極中蓄積有電子時，即寫入有資料 “0” 時，臨界值偏移為正，記憶胞藉由控制閘極為 0 V 而斷開。但是，記憶胞並不限於存儲單個位元，

也可存儲多個位。

【0029】 圖 8 是表示在快閃記憶體的各動作時施加的偏壓的一例的表 (table)。在讀出動作時，對位元線施加某正電壓，對被選擇的字元線施加某電壓 (例如 0 V)，對未被選擇的字元線施加通過電壓 V_{pass} (例如 4.5 V)，對選擇閘極線 SGD、SGS 施加正電壓 (例如 4.5 V)，使位元線選擇電晶體[位元線側選擇電晶體]TD、源極線選擇電晶體[源極線側選擇電晶體]TS 導通，對共用源極線施加 0 V。在程式化動作時，對被選擇的字元線施加高電壓的程式化電壓 V_{pgm} (15 V~20 V)，對未被選擇的字元線施加中間的通過電壓 (例如 10 V)，使位元線側選擇電晶體 TD 導通，使源極線側選擇電晶體 TS 斷開，並將與“0”或“1”的資料相應的電位供給至位元線。在抹除動作時，對區塊內的被選擇的字元線、即控制閘極施加某電壓 (例如 0 V)，對 P 井施加高電壓 (例如 20 V) 的抹除脈衝，將浮置閘極的電子抽出至基板，由此以區塊為單位來抹除數據。

【0030】 圖 9 表示讀出電路與位元線選擇電路的一例。此處，例示了包含一對的偶數位元線 BLe 與奇數位元線 BLo 的 1 頁面。頁面緩衝器/讀出電路 170 包括讀出電路 172 以及保持所讀出的資料的鎖存電路 174。讀出電路 172 經由位元線選擇電路 182 而連接於偶數位元線 BLe 及奇數位元線 BLo，即，1 個讀出電路 172 由一對偶數位元線 BLe 與奇數位元線 BLo 所共有。但是，此種結構僅為一例，位元線未必需要分為偶數位元線與奇數位元線，在此情

況下，讀出電路連接於各位元線中的每條位元線。

【0031】 位元線選擇電路 182 包括：偶數位元線選擇電晶體 $BLSe$ ，用於選擇偶數位元線 BL_e ；奇數位元線選擇電晶體 BLS_o ，用於選擇奇數位元線 BL_o ；以及位元線選擇電晶體 BLS ，連接於偶數位元線選擇電晶體 $BLSe$ 及奇數位元線選擇電晶體 BLS_o 的共用節點 (node) $N1$ 與讀出電路 172 之間。這些電晶體 $BLSe$ 、 BLS_o 、 BLS 為 N 型的 MOS 電晶體。

【0032】 對於偶數位元線選擇電晶體 $BLSe$ 及奇數位元線選擇電晶體 BLS_o 以及位元線選擇電晶體 BLS 的閘極，施加來自控制器 150 的控制信號，這些電晶體在讀出、程式化、抹除時選擇性地導通或斷開。例如，在讀出動作中，當偶數位元線 BL_e 被選擇時，奇數位元線 BL_o 未被選擇，偶數位元線選擇電晶體 $BLSe$ 、位元線選擇電晶體 BLS 導通，奇數位元線選擇電晶體 BLS_o 斷開。而且，當奇數位元線 BL_o 被選擇時，偶數位元線 BL_e 未被選擇，奇數位元線選擇電晶體 BLS_o 、位元線選擇電晶體 BLS 導通，偶數位元線選擇電晶體 $BLSe$ 斷開。

【0033】 位元線選擇電路 182 還包括：偶數偏壓電晶體 YBL_e ，連接於偶數位元線 BL_e 與假想電源 V_{PRE} 之間；以及奇數偏壓電晶體 YBL_o ，連接於奇數位元線 BL_o 與假想電源 V_{PRE} 之間。偶數偏壓電晶體 YBL_e 及奇數偏壓電晶體 YBL_o 包含 N 型的 MOS 電晶體。

【0034】 對於偶數偏壓電晶體 YBL_e 及奇數偏壓電晶體 YBL_o 的閘

極，施加來自控制器 150 的控制信號，這些電晶體在讀出、程式化、抹除時選擇性地導通或斷開。而且，對於假想電源 VPRE，能夠通過控制器 150 的控制來供給由內部電壓產生電路 190 所生成的電壓。例如，在頁面讀出時，當偶數位元線 BLe 被選擇而奇數位元線 BLo 未被選擇時，偶數偏壓電晶體 YBLe 斷開，奇數偏壓電晶體 YBLo 導通，對於奇數位元線 BLo，由假想電源 VPRE 供給遮罩（shield）電位（GND）。而且，當偶數位元線 BLe 未被選擇而奇數位元線 BLo 被選擇時，偶數偏壓電晶體 YBLe 導通，奇數偏壓電晶體 YBLo 斷開，對於偶數位元線 BLe，由假想電源 VPRE 供給遮罩電位。在程式化時，對於假想電源 VPRE 供給程式化禁止電壓，未被選擇的位元線的記憶胞的通道則被偏壓或預充電至寫入禁止電壓。

【0035】 讀出電路 172 包括：鉗位電晶體（clamp transistor）CLAMP，串聯連接於偶數及奇數位元線共用的位元線；預充電用電晶體 BLPRE，連接於讀出節點 SNS；電容器（capacitor）Cp，連接於讀出節點 SNS；以及傳輸電晶體 BLCD，連接於讀出節點 SNS 與鎖存電路 174 之間。讀出電路 172 的電晶體是 N 型的 MOS 電晶體，這些電晶體根據來自控制器 150 的控制信號而選擇性地導通或斷開。進行讀出時，預充電用電晶體 BLPRE 導通，從電源 VPRE 供給的預充電電壓經由鉗位元電晶體 CLAMP 而對被選擇的偶數或奇數位元線進行充電。讀出節點 SNS 保持隨後讀出的 H 準位或 L 準位的電位，該電位通過使傳輸電晶體 BLCD 導通而傳輸

至鎖存電路 174。

【0036】 接下來，對本實施例的快閃記憶體的程式化方法進行說明。圖 10 是本實施例的程式化方法的動作流程。首先，當由快閃記憶體 100 從外部主機 (host) 裝置收到程式化命令、程式化資料及應程式化的位址資訊時，控制器 150 解讀程式化命令，開始程式化序列 (sequence) (S100)。字元線選擇電路 160 基於所收到的位址資訊，選擇應程式化的區塊及頁面 (S102)，對選擇字元線施加程式化電壓，對未選擇字元線施加中間的通過電壓，對選擇記憶胞的位元線施加 0 V，對未選擇記憶胞的位元線施加正電壓，使位元線側選擇電晶體導通，使源極線側選擇電晶體斷開，對源極線 SL 施加 V_{cc} ，對 P 井施加 0 V (S104)。

【0037】 接下來，進行用於驗證選擇記憶胞的臨界值的驗證讀出 (S106)。對於在驗證讀出中評定為不合格的選擇記憶胞，再次施加程式化電壓。此時，如圖 2 所示，可使用增量步進脈衝程式化 (Incremental Step Pulse Program, ISPP) 方式，該 ISPP 方式是施加程式化電壓 V_{pgm} 比前次時大 ΔV 的程式化電壓 (S110)。另一方面，對於判定為合格的選擇記憶胞的位元線，施加禁止程式化的電壓，對於此種選擇記憶胞，事實上不施加程式化電壓。這樣，反復進行程式化電壓的施加與驗證讀出，直至最終所有的選擇記憶胞的臨界值被判定為合格為止。

【0038】 接下來，對本實施例的驗證讀出動作進行說明。圖 11 是本實施例的驗證讀出的動作流程。控制器 150 判定驗證讀出是否

為最初的驗證讀出，即，是否為施加最初的程式化電壓後的驗證讀出 (S200)。當判定為最初的驗證讀出時，控制器 150 控制讀出開始的時間，以使位元線的放電期間變長 (S202)。另一方面，當判定為並非最初的驗證讀出時，控制器 150 以通常的放電期間開始讀出 (S204)。

【0039】 圖 12 (A) 是步驟 S204 中以通常的放電期間進行讀出動作時的各部分的電壓波形，圖 12 (B) 是步驟 S202 中以長的放電期間進行讀出動作時的各部分的電壓波形。另外，圖 12 (A)、圖 12 (B) 中，僅表示了一部分的電壓波形，除此以外的各部分 (選擇字元線、未選擇字元線、選擇閘極線 SGD 等) 的電壓波形可參照圖 4。

【0040】 在圖 12 (A)、圖 12 (B) 中，T1 為預充電期間。在預充電期間，圖 9 所示的預充電用電晶體 BLPRE、鉗位電晶體 CLAMP、位元線選擇電晶體 BLS 導通，通過正的預充電電壓來對被選擇的位元線 (例如當偶數位元線 BLe 被選擇時，偶數位元線選擇電晶體 BLSe 導通) 進行充電。而且，NAND 串的位元線側選擇電晶體 TD 導通，源極線側選擇電晶體 TS 斷開，對選擇字元線施加驗證電壓，對未選擇字元線施加通過電壓。源極線 SL 接地至 GND。

【0041】 T2 為放電期間。放電期間是從位元線能夠放電的時刻 Ta 開始，在位元線的電壓能夠讀出的時刻 Tb 時結束。在 1 個形態中，放電期間的開始時刻 Ta 是使選擇閘極線 SGS 遷移至 H 準位，且

源極線側選擇電晶體 TS 導通時。而且，優選的是，在源極線側選擇電晶體 TS 導通時，與此大致同時或者在此之前，位元線選擇電晶體 BLS 斷開。而且，在 1 個形態中，放電期間的結束時刻 T_b 是位元線選擇電晶體 BLS 導通時。但是，當鉗位電晶體 CLAMP 遲於位元線選擇電晶體 BLS 而導通時，所述放電期間的結束時刻 T_b 也可為鉗位電晶體 CLAMP 導通時。在放電期間內，若選擇記憶胞的臨界值小於驗證電壓，則選擇記憶胞為導通，該位元線的電壓被放電至源極線 SL。另一方面，若選擇記憶胞的臨界值大於驗證電壓，則選擇記憶胞成為非導通，該位元線的電壓不放電至源極線 SL，幾乎無電壓變化。

【0042】 T3 為讀出期間。在讀出期間內，鉗位電晶體 CLAMP 導通，位元線的電位傳輸至讀出節點 SNS。即，在選擇記憶胞導通的位元線中，讀出節點 SNS 成為 GND 準位，在選擇記憶胞為非導通的位元線中，讀出節點 SNS 成為預充電電壓準位。

【0043】 T4 為鎖存期間。在此期間內，傳輸電晶體 BLCD 導通，讀出節點 SNS 的電位由鎖存電路 174 予以保持。控制器 150 基於由鎖存電路 174 所保持的資料，判定選擇記憶胞的程式化是否合格。控制器 150 在殘存有不合格的記憶胞時，施加下個程式化電壓，對於在驗證讀出中已判定為合格的選擇記憶胞的位元線施加禁止程式化的正電壓，對於判定為不合格的選擇記憶胞的位元線施加 0 V，繼續進行程式化。

【0044】 此處，如利用圖 11 的流程所說明般，當判定為施加最初

的程式化電壓後的最初的驗證讀出時，控制器 150 使 T2 的放電期間的結束時間即時刻 T_b 較通常時延遲。在通常的驗證讀出中，如圖 12 (A) 所示，放電期間 T2 為時刻 T_a 至時刻 T_b ，與此相對，在最初的驗證讀出中，如圖 12 (B) 所示，放電期間 T2 為時刻 T_a 至時刻 $T_b + \Delta T$ ，放電期間變長 ΔT 的期間。其理由如後所述，是爲了防止程式化快的記憶胞的臨界值在表觀上變大。

【0045】 圖 13 (A) 表示在選擇記憶胞的臨界值充分低於驗證電壓時 ($V_{th} \ll$ 驗證電壓)，流經記憶胞的胞元電流 (cell current) 與放電時間的關係。由於選擇記憶胞成爲導通狀態，因此源極線側選擇電晶體 TS 剛一導通，大電流便立刻開始從位元線經由選擇記憶胞而一舉流至源極線 SL，該胞元電流隨著放電時間的經過而逐漸減少。即，在最初的驗證讀出時，若存在程式化慢的被選擇的記憶胞，則此種大的胞元電流會從位元線流至源極線 SL。

【0046】 圖 13 (B) 表示放電時間與源極線 SL 的電壓 V_{SL} 的關係。放電剛一開始，如圖 13 (A) 所示，電流經由選擇記憶胞而流至源極線 SL，因此源極線 SL 的電壓 V_{SL} 在放電開始後立即急遽上升。並且，隨著胞元電流的減少，源極線 SL 的電壓 V_{SL} 逐漸下降。

【0047】 圖 13 (C) 表示選擇記憶胞的臨界值稍低於驗證電壓時的胞元電流與放電時間的關係。在從放電開始後不久的期間，例如在 0 微秒 ~ 3 微秒的期間，胞元電流幾乎不流動。儘管選擇記憶胞的臨界值低於驗證電壓，但在放電剛開始後的期間，因一舉流至源極線 SL 的電流而源極線 SL 的電壓 V_{SL} 上升，選擇記憶胞的

閘極/源極間電壓變得小於驗證電壓，換言之，選擇記憶胞的臨界值超過驗證電壓，因此，胞元電流幾乎不流動。若在該期間內開始位元線的讀出，則儘管臨界值低於驗證電壓，但程式化快的選擇記憶胞仍會被判定為合格。隨後，當經過放電時間，例如經過 6 微秒～9 微秒時，胞元電流增加。這是因為，圖 13 (A) 所示的經由記憶胞而從位元線放電至源極線 SL 的電流變小，因此，源極線 SL 的電壓 V_{SL} 下降。

【0048】 若在此種源極線 SL 的電壓 V_{SL} 充分下降時讀出位元線的電壓，則不會受到流經程式化慢的記憶胞的胞元電流的不良影響，而能夠更準確地驗證程式化快的記憶胞的臨界值。因而，在本實施例的最初的驗證讀出中，控制器 150 待因經由程式化慢的記憶胞流動的胞元電流而上升的源極線 SL 的電壓 V_{SL} 放電一定程度後，才開始讀出。即，控制器 150 控制圖 12 所示的放電期間的結束時刻 $T_b + \Delta T$ 。例如，若以圖 13 (C) 的例子來說，則時刻 $T_b + \Delta T$ 設定為 6 μs 至 9 μs 的範圍。

【0049】 如此，根據本實施例，在最初的程式化電壓的施加後的最初的驗證讀出中，將放電期間 T_2 設定得長於之後的驗證讀出時的放電期間，由此，即使程式化慢的記憶胞與程式化快的記憶胞混合存在，也能夠準確驗證程式化快的記憶胞的臨界值。由此，能夠實現資料“0”的臨界值分佈幅度的窄幅化，能夠改善程式化快的記憶胞的資料保持特性。而且，本實施例中，延長最初的驗證讀出的放電期間，而將以後的驗證讀出的放電期間設為通常的

放電期間，這是爲了防止下述現象，即，若延長所有驗證讀出的放電期間，則整體的程式化時間會變得非常長。在施加最初的程式化電壓時，通常，程式化慢的記憶胞的存在多於程式化快的記憶胞，因此在施加最初的程式化電壓時，程式化快的記憶胞的臨界值的臨界值驗證容易因程式化慢的記憶胞而受到影響。因而，更爲有效的是在最初的驗證讀出時延長放電期間。

【0050】 所述實施例中，示出了將最初的程式化電壓的施加後的最初的驗證讀出時的放電期間延長的例子，但並不限於此，也可使最初的驗證讀出與第 2 次驗證讀出的放電期間長於之後的驗證讀出的放電期間。

【0051】 接下來，對本發明的第 2 實施例進行說明。圖 14 是第 2 實施例的驗證讀出的動作流程。控制器 150 判定是否爲最初的驗證讀出 (S300)，若爲最初的驗證讀出，則設定第 1 放電期間 (S302)。若並非最初的驗證讀出，則判定是否爲第 2 次驗證讀出 (S304)，若爲第 2 次驗證讀出，則設定第 2 放電期間 (S306)。若並非第 2 次驗證讀出，則設定通常的放電期間。此處，存在下述關係，即，第 1 放電期間 > 第 2 放電期間 > 通常的放電期間。

【0052】 比起第 1 次驗證讀出時，在第 2 次驗證讀出時，臨界值小於驗證電壓的被選擇的記憶胞的數量預料會變少，與此相應地，源極線 SL 的電壓 V_{SL} 的上升也變小，因此通過根據電壓 V_{SL} 的上升來稍許縮短放電期間，能夠準確驗證程式化快的記憶胞的臨界值，並且能夠實現程式化時間的縮短。另外，所述實施例中，

對第 1 次驗證讀出、第 2 次驗證讀出進行了判定，但該次數並不限於此，也可判定第 3 次驗證讀出、第 4 次驗證讀出，並設定與此相應的第 3 放電期間、第 4 放電期間（第 2 放電期間 > 第 3 放電期間 > 第 4 放電期間 > 通常的放電期間）。

【0053】 接下來，對本發明的第 3 實施例進行說明。圖 15 是第 3 實施例的驗證讀出的動作流程。控制器 150 與第 1 實施例時同樣，判定是否為最初的驗證讀出（S400）。若為最初的驗證讀出，則接下來參照程式化資料，判定對資料“0”進行程式化的記憶胞的數量是否為第 1 基準值以上（S402），若為第 1 基準值以上，則設定第 1 放電期間（S404），若小於第 1 基準值，則設定第 2 放電期間（S406）。另一方面，若並非最初的驗證讀出，則判定對資料“0”進行程式化的記憶胞的數量是否為第 2 基準值以上（S410），若為第 2 基準值以上，則設定第 3 放電期間（S412），若小於第 2 基準值，則設定第 4 放電期間（S414）。此處，存在下述關係，即，第 1 放電期間 > 第 2 放電期間 > 第 3 放電期間 > 第 4 放電期間 > 通常的放電期間。

【0054】 如此，根據本實施例，通過根據對源極線 SL 的電壓 V_{SL} 的上升造成影響的資料“0”的記憶胞的數量來設定放電期間，從而能夠準確進行程式化快的記憶胞的臨界值的驗證，並且能夠實現程式化時間的縮短。

【0055】 如上所述，對本發明的優選實施方式進行了詳述，在權利要求書所記載的本發明的主旨的範圍內可進行各種變形、變

更。雖然本發明已以實施例揭露如上，然其並非用以限定本發明，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0056】

- 100：電子裝置
- 10、170：頁面緩衝器/讀出電路
- 100：快閃記憶體
- 110：記憶體陣列
- 120：輸入/輸出緩衝器
- 130：位址暫存器
- 140：快取記憶體
- 150：控制器
- 160：字元線選擇電路
- 172：讀出電路
- 174：鎖存電路
- 180：列選擇電路
- 182：位元線選擇電路
- 190：內部電壓產生電路
- 200：系統時鐘產生電路
- Ax：行位址資訊

Ay：列位址資訊

BL、BL0~BLn、BLi、BLi+1、BLi+2、BLi+3：位元線

BLCD：傳輸電晶體

BLe：偶數位元線

BLK (0) ~ BLK (m)：區塊

BLPRE：預充電用電晶體

BLo：奇數位元線

BLS：選擇閘極線、位元線選擇電晶體

BLS_e：偶數位元線選擇電晶體

BLS_o：奇數位元線選擇電晶體

C1、C2、C3：控制信號

CLAMP：鉗位電晶體

CLK：內部系統時鐘

Cp：電容器

MC0~MC31：記憶胞

N1：共用節點

NU：NAND 串胞元

Q1：電晶體

R：電阻

S100~S110：程式化方法的流程的各步驟

S200~S204：第 1 實施例之驗證讀出的動作的流程的各步驟

S300~S308：第 2 實施例之驗證讀出的動作的流程的各步驟

S400~S414：第3實施例之驗證讀出的動作的流程的各步驟

SGD、SGS：選擇閘極線

SL：源極線

SNS：讀出節點

T1：預充電期間

T2：放電期間

T3：讀出期間

T4：鎖存期間

Tb + ΔT ：時刻

Ta：放電期間的開始時刻

Tb：放電期間的結束時刻

TD：位元線側選擇電晶體

TS：源極線側選擇電晶體

Vers：抹除電壓

Vpass：通過電壓

Vpgm：程式化電壓

VPRE：假想電源

Vread：讀出電壓

Vth_f：臨界值分佈

Vth_s：臨界值分佈

WL0~WL31、WL1~WLn：字元線

YBL_e：偶數偏壓電晶體

YBL_o：奇數偏壓電晶體

申請專利範圍

1. 一種程式化方法，其是快閃記憶體的程式化方法，所述快閃記憶體具有形成有與非串的記憶體陣列，所述與非串是由記憶胞串聯連接而成，所述快閃記憶體的程式化方法的特徵在於包括：

驗證讀出，在對選擇字元線施加程式化電壓後，驗證選擇記憶胞的臨界值是否合格，

所述驗證讀出包括將電壓預充電至位元線的預充電步驟、使經預充電的位元線的電壓能夠放電至源極線的放電步驟、及在放電步驟後讀出位元線的電壓的讀出步驟，

關於從位元線的放電開始到讀出開始為止的放電期間，最初的程式化電壓施加後的驗證讀出的所述放電期間被設定得長於之後的程式化電壓施加後的驗證讀出的所述放電期間。

2. 如申請專利範圍第 1 項所述的程式化方法，其中在多次進行驗證讀出時，將所述放電期間設定成逐漸變短。

3. 如申請專利範圍第 1 項或第 2 項所述的程式化方法，其特徵在於，在多次進行驗證讀出時，僅將最初的程式化電壓施加後的驗證讀出時的所述放電期間設定得長於其他驗證讀出時的放電期間。

4. 如申請專利範圍第 1 項或第 2 項所述的程式化方法，其特徵在於，所述位元線的放電開始是使與非串的源極線側選擇電晶體導通之時。

5. 如申請專利範圍第 1 項或第 2 項所述的程式化方法，其特

徵在於，所述讀出開始是位元線電連接於讀出電路之時，電壓施加後的驗證讀出時的放電期間被設定得至少大於 $6 \mu\text{s}$ 。

6. 一種快閃記憶體，其特徵在於包括：

記憶體陣列，形成有由記憶胞串聯連接而成的與非串；

選擇部件，選擇所述記憶體陣列的字元線；

施加部件，對由所述選擇部件所選擇的字元線施加程式化電壓；以及

驗證讀出部件，在施加所述程式化電壓後驗證選擇記憶胞的臨界值是否合格，

所述驗證讀出部件包括：對由所述選擇部件所選擇的字元線施加驗證電壓的部件；放電部件，在施加驗證電壓時，使連接於所述選擇記憶胞的位元線的電壓能夠放電至源極線；探測部件，在所述放電部件的放電後探測所述位元線的電壓；以及設定部件，針對從所述放電部件的位元線放電開始到所述探測部件的探測開始為止的放電期間，將最初的程式化電壓施加後的驗證讀出時的所述放電期間設定得長於之後的程式化電壓施加後的驗證讀出時的放電期間。

7. 如申請專利範圍第 6 項所述的快閃記憶體，其特徵在於，所述驗證讀出部件包括對位元線進行預充電的預充電部件，所述放電部件使經預充電的位元線能夠放電。

8. 如申請專利範圍第 6 項所述的快閃記憶體，其特徵在於，所述設定部件在多次進行驗證讀出時，將所述放電期間設定成逐

漸變短。

9. 如申請專利範圍第 6 項所述的快閃記憶體，其特徵在於，所述放電部件通過使與非串的源極線選擇電晶體導通，從而使位元線的電壓能夠放電至源極線。

10. 如申請專利範圍第 6 項所述的快閃記憶體，其特徵在於，所述探測部件包括用於將位元線連接於讀出電路的位元線選擇電晶體，當位元線通過位元線選擇電晶體而電連接於讀出電路時開始所述探測。

圖式

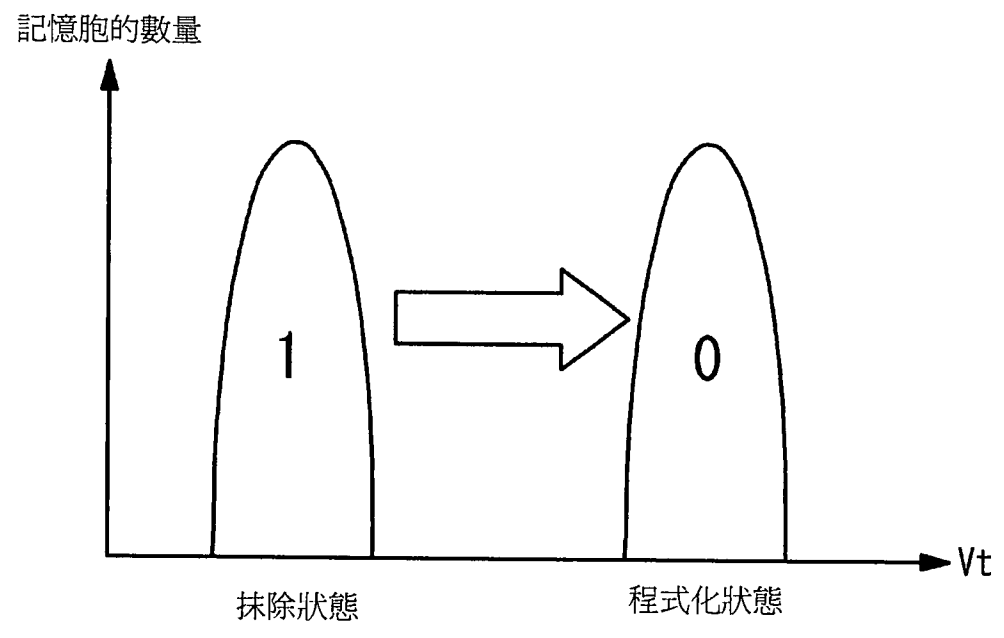


圖 1

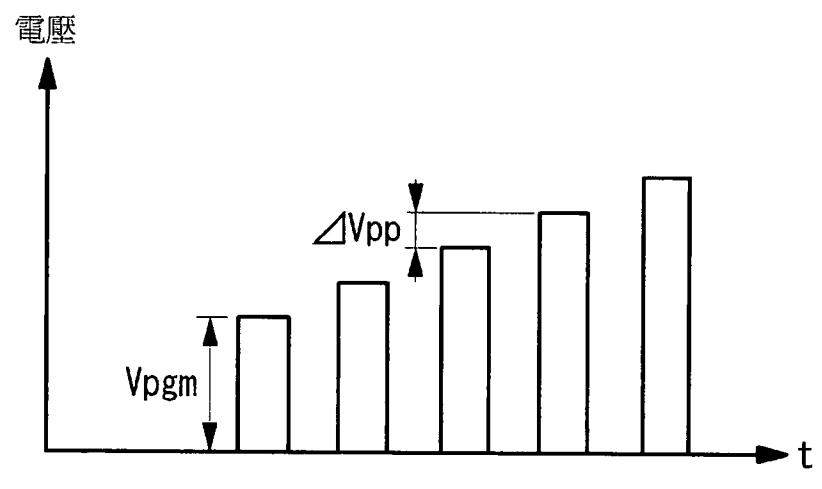


圖 2

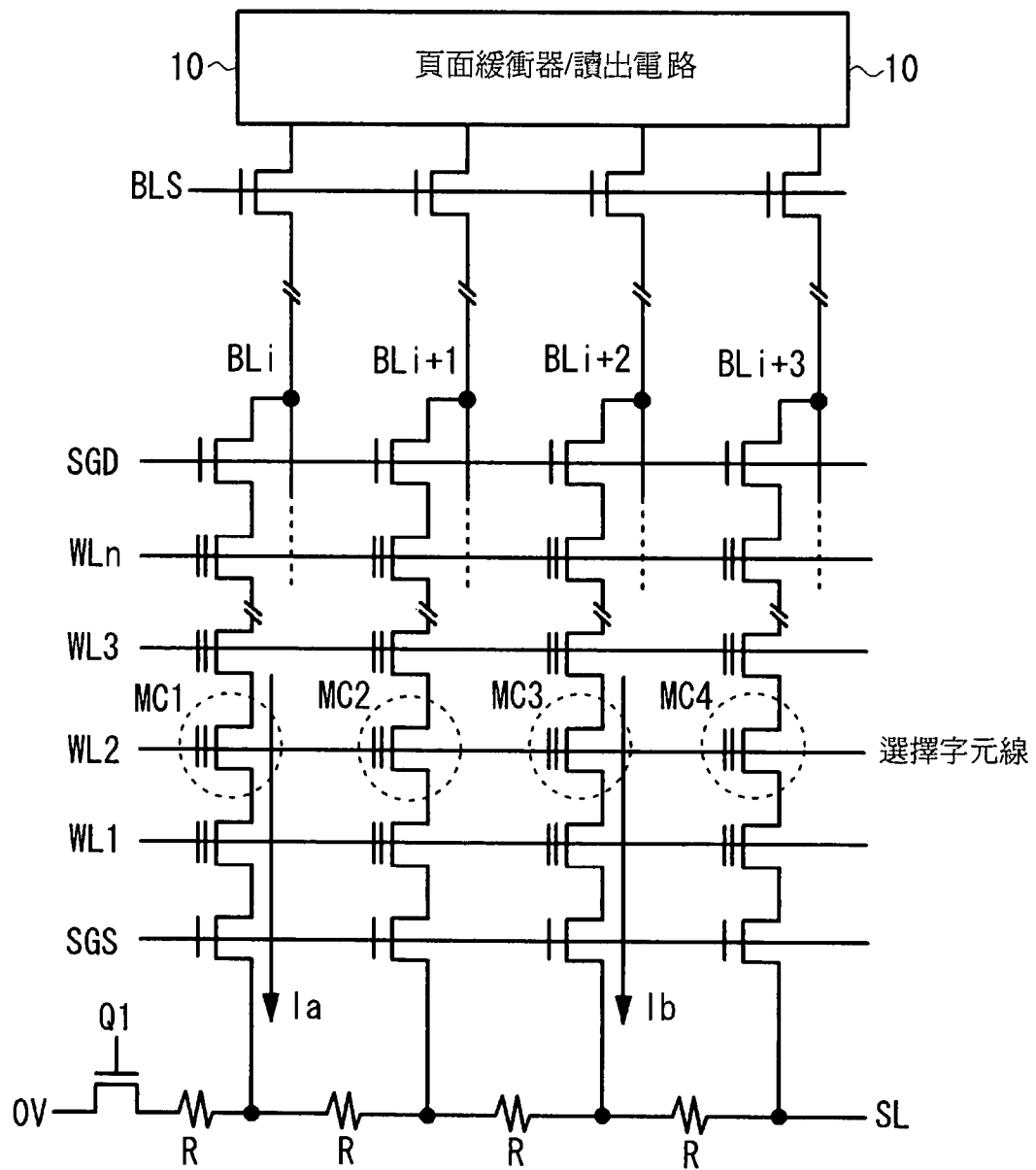


圖 3

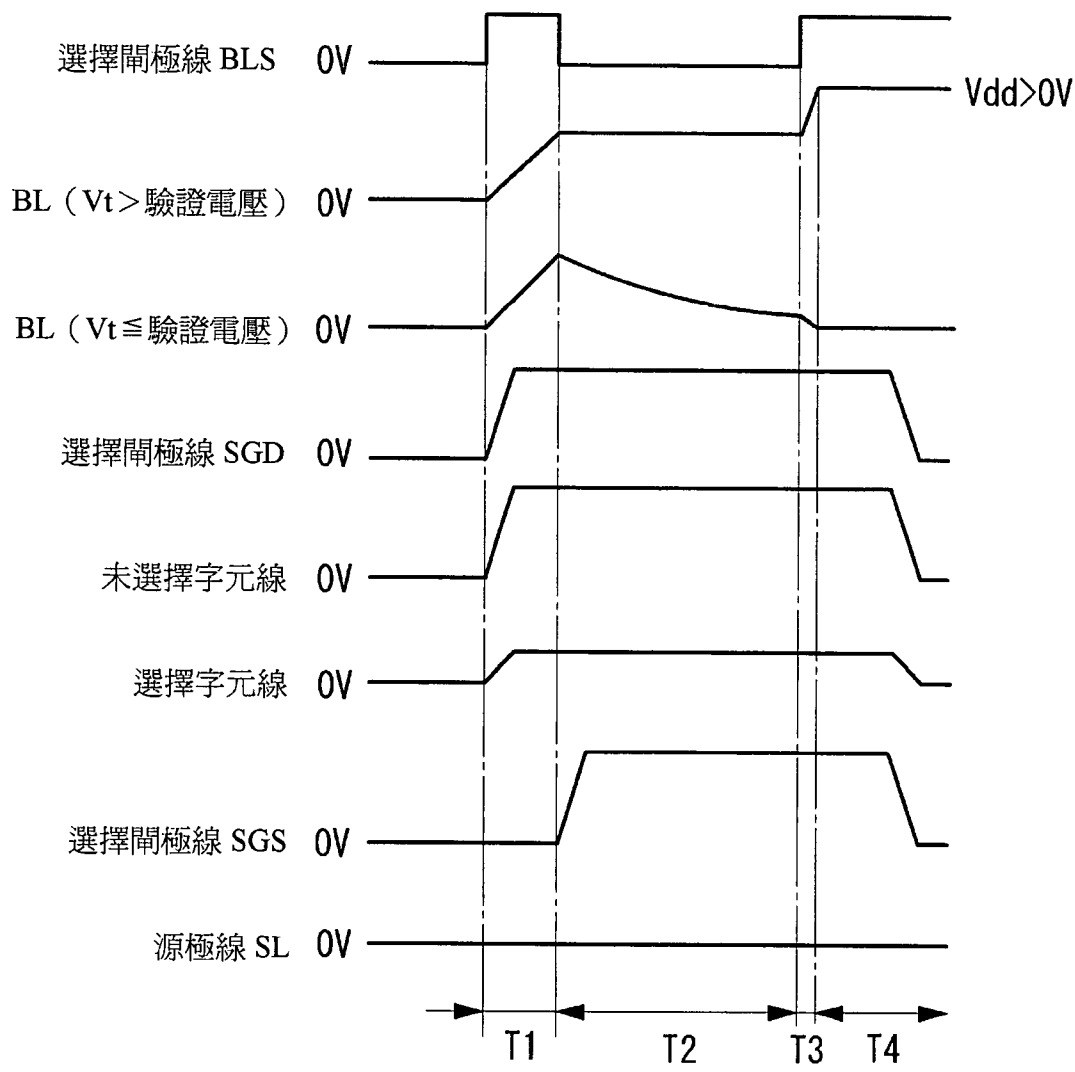
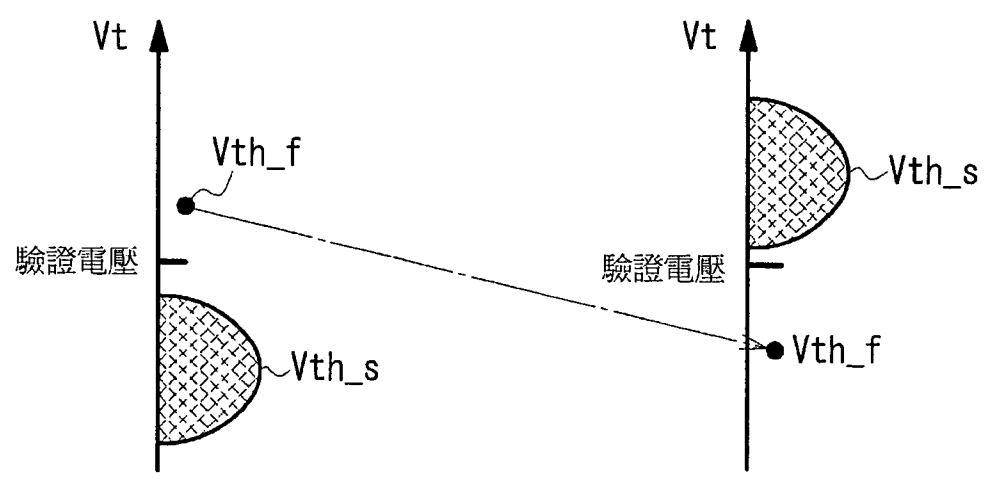


圖 4



(A) 最初的程式化時的驗證讀出

(B) 程式化結束時的驗證讀出

圖 5(A)

圖 5(B)

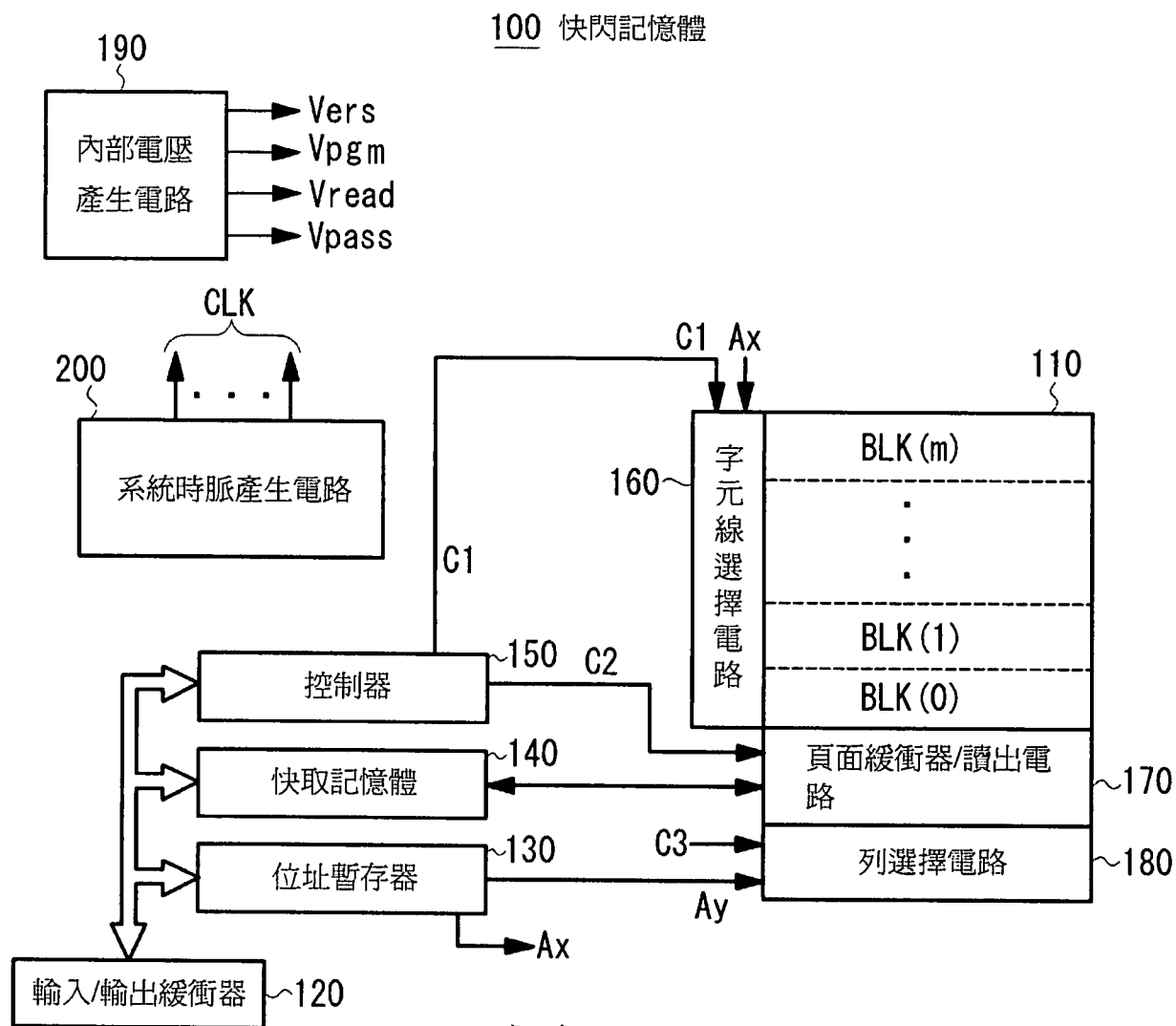


圖 6

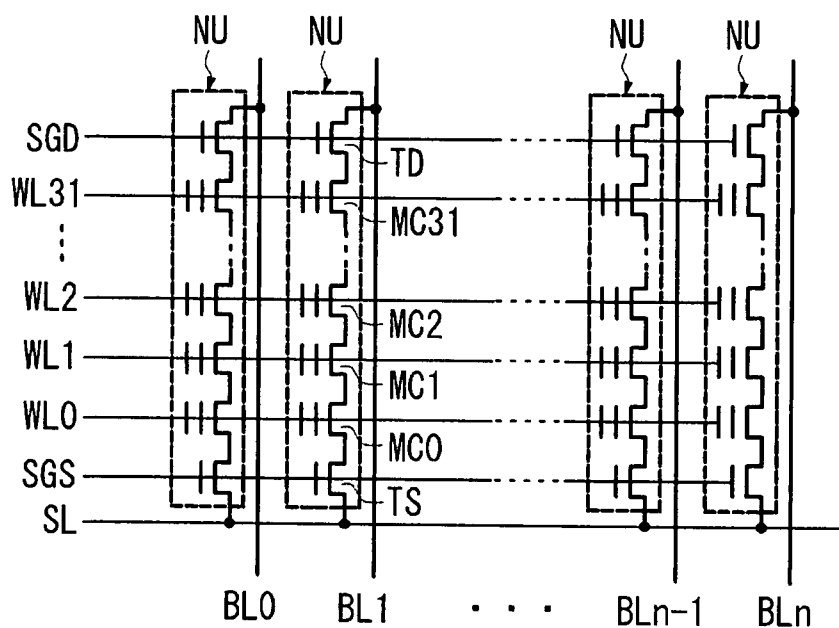


圖 7

	抹除	寫入	讀出
選擇 W/L	0V	15~20V	0V
未選擇 W/L	F	10V	4.5V
SGD	F	Vcc	4.5V
SGS	F	0V	4.5V
SL	F	Vcc	0V
P 井	20V	0V	0V

圖 8

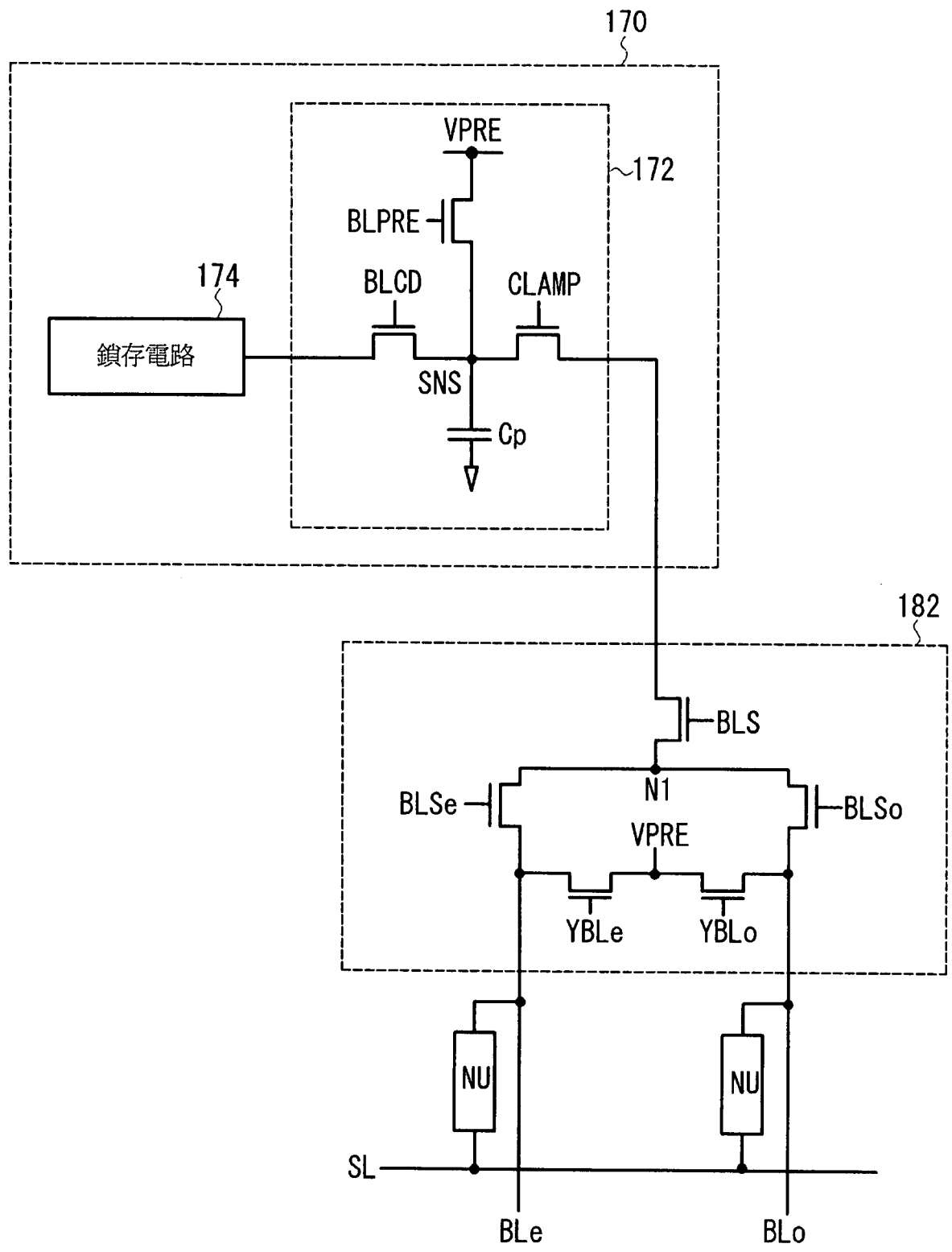


圖 9

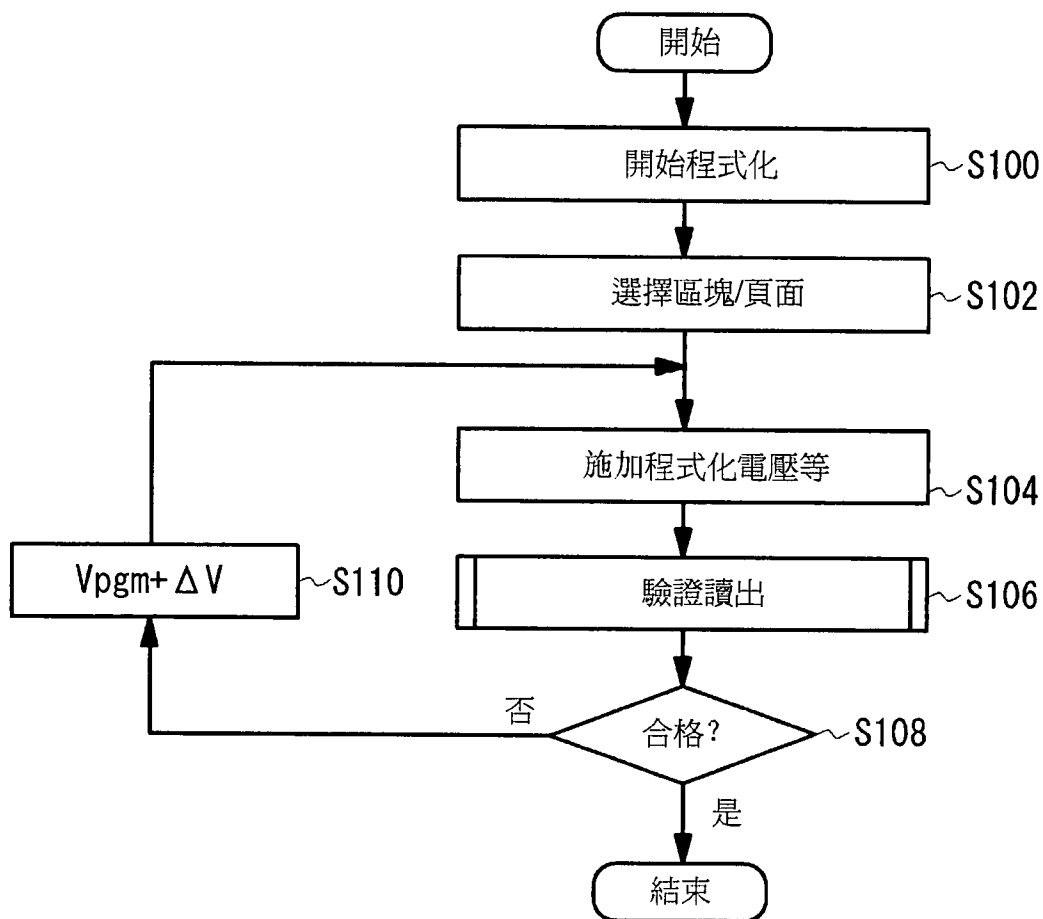


圖 10

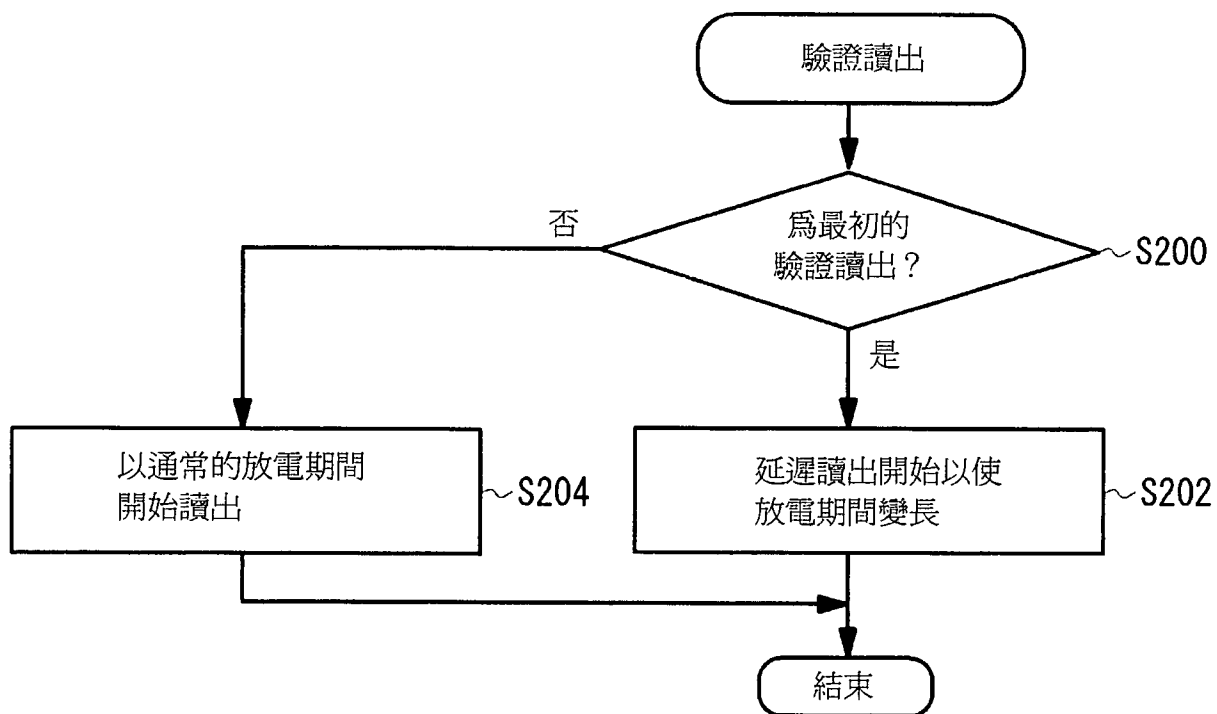


圖 11

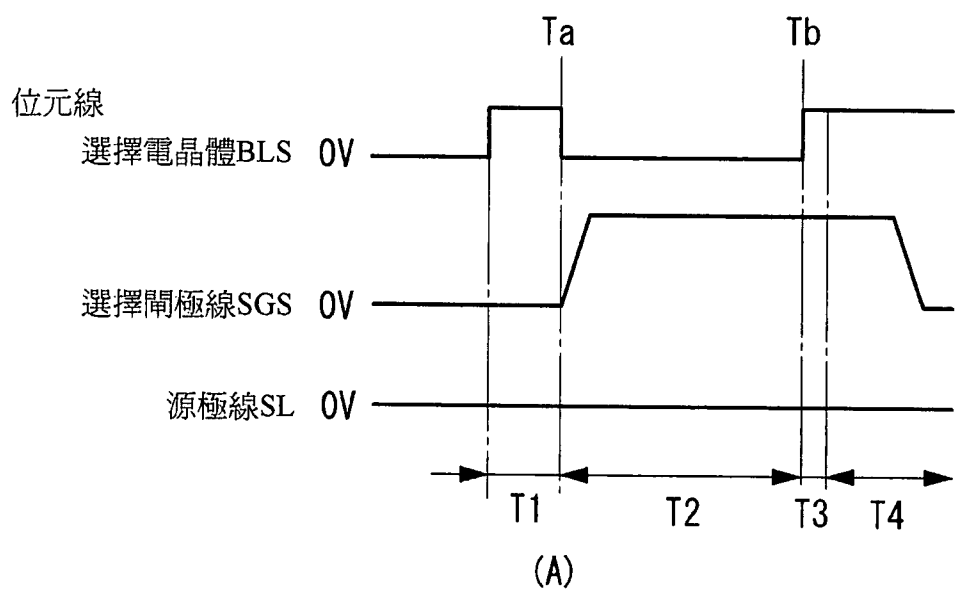


圖 12(A)

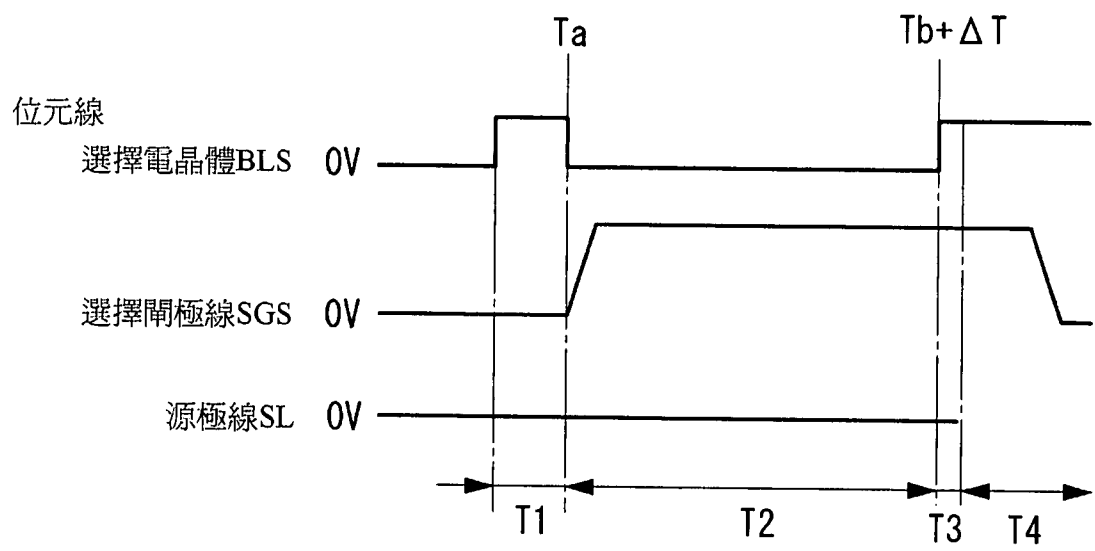


圖 12(B)

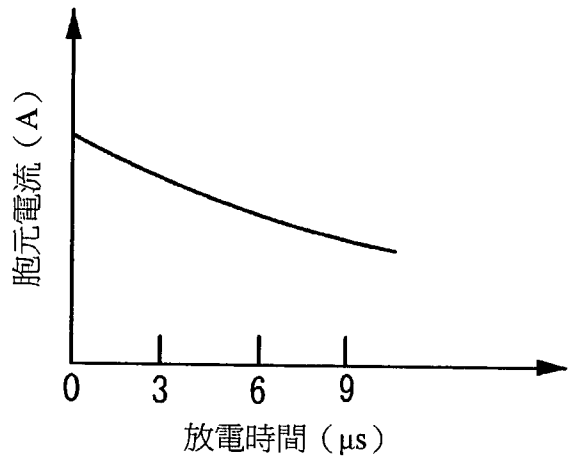


圖 13(A)

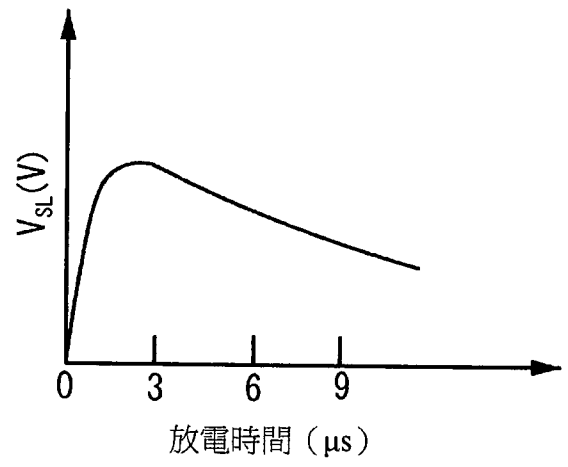


圖 13(B)

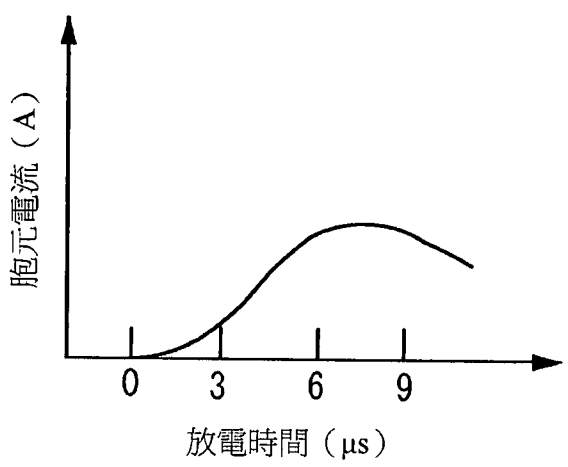


圖 13(C)

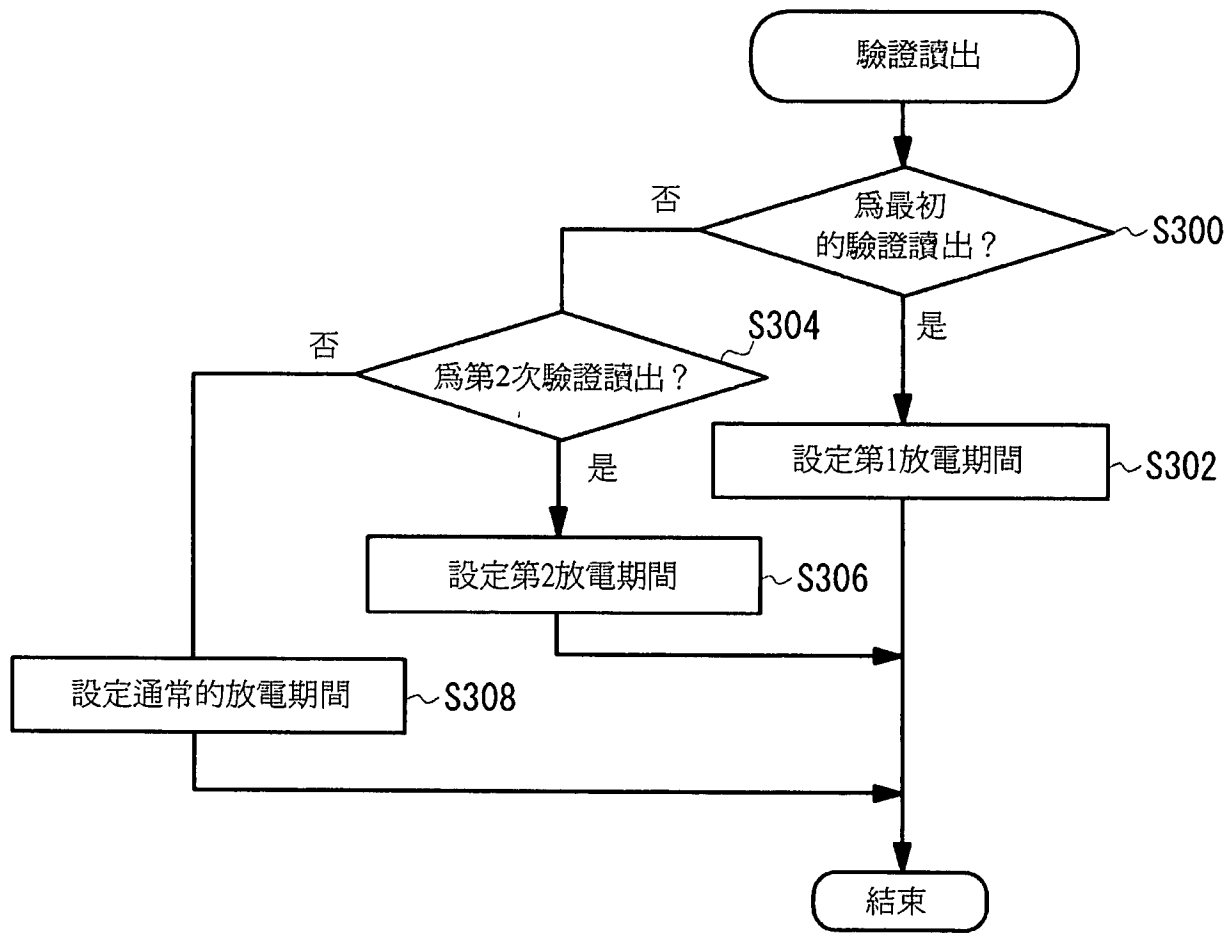


圖 14

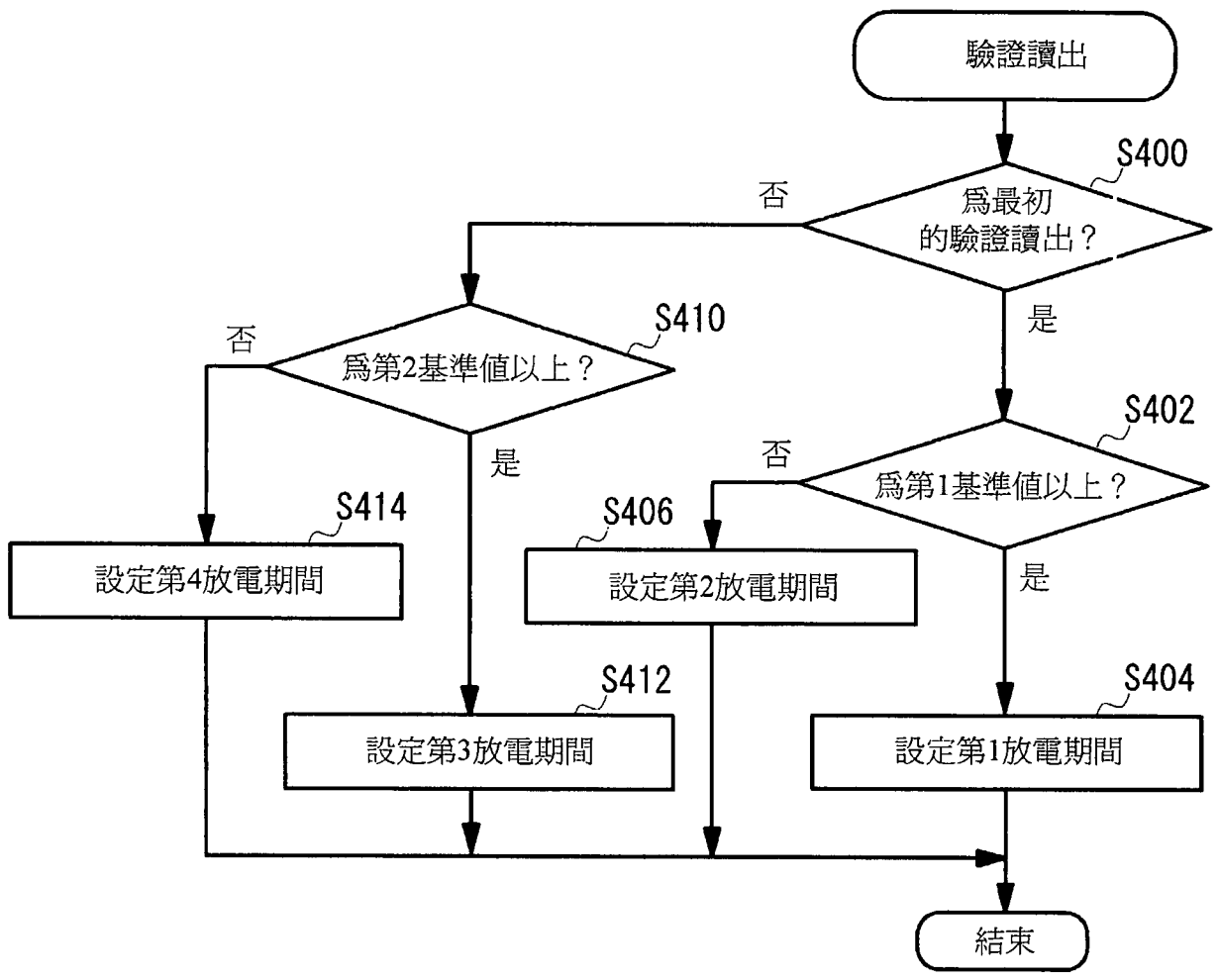


圖 15