

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-7459

(P2017-7459A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F 1	テーマコード (参考)
B 6 1 L 1/18 (2006.01)	B 6 1 L 1/18	5 H 1 6 1
G 0 5 B 9/03 (2006.01)	G 0 5 B 9/03	5 H 2 0 9

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号	特願2015-123686 (P2015-123686)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成27年6月19日 (2015. 6. 19)	(74) 代理人	100093861 弁理士 大賀 真司
		(74) 代理人	100129218 弁理士 百本 宏之
		(72) 発明者	水谷 英司 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	稲田 健太郎 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		Fターム(参考)	5H161 AA01 DD02 FF02 JJ14 5H209 AA09 DD16 EE20 GG11 HH13 HH14 JJ05 JJ07 SS01 SS04

(54) 【発明の名称】 軌道回路用送信器

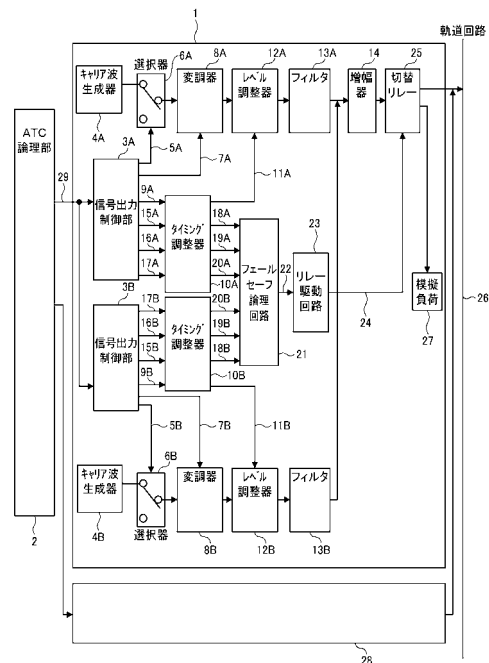
(57) 【要約】 (修正有)

【課題】 交番信号を生成して軌道回路に送信する2重系の軌道回路用送信器において、使用系と待機系とが入れ替わる際、交番信号の入力レベルが0又は1の何れで停止した場合であっても、非励磁移行時間を一律に固定し、軌道回路への送信制御を安定化する軌道回路用送信器を提供する。

【解決手段】 外部機器からの系切替指示に基づいて、交番信号、プリセット信号及びクリア信号を出力する信号出力制御部3A、3Bと、交番信号、プリセット信号及びクリア信号を入力して所定のタイミングで出力するタイミング調整器10A、10Bと、プリセット信号及びクリア信号に基づいて、信号レベルを固定した出力信号を出力するフェールセーフ論理回路21と、信号レベルが固定された出力信号に基づいて動作するリレー駆動回路23と、リレー駆動回路の動作に基づいて、キャリア波の出力先を軌道回路又は模擬負荷の何れかに切り替える切替リレー25と、を備える。

【選択図】 図1

図 1



【特許請求の範囲】**【請求項 1】**

交番信号を生成して軌道回路に送信する 2 重系の軌道回路用送信器において、外部機器からの系切替指示に基づいて、交番信号及び出力レベル信号を生成して出力する信号出力制御部と、

前記信号出力制御部からの交番信号及び出力レベル信号を入力して所定のタイミングで出力するタイミング調整器と、

前記交番信号及び出力レベル信号を入力し、前記出力レベル信号に基づいて、後段の機器に出力する出力信号の信号レベルを固定し、信号レベルを固定した出力信号を出力するフェールセーフ論理回路と、

前記信号レベルが固定された出力信号に基づいて動作するリレー駆動回路と、

前記リレー駆動回路の動作に基づいて、キャリア波生成器により生成されたキャリア波の出力先を軌道回路又は模擬負荷の何れかに切り替える切替リレーとを備える

ことを特徴とする軌道回路用送信器。

10

【請求項 2】

前記リレー駆動回路は、

前記信号レベルが固定された出力信号に基づいて、

所定のタイミングで前記切替リレーを励磁又は非励磁し、

前記切替リレーは、

励磁された場合、前記キャリア波の出力先を前記軌道回路に切り替え、

非励磁された場合、前記キャリア波の出力先を前記模擬負荷に切り替える

ことを特徴とする請求項 1 に記載の軌道回路用送信器。

20

【請求項 3】

前記フェールセーフ論理回路は、複数のフリップフロップを備え、

前記フリップフロップは、前記出力レベル信号に含まれるプリセット信号及びクリア信号に基づいて、前記交番信号の状態にかかわらず、前記出力信号の信号レベルを 0 又は 1 に固定して出力する

ことを特徴とする請求項 1 に記載の軌道回路用送信器。

【請求項 4】

前記フェールセーフ論理回路は、

前記外部機器からの系切替指示が使用系から待機系に切り替える指示である場合、

前記フリップフロップにより、信号レベルが 1 の前記プリセット信号を入力し、かつ、信号レベルが 0 の前記クリア信号を入力し、該プリセット信号及び該クリア信号に基づいて、前記出力信号の信号レベルを 0 に固定して出力する

ことを特徴とする請求項 3 に記載の軌道回路用送信器。

30

【請求項 5】

前記フェールセーフ論理回路は、

前記外部機器からの系切替指示が使用系から待機系に切り替える指示である場合、

前記フリップフロップにより、信号レベルが 0 の前記プリセット信号を入力し、かつ、信号レベルが 1 の前記クリア信号を入力し、該プリセット信号及び該クリア信号に基づいて、前記出力信号の信号レベルを 1 に固定して出力する

ことを特徴とする請求項 3 に記載の軌道回路用送信器。

40

【請求項 6】

前記フェールセーフ論理回路は、

前記外部機器からの系切替指示が待機系から使用系に切り替える指示である場合、

前記フリップフロップにより、信号レベルが 1 の前記プリセット信号及び前記クリア信号を入力するとともに、前記交番信号を入力する

ことを特徴とする請求項 3 に記載の軌道回路用送信器。

【請求項 7】

前記信号出力制御部からのレベル調整指示に基づいて、前記キャリア波のレベルを調整

50

するレベル調整器を備え、

前記レベル調整器は、

前記タイミング調整器により出力タイミングが調整されたレベル調整指示に基づいて、前記キャリア波のレベルを調整する

ことを特徴とする請求項 1 に記載の軌道回路用送信器。

【請求項 8】

前記フェールセーフ論理回路は、前記交番信号、前記フェールセーフ論理回路に対するプリセット信号及びクリア信号が入力される

ことを特徴とする請求項 7 に記載の軌道回路用送信器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、軌道回路用送信器に関し、特に鉄道用保安装置のひとつである自動列車制御装置において用いられる 2 重系の軌道回路用送信器に適用して好適なものである。

【背景技術】

【0002】

一般に自動列車制御装置は、A T C (Automatic Train Control) 装置と呼ばれる。A T C 装置は、地上装置、軌道回路及び車上装置等から構成される。地上装置は、先行列車との間隔や進路の開通状況等に基づいて、対象列車の停止限界位置を決定し、停止限界位置の情報を含む列車制御信号 (A T C 信号) を生成して軌道回路に送信する。

【0003】

対象列車に予め設置される車上装置は、軌道回路を介して A T C 信号を受信し、A T C 信号に含まれる停止限界位置の情報に基づいて、対象列車を停止可能な速度に制御する。

【0004】

ところで地上装置は、列車の在線位置を検知する論理部を備える。論理部は、列車の在線位置を検知する際、軌道回路への送信端に接続されている軌道回路用送信器を介して列車検知信号 (T D 信号) を軌道回路に送信する。

【0005】

そして論理部は、軌道回路の受信端に接続されている軌道回路用受信器により T D 信号を受信し、この T D 信号に基づいて、軌道回路内に列車が在線するか否かを判断する。例えば論理部は、T D 信号の信号レベルが規定値未満である場合に「在線」と判断する。

【0006】

これに対し論理部は、T D 信号の信号レベルが規定値以上である場合、安全性を確保するため即座に「非在線」とは判断せず、更に軌道回路用送信器により送信した T D 信号の内容と、軌道回路用受信器により受信した T D 信号の内容とが一致した場合に限り「非在線」と判断する。

【0007】

軌道回路用送信器は、故障が発生した場合でも列車の運行に支障が生じないように送信器を 2 組備え、一方を使用系、他方を待機系として運用するいわゆる待機 2 重系の構成が採用される。軌道回路用送信器は、使用系に故障が発生した場合には待機系を使用系に切り替えるように動作する。

【0008】

ここで特許文献 1 には、待機 2 重系の構成が開示されている。具体的には 2 組の情報処理装置の出力側のそれぞれに切り替え手段を介して模擬負荷が接続されており、待機系の情報処理装置は使用系の情報処理装置と同様の処理を実行するとともに、処理結果は模擬負荷に送出される待機 2 重系の構成が開示されている。

【0009】

また特許文献 2 には、使用系と待機系とを切り替える切り替え手段の構成が開示されている。具体的に制御部は、出力リレーを動作させる条件であるとき所定の交番周波数の交番信号を生成してリレー駆動部に出力し、リレー駆動部は、コンデンサを使用したチャー

10

20

30

40

50

ジ・ポンプ回路からなり、制御部から入力する交番信号の交番周波数に応じてコンデンサの放電電流を可変して出力リレーのコイルを励磁させる構成が開示されている。

【0010】

また特許文献3には、交番信号をフェールセーフに制御する構成が開示されている。具体的には、複数のフリップフロップを縦列に接続し、最後段のフリップフロップの出力を最前段の入力に反転させて結合したリングを構成し、各々のフリップフロップのタイミング（又はクロック）入力端子に論理回路としての信号を入力する構成が開示されている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2003-15702号公報

【特許文献2】特開2011-228110号公報

【特許文献3】特開平4-248712号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかし特許文献2に記載のチャージ・ポンプ回路では、交番信号の入力が停止する場合、H(High)レベルで固定となるか、L(Low)レベルで固定となるかによって、放電対象のコンデンサが異なる。その結果、コンデンサの放電時間が異なる。

【0013】

切り替えリレーを遮断する際、どちらの入力レベルで交番信号が停止するかによって、リレー駆動回路の出力が励磁状態から非励磁状態になるまでの時間（非励磁移行時間）が異なるという課題がある。

【0014】

すなわち特許文献1に記載されている待機2重系の構成に特許文献2に記載されているチャージ・ポンプ回路を適用すると、軌道回路に信号を送信している間に使用系から待機系に遷移する際、交番信号を停止してから切り替えリレーが遮断するまでの時間が入力レベルによって異なる場合がある。

【0015】

ここで、切り替えリレーは動作状態で出力先を軌道回路に切り替え、復帰状態で出力先を模擬負荷に切り替える構成を想定し、模擬負荷に信号を出力する際には負荷抵抗の定格電力を考慮して軌道回路に出力する場合よりも電力を低減させて出力する必要がある。

【0016】

この場合、想定よりも早いタイミングで遮断すると、軌道回路に出力する電力を模擬負荷に出力して模擬負荷が故障する場合がある。これに対し、想定よりも遅いタイミングで遮断すると、2組の送信器が同時に使用系の状態となり出力信号同士が衝突し、例えば変調したデータが壊れたり、列車運行に支障が生じたりする場合がある。

【0017】

本発明は以上の点を考慮してなされたものであり、使用系と待機系とが入れ替わる際、交番信号の入力レベルが0又は1の何れで停止した場合であっても、非励磁移行時間を一律に固定し、軌道回路への送信制御を安定化し得る軌道回路用送信器を提案するものである。

【課題を解決するための手段】

【0018】

かかる課題を解決するために、本発明においては、交番信号を生成して軌道回路に送信する2重系の軌道回路用送信器において、外部機器からの系切替指示に基づいて、交番信号、プリセット信号及びクリア信号を生成して出力する信号出力制御部と、信号出力制御部からの交番信号、プリセット信号及びクリア信号を入力して所定のタイミングで出力するタイミング調整器と、交番信号、プリセット信号及びクリア信号を入力し、プリセット信号及びクリア信号に基づいて、後段の機器に出力する出力信号の信号レベルを固定し、

10

20

30

40

50

信号レベルを固定した出力信号を出力するフェールセーフ論理回路と、信号レベルが固定された出力信号に基づいて動作するリレー駆動回路と、リレー駆動回路の動作に基づいて、キャリア波生成器により生成されたキャリア波の出力先を軌道回路又は模擬負荷の何れかに切り替える切替リレーとを備えることを特徴とする。

【発明の効果】

【0019】

本発明によれば、待機2重系構成の軌道回路用送受信器において、使用系と待機系とが入れ替わる際、交番信号の入力レベルが0又は1の何れで停止した場合であっても、非励磁移行時間を一律に固定し、軌道回路への送信制御を安定化することができる。

【図面の簡単な説明】

10

【0020】

【図1】第1の実施の形態における軌道回路用送信器のブロック図である。

【図2】フェールセーフ論理回路のブロック図である。

【図3】従来のフェールセーフ論理回路のブロック図である。

【図4】リレー駆動回路の回路構成図である。

【図5】フェールセーフ論理回路の動作タイミング図である。

【図6】フェールセーフ論理回路の動作タイミング図である。

【図7】使用系から待機系に遷移した場合のタイミング調整器の動作タイミング図である。

。

【図8】使用系から待機系に遷移した場合のタイミング調整器の動作タイミング図である。

20

。

【図9】使用系から待機系に遷移した場合のレベル調整器の動作タイミング図である。

【図10】使用系から待機系に遷移した場合のレベル調整器の動作タイミング図である。

【発明を実施するための形態】

【0021】

図1は、第1の実施の形態における軌道回路用送信器のブロック図を示す。軌道回路用送信器は、2組の送信器1及び28(1系及び2系)の待機2重系により構成される。

【0022】

送信器1は、2組の信号出力制御部3A及び3B、2組のキャリア波生成器4A及び4B、2組の選択器6A及び6B、2組の変調器8A及び8B、2組のレベル調整器12A及び12B、2組のフィルタ13A及び13B、増幅器14、2組のタイミング調整器10A及び10B、フェールセーフ論理回路21、リレー駆動回路23、切替リレー25並びに模擬負荷27から構成される。

30

【0023】

以下送信器1が備える各部の構成について説明する。なお送信器28の各部の構成は送信器1と同様であるため説明は省略する。

【0024】

信号出力制御部3Aは、ATC論理部2からの制御信号29に基づいてTD信号の出力制御を実行し、信号出力制御部3Bは、制御信号29に基づいてATC信号の出力制御を実行する。キャリア波生成器4Aは、TD信号用のキャリア波を生成し、キャリア波生成器4Bは、ATC信号用のキャリア波を生成する。

40

【0025】

選択器6Aは、信号出力制御部3Aからの選択指示5Aに基づいて、キャリア波生成器4Aからのキャリア波を出力するか、或いは、未出力とするかを選択する。同様に選択器6Bは、信号出力制御部3Bからの選択指示5Bに基づいて、キャリア波生成器4Bからのキャリア波を出力するか、或いは、未出力とするかを選択する。

【0026】

変調器8Aは、信号出力制御部3AからのTD信号の情報(TD情報)7Aに基づいて、キャリア波の周波数を変調する。一方で変調器8Bは、信号出力制御部3BからのATC信号の情報(ATC情報)7Bに基づいて、キャリア波の周波数を変調する。レベル調

50

整器 1 2 A は、信号出力制御部 3 A からのレベル調整指示 9 A をタイミング調整器 1 0 A がタイミング調整したレベル指示 1 1 A に基づいて、T D 信号のレベルを調整する。

【 0 0 2 7 】

またレベル調整器 1 2 B は、信号出力制御部 3 B からのレベル調整指示 9 B をタイミング調整器 1 0 B がタイミング調整したレベル指示 1 1 B に基づいて、A T C 信号のレベルを調整する。フィルタ 1 3 A は、レベル調整器 1 2 A からの T D 信号に対して帯域制限をかけ、不要なノイズ成分をカットする。フィルタ 1 3 B も同様にレベル調整器 1 2 B からの A T C 信号に対して帯域制限をかけ、不要なノイズ成分をカットする。

【 0 0 2 8 】

増幅器 1 4 は、フィルタ 1 3 A からの T D 信号又はフィルタ 1 3 B からの A T C 信号を増幅する。交番信号 1 5 A 及び 1 5 B、プリセット信号 1 6 A 及び 1 6 B 並びにクリア信号 1 7 A 及び 1 7 B は、A T C 論理部 2 からの系切替指示に基づいて、信号出力制御部 3 A 及び 3 B から出力される信号である。

10

【 0 0 2 9 】

交番信号 1 8 A 及び 1 8 B は、タイミング調整器 1 0 A 及び 1 0 B によりタイミング調整された信号である。プリセット信号 1 9 A 及び 1 9 B は、タイミング調整器 1 0 A 及び 1 0 B によりタイミングが調整された信号であり、フェールセーフ論理回路 2 1 をプリセットする信号である。クリア信号 2 0 A 及び 2 0 B は、タイミング調整器 1 0 A 及び 1 0 B によりタイミングが調整された信号であり、フェールセーフ論理回路 2 1 をクリアする信号である。

20

【 0 0 3 0 】

フェールセーフ論理回路 2 1 の詳細については後述する（図 2 及び図 3）。リレー駆動回路 2 3 は、フェールセーフ論理回路 2 1 からの出力信号 2 2 に基づいて動作する。リレー駆動回路 2 3 の詳細については後述する（図 4）。切替リレー 2 5 は、リレー駆動回路 2 3 からの出力信号 2 4 に基づいて、T D 信号又は A T C 信号の出力先を軌道回路 2 6 又は模擬負荷 2 7 の何れかに切り替える。

【 0 0 3 1 】

以上が送信器 1（送信器 2 8）の構成である。A T C 論理部 2 は、列車の在線を検知する際、軌道回路 2 6 に T D 信号を出力し、また列車の速度を制御する際、軌道回路 2 6 に A T C 信号を出力する。T D 信号の流れについて説明すると、A T C 論理部 2 から T D 信号の出力指示を入力した信号出力制御部 3 A は、選択指示 5 A を選択器 6 A に出力し、T D 情報 7 A を変調器 8 A に出力する。

30

【 0 0 3 2 】

レベル調整器 1 2 A は出力レベルを指定のレベルに調整し、増幅器 1 4 は電力を増幅する。使用系の場合、信号出力制御部 3 A は、交番信号 1 5 A をフェールセーフ論理回路 2 1 に出力する。そしてリレー駆動回路 2 3 は、切替リレー 2 5 を励磁し、切替リレー 2 5 は T D 信号を軌道回路 2 6 に出力する。

【 0 0 3 3 】

A T C 信号についても T D 信号と同様、使用系の場合には最終的に切替リレー 2 5 が A T C 信号を軌道回路 2 6 に出力する。

40

【 0 0 3 4 】

軌道回路用送信器は、例えば 1 日 1 回定期的な系切替動作を行う。或いは他系の故障に伴い系切替動作を行う。送信器 1 は、A T C 論理部 2 から、使用系から待機系の系切替指示を受けると、信号出力制御部 3 A（3 B）から出力している交番信号 1 5 A（1 5 B）の入力を停止する。

【 0 0 3 5 】

この結果、リレー駆動回路 2 3 からの出力信号 2 4 が非励磁になることに伴い、切替リレー 2 5 は復帰状態になる。そして切替リレー 2 5 は、出力先を軌道回路 2 6 から模擬負荷 2 7 に切り替える。

【 0 0 3 6 】

50

図 2 は、本実施の形態におけるフェールセーフ論理回路 2 1 のブロック図を示す。また図 3 は、比較例として従来 of フェールセーフ論理回路 3 0 のブロック図を示す。本実施の形態におけるフェールセーフ論理回路 2 1 は、従来 of フェールセーフ論理回路 3 0 と比較して、プリセット機能及びクリア機能を備える。

【 0 0 3 7 】

具体的にフェールセーフ論理回路 2 1 は、2 段 of フリップフロップ 3 3 及び 3 4 を備え、信号出力制御部 3 A 及び 3 B から of プリセット信号 P a 及び P b (1 9 A 及び 1 9 B) 並びにクリア信号 C a 及び C b (2 0 A 及び 2 0 B) に基づいて、切替リレー 2 5 が遮断する場合には必ず出力信号 2 2 を L (L o w) 又は H (H i g h) に固定する。

【 0 0 3 8 】

より詳細には、フリップフロップ 3 3 及び 3 4 にはプリセット信号 P a 及び P b を入力するプリセット (P R E) と、クリア信号 C a 及び C b を入力するクリア (C L R) とを備える。交番信号 X a 及び X b (1 8 A 及び 1 8 B) の入力 that 停止する場合、フェールセーフ論理回路 2 1 は、フリップフロップ 3 3 及び 3 4 をクリア状態 (P a 及び P b を H レベルかつ C a 及び C b を L レベル) 又はプリセット状態 (P a 及び P b を L レベルかつ C a 及び C b を H レベル) にする。

【 0 0 3 9 】

これにより、交番信号 X a 及び X b の状態 (L 又は H) にかかわらず、フェールセーフ論理回路 2 1 の出力信号 Z (2 2) を L 又は H に固定することができる。

【 0 0 4 0 】

これに対し従来 of フェールセーフ論理回路 3 0 では、A T C 論理部 2 から待機系指示を入力すると、交番信号 X a 及び X b の入力 that 停止する。待機系指示のタイミングと、交番信号 X a 及び X b のタイミングは同期していないため、交番信号 X a 及び X b の状態は、L レベル又は H レベルの何れにもなり得る。この場合、出力信号 Z の状態も L レベル又は H レベルの何れにもなり得る。

【 0 0 4 1 】

図 4 は、リレー駆動回路 2 3 の回路構成を示す。リレー駆動回路 2 3 の入力において、コンデンサ C 1 と C 2 とが充電状態の場合、入力信号 that H レベルに固定される場合には非励磁移行時間は C 1 と C 2 との放電時間となる。一方で入力信号 that L レベルに固定される場合には非励磁移行時間は C 2 の放電時間のみとなる。

【 0 0 4 2 】

以下リレー駆動回路 2 3 の動作について詳細に説明する。フェールセーフ論理回路 2 1 から of 出力信号 2 2 (リレー駆動回路 2 3 が入力する入力信号) が L レベルである場合、リレー駆動回路 2 3 は、スイッチング素子 T 1 を O N にして、スイッチング素子 T 2 を O F F にする。そしてコンデンサ C 1 を充電する。

【 0 0 4 3 】

一方でフェールセーフ論理回路 2 1 から of 出力信号 2 2 が H レベルになると、リレー駆動回路 2 3 は、スイッチング素子 T 1 を O F F にして、スイッチング素子 T 2 を O N にする。そしてコンデンサ C 1 に充電されている電荷によりコンデンサ C 2 を充電し、切替リレー 2 5 を励磁する。

【 0 0 4 4 】

リレー駆動回路 2 3 が使用系の場合、フェールセーフ論理回路 2 1 から of 出力信号 2 2 は交番信号になり、コンデンサ C 2 を充電し、切替リレー 2 5 を励磁する。待機系に遷移するためには、フェールセーフ論理回路 2 1 から of 出力信号 2 2 が L レベルである場合にはコンデンサ C 2 が切替リレー 2 5 によって消費される時間を要する。

【 0 0 4 5 】

またフェールセーフ論理回路 2 1 から of 出力信号 2 2 が H レベルの場合には、コンデンサ C 1 と C 2 とが切替リレー 2 5 によって消費される時間を要する。

【 0 0 4 6 】

図 5 は、フェールセーフ論理回路 2 1 の動作タイミングを示す。フェールセーフ論理回

10

20

30

40

50

路 2 1 は、A T C 論理部 2 から待機系指示が出力された場合、交番信号 X a 及び X b の入力を停止するとともに、フリップフロップ 3 3 及び 3 4 において L レベルのクリア信号 C a 及び C b を入力し、H レベルのプリセット信号 P a 及び P b を入力することにより、出力信号 Z のレベルを L レベルに固定する。

【 0 0 4 7 】

その後 A T C 論理部 2 から使用系指示が出力された場合には H レベルのプリセット信号 P a 及び P b 並びにクリア信号 C a 及び C b を入力するとともに、交番信号 X a 及び X b を入力する。

【 0 0 4 8 】

図 6 はフェールセーフ論理回路 2 1 の他の動作タイミングを示す。各フリップフロップ 3 3 及び 3 4 に対するプリセット信号 P a 及び P b 並びにクリア信号 C a 及び C b の論理が逆になっている点で、図 5 の動作タイミングと異なる。すなわちここではフェールセーフ論理回路 2 1 からの出力信号 Z のレベルは H レベルに固定される。

10

【 0 0 4 9 】

なおここではフェールセーフ論理回路 2 1 は 2 段のフリップフロップ 3 3 及び 3 4 を備える構成について説明しているが、これに限らず、3 段以上の多段のフリップフロップを備える構成であってもよい。

【 0 0 5 0 】

フェールセーフ論理回路 2 1 は、レベル調整器 1 2 A 又は 1 2 B が模擬負荷 2 7 向けに T D 信号又は A T C 信号のレベルを下げる前に切替リレー 2 5 が即座に遮断した際に軌道回路 2 6 に向けた過大なレベルの T D 信号又は A T C 信号を模擬負荷 2 7 に印加しないようにするため、従来構成に加えて、プリセット機能及びクリア機能を備えている。

20

【 0 0 5 1 】

これらレベル調整器 1 2 A , 1 2 B は、既述の非励磁移行時間としての C 2 (図 4 参照) の放電時間に合わせてレベル指示 1 1 A 及び 1 1 B の出力タイミングを決定することにより、模擬負荷 2 7 に対して過大なレベルの T D 信号又は A T C 信号が印加されることを防止することができる。また 1 系 2 系の送信器 1 及び 2 8 から同時に軌道回路 2 6 に信号が出力されることを防止することができる。

【 0 0 5 2 】

待機系から使用系への遷移時についても同様である。すなわちリレー駆動回路 2 3 が非励磁から励磁に移行する時間 (励磁移行時間) に合わせて、タイミング調整器 1 0 A 及び 1 0 B がレベル指示 1 1 A 及び 1 1 B の出力タイミングを調整し、模擬負荷 2 7 に対して過大な T D 信号又は A T C 信号が印加されることを防止することができる。

30

【 0 0 5 3 】

本実施の形態では、切替リレー 2 5 について励磁移行時間 T o n と非励磁移行時間 T o f f との関係によってタイミング調整器 1 0 A (1 0 B) の挙動を変えるようにしている。具体的には、タイミング調整器 1 0 A (1 0 B) は、励磁移行時間 T o n と非励磁移行時間 T o f f との関係に応じて後述のように制御する。

【 0 0 5 4 】

図 7 及び図 8 は、使用系から待機系に遷移する場合におけるタイミング調整器 1 0 A (1 0 B) の動作タイミングを示している。なお、図 7 (A) 及び図 8 (A) は、それぞれ、軌道回路用送信器 1 のタイミング調整器 1 0 A (1 0 B) の動作例を示している一方、図 7 (B) 及び図 8 (B) は、それぞれ、軌道回路用送信器 2 8 のタイミング調整器 1 0 A (1 0 B) の動作例を示している。

40

【 0 0 5 5 】

まず、タイミング調整器 1 0 A (1 0 B) は、図 7 に示すように T o n > T o f f の場合、待機系に遷移する際の調整時間を更に (T o n - T o f f) 分だけ遅らせる。一方、タイミング調整器 1 0 A (1 0 B) は、図 8 に示すように T o n < T o f f の場合、使用系に遷移する際の調整時間を更に (T o f f - T o n) 分だけ遅らせる。

【 0 0 5 6 】

50

これにより、軌道回路 26 に対する出力が途切れることなく、送信器 1 又は 28 のうちの何れか一方により制御を行うことができる。

【0057】

図 9 及び図 10 は、第 2 の実施の形態として、使用系から待機系に遷移した場合におけるレベル調整器 12A (12B) の動作タイミングを示す。また切替リレー 25 の非励磁移行時間を T_{off} 、フィルタ 13A (13B) での遅延時間を T_{delay} とした場合、図 9 は $T_{off} > T_{delay}$ の場合の動作タイミングを示し、図 10 は $T_{off} < T_{delay}$ の場合の動作タイミングを示す。

【0058】

第 2 の実施の形態におけるフェールセーフ論理回路 21 は、待機系の場合、Hレベル又は Lレベルに固定した出力信号 22 を出力するため、切替リレー 25 の非励磁移行時間 T_{off} を一律固定にすることができる。

【0059】

$T_{off} > T_{delay}$ の場合、信号出力制御部 3A (3B) から出力されたレベル調整指示 9A (9B) をタイミング調整器 10A (10B) によって ($T_{off} - T_{delay}$) 時間遅延させる。

【0060】

$T_{off} < T_{delay}$ の場合、信号出力制御部 3A (3B) から出力される交番信号 15A (15B)、フェールセーフ論理回路 21 に対するプリセット信号 16A (16B) 及びクリア信号 17A (17B) について、タイミング調整器 10A (10B) によって ($T_{delay} - T_{off}$) 時間遅延させる。

【0061】

また、フェールセーフ論理回路 21 へは、交番信号 18A (18B)、フェールセーフ論理回路 21 に対するプリセット信号 19A (19B) 及びクリア信号 20A (20B) を入力する。これにより、切替リレー 25 の復帰とレベルの調整とを同時に行うことができる。なお $T_{delay} = T_{off}$ の場合は、タイミングを調整する必要はない。

【0062】

待機系から使用系になる際にも同様のタイミング調整を行う。交番信号の出力を開始してから、励磁移行時間を T_{on} とすると、 $T_{on} > T_{delay}$ の場合、タイミング調整器 10A (10B) は、($T_{on} - T_{delay}$) 時間分レベル調整を遅らせる。

【0063】

また $T_{on} < T_{delay}$ の場合、タイミング調整器 10A (10B) は、($T_{delay} - T_{on}$) 時間分だけフェールセーフ論理回路 21 に対する入力信号の制御を遅らせる。 $T_{on} = T_{delay}$ の場合は、タイミングを調整する必要はない。これにより、切替リレー 25 の動作とレベルの調整とを同時に行うことができる。

【符号の説明】

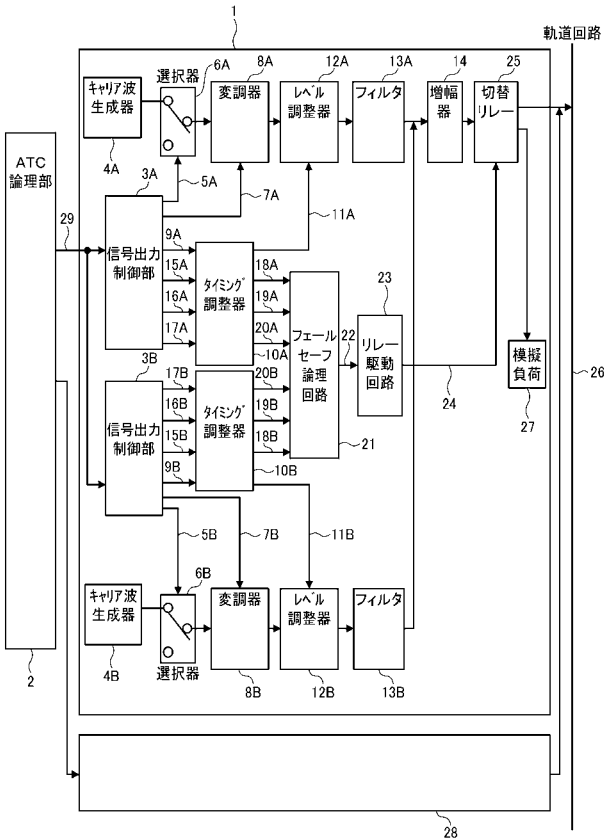
【0064】

1、28	軌道回路用送信器	
2	A T C 論理部	
3 A、3 B	信号出力制御部	40
4 A、4 B	キャリア生成器	
5 A、5 B	選択指示	
6 A、6 B	選択器	
7 A、7 B	T D 情報又は A T C 情報	
8 A、8 B	変調器	
9 A、9 B	レベル調整指示	
10 A、10 B	タイミング調整器	
11 A、11 B	タイミング調整後のレベル指示	
12 A、12 B	レベル調整器	
13 A、13 B	出力信号用フィルタ	50

- 1 4 増幅器
- 1 5 A、1 5 B 交番信号
- 1 6 A、1 6 B プリセット信号
- 1 7 A、1 7 B クリア信号
- 1 8 A、1 8 B タイミング調整後の交番信号
- 1 9 A、1 9 B タイミング調整後のプリセット信号
- 2 0 A、2 0 B タイミング調整後のクリア信号
- 2 1 フェールセーフ論理回路
- 2 2 出力信号
- 2 3 リレー駆動回路
- 2 4 リレー駆動回路の出力信号
- 2 5 切替リレー
- 2 6 軌道回路
- 2 7 模擬負荷

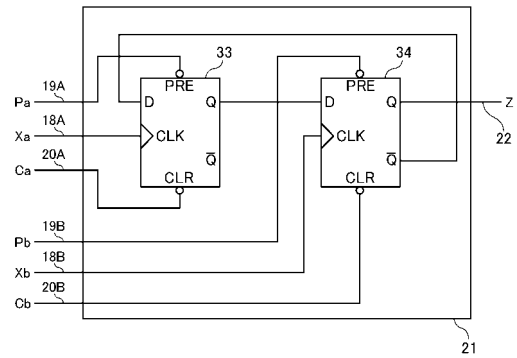
【 図 1 】

図 1



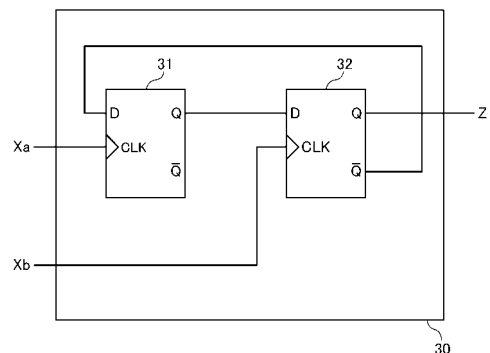
【 図 2 】

図 2

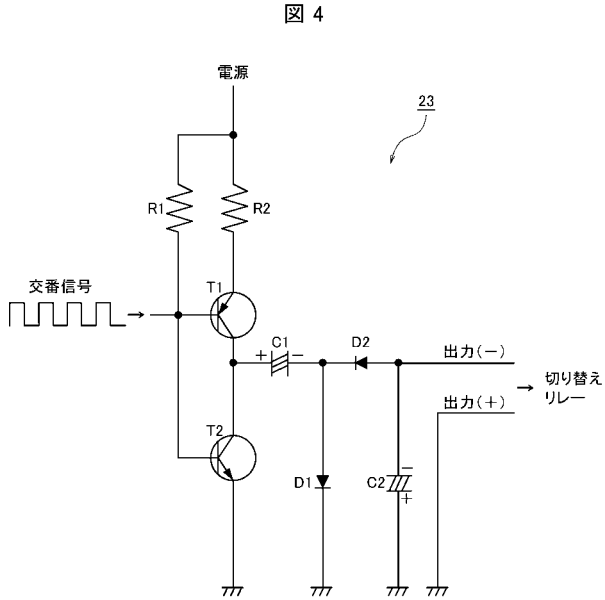


【 図 3 】

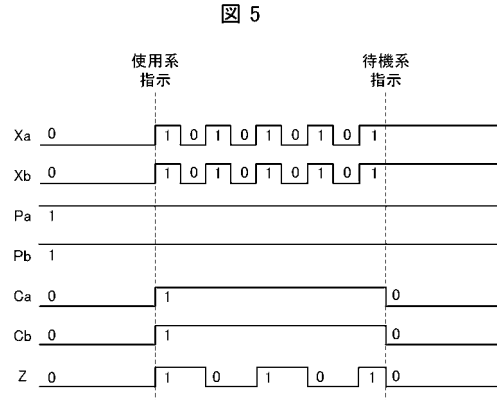
図 3



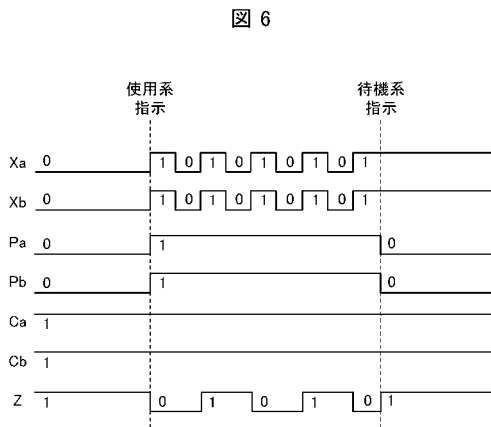
【 図 4 】



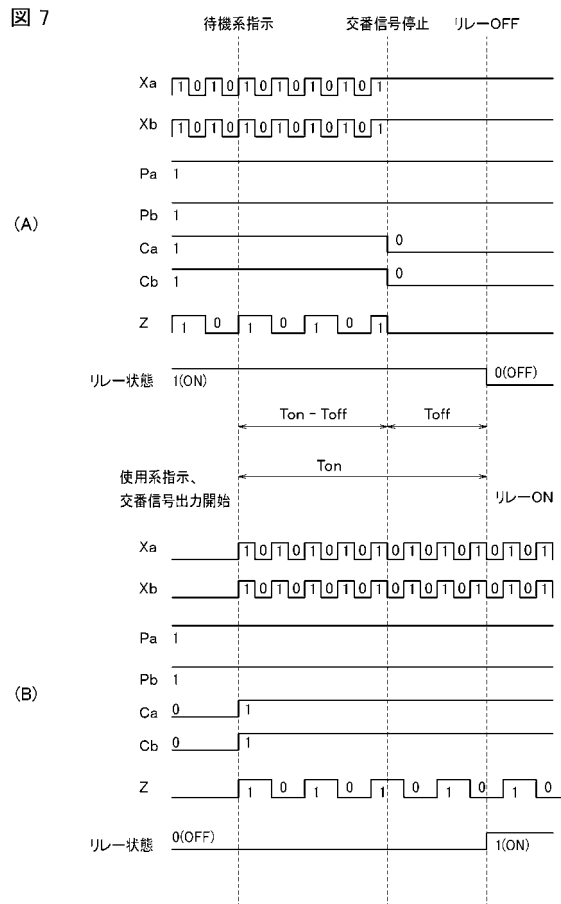
【 図 5 】



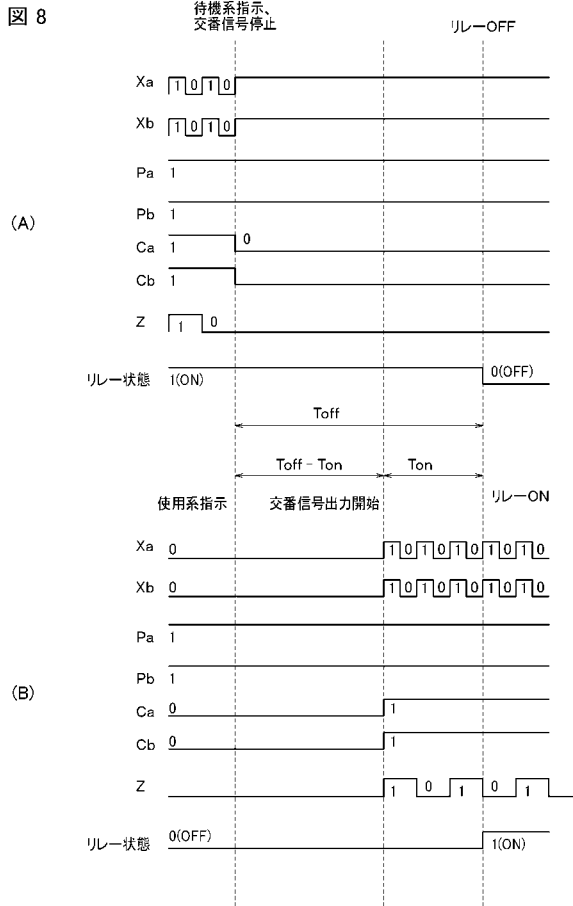
【 図 6 】



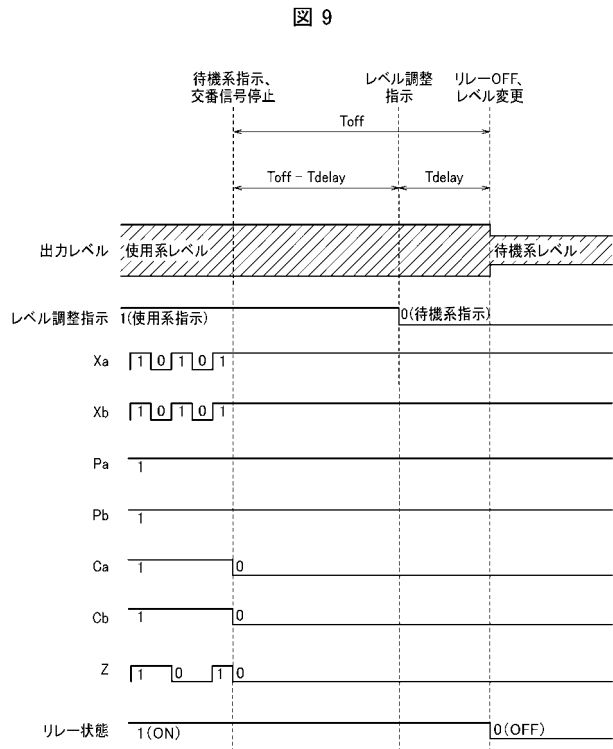
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

図 10

