

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5054394号
(P5054394)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int. Cl.		F I			
HO2H	7/20	(2006.01)	HO2H	7/20	C
HO2M	1/00	(2007.01)	HO2M	1/00	H
HO2M	3/00	(2006.01)	HO2M	3/00	J
HO3F	1/52	(2006.01)	HO3F	1/52	A

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2007-56030 (P2007-56030)	(73) 特許権者	000191238 新日本無線株式会社 東京都中央区日本橋横山町3番10号
(22) 出願日	平成19年3月6日(2007.3.6)	(74) 代理人	100099818 弁理士 安孫子 勉
(65) 公開番号	特開2008-220090 (P2008-220090A)	(72) 発明者	武淵 堅次 埼玉県ふじみ野市福岡二丁目1番1号 新 日本無線株式会社川越製作所内
(43) 公開日	平成20年9月18日(2008.9.18)	(72) 発明者	藤原 宗 埼玉県ふじみ野市福岡二丁目1番1号 新 日本無線株式会社川越製作所内
審査請求日	平成22年1月29日(2010.1.29)	審査官	麻川 倫広

最終頁に続く

(54) 【発明の名称】 電流源制御回路

(57) 【特許請求の範囲】

【請求項1】

プッシュプル接続されてなる出力段と、当該出力段のアイドル電流を供給するアイドル電流供給部と、回路動作に必要な電流を供給する電流源回路とを具備してなる出力回路の前記出力段の異常電流を検出し、前記電流源回路を動作停止とする電流源制御回路であって、

前記アイドル電流供給部の電流変化を検出するアイドル電流検出部と、

前記アイドル電流検出部により検出された前記アイドル電流供給部の電流変化が、所定時間以上に亘って所定以上である場合に、前記出力段に異常電流が生じたとする所定の判定信号を出力する判定部と、

前記判定部の出力に応じて、前記電流源回路の動作を停止せしめる所定の制御信号を出力する制御信号出力部と、

を具備してなることを特徴とする電流源制御回路。

【請求項2】

前記出力回路の前段には、信号処理回路が設けられ、当該信号処理回路は回路動作に必要な電流供給を行う電流源回路を有する一方、

前記制御信号出力部の制御信号を、前記出力回路に設けられた電流源回路と共に、前記信号処理回路に設けられた電流源回路に印加し、2つの電流源回路の停止を可能としたことを特徴とする請求項1記載の電流源制御回路。

【請求項3】

前記出力段を構成するトランジスタのベース電流の変化を検出するベース電流検出部が設けられ、

前記判定部は、前記ベース電流検出部により検出されたベース電流の変化が、所定時間以上に亘って所定以上である場合に、前記出力段に異常電流が生じたとする所定の判定信号を出力するよう構成されてなることを特徴とする請求項1又は請求項2記載の電流源制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号出力回路等において用いられる電流源の動作制御回路に係り、特に、短絡保護機能の向上等を図ったものに関する。

10

【背景技術】

【0002】

所望する処理等が施された信号を出力する回路としては、従来から、例えば、図3に示されたような構成を有するものが知られている。

以下、同図を参照しつつ、この従来回路について説明すれば、この従来回路は、外部から印加された入力信号がコンダクタンスアンプ g_m AMPにより電流変換され、トランジスタQ1を介して、出力段に印加されてフルスイング出力可能となっているもので、出力段は、トランジスタQ8、Q9がプッシュプル接続されて構成されたものとなっている。

20

【0003】

また、この出力回路には、出力段のトランジスタQ8、Q9のアイドル電流供給のため、npn型の第5のトランジスタQ5、pnp型の第6のトランジスタQ6、定電流源I5及び定電流源I6を主たる構成要素として構成されたアイドル電流供給部41Aが設けられている。

なお、図3において、電流源回路7Aは、出力回路の動作に必要な電流の供給を行う回路であって、具体的には、トランジスタQ1に接続された電流源I2、上述のアイドル電流供給部41Aに設けられた電流源I5及び電流源I6を含むと共に、図示されない他の電流源、例えば、コンダクタンスアンプ g_m AMPへ電流を供給するための電流源（図示せず）などを総括的に現したものである。

30

なお、この種の出力回路としては、例えば、特許文献1等に開示されたものがある。

【特許文献1】米国特許第5311145号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、かかる従来回路においては、出力トランジスタQ8とQ9の相互の接続点である信号出力端子5Aが何らかの原因によりグランドなどに短絡された場合、出力トランジスタQ8、Q9に大電流が継続的に流れる虞があるが、この従来回路においては、そのような場合に対応できる短絡保護回路が備えられていないため、最悪時には、出力トランジスタQ8、Q9の破壊等に至る可能性がある。

40

【0005】

本発明は、上記実状に鑑みてなされたもので、出力回路の出力端子短絡時に生ずる大電流からの回路素子の保護と共に回路動作の信頼性向上を図った電流源制御回路を提供するものである。

【課題を解決するための手段】

【0006】

上記本発明の目的を達成するため、本発明に係る電流源制御回路は、プッシュプル接続されてなる出力段と、当該出力段のアイドル電流を供給するアイドル電流供給部と、回路動作に必要な電流を供給する電流源回路とを具備してなる出力回路の前記出力段の異常電流を検出し、前記電流源回路を動作停止とする電流源制御回路であって、

50

前記アイドルリング電流供給部の電流変化を検出するアイドル電流検出部と、

前記アイドル電流検出部により検出された前記アイドルリング電流供給部の電流変化が、所定時間以上に亘って所定以上である場合に、前記出力段に異常電流が生じたとする所定の判定信号を出力する判定部と、前記判定部の出力に応じて、前記電流源回路の動作を停止せしめる所定の制御信号を出力する制御信号出力部と、を具備してなるものである。

かかる構成において、前記出力回路の前段には、信号処理回路が設けられ、当該信号処理回路は回路動作に必要な電流供給を行う電流源回路を有する一方、前記制御信号出力部の制御信号を、前記出力回路に設けられた電流源回路と共に、前記信号処理回路に設けられた電流源回路に印加し、2つの電流源回路の停止を可能としても好適である。

また、前記出力段を構成するトランジスタのベース電流の変化を検出するベース電流検出部が設けられ、前記判定部は、前記ベース電流検出部により検出されたベース電流の変化が、所定時間以上に亘って所定以上である場合に、前記出力段に異常電流が生じたとする所定の判定信号を出力するよう構成されてなるものとしても好適である。

【発明の効果】

【0007】

本発明によれば、出力回路の出力が短絡され、また、特定電位とされて、出力段を構成するトランジスタに大電流が流れ始めた際に、それを検出し、少なくとも出力回路に用いられる電流源回路の動作、又は、出力回路に用いられる電流源回路と共に、出力回路の前段の回路において用いられ、必要な電流の供給を行う電流源回路の動作をも停止できるように構成することにより、出力段における大電流の継続的な流れを早期に、確実に断つことができるので、大電流による回路素子の破損などの最悪事態を確実に回避することができるので、信頼性の高い回路、装置を提供することができるという効果を奏するものである。

特に、出力回路の前段の回路は動作状態にしつつ、出力回路の電流源回路だけを動作停止とする場合には、出力回路は、前段の回路に比して回路構成が簡素なため、動作復帰の際に要する時間が比較的短くて済み、円滑な動作復帰が実現できるという効果を奏するものである。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施の形態について、図1及び図2を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

最初に、本発明の実施の形態における電流源制御回路の第1の構成例について、図1を参照しつつ説明する。

本発明の実施の形態における電流源制御回路3は、入力信号に対して所定の信号処理を施す信号処理回路2と、この信号処理回路2の出力をフルスイングで出力可能に構成された出力回路1とを具備してなる装置において、信号処理回路2に設けられた電流源回路(図1においては「I-SOURCE1」と表記)6及び出力回路1に設けられた電流源回路(図1においては「I-SOURCE2」と表記)7の動作制御に適するものである。

【0009】

まず、信号処理回路2は、その信号入力端子4に外部から印加される信号に対して、所定の信号処理を施して出力するよう構成されてなるもので、回路の必要な箇所へ必要な電流を供給する電流源回路6を有するものとなっている。

なお、かかる電流源回路6は、外部から所定の制御信号が印加されることで、その動作の開始、停止が制御できるようになっているものである。

出力回路1は、従来回路と基本的に同一の構成を有してなるもので、外部から印加された入力信号を電流変換して出力するコンダクタンスアンプ(図1においては「gmAMP」と表記)20と、このコンダクタンスアンプ20の出力を電流・電圧変換し、第8及び第9のトランジスタ((図1においては、それぞれ「Q8」、「Q9」と表記))により構成された最終出力段を駆動する第1のトランジスタ(図1においては「Q1」と表記)11と、最終出力段を構成する第8及び第9のトランジスタ18,19と、アイドルリン

10

20

30

40

50

グ電流供給部 4 1 とを主たる構成要素として構成されたものとなっている。

【 0 0 1 0 】

以下、具体的にその接続構成について説明する。

コンダクタンスアンプ 2 0 の出力端子は、 p n p 型の第 1 のトランジスタ 1 1 のベースに接続されており、この第 1 のトランジスタ 1 1 のエミッタは、定電流 I 2 を出力する第 1 の定電流源 2 1 及び定電流 I 5 を出力する第 2 の定電流源 2 2 に接続されている。さらに、第 1 のトランジスタ 1 1 のエミッタは、 n p n 型の第 5 のトランジスタ (図 1 においては「 Q 5 」と表記) 1 5 のコレクタ、 p n p 型の第 6 及び第 7 のトランジスタ (図 1 においては、それぞれ「 Q 6 」、「 Q 7 」と表記) 1 6 , 1 7 のエミッタ並びに第 8 のトランジスタ 1 8 のベースに接続されている。

10

【 0 0 1 1 】

一方、第 1 のトランジスタ 1 1 のコレクタは、 n p n 型の第 2 のトランジスタ (図 1 においては「 Q 2 」と表記) 1 2 のコレクタに接続されている。

第 2 のトランジスタ 1 2 は、 n p n 型の第 3 のトランジスタ (図 1 においては「 Q 3 」と表記) 1 3 と共にカレントミラー回路を構成するものとなっている。

すなわち、第 2 及び第 3 のトランジスタ 1 2 , 1 3 は、各々のベースと第 2 のトランジスタ 1 2 のコレクタが相互に接続されて、第 2 のトランジスタ 1 2 がいわゆるダイオード接続された状態とされている一方、第 2 及び第 3 のトランジスタ 1 2 , 1 3 のエミッタは、共にグランドに接続されている。

【 0 0 1 2 】

20

そして、第 3 のトランジスタ 1 3 のコレクタは、後述する電流源制御回路 3 に設けられた第 2 のカレントミラー回路 (図 1 においては「 C U R 2 」と表記) 3 2 の入力段 I N に接続されたものとなっている。なお、この第 2 及び第 3 のトランジスタ 1 2 , 1 3 によるカレントミラー回路は、後述するように電流源制御回路 3 の第 2 のカレントミラー回路 3 2 と共に、ベース電流検出部 4 3 を構成するものとなっているが、回路表記の便宜上、図 1 においては、出力回路 1 内に図示されている。

【 0 0 1 3 】

また一方、第 5 のトランジスタ 1 5 は、そのベースが n p n 型の第 4 のトランジスタ (図 1 においては「 Q 4 」と表記) 1 4 のベースと相互に接続されると共に、所定の定電圧 V 1 が印加されるようになっている。さらに、第 4 及び第 5 のトランジスタ 1 4 , 1 5 は、エミッタが相互に接続されると共に、第 9 のトランジスタ 1 9 のベース及び第 6 のトランジスタ 1 6 のコレクタに接続され、この接続点とグランドとの間には、定電流 I 6 を出力する第 3 の定電流源 2 3 が接続されている。

30

そして、第 4 のトランジスタ 1 4 のコレクタは、後述する電流制御回路 3 に設けられた第 1 のカレントミラー回路 (図 1 においては「 C U R 1 」と表記) 3 1 の入力段 I N に接続されたものとなっている。

【 0 0 1 4 】

また、第 6 及び第 7 のトランジスタ 1 6 , 1 7 は、ベースが相互に接続されると共に、所定の定電圧 V 2 が印加されるようになっている。そして、第 7 のトランジスタ 1 7 のコレクタは、後述する電流制御回路 3 に設けられた第 3 のカレントミラー回路 (図 1 においては「 C U R 3 」と表記) 3 3 の入力段 I N に接続されたものとなっている。

40

【 0 0 1 5 】

上述の第 5 及び第 6 のトランジスタ 1 5 , 1 6 と、第 2 及び第 3 の定電流源 2 2 , 2 3 で構成される部分は、この出力回路 1 のアイドル電流、すなわち、出力段を構成する第 8 及び第 9 のトランジスタ 1 8 , 1 9 が信号出力を行っていない定常動作状態において、この第 8 及び第 9 のトランジスタ 1 8 , 1 9 に流れる電流を設定、供給する機能を果たすアイドル電流供給部 4 1 となっている。

また、第 4 及び第 7 のトランジスタ 1 4 , 1 7 は、後述するように第 1 及び第 3 のカレントミラー回路 3 1 , 3 3 と共に、電流源制御回路 3 のアイドル電流検出部 4 2 を構成するものとなっており、第 4 のトランジスタ 1 4 及び第 1 のカレントミラー回路 3 1 により

50

、第5のトランジスタ15の電流検出が、また、第7のトランジスタ17及び第3のカレントミラー回路33により、第6のトランジスタ16の電流検出が、それぞれ行われるようになっている。なお、第4及び第7のトランジスタ14, 17は、電流源制御回路3におけるアイドル電流検出部42を構成するものであるが、図1においては、回路表記の便宜上、出力回路1内に図示してある。

【0016】

出力段を構成する第8及び第9のトランジスタ18, 19は、コレクタが相互に接続されると共に信号出力端子5に接続されている一方、第8のトランジスタ18のエミッタには、電源電圧 V_{cc} が印加されるようになっている。また、第9のトランジスタ19のエミッタは、グランドに接続されて、これら第8及び第9のトランジスタ18, 19は、プッシュプル接続されたものとなっている。

10

なお、出力回路1には、その回路動作に必要な電流を供給する電流源回路7が設けられている。ここで、本発明の実施の形態における電流源回路7は、コンダクタンスアンプ20への電流を供給するための電流源(図示せず)などの他に、先に述べた第1乃至第3の定電流源21~23をも含み、これらを総括的に現したものである。

また、かかる電流源回路7は、外部から所定の制御信号が印加されることで、その動作の開始、停止が制御できるようになっているものである。

【0017】

本発明の実施の形態における電流源制御回路3は、アイドル電流検出部42と、ベース電流検出部43、判定部44と、制御信号出力部としての制御信号出力回路37とに大別されて構成されたものとなっている。

20

アイドル電流検出部42は、先に説明したアイドル電流供給部41の第5のトランジスタ15に対して、ベース及びエミッタがそれぞれ共通となるように接続された第4のトランジスタ14と、この第4のトランジスタ14のコレクタに接続された第1のカレントミラー回路31と、アイドル電流供給部41の第6のトランジスタ16に対して、ベース及びエミッタがそれぞれ共通となるように接続された第7のトランジスタ17と、この第7のトランジスタ17のコレクタが接続された第3のカレントミラー回路33とを具備して構成されたものとなっている。

【0018】

ベース電流検出部43は、カレントミラー回路を構成するよう設けられた第2及び第3のトランジスタ12, 13と、第3のトランジスタ13のコレクタに入力段INが接続された第2のカレントミラー回路32とを具備して構成されたものとなっている。かかるベース電流検出部43は、後述するように、第8のトランジスタ18のベース電流が極端に大となった状態を検出し、電流源回路6, 7の動作停止を行えるようにするためのものである。

30

【0019】

判定部44は、電流・電圧変換回路(図1においては「I/V」と表記)34と、コンパレータ回路(図1においては「COMP」と表記)35と、タイミング信号発生回路(図1においては「TIME」と表記)36とを具備して構成されたものとなっている。かかる判定部44は、詳細は後述するようにアイドル電流に所定以上の変化が生じたか、又は、第8のトランジスタ18のベース電流が所定以上の大きな電流となった場合に、所定の信号(タイミング信号)を制御信号出力回路37へ出力するものとなっている。

40

電流・電圧変換回路34の入力段には、第1乃至第3のカレントミラー回路31~33の各々の出力段OUTが接続されており、入力された電流を電圧信号として出力するようになっている。

【0020】

コンパレータ回路35は、一方の入力端子に電流・電圧変換回路34の出力電圧が印加される一方、他方の入力端子には、所定の基準電圧 V_3 が印加されるようになっており、電流・電圧変換回路34の出力電圧と基準電圧 V_3 との比較を行い、その比較結果に応じた信号を出力するようになっているものである。

50

タイミング信号発生回路 36 は、コンパレータ回路 35 から所定の信号（詳細は後述）が出力されてから所定時間経過後に、コンパレータ回路 35 から所定の信号が出力されている間、対応して判定信号としての、タイミング信号を出力するよう構成されたものである。

【 0 0 2 1 】

制御信号出力部としての制御信号出力回路（図 1 においては「CONT - SIG」と表記）37 は、タイミング信号発生回路 36 からタイミング信号に同期して、電流源回路 6, 7 の動作を停止せしめるための所定の制御信号を出力するよう構成されてなるものである。

【 0 0 2 2 】

次に、上記構成における動作について説明する。

信号入力端子 4 に信号が入力されると、信号処理回路 2 により所定の信号処理が施され、その出力信号は、出力回路 1 の入力段を構成するコンダクタンスアンプ 20 に印加され、電流出力に変換されて第 1 のトランジスタ 11 のベースへ入力されることとなる。

第 1 のトランジスタ 11 のベースに入力された信号は、そのエミッタから出力され、第 5、第 6、第 8 及び第 9 のトランジスタ 15、16、18、19 を介して信号出力端子 5 から出力される。

【 0 0 2 3 】

ここで、第 2 の定電流源 22 が出力する定電流 I_5 と第 3 の定電流源 23 が出力する定電流 I_6 とをほぼ同一電流に設定すると、第 1 の定電流源 21 が出力する定電流 I_2 と第 1 のトランジスタ 11 に流れる電流 I_1 とが等しくなる。

【 0 0 2 4 】

また、第 8 のトランジスタ 18 に流れる電流 I_9 は、 V_{be8} の大きさに応じた値となり、 V_{be8} は以下の式で決定できる。

$$V_{be8} = V_{cc} - (\text{所望する定電圧 } V_2) - V_{be6}$$

なお、ここで、 V_{be8} は第 8 のトランジスタ 18 のベース・エミッタ間電圧、 V_{be6} は、第 6 のトランジスタ 16 のベース・エミッタ間電圧である。

【 0 0 2 5 】

同様に、第 9 のトランジスタ 19 に流れる電流 I_{10} は、 V_{be9} の大きさに応じた値となり、 V_{be9} は以下の式で決定できる。

$$V_{be9} = (\text{所望する定電圧 } V_1) - V_{be5}$$

なお、ここで、 V_{be9} は第 9 のトランジスタ 19 のベース・エミッタ間電圧、 V_{be5} は、第 5 のトランジスタ 15 のベース・エミッタ間電圧である。

【 0 0 2 6 】

また、第 4 のトランジスタ 14 に流れる電流を I_3 、第 5 のトランジスタ 15 に流れる電流を I_4 、第 6 のトランジスタ 16 に流れる電流を I_7 、第 7 のトランジスタ 17 に流れる電流を I_8 、第 3 のトランジスタ 13 に流れる電流を I_{11} とすると、これらの間には、下記する式で表される関係が成立する。

【 0 0 2 7 】

$$I_5 = I_4 + I_7 + I_8$$

【 0 0 2 8 】

$$I_6 = I_3 + I_4 + I_7$$

【 0 0 2 9 】

$$I_2 = I_1 = I_{11}$$

【 0 0 3 0 】

なお、ここで、第 6 のトランジスタ 16 を流れる電流 I_7 と、第 7 のトランジスタ 17 を流れる電流 I_8 は、同一のみならず、一方が他方の N 倍となる関係であっても良い。これは、第 4 のトランジスタ 14 を流れる電流 I_3 と第 5 のトランジスタ 15 を流れる電流 I_4 との関係についても同様である。

さらに、第 1 のトランジスタ 11 を流れる電流 I_1 と第 3 のトランジスタ 13 を流れる

10

20

30

40

50

電流 I 3 も、同一としても良く、また、一方が他方の N 倍の関係となるようにしても良い。

【 0 0 3 1 】

また、第 4 のトランジスタ 1 4 を流れる電流 I 3、第 3 のトランジスタ 1 3 を流れる電流 I 1 1、第 7 のトランジスタ 1 7 を流れる電流 I 8 は、第 1 乃至第 3 のカレントミラー回路 3 1 ~ 3 3 へそれぞれ入力される電流であり、それぞれ、ミラーされて、同一、又は、N 倍の電流としてそれぞれの出力段 O U T から出力されて電流・電圧変換回路 3 4 に入力される。そして、電流・電圧変換回路 3 4 に入力された第 1 乃至第 3 のカレントミラー回路 3 1 ~ 3 3 の電流は、電流・電圧変換回路 3 4 により電圧信号に変換されて、コンパレータ回路 3 5 に入力され、基準電圧 V 3 と比較される。そして、電流・電圧変換回路 3 4 の出力が、第 8 及び第 9 のトランジスタ 1 8 , 1 9 の電流 I 9 , I 1 0 の異常時に対応する電圧となると、コンパレータ回路 3 5 の基準電圧 V 3 との比較結果は、電流 I 9 , I 1 0 の異常時に対応する所定の論理状態 (論理値 H i g h 又は論理値 L o w) となる。

10

【 0 0 3 2 】

タイミング信号発生回路 3 6 においては、上述のように電流 I 9 , I 1 0 の異常時に対応してコンパレータ回路 3 5 から所定の論理値が所定時間以上出力されると、論理値 H i g h 又は論理値 L o w に相当する所定レベルの信号が、コンパレータ回路 3 5 から所定の論理値が出力されている間、出力されるようになっていく。それによって、制御信号出力回路 3 7 からは、電流源回路 6 , 7 の動作を停止状態とする所定の制御信号が出力され、電流源回路 6 , 7 によるそれぞれの電流供給動作が停止されるため、出力段の第 8 及び第 9 のトランジスタ 1 8 , 1 9 における異常電流の流れが遮断されることとなる。

20

【 0 0 3 3 】

ここで、信号出力端子 5 が、何らかの原因により短絡され、あるいは、特定の電圧が印加されたと仮定し、その場合の回路動作についてさらに説明することとする。

信号出力端子 5 の短絡や、特定電圧の印加などにより、第 8 のトランジスタ 1 8 に流れる電流 I 9 が大電流となると、第 6 及び第 7 のトランジスタ 1 6 , 1 7 の電流 I 7、I 8 が減少する一方、第 4 及び第 5 のトランジスタ 1 4 , 1 5 の電流 I 4、I 3 が増加する。

【 0 0 3 4 】

電流 I 3 の増加は、第 1 のカレントミラー回路 3 1 において、その設定された増幅度で増幅、出力されて電流・電圧変換回路 3 4 へ入力され、電流・電圧変換回路 3 4 からは、出力電流 I 9 の異常時に対応した所定の論理値 (論理値 H i g h 又は論理値 L o w) に相当した電圧信号が出力されることとなる。

30

かかる電流・電圧変換回路 3 4 の出力信号は、コンパレータ回路 3 5 において、基準電圧 V 3 と比較され、例えば、電流・電圧変換回路 3 4 の出力信号が基準電圧 V 3 を越えることで、出力電流 I 9 の異常であるとして、コンパレータ回路 3 5 の出力は、所定の論理値、すなわち、例えば、論理値 H i g h の状態となる。なお、電流・電圧変換回路 3 4 の出力信号と基準電圧 V 3 との比較により、出力電流 I 9 の異常であるとして、コンパレータ回路 3 5 から出力する信号の論理値としては、上述のように論理値 H i g h に限定される必要はなく、論理値 L o w としても勿論良いものである。

【 0 0 3 5 】

40

タイミング信号発生回路 3 6 は、上述のようにコンパレータ回路 3 5 において、出力電流 I 9 の異常との判定に対応する信号が所定時間以上出力された場合に、論理値 H i g h 又は論理値 L o w に相当するレベルの信号を出力し、その信号は、制御信号出力回路 3 7 に入力されることとなる。

その結果、制御信号出力回路 3 7 からは、電流源回路 6 , 7 を動作停止とするための所定の制御信号が出力されることとなる。

なお、タイミング信号発生回路 3 6 において、コンパレータ回路 3 5 から出力電流 I 9 の異常との判定に対応する信号が所定時間以上出力された後に、タイミング信号を出力するようにしたのは、ノイズ等によって誤ってタイミング信号を出力しないようにするためである。

50

【 0 0 3 6 】

ここで、例えば、第 8 のトランジスタ 1 8 のベース電流が極端に大きくなるようなことが無い場合には、通常は、第 1 のカレントミラー回路 3 1 により上述のように電流 I_3 の変化を検出することで、電流源回路 6 , 7 の動作停止が可能である。

しかし、第 8 のトランジスタ 1 8 のベース電流が、アイドリング状態から一気に極端に大きな電流となるような場合、例えば、何らかの原因により電流 I_9 がアイドリング状態から一気に異常な大電流となり、そのため、第 8 のトランジスタ 1 8 の電流増幅率 h_{fe} が極端に低下し、その結果、ベース電流の異常な増大が生ずる場合などにおいて、そのベース電流は、上述のように第 5 及び第 6 のトランジスタ 1 5 , 1 6 における電流 I_4 、 I_7 のバランスを崩して第 5 のトランジスタ 1 5 へ流れ込むには大きすぎるために、第 1 のトランジスタ 1 1 に流れ込むこととなる。

10

【 0 0 3 7 】

そのため、この第 1 のトランジスタ 1 1 の電流 I_{11} の増加を検出し、それによって、上述したように電流源回路 7 を動作停止とするために、第 2 のカレントミラ回路 3 2 が設けられている。したがって、かかる第 2 のカレントミラー回路 3 2 の動作も、基本的には、第 1 のカレントミラー回路 3 1 と同一であり、そのため、ここでの再度の詳細な説明は省略することとする。

【 0 0 3 8 】

一方、第 9 のトランジスタ 1 9 に流れる電流 I_{10} が何らかの原因により、通常よりも大きな電流となった場合、例えば、信号出力端子 5 に何らかの原因によりほぼ電源電圧 V_{cc} が印加されたような場合には、第 6 のトランジスタ 1 6 の電流 I_7 が増加する一方、第 5 のトランジスタ 1 5 の電流 I_4 が減少することとなる。

20

そして、第 6 のトランジスタ 1 6 の電流 I_7 の増加は、第 7 のトランジスタ 1 7 により第 3 のカレントミラー回路 3 3 へ入力され、出力側へミラーされて電流・電圧変換回路 3 4 へ入力されるることとなる。その結果、先の第 1、第 2 のカレントミラー回路 3 1、3 2 と同様にして、電流 I_{10} の異常に対して電流源回路 6 , 7 を動作停止とする制御信号が制御信号出力回路 3 7 より出力されることとなる。なお、電流・電圧変換回路 3 4 より後段の回路動作は、既に述べた通りであるので、ここでの再度の詳細な説明は省略することとする。

【 0 0 3 9 】

30

次に、第 2 の構成例について、図 2 を参照しつつ説明する。

なお、図 1 に示された第 1 の構成例における構成要素と同一の構成要素には、同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明することとする。

この第 2 の構成例は、電流源制御回路 3 の制御対象を、出力回路 1 の電流源回路 7 に限定した点が、先の図 1 に示された構成例と異なるもので、他の構成部分は、図 1 に示された構成例と同一のものである。

したがって、その動作は、図 1 に示された構成例と基本的に同一であるので、ここでの再度の詳細な説明は省略する。

【 0 0 4 0 】

40

この第 2 の構成例の場合、図 1 に示された第 1 の構成例と異なり、電流源回路 7 のみを動作制御し、短絡等により出力段の電流 I_9 が異常な大きさとなった場合に、信号処理回路 2 は常時動作状態としたままで、出力回路 1 のみを動作停止させるので、動作復帰の場合に要する時間が図 1 に示された第 1 の構成例の場合に比して比較的短くて済み、全体としての回路動作の復帰が速やかに行えるという利点を有するものである。これは、出力回路 1 は、信号処理回路 2 と比較して比較的構成要素が少ないため、その動作復帰に要する時間が信号処理回路 2 の動作復帰に要する時間に比して短く済むためである。

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 本発明の実施の形態における電流源制御回路の第 1 の構成例を示す構成図である。

50

【図2】本発明の実施の形態における電流源制御回路の第2の構成例を示す構成図である。

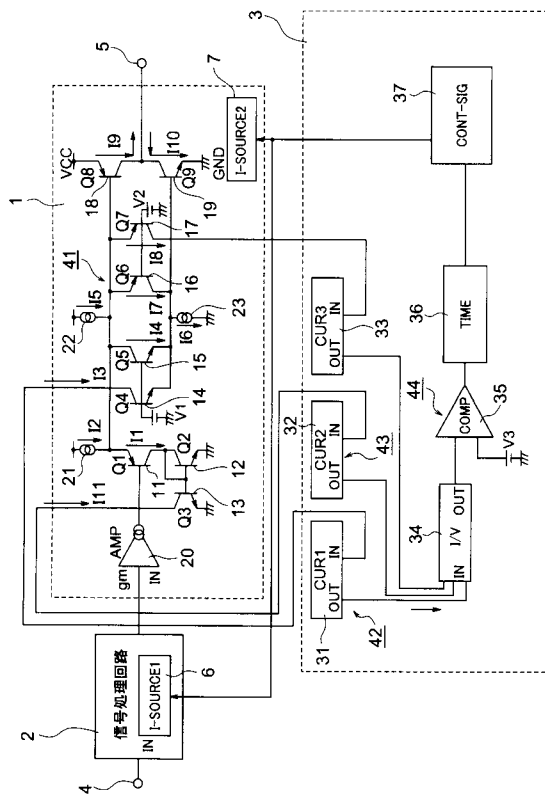
【図3】従来の信号出力回路の一構成例を示す回路図である。

【符号の説明】

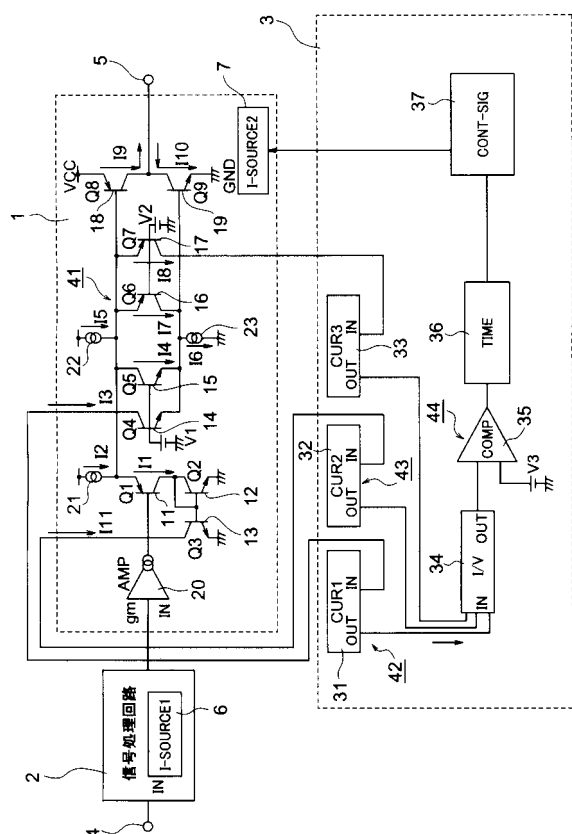
【0042】

- 1 ... 出力回路
- 2 ... 信号処理回路
- 3 ... 電流源制御回路
- 4 ... 信号入力端子
- 5 ... 信号出力端子
- 6 ... 電流源回路
- 7 ... 電流源回路
- 3 1 ... 第1のカレントミラー回路
- 3 2 ... 第2のカレントミラー回路
- 3 3 ... 第3のカレントミラー回路
- 3 4 ... 電流・電圧変換回路
- 3 5 ... コンパレータ回路
- 3 6 ... タイミング信号発生回路
- 3 7 ... 制御信号出力回路

【図1】



【図2】



フロントページの続き

- (56)参考文献 特開平 1 1 - 3 3 0 8 7 1 (J P , A)
特開平 0 4 - 2 8 2 9 0 7 (J P , A)
特開昭 6 3 - 2 1 1 9 0 5 (J P , A)
特開平 0 6 - 3 2 6 5 2 9 (J P , A)
特開 2 0 0 6 - 2 9 5 3 6 5 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 2 H 7 / 0 0、 7 / 1 0 - 7 / 2 0、
H 0 3 F 1 / 0 0 - 3 / 7 2、 7 / 0 0 - 7 / 0 6