

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 11 日 (11.01.2024)



(10) 国际公布号
WO 2024/007367 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 27/115** (2017.01)
H01L 29/66 (2006.01)

(21) 国际申请号: PCT/CN2022/106600

(22) 国际申请日: 2022 年 7 月 20 日 (20.07.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210794531.7 2022 年 7 月 5 日 (05.07.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 窦涛 (**DOU, Tao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) **Title:** MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURES

(54) 发明名称: 半导体结构的制造方法和半导体结构

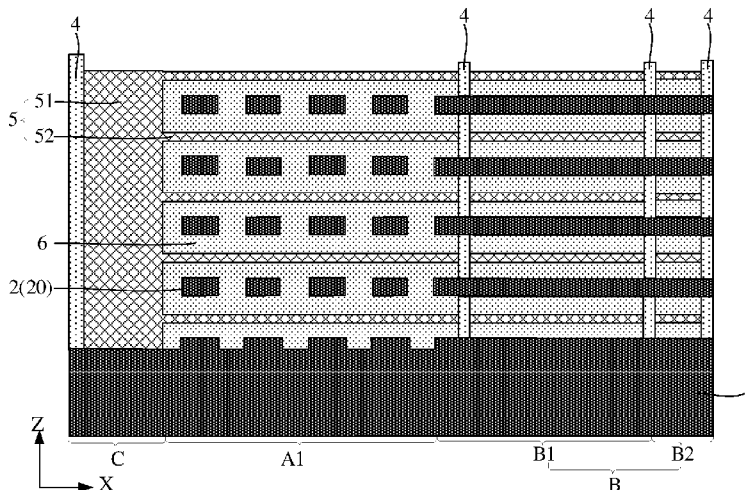


图 21

(57) **Abstract:** The embodiments of the present disclosure relate to the field of semiconductors. Provided are a manufacturing method for a semiconductor structure, and semiconductor structures. A semiconductor structure comprises a window area, a transistor area and a step area which are arranged in a first direction. The transistor area comprises a word line area, the word line area being directly opposite to and connected to the window area and the step area. The manufacturing method comprises: providing a substrate, and forming a plurality of active layers spaced apart on the substrate, each active layer in the transistor area comprising a plurality of active structures, and a second direction being perpendicular to the first direction; forming pseudo word line structures in the word line area and the step area, the pseudo word line structures coating the active layers in the same layer; forming a first isolation layer, the first isolation layer comprising a main body part and a spacing part which are connected to each other, the main body part being located in the window area, and the spacing part being located in the word line area and the step area, and being located between the adjacent pseudo word line structures; removing the active layers located in the step area; removing the pseudo word line structures; and forming



PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

a dielectric layer and a word line in the step area and the word line area. The embodiments of the present disclosure may at least improve the performance of a semiconductor structure.

(57) 摘要: 本公开实施例涉及半导体领域, 提供一种半导体结构的制造方法和半导体结构, 半导体结构包括在第一方向排列的窗口区、晶体管区和台阶区, 晶体管区包括字线区, 字线区与窗口区和台阶区正对且相接, 制造方法包括: 提供基底, 在基底上形成多层间隔设置的有源层, 晶体管区的有源层包括多个有源结构, 第二方向垂直于第一方向; 在字线区和台阶区形成伪字线结构, 伪字线结构包覆同一层的有源层; 形成第一隔离层, 第一隔离层包括相连的主体部和间隔部, 主体部位于窗口区; 间隔部位于字线区和台阶区, 并位于相邻伪字线结构之间; 去除位于台阶区的有源层; 去除伪字线结构; 在台阶区和字线区形成介质层和字线。本公开实施例至少可以提高半导体结构的性能。

半导体结构的制造方法和半导体结构

交叉引用

5 [0001] 本申请引用于 2022 年 7 月 05 日递交的名称为“半导体结构的制造方法和半导体结构”的第 202210794531.7 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例属于半导体领域，具体涉及一种半导体结构的制造方法和半导体结构。

背景技术

10 [0003] 动态随机存取存储器（Dynamic Random Access Memory，DRAM）是一种半导体存储器，主要的作用原理是利用电容内存储电荷的多寡来代表其存储的一个二进制比特是 1 还是 0。

[0004] 3D 堆叠式 DRAM 是一种在基底上堆叠多层晶体管的结构，其集成度较高，有利于降低单位面积的成本。然而 3D 堆叠式 DRAM 的性能还有待提升。

15 发明内容

[0005] 本公开实施例提供一种半导体结构的制造方法和半导体结构，至少有利于提高半导体结构的性能。

20 [0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，其中，半导体结构包括：所述半导体结构包括在第一方向依次排列的窗口区、晶体管区和台阶区，所述晶体管区包括字线区，所述字线区与所述窗口区和所述台阶区正对且相接，所述制造方法包括：提供基底，在所述晶体管区和所述台阶区的所述基底上形成多层间隔设置的有源层，所述晶体管区的所述有源层包括多个在第二方向延伸的有源结构，所述第二方向垂直于所述第一方向；在所述字线区和所述台阶区形成多个伪字线结构，所述伪字线结构包覆同一层的所述有源层；形成第一隔离层，所述第一隔离层包括相连的主体部和间隔部，所述主体部位于所述窗口区；所述间隔部位于所述字线区和所述台阶区，并位于相邻所述伪字线结构之间；去除位于所述台阶区的所述有源层；去除所述伪字线结构；在所述台阶区和所述字线区形成介质层和字线，所述介质层覆盖所述有源结构；所述字线覆盖所述介质层，且包覆同一层的所述有源结构，所述字线还位于相邻所述间隔部之间。

30 [0007] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构，包括：在第一方向依次排列的窗口区、晶体管区和台阶区，所述晶体管区包括字线区，所述字线区与所述窗口区和所述台阶区正对且相接，所述半导体结构还包括：基底，所述晶体管区的所述基底上具有多层间隔设置的有源层，所述晶体管区的所述有源层包括多个在第二方向延伸的有源结构，所述第二方向垂直于所述第一方向；介质层，覆盖所述有源结构的表面；多条字线，位于所述字线区和所述台阶区，且包覆

35

同一层的所述有源层；第一隔离层，所述第一隔离层包括相连的主体部和间隔部，所述主体部位于所述窗口区；所述间隔部位于所述字线区和所述台阶区，并位于相邻所述字线之间。

[0008] 本公开实施例提供的技术方案至少具有以下优点：形成包覆同一层有源层的伪字线结构，伪字线结构所占据的空间位置为后续形成的字线所占据的空间位置；在相邻伪字线结构之间形成第一隔离层，此后，去除伪字线结构，并在第一隔离层内形成字线。即第一隔离层能够规范字线的形状，从而避免同一字线发生断开，或相邻字线发生互连的问题。此外，去除台阶区的有源层能够避免其高电阻对半导体结构的不良影响，从而有利于提高半导体结构的性能。此外，窗口区可以增大形成伪字线结构和第一隔离层的工艺窗口，进而便于工艺制造。

附图说明

[0009] 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0010] 图 1 示出了一种半导体结构的示意图；

[0011] 图 2-图 30 示出了一种半导体结构的制造方法中各步骤对应的结构示意图。

具体实施方式

[0012] 参考图 1，经分析发现，在基底 100 上形成多层有源结构 200 后，通常直接沉积导电材料以形成包覆同一层的多个有源结构 200 的字线 600；然而，导电材料在不同位置的沉积程度不同，从而可能发生错误的互连或断开。比如，在第一位置 L1，即有源结构 200 的边缘处，字线 600 的厚度较小，并且可能发生断开现象。在第二位置 L2，由于上下空间连通，因此，上下层相邻的字线 600 容易发生互连。在第三位置 L3，由于介质层 610 的阻挡，台阶区 B0 与字线区 A0 的字线 600 容易断开，从而无法将字线区 A0 的字线 600 引出。此外，台阶区 B0 的有源结构 200 也用于将字线 600 引出，但其电阻较高。因此，半导体结构的性能有待提升。

[0013] 本公开实施例提供一种半导体结构的制造方法，制造方法包括：形成包覆同一层有源层的伪字线结构，并在相邻伪字线结构之间形成第一隔离层，此后，去除伪字线结构以露出有源层，形成包覆同一层有源层的字线。即，伪字线结构所占据的空间位置即为字线所占据的空间位置，第一隔离层为形成字线的模子，能够规范字线的形状，从而避免相邻有源结构之间的字线发生断开；此外，第一隔离层在形成字线之前已经形成，在第一介质层隔离作用下，可以避免上下层的字线发生互连；此外，台阶区的有源层被去除，能够避免其高电阻对半导体结构的不良影响，还能够增大字线区的字线与台阶区的字线的接触面积。因此，半导体结构的性能得以提升。此外，窗口区可以增大形成伪字线结构和第一隔离层的工艺窗口，进而便于工艺制造。

[0014] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而

提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

[0015] 如图 2-图 30 所示，本公开一实施例提供一种半导体结构的制造方法，需要说明的是，为了便于描述以及清晰地示意出半导体结构制作方法的步骤，图 2 至图 30 均为半导体结构的局部结构示意图。

[0016] 参考图 2，图 2 示出了最终形成的半导体结构的俯视图，为更加直观，俯视图中仅示出了半导体结构中的部分结构。首先，需要说明的是，半导体结构内具有第一方向 X、第二方向 Y 和第三方向 Z(参考图 3)。第一方向 X 和第二方向 Y 与基底 1 表面平行且二者相互垂直，第三方向 Z 垂直与基底 1 表面。

[0017] 半导体结构包括在第一方向 X 依次排列的窗口区 C、晶体管区 A 和台阶区 B，晶体管区 A 包括字线区 A1，字线区 A1 与窗口区 C 和台阶区 B 正对且相接。在一些实施例中，台阶区 B 包括第一区 B1 和第二区 B2，第一区 B1 位于字线区 A1 和第二区 B2 之间。

[0018] 以下将结合附图对制造方法进行详细说明。

[0019] 图 3 为图 2 所示的 d-d1 方向上的剖面图；图 4 为图 2 所示的 e-e1 方向和 f-f1 方向上的剖面图；图 5 为图 2 所示的 g-g1 方向上的剖面图。参考图 3-图 5，提供基底 1，在基底 1 上形成多层交替设置的有源层 20 和牺牲层 31。示例地，通过外延生长工艺形成有源层 20 和牺牲层 31。示例地，有源层 20 与基底 1 的材料相同，二者可以均为硅层，牺牲层 31 的材料可以为硅锗。

[0020] 此外，还可以在有源层 20 的表面形成保护层 30。示例地，在有源层 20 的表面沉积氧化硅以作为保护层 30。保护层 30 能够在后续刻蚀过程中保护有源层 20 的表面。

[0021] 参考图 6-图 8，图 6 为图 2 所示的 d-d1 方向上的剖面图，图 7 为图 2 所示的 f-f1 方向的剖面图，图 8 为图 2 所示的 g-g1 方向上的剖面图；在本步骤中，半导体结构在 e-e1 方向上的剖面未发生变化，可参考图 4；形成第二隔离层 32，第二隔离层 32 穿透有源层 20 和牺牲层 31。具体地，参考图 6-图 7，第二隔离层 32 位于晶体管区 A 和窗口区 C，并将晶体管区 A 的有源层 20 分割为多个有源结构 2，且填充满窗口区 C。在一些实施例中，参考图 8，第二隔离层 32 还位于台阶区 B 在第二方向 Y 排列的相对两侧。

[0022] 示例地，对有源层 20 和牺牲层 31 进行图形化处理，以去除窗口区 C 的有源层 20 和牺牲层 31，并在晶体管区 A 和台阶区 B 形成沟槽。晶体管区 A 的沟槽沿第二方向 Y 延伸；台阶区 B 内的沟槽沿第一方向 X 延伸。在窗口区 C 和晶体管区 A 的沟槽中沉积绝缘材料以作为第二隔离层 32。第二隔离层 32 的材料可以与保护层 30 的材料相同，比如二者均为氧化硅。

[0023] 图 9 为图 2 所示的 d-d1 方向上的剖面图，图 10 为图 2 所示的 e-e1 方向的剖面图，图 11 为图 2 所示的 f-f1 方向的剖面图，图 12 为图 2 所示的 g-g1 方向上的剖面图；参考图 9-图 12，形成支撑结构 4。示例地，采用干法刻蚀工艺去除部分第二隔离层 32 和部分牺牲层 31，以形成多个沟槽，在沟槽中沉积氮化硅以作为支撑结构 4。

[0024] 具体地，参考图 9，支撑结构 4 至少位于第一区 B1 和第二区 B2 的交界处，并包覆有源层 20。需要说明的是，后续将去除第二区 B2 内的结构以提供工艺窗口，为避免此过程影响第一区 B1 内的结构的牢固性，可以形成支撑结构 4 以提供支撑作用。此外，在后续去除牺牲层 31 的过程中，此处的支撑结构 4 还能够为台阶区 B 的有源层 20 提供支撑作用，避免有源层 20 发生坍塌。

[0025] 继续参考图 9，在一些实施例中，支撑结构 4 还位于第二区 B2 远离第一区 B1 的一侧，并包覆有源层 20。即，此处的支撑结构 4 为网状结构，有源层 20 穿透支撑结构 4。在后续去除牺牲层 31 的过程中，此处的支撑结构 4 能够避免第二区 B2 的有源层 20 发生坍塌。

[0026] 继续参考图 9，在一些实施例中，支撑结构 4 还位于字线区 A1 与第一区 B1 的交界处，并包覆有源层 20。即，第一区 B1 的两侧均形成有支撑结构 4，从而提高第一区 B1 的有源层 20 的牢固性。有源层 20 的牢固程度越大，后续形成的间隔部 52 也更为稳定。

[0027] 结合参考图 2 和图 9，支撑结构 4 还位于窗口区 C 未与字线区 A1 相接的边缘，支撑结构 4 还穿透第二隔离层 32。也就是说，支撑结构 4 能够定义出窗口区 C 的形状和位置。在一些实施例中，窗口区 C 共有三侧未与字线区 A1 相接。窗口区 C 与字线区 A1 相接的边缘不形成支撑结构 4 的原因在于：露出字线区 A1 朝向窗口区 C 的一侧，后续反应气体可从该侧进行字线区 A1 以形成间隔部 52。

[0028] 参考图 10，在另一些实施例中，支撑结构 4 还位于字线区 A1 在第二方向 Y 排列的相对两侧，支撑结构 4 还包覆有源结构 2。也就是说，支撑结构 4 为网状结构，能够包覆每一个有源结构 2，有源结构 2 在第二方向 Y 上穿过支撑结构 4。

[0029] 另外，支撑结构 4 还可以位于第一间隔区 A3 远离字线区 A1 的一侧，以及第二间隔区 A4 远离字线区 A1 的一侧，从而对第一间隔区 A3 和第二间隔区 A4 的有源结构 2 进行支撑。

[0030] 参考图 12，支撑结构 4 还位于台阶区 B 在第二方向 Y 排列的相对两侧。也就是说，此处的支撑结构 4 用于定义台阶区 B 的工艺窗口的边界，支撑结构 4 与台阶区 B 内的有源层 20 的距离越大，则台阶区 B 的工艺窗口越大，能够便于后续形成间隔部 52。

[0031] 图 13 为图 2 所示的 d-d1 方向上的剖面图，图 14 为图 2 所示的 e-e1 方向的剖面图，图 15 为图 2 所示的 f-f1 方向的剖面图，图 16 为图 2 所示的 g-g1 方向上的剖面图；参考图 13-图 16，形成支撑结构 4 后，去除牺牲层 31 和第二隔离层 32。在一些实施例中，可以一次性去除所有牺牲层 31；在另一些实施例中，也可以针对不同区域分多次去除牺牲层 31，比如，可以先去除台阶区 B 和字线区 A1 的牺牲层 31，其他区域的牺牲层 31 在后续的工艺步骤中去除。

[0032] 继续参考图 13-图 16，形成填充层 33，填充层 33 覆盖有源层 20，并与支撑结构 4 相接触，填充层 33 还填充于窗口区 C。即填充层 33 占据了原先牺牲层 31 和第二隔离层 32 的空间位置，晶体管区 A、台阶区 B 和窗口区 C 内均具有填充层 33。示例地，填充层 33 的材料可以与保护层 30、第二隔离层 32 的材料相同，比如均为二氧化硅。

[0033] 参考图 17 和图 18, 去除位于字线区 A1、台阶区 B 和窗口区 C 的填充层 33, 从而露出有源层 20。

[0034] 至此, 基于图 3-图 18, 可以在晶体管区 A 和台阶区 B 的基底 1 上形成多层间隔设置的有源层 20, 晶体管区 A 的有源层 20 包括多个在第二方向 Y 延伸的有源结构 2。上述步骤仅为示例性说明, 本公开实施例不限于此, 比如, 在形成支撑结构 4 后, 可以只去除字线区 A1、台阶区 B、窗口区 C 内的第二隔离层 32 和牺牲层 31, 从而形成多层间隔设置的有源层 20。由于其他区域内的牺牲层 31 并未并去除, 因而无需再形成填充层 33。

[0035] 图 19 为图 2 所示的 d-d1 方向上的剖面图, 图 20 为图 2 所示的 e-e1 方向的剖面图, 参考图 19-图 20, 在字线区 A1 和台阶区 B 形成多个伪字线结构 6, 伪字线结构 6 包覆同一层的有源层 20。

[0036] 示例地, 通过原子层沉积工艺在有源层 20 的表面沉积氧化硅以作为伪字线结构 6。原子层沉积工艺将物质以单原子膜形式一层一层的镀在有源结构 2 表面, 在原子层沉积过程中, 新一层原子膜的化学反应是直接与之前一层相关联的, 因此, 膜层的均一性、致密度更好, 从而有利于改善伪字线结构 6 的形貌。伪字线结构 6 所在的空间位置即为后续形成的介质层 61 和字线 62 所在的空间位置, 因此, 还可以改善后续形成的字线 62 的形貌。在另一些实施例中, 也可以采用化学气相沉积工艺形成伪字线结构 6。

[0037] 需要说明的是, 由于字线区 A1 的一侧设有窗口区 C, 窗口区 C 用于增大工艺窗口, 即增加进入字线区 A1 和台阶区 B 的伪字线结构 6 的反应气体, 进而使得反应气体在有源结构 2 表面的沉积程度相对一致。此外, 台阶区 B 的两侧也具有较大的工艺窗口, 从而也能够促进反应气体的沉积过程。

[0038] 图 21 为图 2 所示的 d-d1 方向上的剖面图, 图 22 为图 2 所示的 e-e1 方向的剖面图, 参考图 21-图 22, 形成第一隔离层 5, 第一隔离层 5 包括相连的主体部 51 和间隔部 52, 主体部 51 位于窗口区 C; 间隔部 52 位于字线区 A1 和台阶区 B, 并位于相邻伪字线结构 6 之间。也就是说, 采用反向填充工艺形成第一隔离层 5 以作为后续形成的上下层字线 62 之间的隔离结构。

[0039] 值得注意的是, 主体部 51 能够在后续去除伪字线结构 6 的过程中对间隔部 52 起到支撑作用, 从而提高间隔部 52 的牢固性。此外, 第一隔离层 5 作为后续形成字线 62 的模子, 能够控制字线 62 的形状和尺寸。

[0040] 示例地, 通过原子层沉积工艺在窗口区 C、字线区 A1 和台阶区 B 沉积氮化硅以作为第一隔离层 5。原子层沉积工艺能够提高第一隔离层 5 的致密度和均一性, 从而有利于提高隔离效果, 还能够改善后续形成的字线 62 的形貌。在另一些实施例中, 还可以通过化学气相沉积工艺形成第一隔离层 5。

[0041] 在一些实施例中, 在第一方向 X 上, 窗口区 C 的宽度大于第二区 B2 的宽度。需要说明的是, 第二区 B2 在后续去除伪字线结构 6 和第一区 B1 的有源层 20 的过程中起到增大工艺窗口的作用; 窗口区 C 在形成伪字线结构 6 和第一隔离层 5 的过程中起到增大工艺窗口的作用, 除此之外, 窗口区 C 还需要容纳主体部 51。因此, 为提高半导体结构的空间利用率, 且兼顾各区域的功能, 可以适当增加窗口区

C在第一方向X上宽度，从而增强主体部51对间隔部52的支撑作用。

[0042] 较大的工艺窗口能够促进反应气体的沉积过程，从而提升第一隔离层5的致密度，避免在相邻伪字线结构6之间产生空洞或间隙，从而改善第一隔离层6的形貌，并提高第一隔离层5的隔离效果。

5 [0043] 图23为图2所示的d-d1方向上的剖面图，参考图23，去除位于第二区B2的有源层20、间隔部52和伪字线结构6，以露出位于第一区B1的有源层20。

[0044] 示例地，采用干法刻蚀以去除第二区B2内的上述结构。第二区B2内的上述结构被去除后，能够为后续去除第一区B1的有源层20和伪字线结构6，以及后续形成字线62提供较大的工艺窗口。即，更多的刻蚀剂或反应气体能够通过第二区
10 B2进入第一区B1和字线区A1，从而提高后续的生产效率，并保证第一隔离层5和字线62的质量。

[0045] 在一些实施例中，在第一方向X上，第一区B1的宽度大于第二区B2的宽度。主要原因在于，后续在第一区B1内形成的字线62用于将字线区A1的字线62引出，也就是说，第一区B1需要容纳多个台阶，而第二区B内的字线62将会在形成台阶的过程中被去除。为保证第一区B1具有足够的容纳空间，可以相应增大第一区B1在第一方向X上的宽度。
15

[0046] 继续参考图23，去除位于第一区B1的有源层20，以露出伪字线结构6。

[0047] 示例地，采用湿法刻蚀以去除有源层20。由于台阶区B的有源层20均被去除，其不再作为引出字线62的接触结构，因此，可以避免有源层20的高电阻对半
20 导体结构的影响。此外，有源层20被去除后，可以露出较大面积的伪字线结构6，以便于后续去除伪字线结构6。此外，有源层20被去除后，可在台阶区B与字线区A1的交界处形成一个较大的开口，以便于后续两个区域的字线62的进行互连。

[0048] 至此，基于图22-图23所示的两个步骤，可以去除位于台阶区B的有源层20。分两次去除有源层20能够提高工艺效率，并且减少残留物。上述步骤为示例性
25 说明，在另一些实施例中，也可以不对台阶区B划分为第一区B1和第二区B2，而直接采用一道工艺步骤将台阶区B的有源层20去除。

[0049] 图24为图2所示的d-d1方向上的剖面图，图25为图2所示的e-e1方向上的剖面图，参考图24-图25，去除剩余的伪字线结构6。即去除第一区B1和字线区A1的伪字线结构6，以露出有源结构2。

30 [0050] 示例地，采用湿法刻蚀以去除伪字线结构6。在去除伪字线结构6的过程中，伪字线结构6和第一隔离层5的选择刻蚀比大于2:1。即较大的选择刻蚀比能够保证在去除伪字线结构6的同时，降低对第一隔离层5的损伤，从而保证第一隔离层5的隔离效果，并避免影响后续形成字线62的形貌。

[0051] 至此，基于图22和图24-图25所示的两个步骤，可以将伪字线结构6去除。
35 需要说明的是，分两次去除伪字线结构6能够提高工艺效率，并且减少残留物。上述步骤为示例性说明，在另一些实施例中，可以直接采用一道工艺步骤将伪字线结构6去除。

[0052] 图26为图2所示的d-d1方向上的剖面图，参考图26，在台阶区B和字线区A1形成介质层61，介质层61覆盖有源结构2。示例地，通过原位水汽生成工艺

在有源结构 2 的表面生长氧化硅以作为介质层 61。

[0053] 继续参考图 26, 在介质层 61 和第一隔离层 5 的表面形成字线阻挡层 621。示例地, 通过原子层沉积工艺在介质层 61 的表面形成氮化钛或氮化钽等膜层以作为字线阻挡层 621。字线阻挡层 621 能够避免后续形成的字线填充层 622 与第一隔离层 5 发生原子扩散, 从而保证字线填充层 622 具有较低的电阻。

[0054] 参考图 27-图 28, 图 27 为图 2 所示 d-d1 方向上的剖面图, 图 28 为图 2 所示的 e-e1 方向的剖面图, 形成位于相邻间隔部 52 之间的字线填充层 622, 字线填充层 622 还覆盖字线阻挡层 621, 字线阻挡层 621 和字线填充层 622 构成字线 62。

[0055] 示例地, 在间隔部 52 之间沉积钛、钨或钼等低电阻金属作为字线填充层 622。低电阻的金属有利于降低半导体结构的功耗, 还有利于缩短延迟时间, 从而提高半导体结构的运行速率。

[0056] 需要说明的是, 由于在形成字线 62 之前已经形成了用于隔离相邻字线 62 的第一隔离层 5, 且间隔部 52 与主体部 51 相连, 从而能够封闭窗口区 C 朝向字线区 A1 的一侧, 进而可以避免上下层字线 62 发生互连。

[0057] 此外, 第一隔离层 5 还作为形成字线 62 的模子。如此, 可以相应延长字线 62 的沉积时间, 以使得字线 62 填充满相邻间隔部 52 之间的间隙, 从而避免同一层相邻有源结构 2 之间的字线 62 发生断开的问题。

[0058] 此外, 由于去除了台阶区 B 的有源层 20, 从而在台阶区 B 和字线区 A1 之间形成了较大的开口。该开口能够增加台阶区 B 的字线 62 与字线区 A1 的字线 62 接触面积, 从而避免发生断开的问题。

[0059] 至此, 基于图 26-图 28 所示的步骤, 可以在台阶区 B 和字线区 A1 形成介质层 61 和字线 62, 介质层 61 覆盖有源结构 2; 字线 62 覆盖介质层 61, 且包覆同一层的有源结构 2, 字线 62 还位于相邻间隔部 52 之间。

[0060] 参考图 29, 图 29 为图 2 所示 d-d1 方向上的剖面图, 对台阶区 B 进行图形化处理, 以形成多个台阶; 台阶包括字线 62 以及位于其上下两侧的第一隔离层 5; 在字线区 A1 指向台阶区 B 的方向上, 台阶的高度依次降低。即, 台阶能够为后续形成的连接柱 63 提供位置, 以使得连接柱 63 将字线 62 引出。

[0061] 示例地, 刻蚀台阶区 B 的部分字线 62 和部分第一隔离层 5, 台阶区 B 剩余的字线 62 和第一隔离层 5 构成台阶。

[0062] 参考图 30, 形成多个连接柱 63, 连接柱 63 与台阶一一对应, 并穿透位于字线 62 上的第一隔离层 5, 以使连接柱 63 与字线 62 连接。

[0063] 在形成连接柱 63 前, 还可以在台阶上形成覆盖层, 刻蚀覆盖层以形成通孔, 在通孔中沉积铜、铝、钨或钛等金属作为连接柱 63。

[0064] 参考图 2, 值得注意的是, 晶体管区 A 还包括位线区 A2、第一间隔区 A3 和第二间隔区 A4 和电容区 A5; 位线区 A2、第一间隔区 A3、字线区 A1、第二间隔区 A3 和电容区 A5 在第二方向 Y 依次排列。

[0065] 制造方法还可以包括: 在位线区 A2 形成多条位线 7, 位线在第三方向 Z 上延伸, 第三方向 Z 垂直于基底 1 表面; 位线与有源结构 2 电连接。具体地, 有源结构 2 包括在第二方向 Y 依次排布的第一源漏区、沟道区和第二源漏区, 其中位线 7

与第一源漏区相连。

[0066] 制造方法还可以包括：在电容区 A5 形成多个电容（图中未示出），电容与有源结构 2 电连接。具体地，电容与有源结构 2 的第二源漏区相连。

5 [0067] 此外，第一间隔区和第二间隔区内形成有填充层 33，填充层 33 包覆有源结构 2。第一间隔区的填充层 33 可用于隔离位线 7 和字线 62。第二间隔区的填充层 33 可用于隔离字线 62 和电容。

[0068] 综上，本公开实施例先在有源结构 2 的表面形成伪字线结构 6；形成第一隔离层 5 后，再去除伪字线结构 6，从而获得形成字线 62 的模子；在第一隔离层 5 内填充导电材料可形成字线 62，从而可以避免同一层字线 62 发生断开，或上下层字线 62 发生互连的问题。此外，由于去除了台阶区 B 的有源层 20，字线区 A1 和台阶区 B 交界处的开口较大，从而可以避免字线 62 在两个区域的交界处发生断开的问题。如此，有利于提高半导体结构的性能。

10 [0069] 本公开实施例还提供一种半导体结构，此半导体结构可以采用前述实施例提供的制造方法进行制造，对此半导体结构的详细说明可以参考前述实施例，在此不再赘述。

[0070] 半导体结构包括在第一方向 X 依次排列的窗口区 C、晶体管区 A 和台阶区 B，晶体管区 A 包括字线区 A1，字线区 A1 与窗口区 C 和台阶区 B 正对且相接，半导体结构包括：

20 [0071] 基底 1，晶体管区 A 的基底 1 上具有多层间隔设置的有源层 20，晶体管区 A 的有源层 20 包括多个在第二方向 Y 延伸的有源结构 2，第二方向 Y 垂直于第一方向 X；介质层 61，覆盖有源结构 2 的表面；多条字线 62，位于字线区 A1 和台阶区 B，且包覆同一层的有源层 20；第一隔离层 5，第一隔离层 5 包括相连的主体部 51 和间隔部 52，主体部 51 位于窗口区 C；间隔部 52 位于字线区 A1 和台阶区 B，并位于相邻字线 62 之间。

25 [0072] 需要说明的是，主体部 51 能够对间隔部 52 起到支撑作用，从而提高了第一隔离层 5 的牢固性。此外，主体部 51 与间隔部 52 相连，从而在第三方向 Z 上构成了多个相对封闭的区域，能够避免字线 62 在远离台阶区 B 的侧面发生互连。因此，半导体结构的性能得以提升。

30 [0073] 在本说明书的描述中，参考术语“一些实施例”、“示例地”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

35 [0074] 尽管上面已经示出和描述了本公开的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本公开的限制，本领域的普通技术人员在本公开的范围可以对上述实施例进行变化、修改、替换和变型，故但凡依本公开的权利要求和说明书所做的变化或修饰，皆应属于本公开专利涵盖的范围之内。

权利要求书

1、一种半导体结构的制造方法，所述半导体结构包括在第一方向依次排列的窗口区、晶体管区和台阶区，所述晶体管区包括字线区，所述字线区与所述窗口区和所述台阶区正对且相接，所述制造方法包括：

5 提供基底，在所述晶体管区和所述台阶区的所述基底上形成多层间隔设置的有源层，所述晶体管区的所述有源层包括多个在第二方向延伸的有源结构，所述第二方向垂直于所述第一方向；

在所述字线区和所述台阶区形成多个伪字线结构，所述伪字线结构包覆同一层的所述有源层；

10 形成第一隔离层，所述第一隔离层包括相连的主体部和间隔部，所述主体部位于所述窗口区；所述间隔部位于所述字线区和所述台阶区，并位于相邻所述伪字线结构之间；

去除位于所述台阶区的所述有源层；

去除所述伪字线结构；

15 在所述台阶区和所述字线区形成介质层和字线，所述介质层覆盖所述有源结构；所述字线覆盖所述介质层，且包覆同一层的所述有源结构，所述字线还位于相邻所述间隔部之间。

20 2、根据权利要求1所述的半导体结构的制造方法，其中，所述台阶区包括第一区和第二区，所述第一区位于所述字线区和所述第二区之间；在形成所述伪字线结构前，还包括：

形成支撑结构，所述支撑结构至少位于所述第一区和所述第二区的交界处，并包覆所述有源层；

去除所述台阶区的所述有源层以及去除所述伪字线结构，包括：

去除位于所述第二区的所述有源层、所述间隔部和所述伪字线结构；

25 去除位于所述第一区的所述有源层；

去除剩余的所述伪字线结构。

3、根据权利要求2所述的半导体结构的制造方法，其中，在所述第一方向上，所述第一区的宽度大于所述第二区的宽度。

30 4、根据权利要求2所述的半导体结构的制造方法，其中，所述支撑结构还位于所述第二区远离所述第一区的一侧，并包覆所述有源层。

5、根据权利要求2所述的半导体结构的制造方法，其中，所述支撑结构还位于所述字线区与所述第一区的交界处，并包覆所述有源层。

6、根据权利要求2所述的半导体结构的制造方法，其中，所述支撑结构还位于所述字线区在所述第二方向排列的相对两侧，所述支撑结构还包覆所述有源结构；

35 所述支撑结构还位于所述台阶区在所述第二方向排列的相对两侧，

所述支撑结构还位于所述窗口区未与所述字线区相接的边缘。

7、根据权利要求2所述的半导体结构的制造方法，其中，形成所述有源层和所述支撑结构的步骤包括：

在基底上形成多层交替设置的所述有源层和牺牲层；

形成第二隔离层，所述第二隔离层穿透所述有源层和所述牺牲层，并将所述晶体管区的所述有源层分割为多个所述有源结构；所述第二隔离层还填充满所述窗口区；

5 形成所述支撑结构，所述支撑结构还穿透所述第二隔离层；

形成所述支撑结构后，去除所述牺牲层和所述第二隔离层；

形成填充层，所述填充层覆盖所述有源层，并与所述支撑结构相接触，还填充于所述窗口区；

10 在形成所述伪字线结构前，去除位于所述字线区、所述台阶区和所述窗口区的所述填充层。

8、根据权利要求1所述的半导体结构的制造方法，其中，

形成所述字线的步骤包括：在所述介质层和所述第一隔离层的表面形成字线阻挡层；

15 形成位于相邻间隔部之间的字线填充层，所述字线填充层还覆盖所述字线阻挡层，所述字线阻挡层和所述字线填充层构成所述字线。

9、根据权利要求1所述的半导体结构的制造方法，其中，还包括：

对所述台阶区进行图形化处理，以形成多个台阶；

所述台阶包括所述字线以及位于其上下两侧的所述第一隔离层；

在所述字线区指向所述台阶区的方向上，所述台阶的高度依次降低。

20 10、根据权利要求9所述的半导体结构的制造方法，其中，还包括：

形成多个连接柱，所述连接柱与所述台阶一一对应，并穿透位于所述字线上的所述第一隔离层，以使所述连接柱与所述字线连接。

11、根据权利要求2所述的半导体结构的制造方法，其中，

在所述第一方向上，所述窗口区的宽度大于所述第二区的宽度。

25 12、根据权利要求1所述的半导体结构的制造方法，其中，形成所述伪字线结构的方法包括：原子层沉积工艺；和/或，

形成所述第一隔离层的方法包括：原子层沉积工艺。

30 13、根据权利要求1所述的半导体结构的制造方法，其中，所述晶体管区还包括位线区、第一间隔区和第二间隔区和电容区；所述位线区、所述第一间隔区、所述字线区、所述第二间隔区和所述电容区在所述第二方向依次排列；

在所述位线区形成多条位线，所述位线在第三方向上延伸，所述第三方向垂直于所述基底表面；所述位线与所述有源结构电连接；

在所述电容区形成多个电容，所述电容与所述有源结构电连接；

35 在所述第一间隔区和所述第二间隔区形成填充层，所述填充层包覆所述有源结构。

14、根据权利要求1所述的半导体结构的制造方法，其中，在去除所述伪字线结构的过程中，所述伪字线结构和所述第一隔离层的选择刻蚀比大于2:1。

15、一种半导体结构，所述半导体结构包括在第一方向依次排列的窗口区、晶体管区和台阶区，所述晶体管区包括字线区，所述字线区与所述窗口区和所述台阶

区正对且相接，所述半导体结构包括：

基底，所述晶体管区的所述基底上具有多层间隔设置的有源层，所述晶体管区的所述有源层包括多个在第二方向延伸的有源结构，所述第二方向垂直于所述第一方向；

5 介质层，覆盖所述有源结构的表面；

多条字线，位于所述字线区和所述台阶区，且包覆同一层的所述有源层；

第一隔离层，所述第一隔离层包括相连的主体部和间隔部，所述主体部位于所述窗口区；所述间隔部位于所述字线区和所述台阶区，并位于相邻所述字线之间。

10

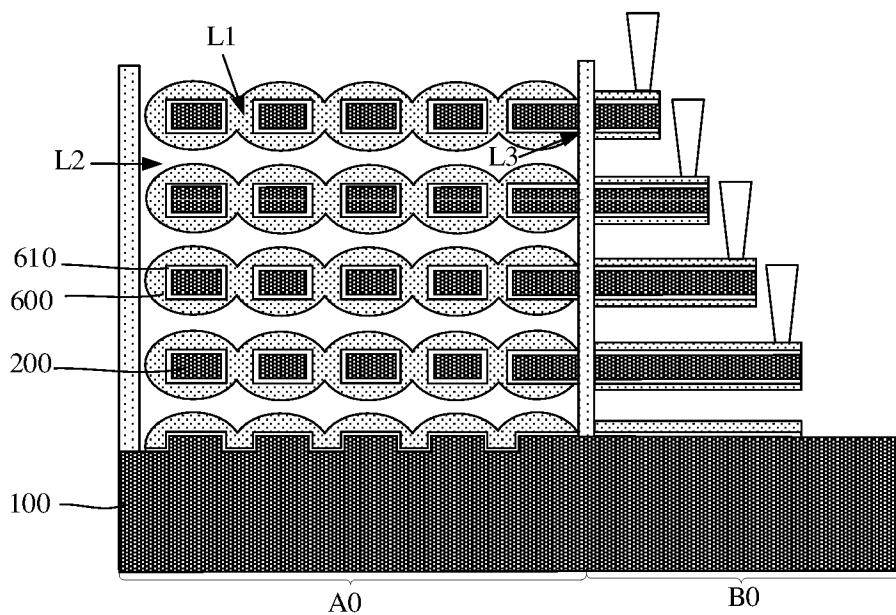


图 1

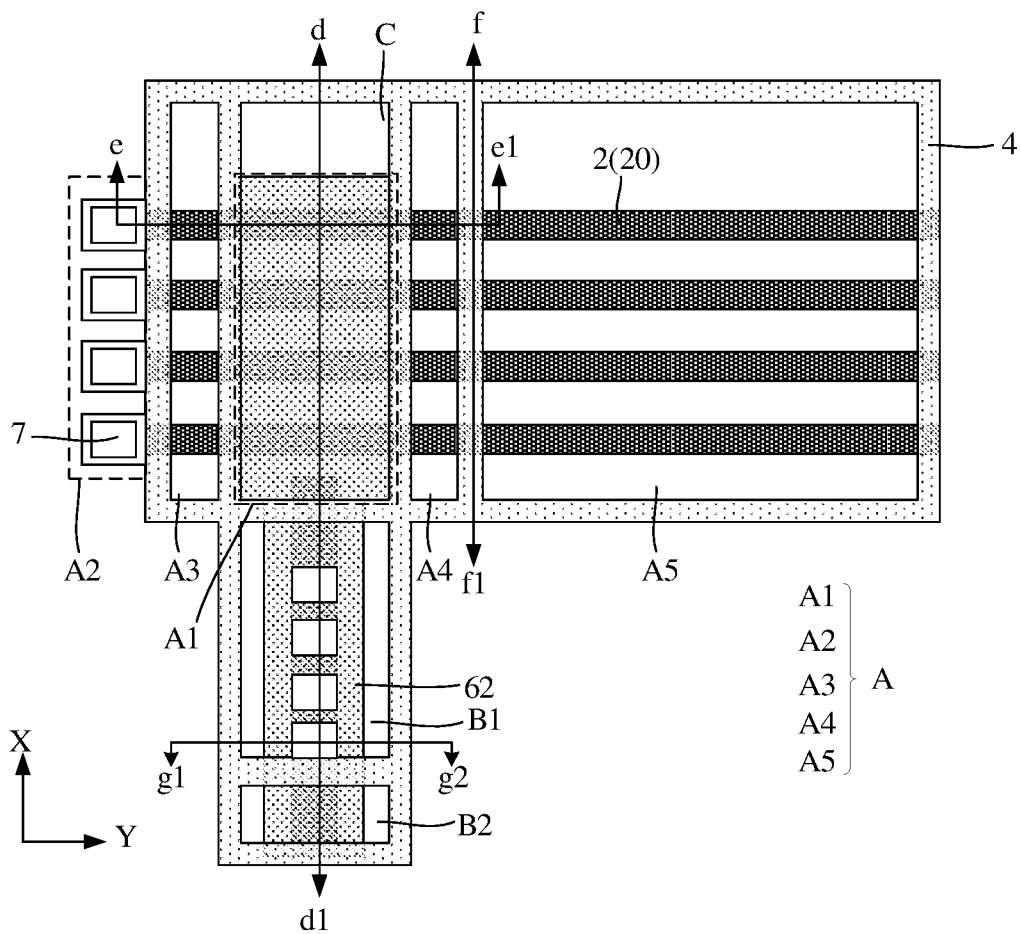


图 2

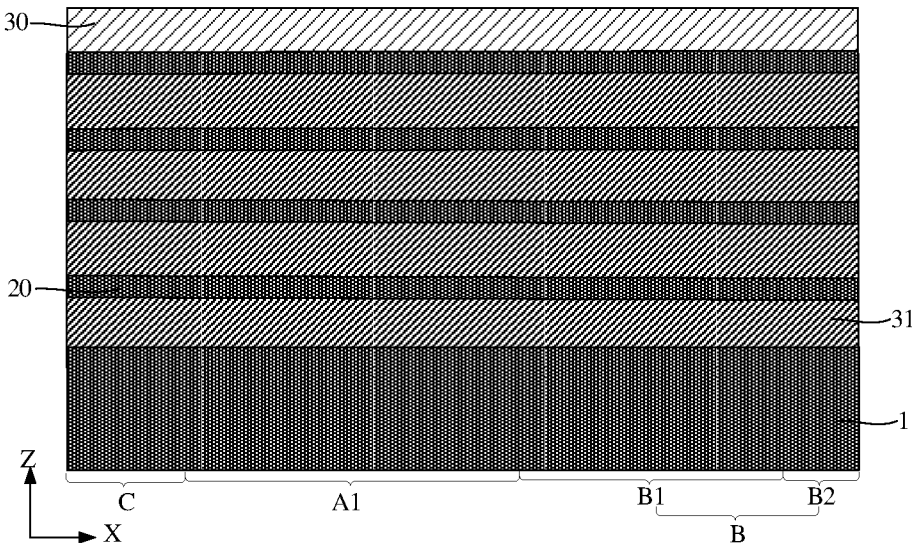


图 3

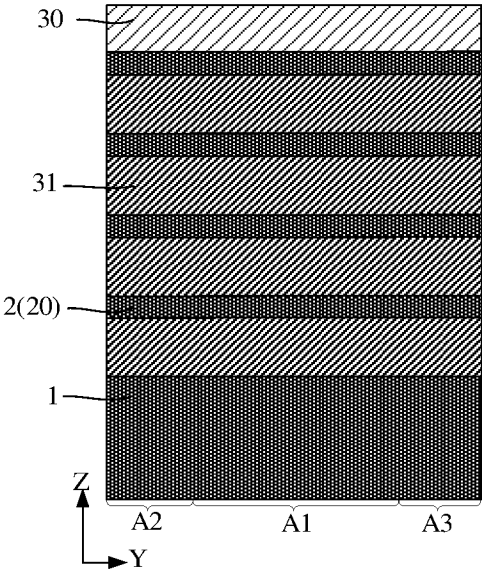


图 4

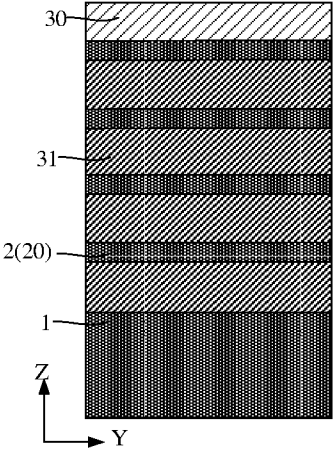


图 5

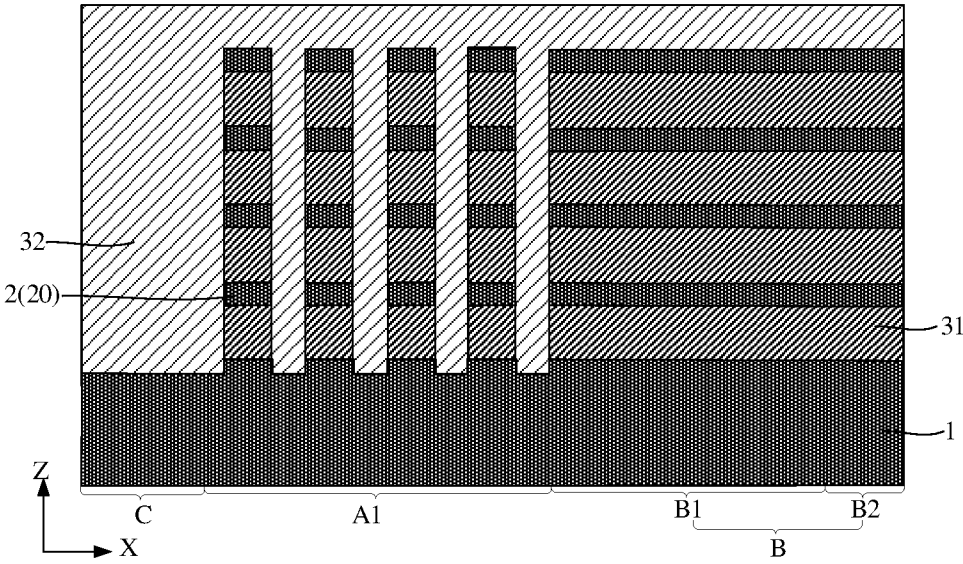


图 6

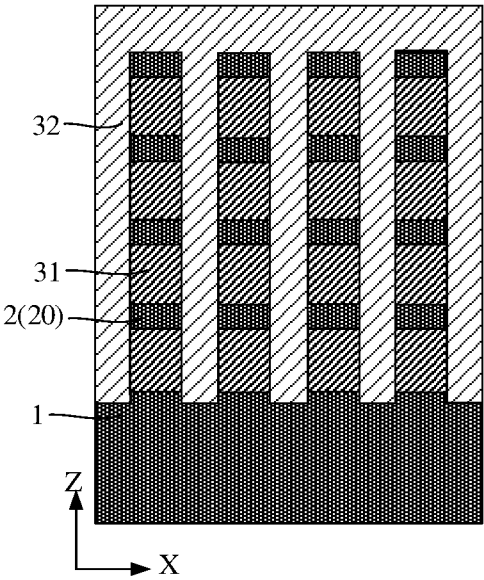


图 7

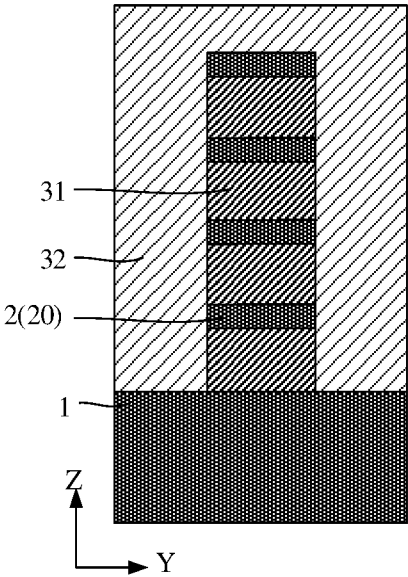


图 8

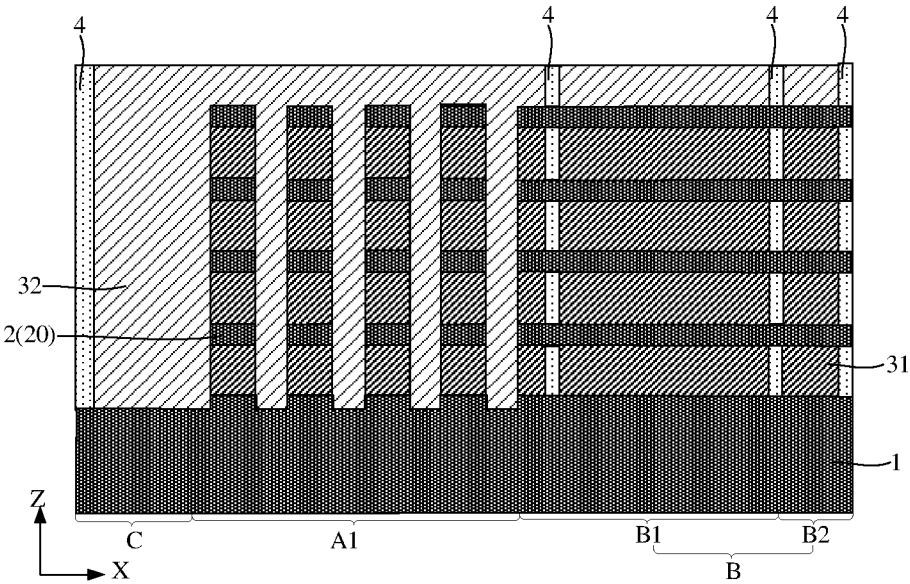


图 9

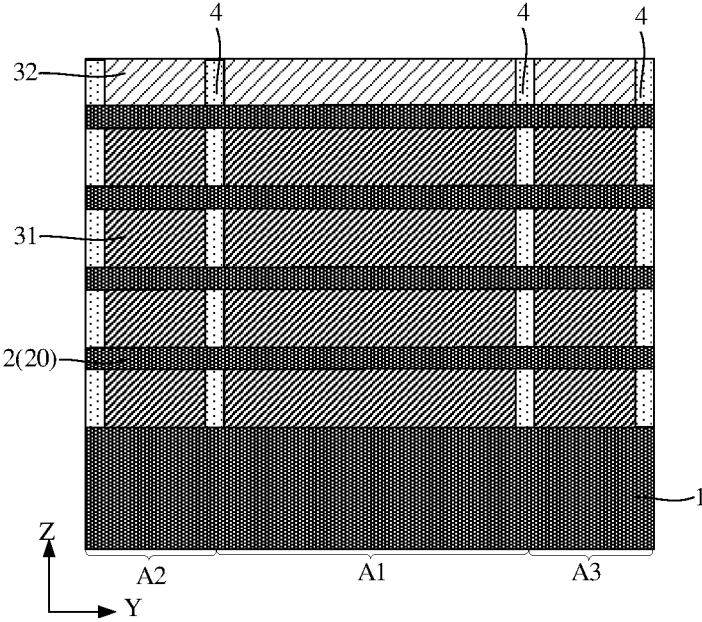


图 10

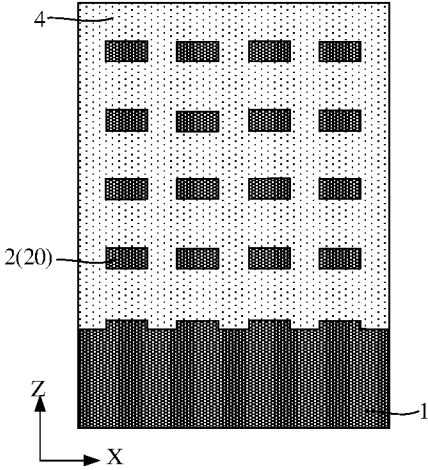


图 11

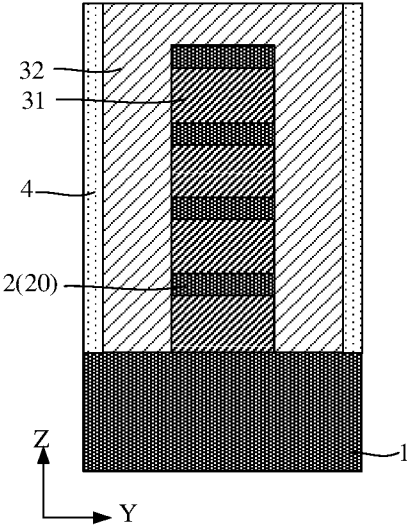


图 12

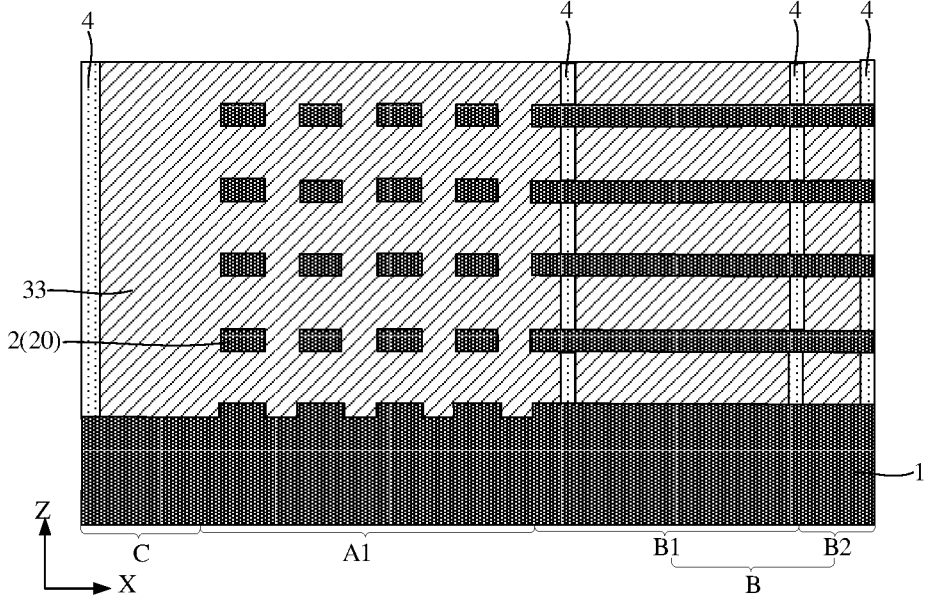


图 13

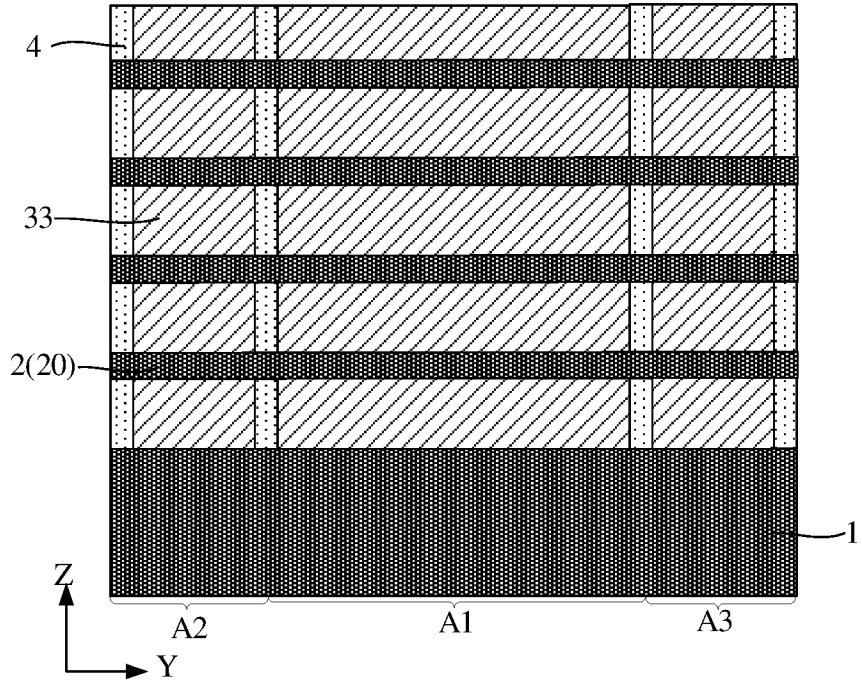


图 14

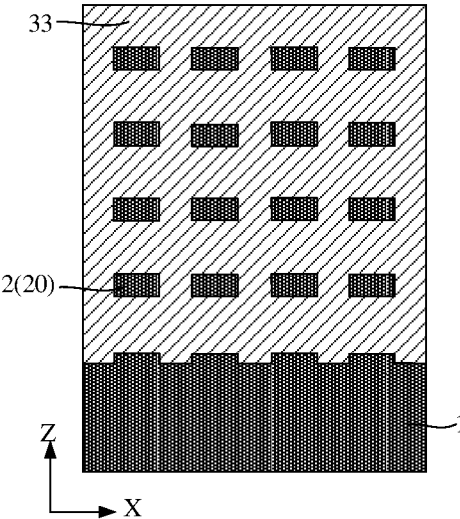


图 15

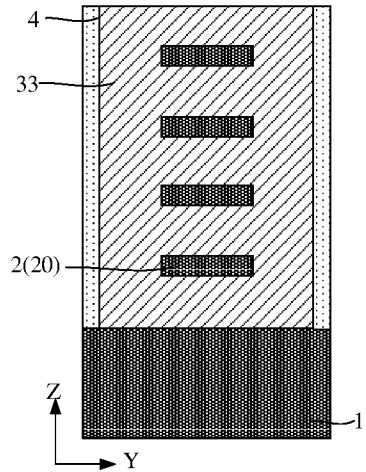


图 16

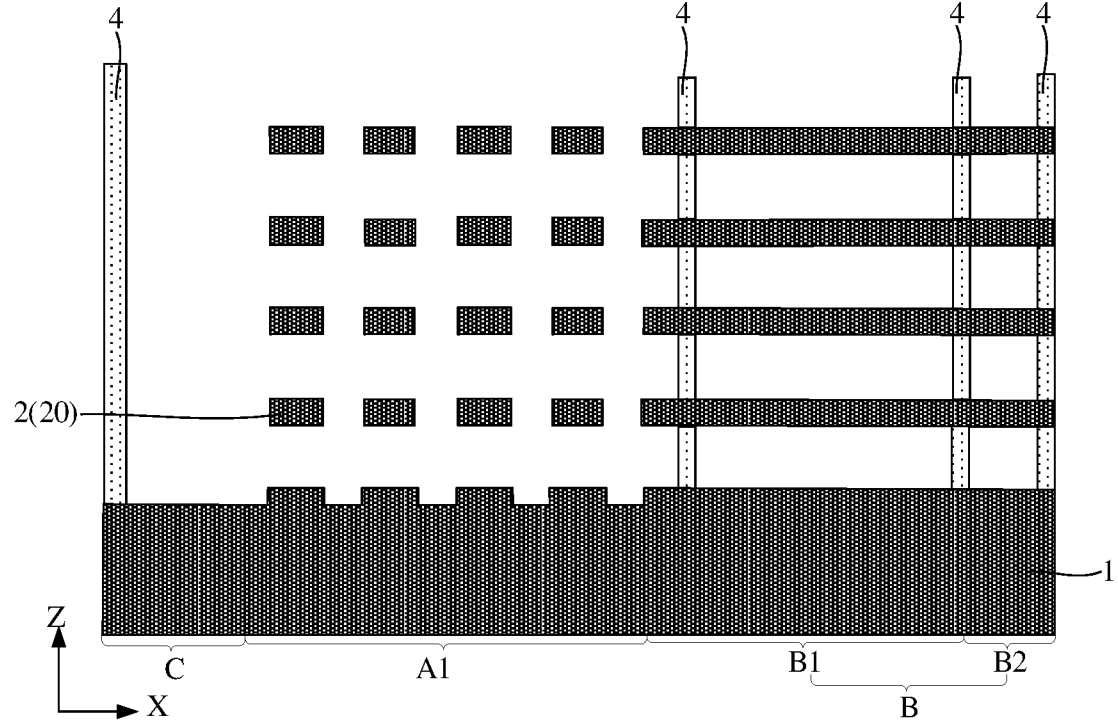


图 17

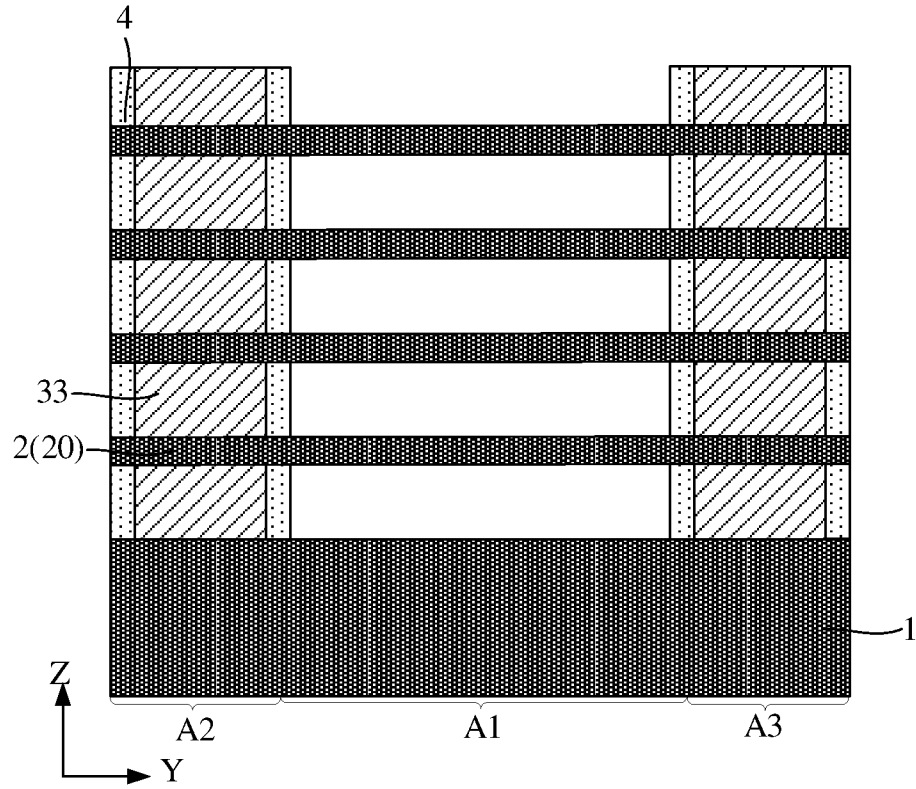


图 18

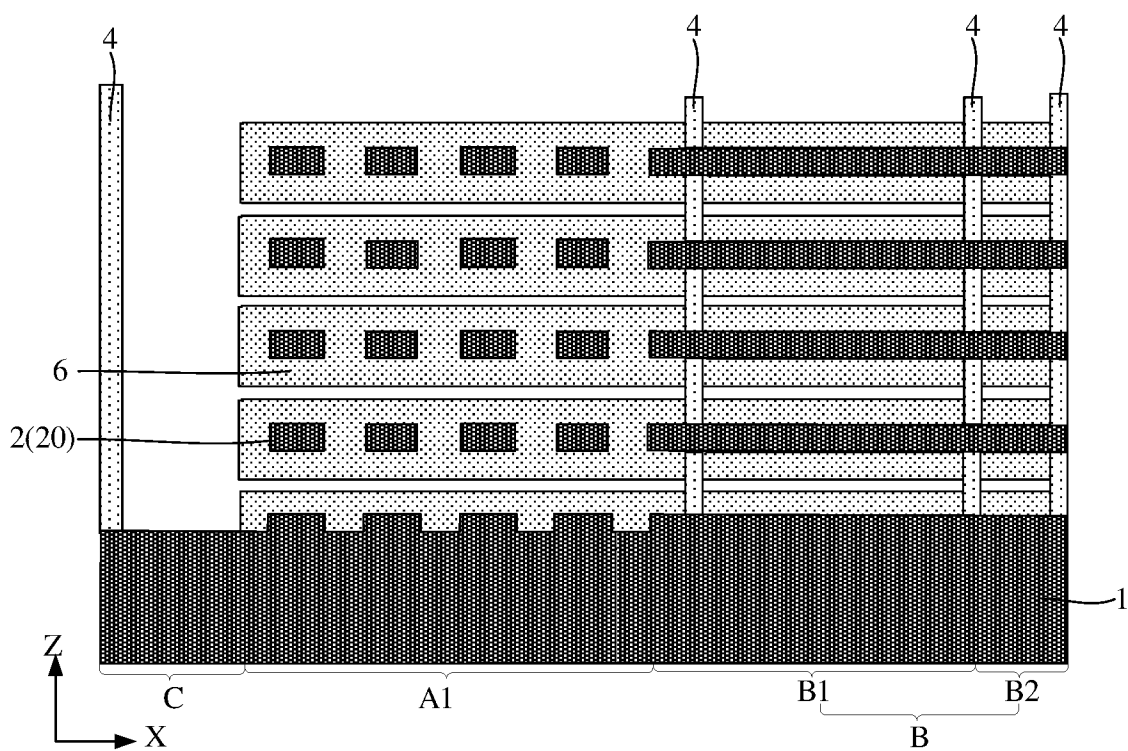


图 19

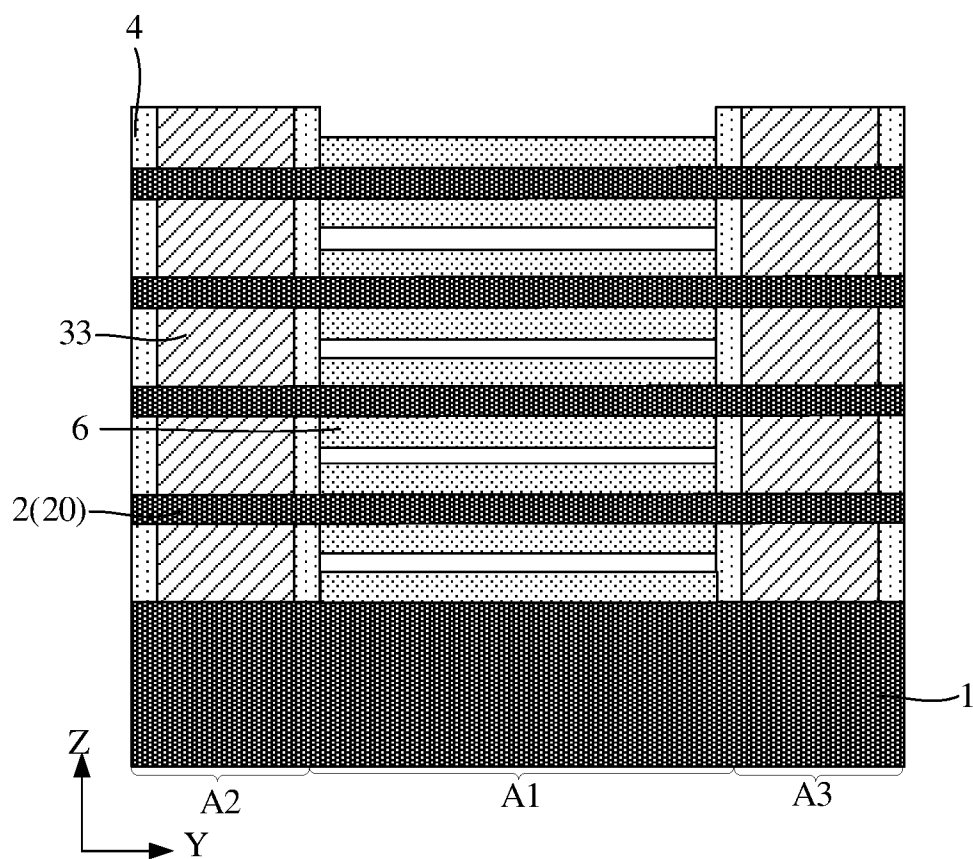


图 20

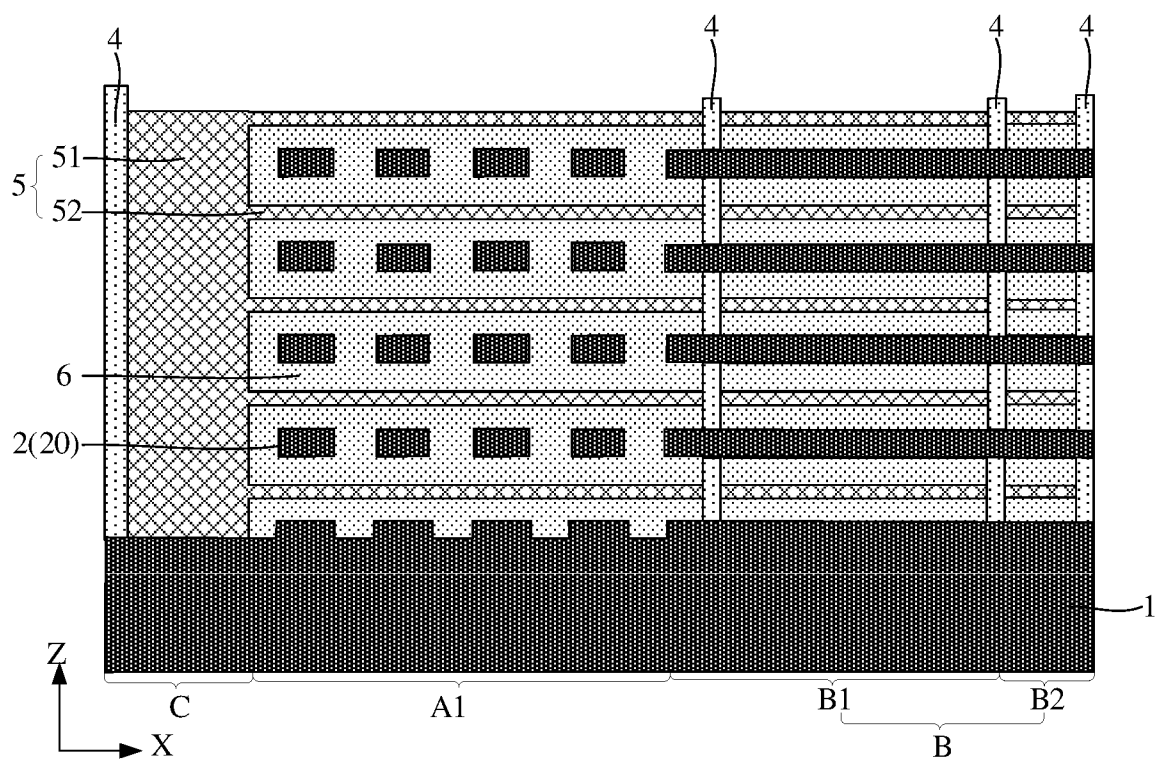


图 21

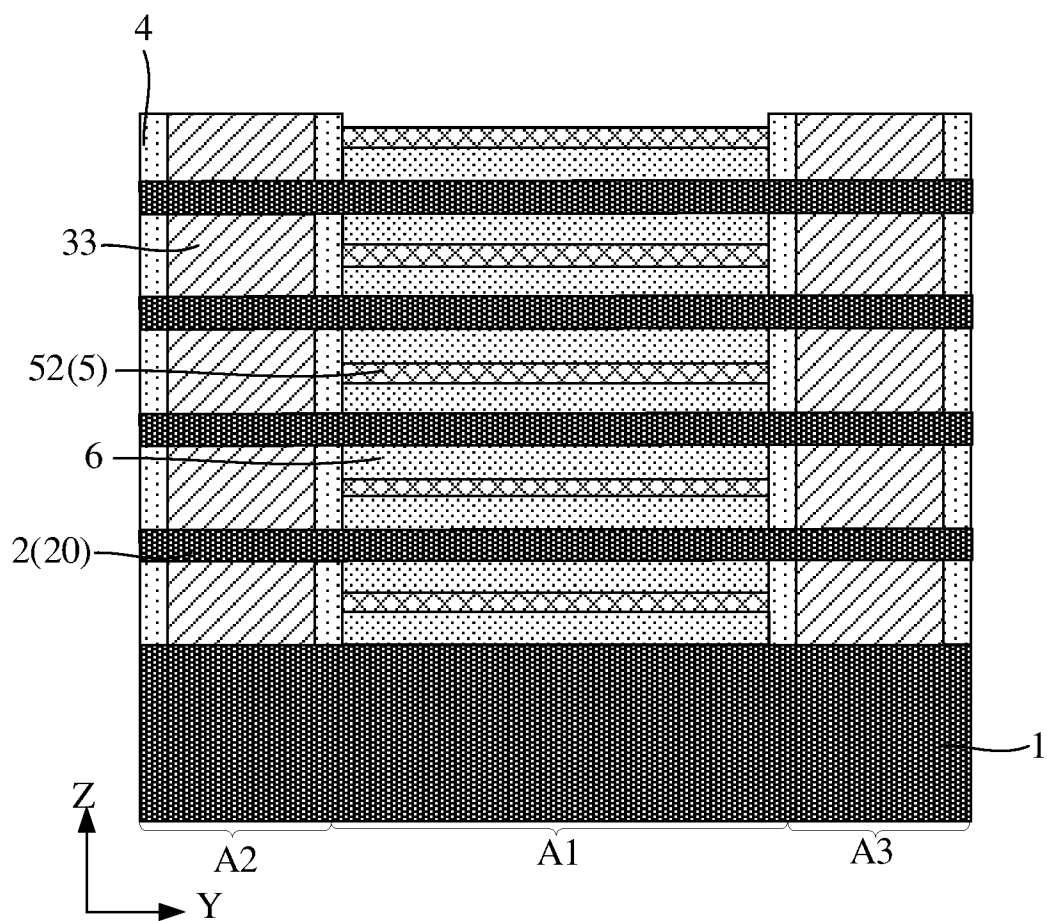


图 22

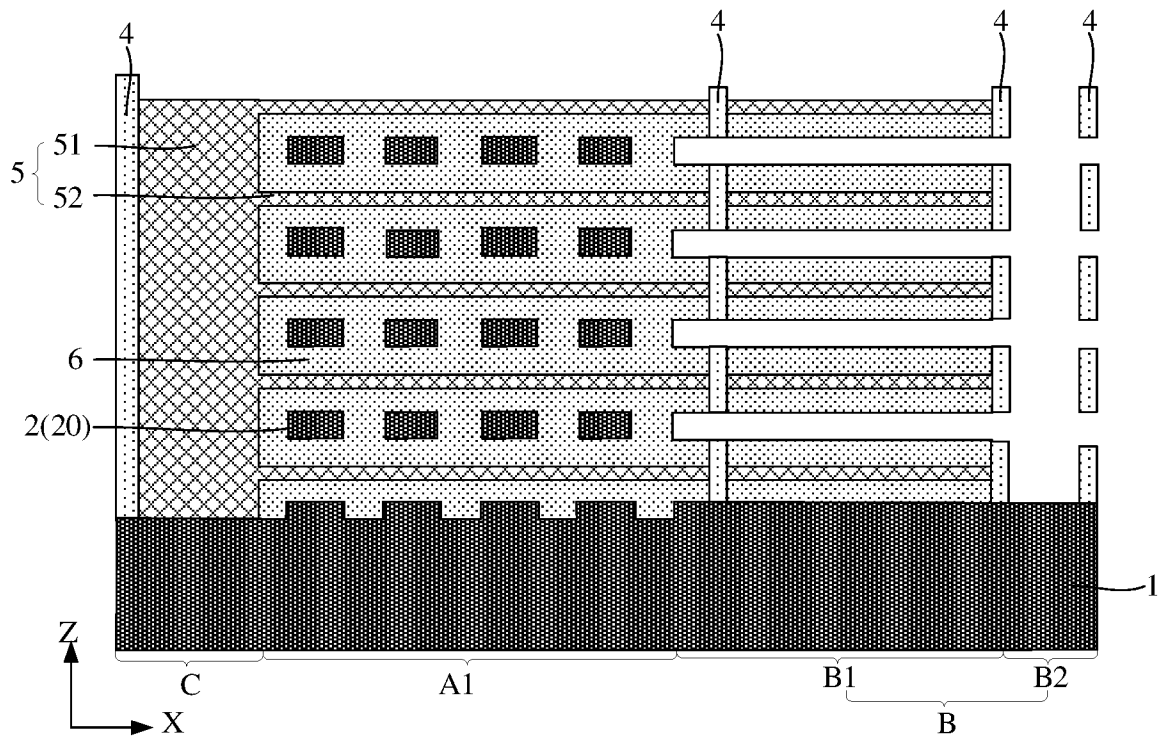


图 23

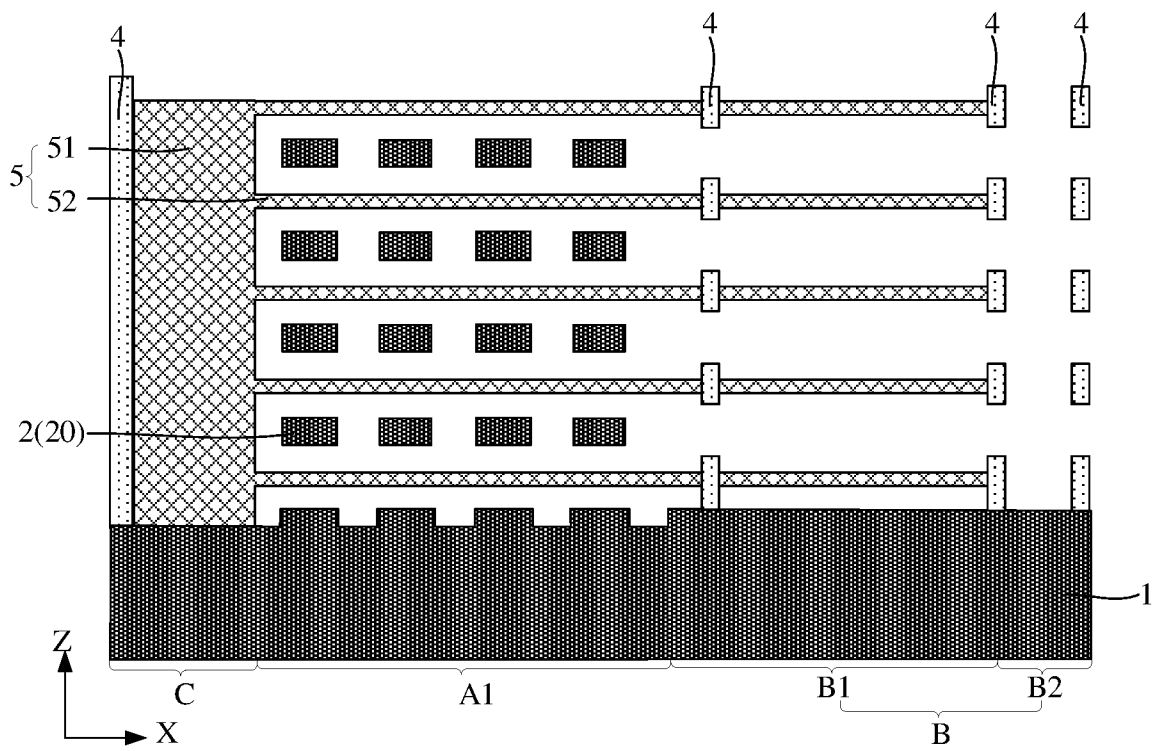


图 24

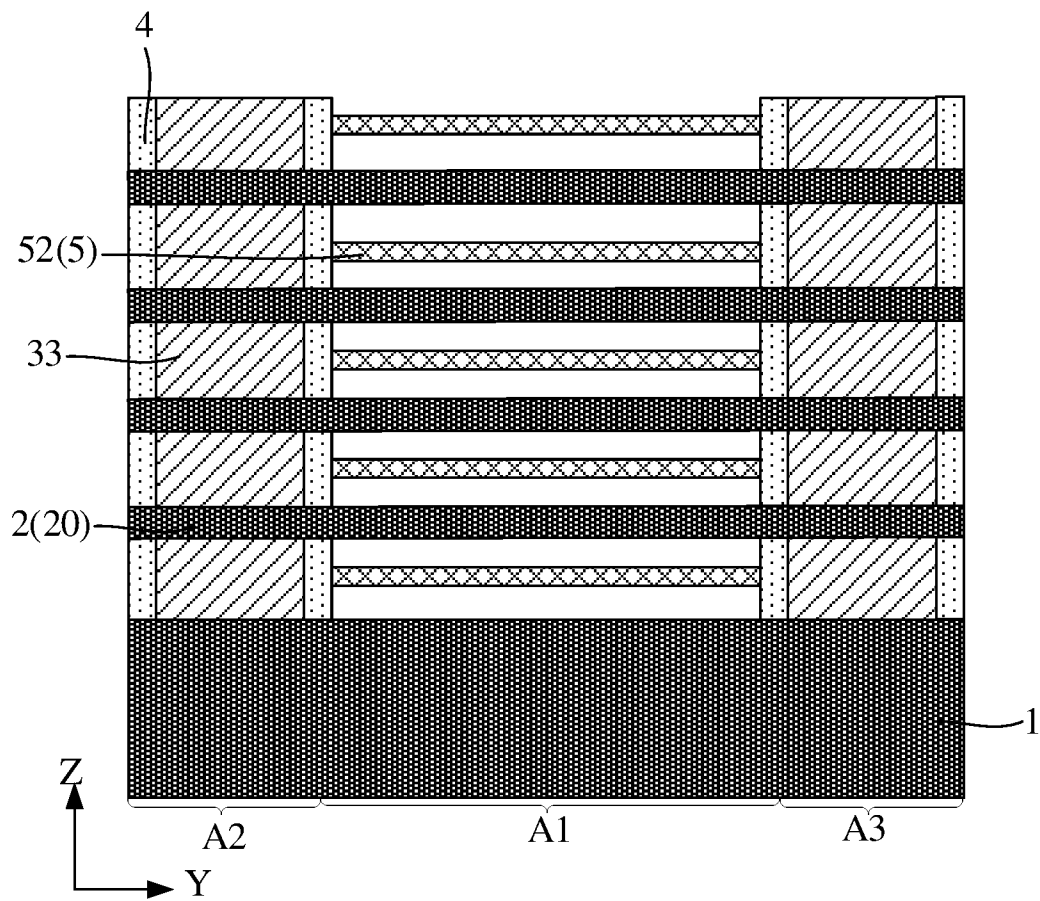


图 25

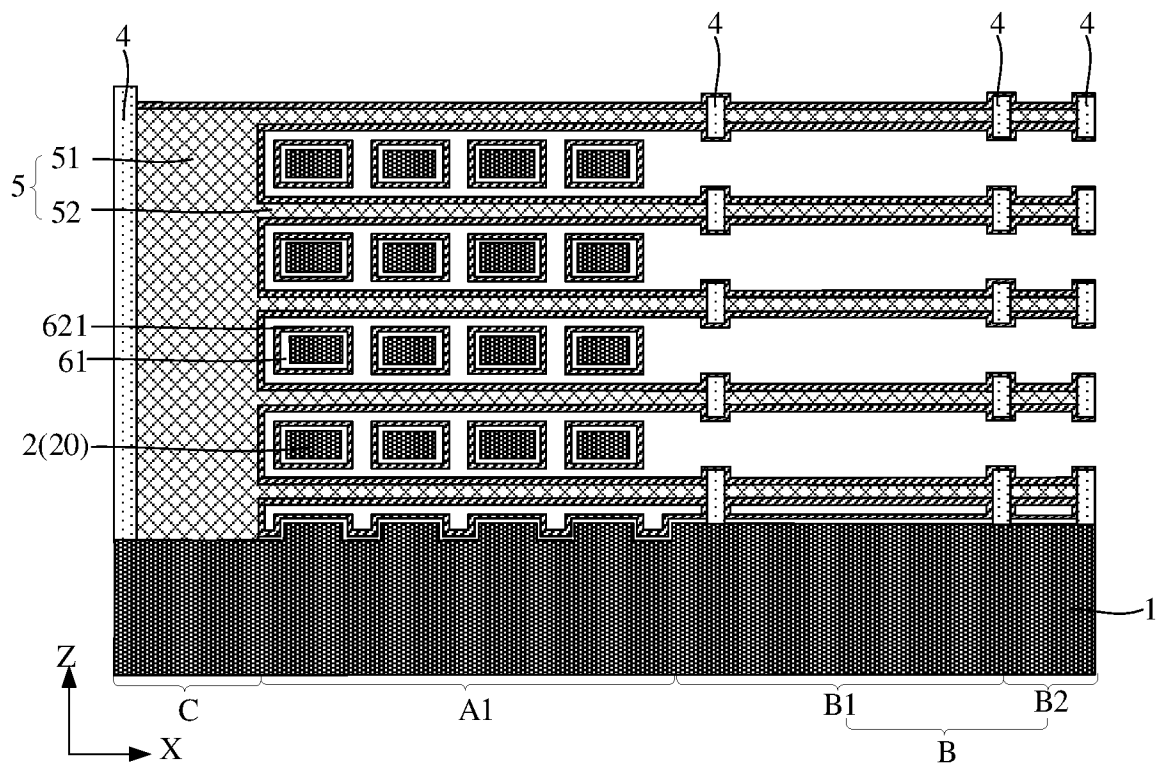


图 26

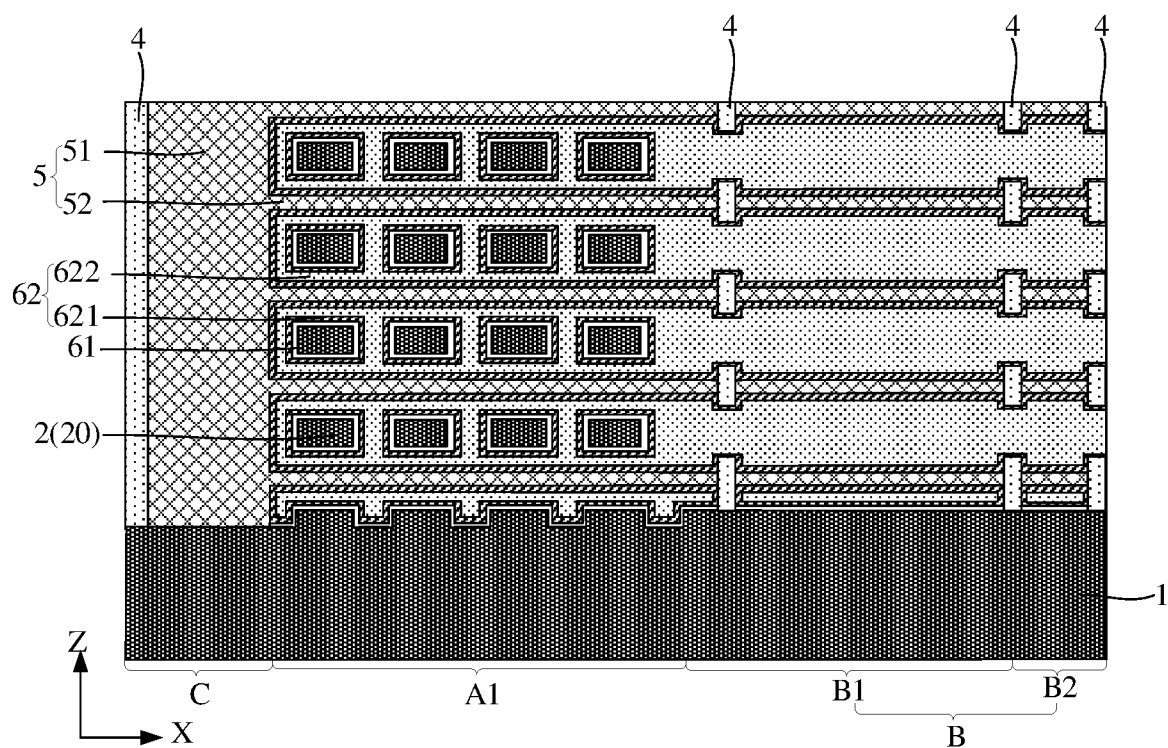


图 27

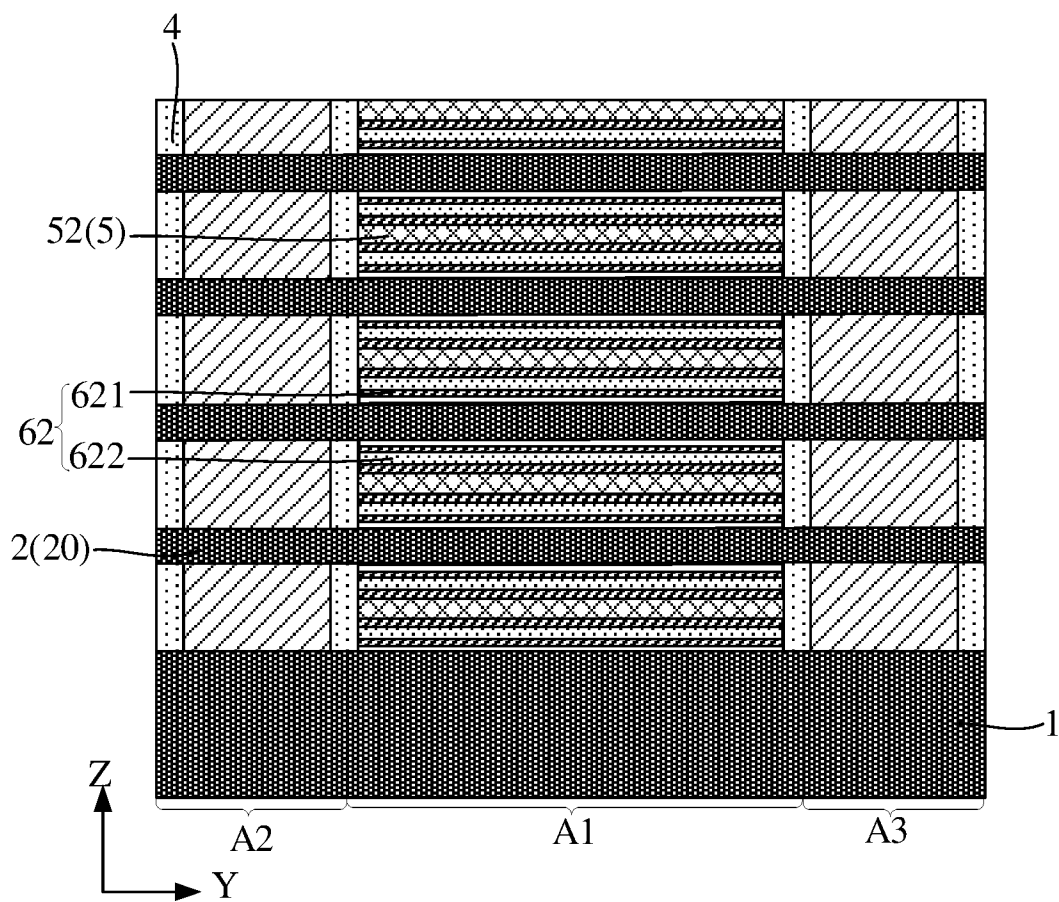


图 28

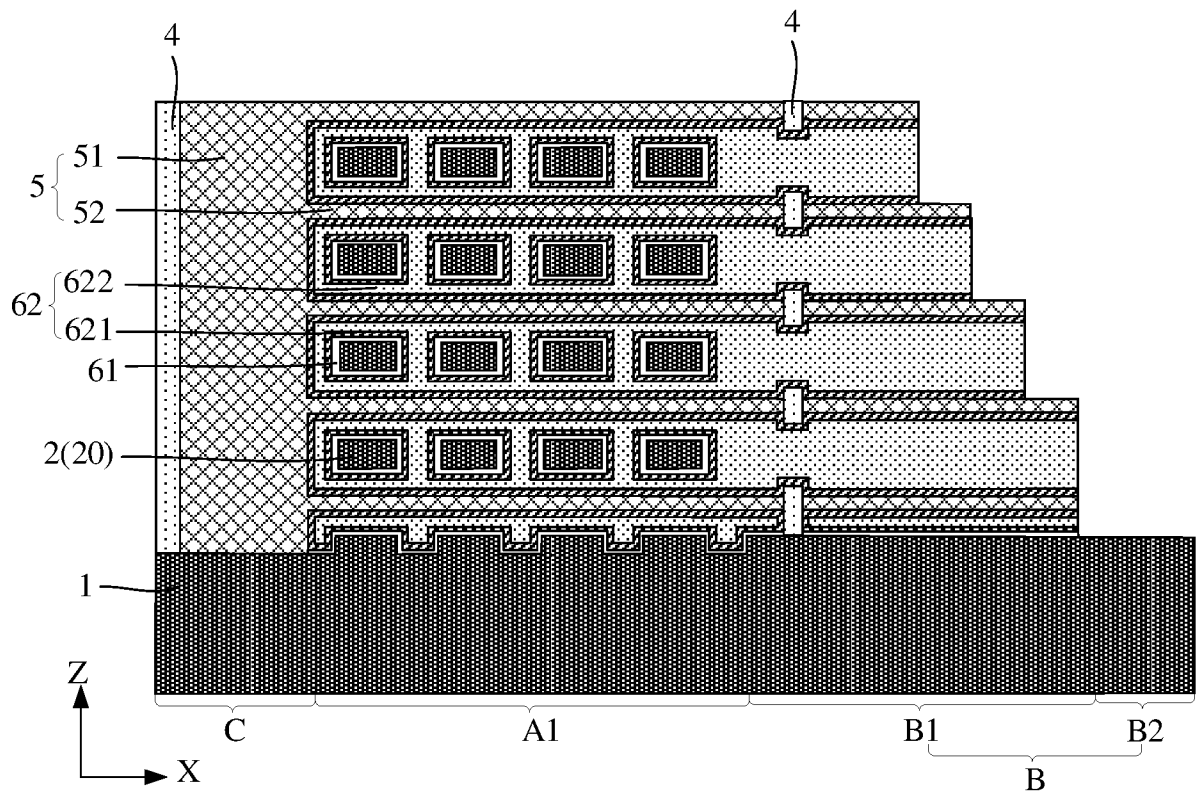


图 29

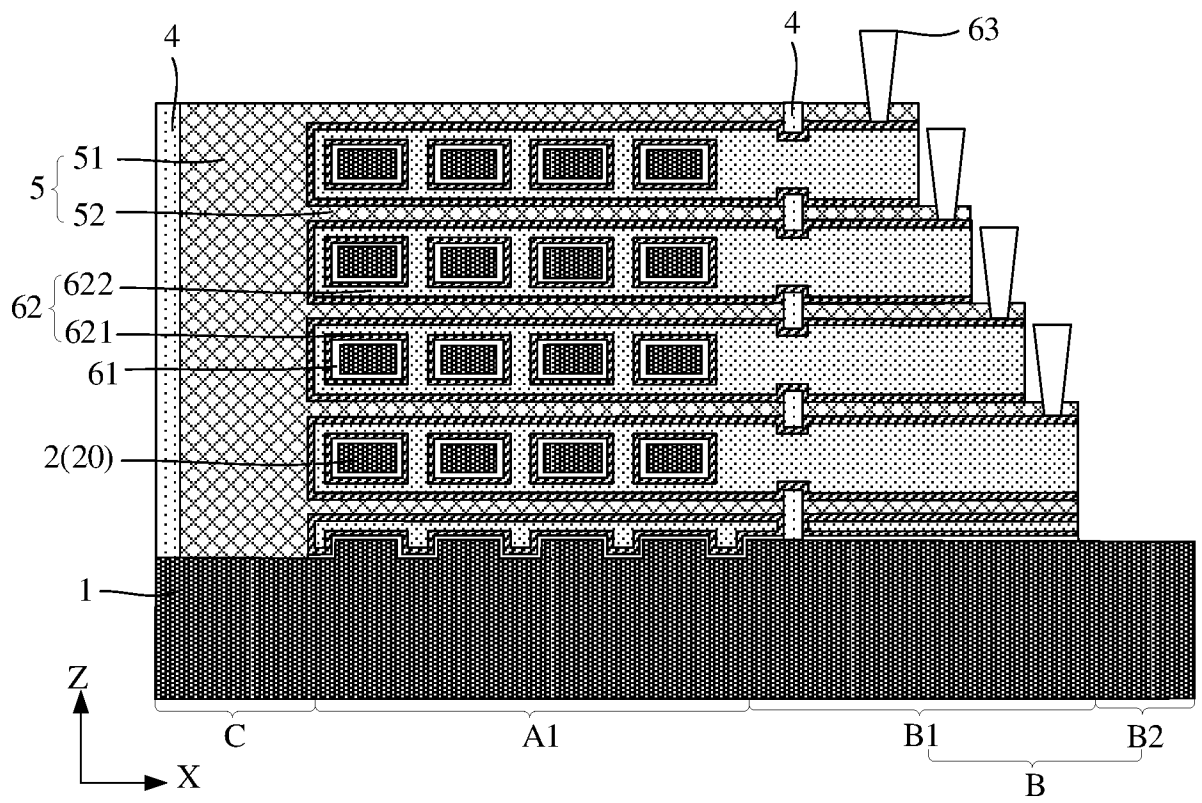


图 30

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/106600

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 29/66(2006.01)i; H01L 27/115(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CNPAT, CNKI, IEEE: 存储器, 台阶区域, 窗口区, 伪字线, 伪栅极, 隔离层, memory, step region, window region, pseudo word line, pseudo gate, spacer, isolating layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 114121819 A (CHANGXIN MEMORY TECHNOLOGIES INC. et al.) 01 March 2022 (2022-03-01) description, paragraphs 0004-0147, and figures 1-6	1-15
A	US 2021167185 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORP. et al.) 03 June 2021 (2021-06-03) entire document	1-15
A	US 9691907 B1 (UNITED MICROELECTRONICS CORP.) 27 June 2017 (2017-06-27) entire document	1-15
A	US 2013307047 A1 (KABUSHIKI KAISHA TOSHIBA) 21 November 2013 (2013-11-21) entire document	1-15
A	US 2012267699 A1 (KABUSHIKI KAISHA TOSHIBA) 25 October 2012 (2012-10-25) entire document	1-15
A	US 2020013896 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 09 January 2020 (2020-01-09) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 December 2022

Date of mailing of the international search report

27 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/106600

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114121819	A	01 March 2022	None			
US	2021167185	A1	03 June 2021	CN	112864017	A	28 May 2021
US	9691907	B1	27 June 2017	TW	201803087	A	16 January 2018
US	2013307047	A1	21 November 2013	JP	2013239622	A	28 November 2013
				TW	201407755	A	16 February 2014
US	2012267699	A1	25 October 2012	JP	2012227326	A	15 November 2012
US	2020013896	A1	09 January 2020	US	2020083382	A1	12 March 2020

国际检索报告

国际申请号

PCT/CN2022/106600

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 29/66(2006.01)i; H01L 27/115(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, CNPAT, CNKI, IEEE:存储器, 台阶区域, 窗口区, 伪栅线, 伪栅极, 隔离层, memory, step region, window region, pseudo word line, pseudo gate, spacer, isolating layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 114121819 A (长鑫存储技术有限公司 等) 2022年3月1日 (2022 - 03 - 01) 说明书第0004-0147段, 图1-6	1-15
A	US 2021167185 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORPORATION 等) 2021年6月3日 (2021 - 06 - 03) 全文	1-15
A	US 9691907 B1 (UNITED MICROELECTRONICS CORP.) 2017年6月27日 (2017 - 06 - 27) 全文	1-15
A	US 2013307047 A1 (KABUSHIKI KAISHA TOSHIBA) 2013年11月21日 (2013 - 11 - 21) 全文	1-15
A	US 2012267699 A1 (KABUSHIKI KAISHA TOSHIBA) 2012年10月25日 (2012 - 10 - 25) 全文	1-15
A	US 2020013896 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2020年1月9日 (2020 - 01 - 09) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年12月15日

国际检索报告邮寄日期

2022年12月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

赵凤瑗

电话号码 (86-10) 53961478

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/106600

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	114121819	A	2022年3月1日	无	
US	2021167185	A1	2021年6月3日	CN	112864017 A 2021年5月28日
US	9691907	B1	2017年6月27日	TW	201803087 A 2018年1月16日
US	2013307047	A1	2013年11月21日	JP	2013239622 A 2013年11月28日
				TW	201407755 A 2014年2月16日
US	2012267699	A1	2012年10月25日	JP	2012227326 A 2012年11月15日
US	2020013896	A1	2020年1月9日	US	2020083382 A1 2020年3月12日