

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0033592 (43) 공개일자 2014년03월19일
(51) 국제특허분류(Int. Cl.) G11C 17/00 (2006.01)	(71) 출원인 창원대학교 산학협력단 경상남도 창원시 의창구 사림동 9 창원대학교	(72) 발명자 장지혜 울산 남구 신북로79번길 8, 1005호 (무거동, 남운그린힐)
(21) 출원번호 10-2012-0099239 (22) 출원일자 2012년09월07일 심사청구일자 2012년09월07일	(74) 대리인 고윤희, 이철희	

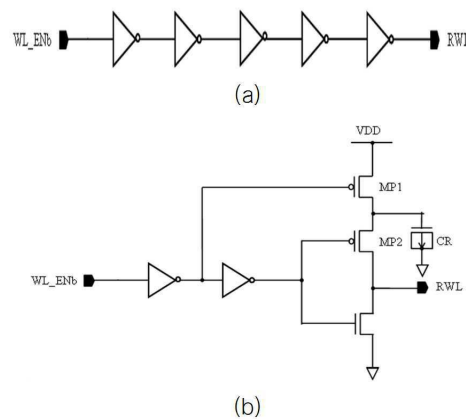
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **센싱 전압이 증가된 이퓨즈 방식의 오티피 메모리 장치**

(57) 요약

본 발명은 센싱 전압이 증가된 이퓨즈 방식의 오티피 메모리 구조에 관한 것이다. 이는 이퓨즈(eFuse, electrical Fuse) 방식을 사용하는 오티피(OTP, One-Time Programmable) 메모리 구조에 있어서, 프로그램되지 않은 이퓨즈 셀(eFuse cell)은 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄이면서, 프로그램된 이퓨즈 셀은 큰 비트라인(BL) 센싱 전압을 갖는 워드라인(WL, Word-Line) 전압 분배기 회로를 구비한다. 이에 따라 이퓨즈 셀의 센싱 오류를 방지할 수 있는 등의 현저한 효과를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

이퓨즈(eFuse, electrical Fuse) 방식을 사용하는 오티피(OTP, One-Time Programmable) 메모리 구조에 있어서, 프로그램되지 않은 이퓨즈 셀(eFuse cell)은 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄이면서, 프로그램된 이퓨즈 셀은 큰 비트라인(BL) 센싱 전압을 갖는 워드라인(WL, Word-Line) 전압 분배기 회로를 구비하는 것을 특징으로 하는 센싱 전압의 증가된 이퓨즈 방식의 오티피 메모리 구조.

청구항 2

청구항 1에 있어서, 상기 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 mVDD($0 < m < 1$)를 공급함으로써 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성하는 것을 특징으로 하는 센싱 전압이 증가된 이퓨즈 방식의 오티피 메모리 구조.

청구항 3

청구항 2에 있어서, 상기 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 mVDD($m=0.67$)를 공급함으로써 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성하는 것을 특징으로 하는 센싱 전압이 증가된 이퓨즈 방식의 오티피 메모리 구조.

청구항 4

청구항 1에 있어서, 상기 이퓨즈 오티피 메모리의 이퓨즈 셀은 8bit 이퓨즈 셀인 것을 특징으로 하는 센싱 전압이 증가된 이퓨즈 방식의 오티피 메모리 구조.

명세서

기술분야

[0001] 본 발명은 일반적으로 이퓨즈(eFuse, electrical Fuse) 방식을 사용하는 오티피(OTP, One-Time Programmable) 메모리 구조에 관한 것으로, 더 상세하게는 프로그램되지 않은 셀의 경우 이퓨즈 링크를 통해 흐르는 읽기(read) 전류가 감소되는 한편, 프로그램된 셀의 경우 비트라인(BL, Bit-Line) 센싱 전압이 증가되도록 하여 센싱 오류를 저감시키도록 한 새로운 센싱 전압이 증가된 이퓨즈 오티피 메모리 구조에 관한 것이다.

배경기술

[0002] 오티피 메모리는 한 번의 프로그램 동작으로 더 이상 쓰기가 불가능하고 읽기 동작만을 허용하는 메모리를 통칭한 것이다. 읽기의 횟수는 제한없이 얼마든지 가능하다.

[0003] 오티피 메모리는 여러 가지 종류가 존재한다. 이진정보를 플로팅 게이트 메모리 셀에 저장하는 EEPROM(Electrically Erasable Programmable Read Only Memory)이나 플래시(Flash) 메모리 등도 프로그램 기능만 삭제하면 오티피 메모리로 쓰일 수 있고, EPROM(Electrically Programmable ROM)도 외부 창을 제거하면 오티피 메모리로 쓰일 수 있다.

[0004] 그러나 가장 흔하게 오티피 메모리로 사용하고 있는 것은 퓨즈(fuse) 방식이다. 퓨즈 방식이란 퓨즈가 끊어졌는지 이어졌는지에 따라 이진 정보를 판별하는 방식을 말한다. 더욱이 최근 PMIC (Power Management IC)에는 비휘발성 메모리를 내장시키고 있는데 이때에는 EEPROM이나 플래시 메모리는 내장할 때 별도의 제조공정이 추가되는

불편한 점이 있다. 그러므로, PMIC 등에 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 이퓨즈 방식의 오티피 메모리가 많이 사용되고 있다.

- [0005] 이퓨즈 방식이란 퓨즈를 마련한 뒤, 이 퓨즈에 고전압을 가하여 퓨즈를 끊음(blowing)에 의해 프로그램하는 방식을 말하며, "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron., vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010에 그 기술이 공개되어 있다.
- [0006] 이퓨즈를 프로그램하는 것은 선택라인(SL)을 통해 5 V 정도의 전압을 가하고 프로그램용 트랜지스터(MN1)를 턴-온(turn-on)시키면 퓨즈 양단에 급격한 전류가 흐르고, 이 결과 전류경로가 파괴되도록 함에 의해 가능하다. 예컨대 폭이 0.18 마이크로미터 정도의 폴리실리콘층이 이 같은 목적의 퓨즈에 적합하다. 참고로 프로그램 동작은 퓨징(fusing), 블로잉(blowing), 쓰기(writing) 등의 다양한 명칭으로도 쓰이나 오티피 메모리에서 있어서는 다 같은 동작을 의미하는 다른 표현일 뿐이다.
- [0007] 만약 퓨즈가 끊어졌다면(blown) 비트라인(BL)에 5 V의 프리차지(precharge) 전압, 선택라인(SL)의 접지(VSS)전압, 읽기용 트랜지스터(MN2)의 게이트(RWL)에 5 V의 전압을 가하였을 때(이하, '읽기 모드 전압 조건'이라 함) 비트라인(BL)의 전압은 프리차지된 전압인 5 V로 그대로 머물러 있다. 만약 퓨즈가 그대로 남아있다면 읽기 모드 전압 조건일 때는 퓨즈(FS)를 통해 비트라인의 프리차지된 전압은 방전된다. 결국 비트라인에 연결된 감지 증폭기는 퓨즈의 끊어짐 상태에 따라 'High' 또는 'Low' 전압을 읽어낼 수 있다.
- [0008] 위에서 언급한 바와 같이 PMIC는 아날로그 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 이퓨즈 오티피 메모리를 필요로 한다(참조문헌1: N. Robson et al., Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip, Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007). 이퓨즈 오티피 메모리는 이퓨즈에 수 십 mA의 과전류를 흘려 블로잉(blowing)하여 프로그램 한다(참조문헌2:S. H. Kulkarni et al., A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37² 1T1R bit cell in 32 high-k metal-gate CMOS, IEEE Solid-State Circuits, vol. 45, no. 4, pp. 863-868, April 2010) (참조문헌3:D. H. Kim, J. H. Jang, L. Jin, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron., vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010).
- [0009] 기존의 이퓨즈 오티피 셀(eFuse OTP cell)은 싱글 포트 이퓨즈 셀(상기 참조문헌2 를 참고)과 듀얼 포트 이퓨즈 셀(상기 참조문헌3을 참고)이 있다. 싱글 포트이퓨즈 셀은 읽기 포트와 프로그램 포트가 공유된 형태로 프로그램 저항이 수 k 정도이다. 반면 듀얼 포트 이퓨즈 셀은 읽기 포트와 프로그램 포트가 분리된 형태로 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터와 읽기 모드의 전류를 줄일 수 있는 읽기 모드용 작은 채널 폭의 읽기용 NMOS 트랜지스터로 구성되어 있으며, 프로그램 저항이 대개 수 십 k 정도이다. 한편 디퍼렌셜 페어드 이퓨즈 셀(differential paired eFuse cell)은 듀얼 포트 이퓨즈 셀을 페어(pair)로 연결한 형태로 기준전압 발생기 회로가 필요 없는 단순한 주변회로를 구현할 수 있다(참고문헌4:J. H. Jang, L. Jin, H. G. Jeon, K. I. Kim, P. B. Ha, and Y. H. Kim, "Design of an 8-Bit Differential Paired eFuse OTP Memory IP Reducing Sensing Resistance by Half", Accepted for publication in the Journal of Central South University of Technology)
- [0010] 그런데, 이퓨즈 셀에 있어서, 프로그램된 이퓨즈 링크의 저항이 데이터 리텐션 타임(data retention time) 동안에 변동될 수 있고 이에 따라 수십 k 오옴의 프로그램 저항을 가진 일부 이퓨즈 오티피 메모리에 대해 수율이 떨어질 수 있어 센싱 오류가 발생한다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은 기존 이퓨즈 오티피 메모리 설계에 있어서 센싱 오류의 발생 문제를 해결하는 것을 그 일반적인 목적으로 한다.
- [0012] 구체적으로 본 발명은 프그램되지 않은 이퓨즈 셀은 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄이면서, 프로그램된 이퓨즈 셀은 큰 비트라인(BL) 센싱 전압을 갖는 워드라인(WL, Word-Line) 전압 분배기 회로를 제안하고,

제안된 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 $mVDD(0 < m < 1, \text{일예로 } m=0.67)$ 를 공급하므로 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지 증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0013] 상기 목적은 본 발명에 따라 제공되는 센싱 전압이 증가된 이퓨즈 방식의 오틀피 메모리 구조에 의하여 달성된다.
- [0014] 본 발명의 일 양상에 따라 제공되는 센싱 전압이 증가된 이퓨즈 방식의 오틀피 메모리 구조는, 이퓨즈(eFuse, electrical Fuse) 방식을 사용하는 오틀피(OTP, One-Time Programmable) 메모리 구조에 있어서, 프로그래밍되지 않은 이퓨즈 셀(eFuse cell)은 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄이면서, 프로그래밍된 이퓨즈 셀은 큰 비트라인(BL) 센싱 전압을 갖는 워드라인(WL, Word-Line) 전압 분배기 회로를 구비할 수 있다.
- [0015] 일 실시예에 있어서, 상기 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 $mVDD(0 < m < 1)$ 를 공급함으로써 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지 증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성할 수 있다.
- [0016] 다른 실시예에 있어서, 상기 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 $mVDD(m=0.67)$ 를 공급함으로써 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지 증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성할 수 있다.
- [0017] 또 다른 실시예에 있어서, 상기 이퓨즈 오틀피 메모리의 이퓨즈 셀은 8bit 이퓨즈 셀일 수 있다.

발명의 효과

- [0018] 상술한 구성을 가지는 본 발명에 따르면, 프로그래밍되지 않은 이퓨즈 셀은 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄이면서, 프로그래밍된 이퓨즈 셀은 큰 비트라인(BL) 센싱 전압을 갖는 워드라인(WL, Word-Line) 전압 분배기 회로를 제안하고, 제안된 WL 전압 분배기 회로는 읽기 모드시 읽기워드라인(RWL, Read Word-Line)의 전압을 기존의 VDD가 아닌 $mVDD(0 < m < 1, \text{일예로 } m=0.67)$ 를 공급하므로 이퓨즈 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지 증폭기에서의 BL 센싱 전압을 증가시킬 수 있게 구성함으로써, 이퓨즈 셀에서 발생하는 센싱 오류를 방지하는 등의 현저한 효과를 제공한다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 따라 설계된 디퍼렌셜 페어드 이퓨즈 오틀피 셀의 회로도.
- 도 2는 본 발명에 따른 8bit eFuse OTP 메모리의 블록도.
- 도 3은 본 발명에 따른 BL 풀업 부하 회로도.
- 도 4의 (a)는 종래의 RWL 구동회로이고, 도 4의 (b)는 본 발명에 따라 제안된 RWL 구동회로를 보여주는 회로도.
- 도 5는 본 발명과 종래의 이퓨즈 셀에 대해 읽기 모드별로 포스트-프로그램 이퓨즈 저항에 따른 BL 센싱 전압을 비교한 모의실험결과를 보여주는 그래프.
- 도 6은 본 발명에 따라 설계된 8비트 eFuse OTP 메모리의 레이아웃.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 청구범위에 의해 한정된다.

- [0021] 본 발명의 실시예들을 설명함에 있어 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명을 구체적인 예를 들어 설명하면 다음과 같다.
- [0023] 본 발명은 이하에서 상세히 설명하는 바와 같이, 프로그램되지 않은 eFuse 셀은 eFuse 링크를 통해 흐르는 읽기 전류를 줄이고, 프로그램 eFuse 셀은 큰 BL(Bit-Line) 센싱 전압을 갖는 전하공유(charge sharing)에 의한 WL 전압 분배기(voltage divider) 회로를 제안하였다. 제안된 WL 전압 분배기 회로는 읽기 모드시 RWL(Read Word-Line)의 전압을 기존의 VDD가 아닌 mVDD($0 < m < 1$, 바람직하게는 예컨대 $m=0.67$)를 공급하므로 eFuse 링크를 통해 흐르는 읽기 전류를 줄일 뿐만 아니라, BL 감지증폭기(sense amplifier)에서의 BL 센싱 전압을 증가시킬 수 있다.
- [0024] 본 발명의 일실시예에 따라 Magnachip 0.35 BCD 공정을 이용하여 설계된 8b 디퍼렌셜 페어드 이퓨즈 오티피(differential paired eFuse OTP) 메모리의 레이아웃 면적은 $380.725\mu\text{m} \times 142\mu\text{m} (=0.054\text{mm}^2)$ 으로 될 수 있다.
- [0025] 도 1은 설계된 디퍼렌셜 페어드 이퓨즈 오티피 셀 회로도들을 보여주고 있다. MN1과 MN3는 프로그램 트랜지스터이고, MN2와 MN4는 읽기용 트랜지스터이다. FSOURCE는 프로그램 모드에서 외부 패드에서 직접 5.5V의 프로그램 전압을 인가하여 과전류를 흘려주게 된다. Differential paired eFuse 셀의 프로그램 데이터가 1인 경우 PD(Program Data)와 PDb(Program Data bar) 신호는 각각 5.5V와 0V가 인가되어 eFuse1과 MN1 소자를 통해 과전류가 흐르면서 eFuse1이 blowing되는 반면, eFuse2는 MN2가 OFF 상태에 있으므로 블로잉되지 않는다. 그리고 프로그램 데이터가 0인 경우 MN1은 OFF 상태이고 MN3가 ON 상태에 있으므로 eFuse2가 블로잉된다. 읽기 모드 시 high-impedance pull-up load에 의하여 BL과 BLb의 전압은 VDD로 pull-up되고 RWL(Read Word-Line) 신호에 의해 MN2와 MN4 NMOS 트랜지스터가 선택되면 BL과 BLb에 차동전압(differential voltage)이 전달되어 감지증폭기에서 차동전압을 센싱 한다. eFuse1을 blowing한 경우는 DOUT이 VDD, eFuse2가 blowing된 경우는 DOUT은 0V가 출력된다.
- [0026] 도 2에는, 1행 8열의 eFuse OTP 셀 어레이를 갖는 8 비트 eFuse OTP IP가 예시되어 있다. 1행 8열의 셀 어레이 회로는 행 방향으로 RWL 신호가 있으며, 열 방향으로 BL[7:0]과 BLb[7:0], PD[7:0]와 PDb[7:0] 신호가 있다. A[2:0]를 디코딩하여 해당되는 열을 선택해 주는 column decoder, 프로그램 데이터를 선택되는 OTP 셀에 구동해 주는 PD 구동 회로, BL 데이터를 센싱하여 DOUT 포트에 출력하는 BL 감지증폭기(Bit-Line Sense Amplifier), 제어신호(RD, PGM, TM_EN)에 따라 프로그램 모드와 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다. BL 감지증폭기는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유무에 따라 BL[7:0]과 BLb[7:0]를 통해 나오는 데이터를 센싱하여 DOUT[7:0]으로 출력하는 회로이다. TM_EN(Test Mode Enable) 신호는 functional screen test용 test read mode와 normal read mode를 구분해 주는 신호이다. 그리고 파워로 FSOURCE와 VDD가 있다.
- [0027] 도 3은 BL pull-up load 회로로 normal read mode에서 BL 프리차지 신호인 PCHARGE 신호에 의해 BL과 BLb는 VSS로 프리차지 된다. OTP 셀의 RWL 신호가 mVDD로 활성화되면 BL_LOADb 신호가 0V인 구간 동안 큰 채널 폭을 갖는 pull-up load 트랜지스터(MP1과 MP2)에 의해 BL과 BLb는 VDD로 pull-up된다. 이때 test read mode용 작은 채널 폭을 갖는 pull-up 트랜지스터(MP3와 MP4)는 OFF 상태에 있다. Test read mode에서는 MP1과 MP2는 OFF 상태를 유지하는 반면, MP3와 MP4는 TM_BL_LOADb 신호가 0V인 구간동안 BL과 BLb를 VDD로 pull-up 시킨다.
- [0028] 기존의 RWL 구동회로는 도 4의 (a)에서 보는 바와 같이 읽기 모드(read mode)에서 VDD를 구동한다. 반면 제안된 RWL 구동회로는 도 4의 (b)에서 보는 바와 같다. 대기(Stand-by) 상태에서 MP1이 ON되므로 Charge Reservoir 커패시터 CR에 VDD를 precharging한다. 그리고 읽기 모드로 진입하게 되면 WL_ENb는 0V가 되므로 MP1과 MP2는 각각 OFF와 ON된다. MP2가 ON되면서 CR의 VDD 전압과 RWL의 0V 전압이 charge sharing에 의해 $0.67VDD$ 가 된다. 프로그램되지 않은 eFuse 셀은 eFuse 링크를 통해 흐르는 read 전류를 줄이면서, 제안된 WL 전압 분배기 회로는 읽기 모드시 eFuse 링크를 통해 흐르는 read 전류를 줄일 뿐만 아니라, BL 감지증폭기에서의 BL 센싱 전압을 증가시킨다.

[0029] 모의실험 결과

[0030] 도 5는 읽기 모드별 포스트-프로그램 이퓨즈(post-program eFuse) 저항에 따른 BL 센싱 전압의 모의실험 결과를 보여주고 있다. 제안된 방식이 기존 방식보다 BL S/A 회로의 센싱 전압이 증가한 것을 볼 수 있다.

[0031] Magnachip 0.35 BCD 공정을 이용하여 설계된 8b differential paired eFuse OTP 메모리의 레이아웃 면적은 $380.725\mu\text{m} \times 142\mu\text{m} (=0.054\text{mm}^2)$ 이다. 도 6은 설계된 8비트 eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있다.

[0032] 결론

[0033] 상술한 바와 같이 본 발명에 따라, 프로그램되지 않은 eFuse 셀은 eFuse 링크를 통해 흐르는 read 전류를 줄이면서, 프로그램 eFuse 셀은 큰 BL 센싱 전압을 갖는 WL 전압 분배기 회로를 제안하였다. 제안된 WL 전압 분배기 회로는 read 모드시 RWL의 전압을 기존의 VDD가 아닌 mVDD(m=0.67)를 공급하므로 eFuse 링크를 통해 흐르는 read 전류를 줄일 뿐만 아니라, BL 감지증폭기에서의 BL 센싱 전압을 증가시켰다. Magnachip 0.35 BCD 공정을 이용하여 설계된 8b differential paired eFuse OTP 메모리의 레이아웃 면적은 $380.725\mu\text{m} \times 142\mu\text{m} (=0.054\text{mm}^2)$ 이다.

부호의 설명

[0034] WL : 워드라인

BL : 비트라인

RWL : 읽기워드라인

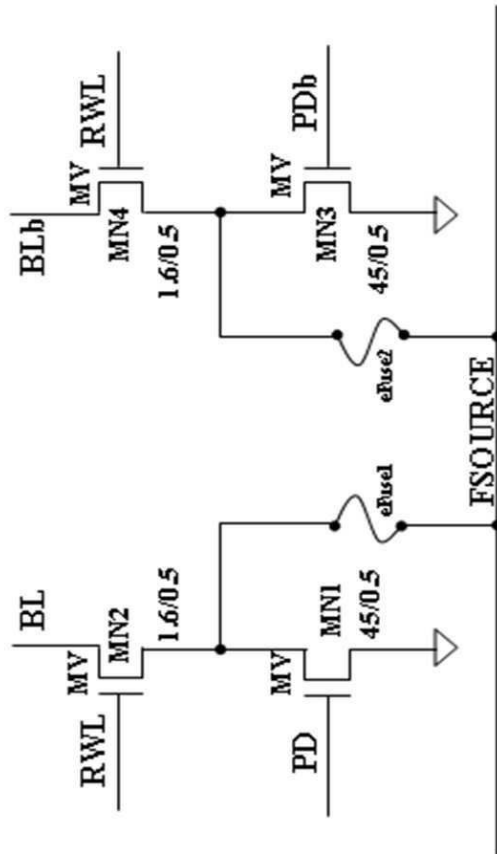
MN1, MN3 : 프로그램용 트랜지스터

MN2, MN4 : 읽기용 트랜지스터

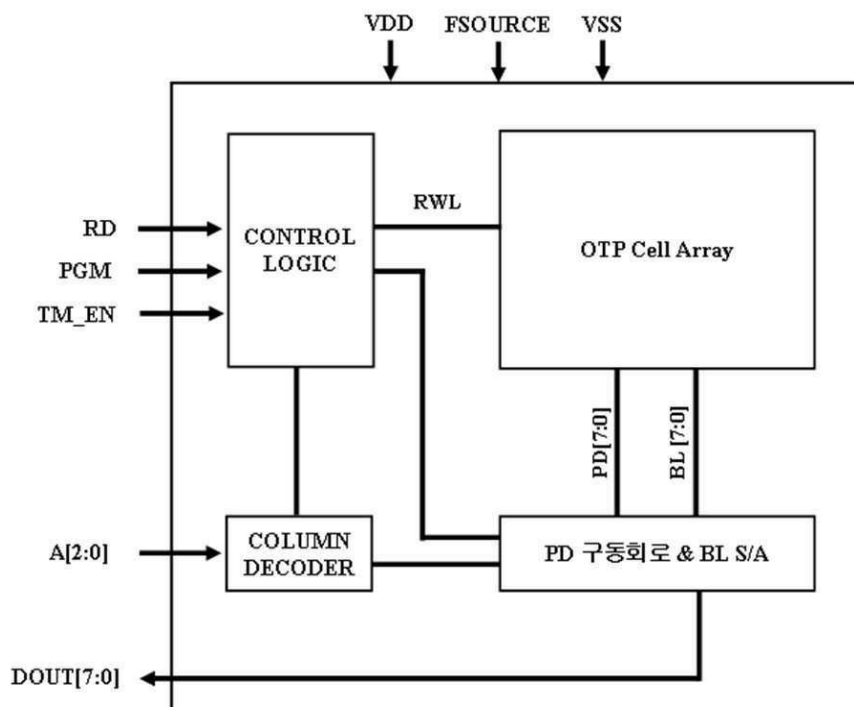
eFuse : 이퓨즈

도면

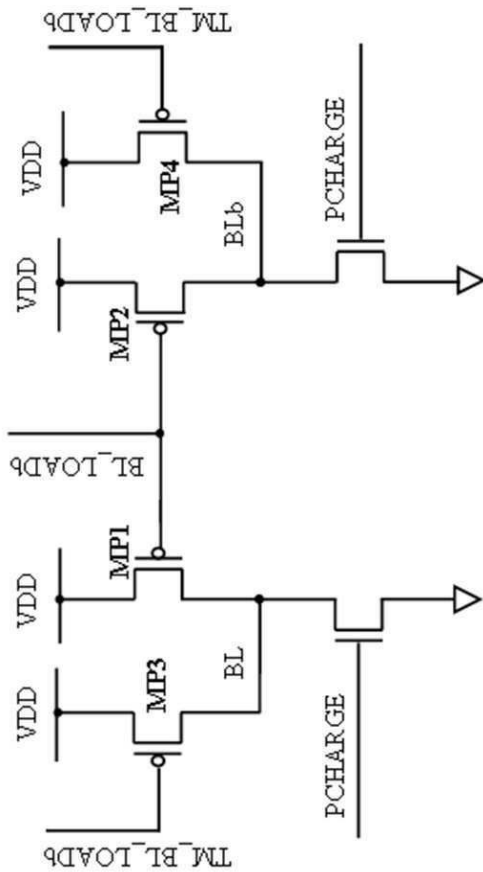
도면1



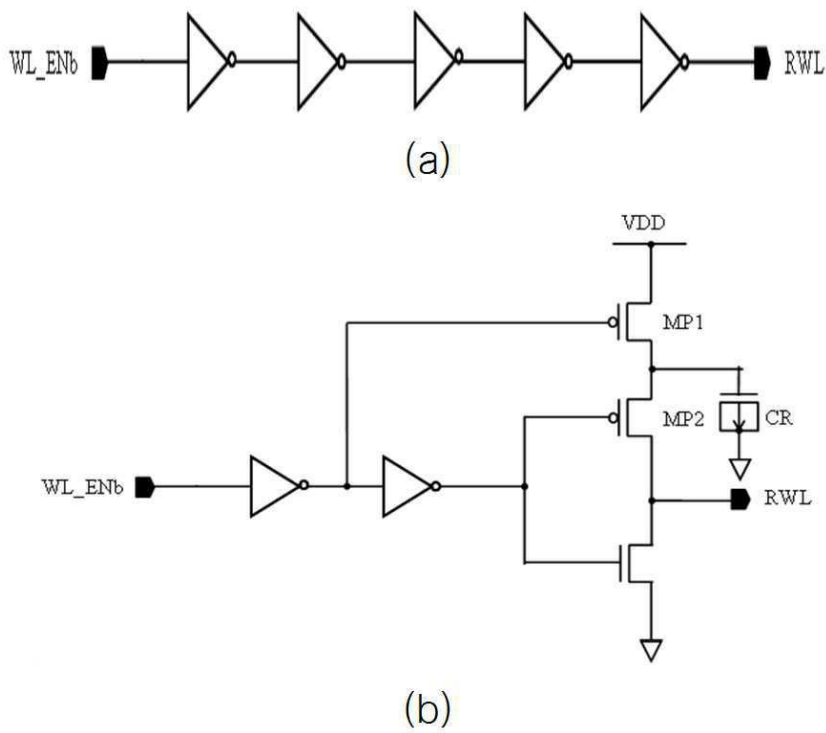
도면2



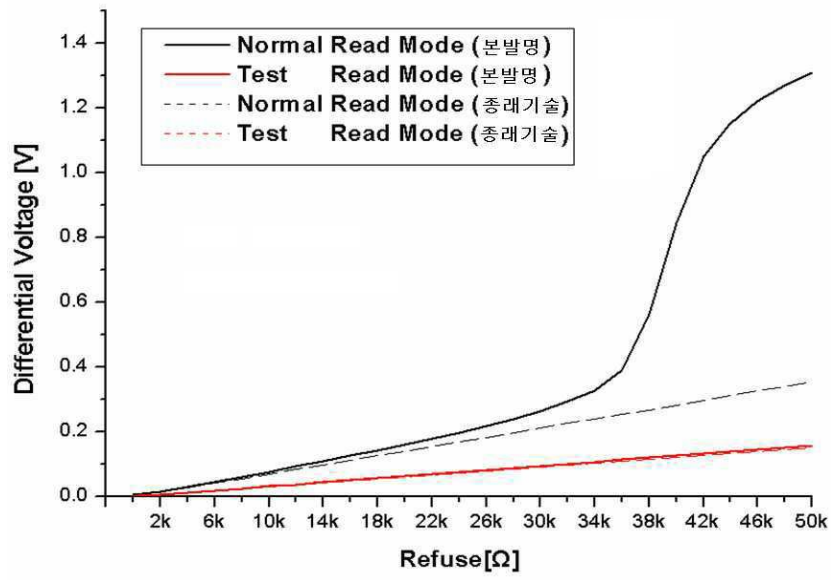
도면3



도면4



도면5



도면6

