



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I606552 B

(45) 公告日：中華民國 106 (2017) 年 11 月 21 日

(21) 申請案號：105101543 (22) 申請日：中華民國 105 (2016) 年 01 月 19 日

(51) Int. Cl. : H01L21/768 (2006.01) H01L27/08 (2006.01)

(30) 優先權：2015/01/20 美國 14/600,777

2016/01/14 美國 14/996,070

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：廖文翔 LIAO, WEN SHIANG (TW)；周淳朴 JOU, CHEWN PU (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 200839990A TW 201104770A

TW 201140792A TW 201216390A

TW 201225762A

審查人員：湯欽全

申請專利範圍項數：10 項 圖式數：28 共 61 頁

(54) 名稱

半導體裝置及封裝方法

SEMICONDUCTOR DEVICE AND PACKAGE METHOD

(57) 摘要

一種半導體裝置與方法於此公開。半導體結構包含一裝置晶片，圍繞於裝置晶片的模封層，複數個形成於模封層內的第一垂直導電結構，以及複數個形成於模封層內的第二垂直導電結構。第一垂直導電結構和第二垂直導電結構彼此交錯排列，且絕緣層結構形成於第一垂直導電結構和第二垂直導電結構之間。

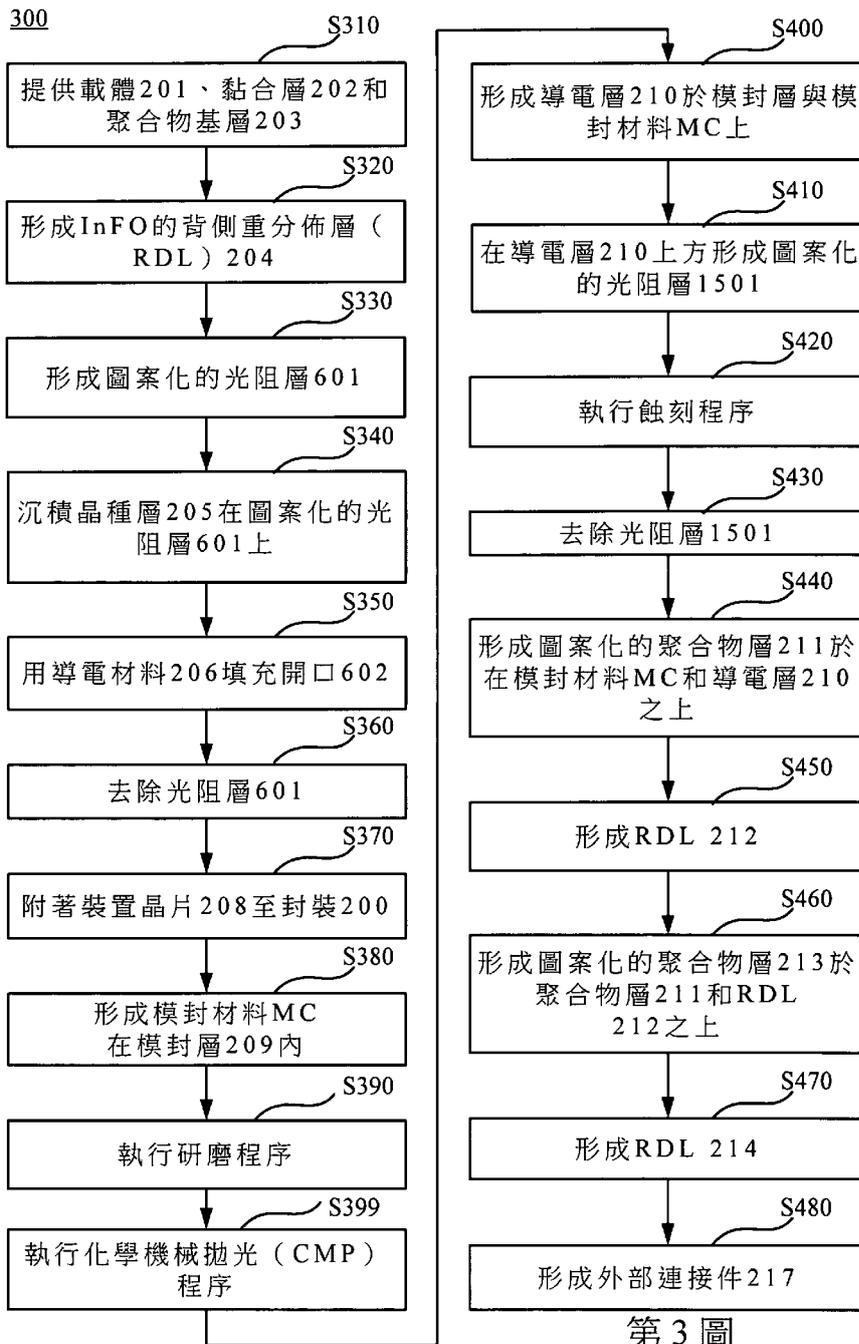
A semiconductor device and a method are disclosed herein. The semiconductor device includes a device die, a molding layer surrounding the device die, a plurality of first vertical conductive structures formed within the molding layer, and a plurality of second vertical conductive structures formed within the molding layer. The first vertical conductive structures and the second vertical conductive structures are interlaced with each other, and an insulating structure is formed between the first vertical conductive structures and the second vertical conductive structures.

指定代表圖：

符號簡單說明：

300 . . . 方法

S310~S480 . . . 步驟



第3圖

申請案號：105101543

申請日：105/01/19

## 【發明摘要】

IPC分類：H01L 21/768 (2006.01)  
H01L 27/08 (2006.01)

【中文發明名稱】 半導體裝置及封裝方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND  
PACKAGE METHOD

## 【中文】

一種半導體裝置與方法於此公開。半導體結構包含一裝置晶片，圍繞於裝置晶片的模封層，複數個形成於模封層內的第一垂直導電結構，以及複數個形成於模封層內的第二垂直導電結構。第一垂直導電結構和第二垂直導電結構彼此交錯排列，且絕緣層結構形成於第一垂直導電結構和第二垂直導電結構之間。

## 【英文】

A semiconductor device and a method are disclosed herein. The semiconductor device includes a device die, a molding layer surrounding the device die, a plurality of first vertical conductive structures formed within the molding layer, and a plurality of second vertical conductive structures formed within the molding layer. The first vertical conductive structures and the second vertical conductive structures are interlaced with each other, and an insulating structure is formed

between the first vertical conductive structures and  
the second vertical conductive structures.

【指定代表圖】 第3圖

【代表圖之符號簡單說明】

300 方法

S310～S480 步驟

## 【發明說明書】

【中文發明名稱】 半導體裝置及封裝方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND  
PACKAGE METHOD

### 【技術領域】

【0001】 本案係關於金屬－絕緣層－金屬電容，且特別是關於一種垂直金屬－絕緣層－金屬電容。

### 【先前技術】

【0002】 電容被廣泛應用於積體電路中。電容的電容值正比於電容面積以及絕緣層的介電常數（K），並反比於絕緣層的厚度。因此，為提高電容值，可優選地提高面積與介電常數值並減少絕緣層的厚度。

【0003】 電容面積提高會導致晶片所需面積隨之提高的問題。傳統上積體電路中的金屬－絕緣層－金屬電容具有許多水平的梳狀結構。水平結構的電容值與金屬介電層的厚度相關。然而，金屬介電層的厚度難以控制。因而導致了金屬－絕緣層－金屬電容值於製造上相對於目標值的高變異性。據此，需要對金屬－絕緣層－金屬電容提出新的方法與結構。

### 【發明內容】

【0004】 一種半導體裝置於此公開。半導體裝置包含一

裝置晶片，圍繞於該裝置晶片的一模封層，複數個形成於模封層內的第一垂直導電結構，以及複數個形成於模封層內的第二垂直導電結構，該些第一垂直導電結構和該些第二垂直導電結構彼此交錯排列，且一絕緣層結構形成於該些第一垂直導電結構和該些第二垂直導電結構之間。

**【0005】** 此外，一種方法於此公開，方法包含：形成一第一導電面於一基板上；形成複數個第一垂直導電結構於該第一導電面上並與該第一導電面電性耦接；形成複數個第二垂直導電結構於該基板上，其中該些第一垂直導電結構與該些第二垂直導電結構彼此交錯排列，且一絕緣結構形成於該些第一垂直導電結構與該些第二垂直導電結構之間；附著一裝置晶片於該基板上；施加一模封材料於一模封層內以覆蓋於該基板上圍繞該裝置晶片；以及形成一第二導電面於該模封層上，其中該第二導電面電性耦接於該些第二垂直導電結構。

**【0006】** 此外，一種方法於此公開，方法包含：形成一電容結構於一封裝結構上，其中該電容結構包含複數個第一垂直導電結構，複數個第二垂直導電結構，以及該些第一垂直導電結構與該些第二垂直導電結構之間的一絕緣結構；附著一裝置晶片於一基板上；以及施加一模封材料於該基板上，以圍繞該裝置晶片以及該電容結構。

### **【圖式簡單說明】**

**【0007】**

第1圖是根據本揭示內容的部分實施例所繪示的具有垂直電容之半導體結構的示意圖。

第2圖是根據本揭示內容的部分實施例所繪示的包含第1圖中所示的半導體結構的整合扇外型 (InFO) 封裝的示意圖。

第3圖是根據本揭示內容的部分實施例所繪示的製造包含第2圖中所示的半導體結構的方法的流程圖。

第4圖至第19圖是根據本揭示內容的部分實施例所繪示的第2圖中所示的封裝在製程的不同階段中的截面圖。

第20圖是根據本揭示內容的部分實施例所繪示的包含第1圖中所示的半導體結構的整合扇外型 (InFO) 封裝的示意圖。

第21圖是根據本揭示內容的部分實施例所繪示的製造包含第20圖中所示的半導體結構的方法的流程圖。

第22圖至第26圖是根據本揭示內容的部分實施例所繪示的第20圖中所示的封裝在製程的不同階段中的截面圖。

第27圖是根據本揭示內容的部分實施例所繪示的包含第1圖中所示的半導體結構的整合扇外型 (InFO) 封裝的示意圖。

第28圖是根據本揭示內容的部分實施例所繪示的包含第1圖中所示的半導體結構的整合扇外型 (InFO) 封裝的示意圖。

## 【實施方式】

【0008】 以下揭示內容提供了多個不同實施例，或釋例以實現所本揭示內容主題的不同特徵。具體的元件和設置方式將以實施例描述於後以更好地理解本揭示內容的態樣，但所提供之實施例並非用以限制本揭露所涵蓋的範圍。舉例而言，在以下描述中，在第二部件上方或上形成第一部件可包含第一部件和第二部件直接接觸的實施例，亦可包含形成於第一部件和第二部件之間的附加部件，使得第一部件和第二部件不直接接觸的實施例。此外，本揭示內容在各個實施例中，相同元件可以相同之符號標示來進行說明以便於理解，但其重複僅是爲了說明上的簡潔和清晰，本身並不代表所描述各個實施例之間的配置和／或關係。

【0009】 在全篇說明書與申請專利範圍所使用之用詞（terms），除有特別註明外，通常具有每個用詞使用在此領域中、在此揭露之內容中與特殊內容中的平常意義。本說明書中所舉之實例，包含本文所討論的任何用詞之實例，僅是示例性的，並非用以限制本揭示內容之任何示例性用詞的範圍和／或意義。相似地，本揭示內容並不限定於說明書中給出的各個實施例。

【0010】 此外，雖然本文中使用了『第一』、『第二』、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本發明。舉例而言，在不脫離本揭示內容範圍的情況下，可以將第一元件叫做第二元件，相似地，亦可以將第二元件叫做第一元件。此外，本文中

所使用之『及／或』，包含相關列舉項目中一或多個項目的任意一個以及其所有組合。

【0011】 此外，於本文中可使用諸如『在…下方』、『在…下面』、『下部』、『在…上面』、『上部』或其他相似的空間關係用語，以描述圖中所示的一個元件或部件與另一元件或部件的關係。除了圖中所示的方位外，空間關係用語旨在包含器件在使用或操作過程中的不同方位。裝置亦可以其他方式定位（旋轉90度或在其他方位），並且在本文中使用的空間關係描述符亦可同樣地作相應解釋。

【0012】 於本文中，當一元件被稱為『連接』或『耦接』時，可指『電性連接』或『電性耦接』。『連接』或『耦接』亦可用以表示二或多個元件間相互搭配操作或互動。

【0013】 第1圖是根據本揭示內容的部分實施例所繪示的具有垂直電容之半導體結構100的示意圖。

【0014】 如第1圖所示，半導體結構100包含電極120和電極140。電極120包含導電面122和垂直導電結構124。電極140包含導電面142和垂直導電結構144。垂直導電結構124和垂直導電結構144彼此交錯，且介電材料160填充於電極120和電極140之間。

【0015】 導電面122和導電面142包含導電材料，例如銅、銀、金等等。在部分實施例中，導電面122和導電面142包含金屬以外之合適的導電材料。

【0016】 請參考第2圖。第2圖是根據本揭示內容的部分實施例所繪示的包含第1圖中所示的半導體結構100的整合

扇外型 (integrated Fan-Out, InFO) 封裝 200 的示意圖。於第 2 圖中，與第 1 圖之實施例有關的相似元件係以相同的參考標號表示以便於理解。

【0017】 如圖所示，封裝 200 包含聚合物基層 203、背側重分佈層 (backside redistribution layer, backside RDL) 204、晶種層 205、導電材料 206、導電通孔 (through molding via, TMV) 207、裝置晶片 208、模封層 209、導電層 210、聚合物層 211、213 與 215、重分佈層 (redistribution layer, RDL) 212 與 214、球下金屬部 (Under Bump Metallurgies, UBMs) 216 以及外部連接件 217。

【0018】 如第 2 圖所繪示，在部分實施例中，第 1 圖中所示的半導體結構 100 形成於整合扇外型 (InFO) 封裝 200 內。由於半導體結構 100 與封裝 200 的其他部件同步製造，因此製造成本相對較低。

【0019】 舉例而言，半導體結構 100 包含形成於模封層 209 內並電性耦接至導電面 122 的垂直導電結構 124，以及形成於模封層 209 內並電性耦接至導電面 142 的垂直導電結構 144。導電面 142 配置於模封層 209 至上。垂直導電結構 124、144 由導電材料 206 形成於晶種層 205 之上，其填充於穿過模封材料 (molding compound, MC) 之導電通孔中。導電面 122 形成於 InFO 的背側 RDL 204 中。導電面 142 形成於 RDL 212 中，且裝置晶片 208 與導電面 142 透過 RDL 214 電性耦接。

【0020】 在部分實施例中，垂直導電結構124和垂直導電結構144於一截面上可具有方形、矩形、圓形、橢圓形或其他合適形狀，或其任意的組合。垂直導電結構124均勻地分布於導電面122之上，且垂直導電結構144均勻地分布於導電面142之下。在部分實施例中，垂直導電結構124以矩形方格圖樣分布於導電面122上，垂直導電結構144以矩形方格圖樣分布於導電面142下。

【0021】 在部分實施例中，模封材料MC被施用於模封層209以於聚合物基層203之上圍繞裝置晶片208、垂直導電結構124和垂直導電結構144。換句話說，在部分實施例中，於InFO封裝200中的模封材料MC填充於垂直導電結構124和垂直導電結構144之間作為第1圖中所示的介電材料160。在部分實施例中，模封材料MC包含高K聚合物或二氧化矽。

【0022】 在部分實施例中，聚合物層211覆蓋於模封層209之上。RDL 212覆蓋於聚合物層211之上。聚合物層213覆蓋於RDL 212之上。RDL 214覆蓋於聚合物層213之上。聚合物層215覆蓋於RDL 214之上。球下金屬部216形成於RDL 214之上。外部連接件217配置於球下金屬部216之上並用以作為輸入/輸出(I/O)焊盤，例如，焊料球，以透過RDL 214電性連接至裝置晶片208。在部分實施例中，外部連接件217可為球柵陣列(BGA)球、可控坍塌晶片連接件(controlled collapse chip connector, C4)凸塊等。在部分實施例中，連接件217用於將封裝200電性連接至諸

如包含另一裝置晶片、中介層、封裝襯底、印刷電路板、主機板等其他封裝組件。

【0023】 第3圖是根據本揭示內容的部分實施例所繪示的製造包含第2圖中所示的整合扇外型 (InFO) 封裝200的方法300的流程圖。為便於理解本案，方法300將配合第1、2圖中所繪示的半導體結構100進行說明，但本案並不以此為限。

【0024】 舉例而言，第2圖中的整合扇外型 (InFO) 封裝200的製造程序將配合方法300以及第4圖～第19圖一起描述。第4圖～第19圖是根據本揭示內容部分實施例所繪示的在製造程序的不同階段中，整合扇外型 (InFO) 封裝200的截面圖。在第4圖～第19圖的不同階段後，封裝200將具有如第2圖所繪示的截面圖。儘管第4圖～第19圖係與方法300配合進行描述，但當理解第4圖～第19圖中公開的結構並不限於方法300。於第4圖～第19圖中，相似元件係以相同的參考標號表示以便於理解。

【0025】 雖然本文將所公開的方法示出和描述為一系列的步驟或事件，但是應當理解，所示出的這些步驟或事件的順序不應解釋為限制意義。例如，部分步驟可以以不同順序發生和／或與除了本文所示和／或所描述之步驟或事件以外的其他步驟或事件同時發生。另外，實施本文所描述的一個或多個態樣或實施例時，並非所有於此示出的步驟皆為必需。此外，本文中一個或多個步驟亦可能在一個或多個分離的步驟和／或階段中執行。

【0026】 請參考第3圖的方法300，在操作310中，如第4圖所示，提供載體201、黏合層202和聚合物基層203。

【0027】 在部分實施例中，載體201包含玻璃、陶瓷或其他合適的材料以在器件封裝中形成各個部件期間提供結構支撐。在部分實施例中，在載體201上方設置黏合層202（例如，包含膠層、光熱轉換（LTHC）塗層、紫外（UV）膜等）。聚合物基層203係透過黏合層202塗覆在載體201上。在部分實施例中，載體201與黏合層202將在封裝製程後自InFO封裝上移除。在部分實施例中，聚合物基層203由聚苯並惡唑（PolyBenzOxazole，PBO）、味之素積層膜（Ajinomoto Buildup Film，ABF）、聚醯亞胺（Polyimide）、苯並環丁烯（BenzoCycloButene，BCB）、阻焊（Solder Resist，SR）膜、晶片附著膜（Die-Attach Film，DAF）等形成，但是本揭示內容不限於此。

【0028】 請參考第3圖的方法300，在操作S320中，如第5圖所示，隨後，形成InFO的背側重分佈層（RDL）204。在部分實施例中，背側RDL 204包含形成在一個或多個聚合物層中的導電部件，例如，包含導線和／或通孔。在部分實施例中，聚合物層可以使用例如包含旋塗技術、濺射等任意合適的方法，由任意合適的材料（例如，包含PI、PBO、BCB、環氧樹脂（epoxy）、矽樹脂（silicone）、丙烯酸酯（acrylates）、奈米填充酚樹脂（nano-filled phenoresin）、矽氧烷（siloxane）、含氟聚合物（a fluorinated polymer）、聚降冰片烯（polynorbornene）等）形成。

【0029】 在部分實施例中，導電部件形成在聚合物層中。這種導電部件的形成包含圖案化聚合物層（例如，使用光刻和蝕刻程序的組合）以及在圖案化的聚合物層中形成導電部件（例如，沉積晶種層（如：TiCu）並鍍覆導電金屬層（如：Cu）和使用掩模層以限定導電部件的形狀）。舉例來說，部分導電部件係設計以形成半導體結構100的導電面122，其他部分導電部件係設計以形成功能電路和用於隨後附著的晶片的輸入／輸出部件。

【0030】 接下來，在操作S330中，如第6圖所示，在背側RDL 204和載體201上方形成圖案化的光阻層601。在部分實施例中，例如，光阻層601被沉積作為背側RDL 204上方的毯覆層。接下來，使用光掩模（未繪示）來曝光光阻層601的各部分，根據使用的是負性還是正性抗蝕劑來去除光阻層601中曝光或未曝光的部分。所得到的圖案化的光阻層601包含設置在載體201的週邊區域處的開口602。在部分實施例中，開口602還暴露背側RDL 204中的導電部件。

【0031】 接下來，在操作S340中，如第7圖所示，沉積晶種層205在圖案化的光阻層601上。

【0032】 接下來，在操作S350中，如第8圖所示，用導電材料206（例如，包含銅、鈦、鎳、鉭、鈮、銀、金等）填充開口602，以形成導電通孔。在部分實施例中，在鍍敷程序（例如，包含電化學鍍、化學鍍等）期間，開口602鍍敷有導電材料206。在部分實施例中，導電材料206過填充開口602，並且執行研磨和化學機械拋光（CMP）程序來去

除導電材料206位於光阻層601上方的多餘部分，如第9圖所示。

【0033】 接下來，在操作S360中，如第10圖所示，去除光阻層601。在部分實施例中，濕剝離程序被用來去除光阻層601。在部分實施例中，濕剝離溶液包含二甲基亞砜（Dimethyl sulfoxide，DMSO）與四甲基氫氧化銨（Tetramethylammonium hydroxide，TMAH）以去除光阻材料。

【0034】 藉此，垂直導電結構124、垂直導電結構126分別形成在InFO的背側RDL 204與聚合物基層203之上方。舉例來說，在部分實施例中，導電通孔207形成於背側RDL 204之上。在部分實施例中，導電通孔207於一截面上可具有方形、矩形、圓形、橢圓形或其他合適形狀，或其任意的組合。選擇性地，在部分實施例中，例如，導電通孔207可由導電間柱或包含銅、鈦、鎳、鉭、鈮、銀或金等引線的導電引線來替換。在部分實施例中，導電通孔207藉由開口1001彼此間隔開，並與垂直導電結構124和垂直導電結構144間隔開。舉例來說，導電通孔207與半導體結構100之間的至少一個開口1001足夠大以在其中設置一個或多個半導體晶片。

【0035】 接下來，在操作S370中，如第11圖所示，一或多個裝置晶片208安裝並且附著至封裝200。舉例而言，器件封裝200包含載體201以及如圖繪示具有導電部件的背側RDL 204。在部分實施例中，還包含其他互連結構，例如

包含電性連接至背側RDL 204中的導電部件的導電通孔207。在部分實施例中，黏合層用於將裝置晶片208固定至背側RDL 204。

【0036】 接下來，在操作S380中，如第12圖所示，在開口1001中將裝置晶片208安裝至背側RDL 204之後，形成模封材料MC在封裝200中的模封層209內。模封材料MC被分配以填充裝置晶片208與導電通孔207之間間隙、以及垂直導電結構124與垂直導電結構144之間間隙。在部分實施例中，模封材料MC填充於垂直導電結構124與垂直導電結構144之間以形成隔離結構。

【0037】 在部分實施例中，模封材料MC可以包含具有相對較高介電常數的物質，包含例如高K聚合物或二氧化矽。在部分實施例中，壓縮成形、轉移成形和液態密封成形是用於形成模封材料MC的合適的方法，但是本揭示內容不限於此。舉例來說，模封材料MC可為液態形式分配。隨後，執行固化程序以凝固模封材料MC。在部分實施例中，模封材料MC的填充溢出導電通孔207、裝置晶片208以及垂直導電結構124與垂直導電結構144，從而使得模封材料MC覆蓋裝置晶片208與導電通孔207的頂面。

【0038】 如第13圖所示，接下來，在操作S390中，執行研磨程序。接下來，在操作S399中，執行化學機械拋光（CMP）程序。在操作S390和S399中，模封材料MC的多餘部分被去除，並且模封材料MC被回磨以減小其總厚度並暴露導電通孔207以及垂直導電結構124與垂直導電結構

144。

【0039】 因為所得結構包含延伸穿過模封材料MC的導電通孔207，所以導電通孔207以及垂直導電結構124與垂直導電結構144還稱為直通模封穿孔（through molding via）、內部直通穿孔（through inter via，TIV）等。舉例而言，導電通孔207在封裝200中提供至背側RDL 204的電性連接。在部分實施例中，用於暴露導電通孔207的減薄程序還用於暴露裝置晶片208的導電柱2081。

【0040】 接下來，在操作S400中，如第14圖所示，導電層210形成於模封層與模封材料MC上。舉例而言，在部分實施例中形成導電層210的導電材料可包含銅、銀、金等等。

【0041】 接下來，在操作S410中，如第15圖所示，在導電層210上方形成圖案化的光阻層1501。光阻層1501的各部分使用光掩模（未示出）進行曝光。然後，根據使用的是負性還是正性抗蝕劑來去除光阻層1501中曝光或未曝光的部分。光阻層1501的部分被去除以形成開口暴露於垂直導電結構124上導電層210的區域，如此所得到的圖案化的光阻層1501便配置於垂直導電結構144上導電層210的區域。

【0042】 接下來，在操作S420中，如第16圖所示，執行蝕刻程序以去除導電層210的暴露部分。在部分實施例中，蝕刻程序包含電漿蝕刻（plasma etching），但是本揭示內容不限於此。

【0043】 接下來，在操作S430中，如第16圖所示，去除光阻層1501。在部分實施例中，使用電漿灰化或濕剝離程

序來去除光阻層1501。在部分實施例中，在電漿灰化程序之後是在硫酸（ $H_2SO_4$ ）中的濕浸以清洗封裝200並且去除剩餘的光阻層材料。

【0044】 如此一來，導電面142便形成在導電層210中並電性耦接至垂直導電結構144。當操作S430完成後，包含電極120和電極140的半導體結構100便形成於封裝200中。如第16圖所示，電極120包含導電面122和垂直導電結構124，電極140包含導電面142和垂直導電結構144。垂直導電結構124和垂直導電結構144彼此交錯排列，模封材料MC被填充於電極120和電極140之間作為介電材料160。

【0045】 接下來，在操作S440中，如第17圖所示，具有開口的圖案化的聚合物層211形成於在模封材料MC和導電層210之上。在部分實施例中，聚合物層211包含PI、PBO、BCB、環氧樹脂（epoxy）、矽樹脂（silicone）、丙烯酸酯（acrylates）、奈米填充酚樹脂（nano-filled phenoresin）、矽氧烷（siloxane）、含氟聚合物（a fluorinated polymer）、聚降冰片烯（polynorbornene）等。在部分實施例中，聚合物層211選擇性地暴露於用以蝕刻聚合物層211以形成開口的蝕刻劑，例如，包含 $CF_4$ 、 $CHF_3$ 、 $C_4F_8$ 、HF等。

【0046】 在部分實施例中，開口填充有導電材料。舉例而言，晶種層（未示出）形成在開口中，並且使用電化學鍍程序、化學鍍程序等將導電材料鍍敷在開口中。如圖所繪示，所得到的位於聚合物層211中的通孔電性連接至導電柱

2081、導電層210或導電通孔207。

【0047】 在部分實施例中，如第17圖所示，在聚合物層211上方形成具有導電部件的一個或多個附加的聚合物層。在操作S450中，形成具有導電部件的RDL 212。如圖所繪示，在部分實施例中，導電部件通過聚合物層211中的通孔電性耦接於導電層210。

【0048】 接下來，在操作S460中，如第18圖所示，具有開口的圖案化的聚合物層213形成於聚合物層211和RDL 212之上。在部分實施例中，聚合物層213包含PI、PBO、BCB、環氧樹脂 (epoxy)、矽樹脂 (silicone)、丙烯酸酯 (acrylates)、奈米填充酚樹脂 (nano-filled phenolic resin)、矽氧烷 (siloxane)、含氟聚合物 (a fluorinated polymer)、聚降冰片烯 (polynorbornene) 等。在部分實施例中，聚合物層213選擇性地暴露於用以蝕刻聚合物層213以形成開口的蝕刻劑，例如，包含 $CF_4$ 、 $CHF_3$ 、 $C_4F_8$ 、HF等。

【0049】 接下來，在操作S470中，如第18圖所示，形成具有至少一導電部件的RDL 214。如圖所示，在部分實施例中，導電部件通過聚合物層213的通孔電性耦接於RDL 212中的導電部件。導電部件通過導電通孔以及導電柱2081電性耦接於裝置晶片208，並通過導電通孔與導電層210電性耦接至電極140。在部分實施例中，RDL 214和RDL 214與背側RDL 204在組成和形成程序上基本類似，為簡潔起見於此不再贅述。在部分實施例中，如第18圖所示，圖案

化的聚合物層215形成於圖案化的聚合物層213與RDL 214之上。

**【0050】** 接下來，在操作S480中，如第19圖所示，形成用以輸入/輸出(I/O)焊盤的外部連接件217，例如，包含位於球下金屬部(UBM)216上的焊料球，以通過RDL 214電性連接至裝置晶片208。在部分實施例中，連接件217是設置在UBM 216上的球柵陣列(BGA)球、可控坍塌晶片連接件(controlled collapse chip connector, C4)凸塊等，其中UBM 216形成在RDL 214上方。在部分實施例中，連接件217用於將InFO封裝200電性連接至諸如包含另一裝置晶片、中介層、封裝襯底、印刷電路板、主機板等其他封裝組件。

**【0051】** 接下來，從InFO封裝去除載體201和黏合層202。最後所得到的結構繪示於第2圖。在部分實施例中，聚合物基層203亦從InFO封裝中被去除。在部分實施例中，聚合物基層203未被去除，並保留在所得之封裝中以作為底部保護層。

**【0052】** 以上步驟包含示例性操作，但是並非限定以所示出的順序循序執行該些操作。根據本揭示內容中各個實施例的精神和範圍，可以視情況添加、替換、重排和/或刪除部分操作。

**【0053】** 請參考第20圖。第20圖是根據本揭示內容的另一部分實施例所繪示的包含第1圖中所示的半導體結構100的整合扇外型(integrated Fan-Out, InFO)封裝200的

示意圖。於第20圖中，與第2圖之實施例有關的相似元件係以相同的參考標號表示以便於理解。

**【0054】** 與第2圖中所繪示實施例相較，在第20圖中所繪示的實施例中，介電材料160和模封材料MC為相異的材料。介電材料160於半導體結構100中填充於垂直導電結構124和垂直導電結構144之間以形成絕緣層。舉例來說，在部分實施例中，介電材料160的介電常數（或介電質常數）之值大於模封材料MC的介電常數之值。在部分實施例中，模封材料MC被施用於半導體結構100外部的模封層中以圍繞裝置晶片208，其中模封材料MC具有低K值，例如小於3.9，或進一步於其他實施例中小於2.5。在部分實施例中，模封材料MC可以包含諸如環氧樹脂、成形底部填充物等的任何合適的材料。

**【0055】** 在部分實施例中，介電材料160包含室溫（如，25°C）液相高K聚合物，例如，包含聚醯亞胺（PI）、聚苯並惡唑（PBO）等。在其他部分實施例中，介電材料160包含室溫或低溫（如，250°C以下）液相SiO<sub>2</sub>或旋塗玻璃（SOG），其介電常數大於或等於大約4。在其他部分實施例中，介電材料160包含液相SiN<sub>x</sub>或其他高K電介質。在其他部分實施例中，介電材料160包含低溫（如，180°C）化學氣相沉積（例如，包含常壓化學氣相沉積（APCVD）、次常壓化學氣相沉積（SACVD）、電漿促進化學氣相沉積（PECVD）、有機金屬化學氣相沉積（MOCVD）等）的SiO<sub>2</sub>（CVD-SiO<sub>2</sub>）、SiN<sub>x</sub>或SiO<sub>x</sub>N<sub>y</sub>沉積。在其他部分

實施例中，介電材料160包含：低溫（如，210°C）高K電介質沉積，例如，包含 $ZrO_2-Al_2O_3-ZrO_2$ （ZAZ）；或其他高K電介質沉積，例如，包含 $ZrO_2$ 、 $Al_2O_3$ 、 $HfO_x$ 、 $HfSiO_x$ 、 $ZrTiO_x$ 、 $TiO_2$ 、 $TaO_x$ 等。在其他部分實施例中，介電材料160包含混合原子層沉積（hybrid atomic layer deposited）的 $SrO$ （ALD- $SrO$ ）和化學氣相沉積的 $RuO_2$ （CVD- $RuO_2$ ）介電層。例如，在其他部分實施例中，介電材料160包含 $SrTiO_3$ （STO）介電層。

【0056】 第21圖是根據本揭示內容的部分實施例所繪示的製造包含第20圖中所示的整合扇外型（InFO）封裝200的方法2100的流程圖。為便於理解本案，方法2100將配合第1圖與第20圖中所繪示的半導體結構100進行說明，但本案並不以此為限。

【0057】 舉例而言，第20圖中的整合扇外型（InFO）封裝200的製造程序將配合方法2100以及第22圖～第26圖一起描述。第22圖～第26圖是根據本揭示內容部分實施例所繪示的在製造程序的不同階段中，整合扇外型（InFO）封裝200的截面圖。在第4圖～第19圖以及第22圖～第26圖的不同階段後，封裝200將具有如第20圖所繪示的截面圖。儘管第22圖～第26圖係與方法2100配合進行描述，但當理解第22圖～第26圖中公開的結構並不限於方法2100。於第22圖～第26圖中，與第4圖～第19圖中相似元件係以相同的參考標號表示以便於理解。

【0058】 與第3圖中所繪示的方法300相較，在第21圖中

所繪示的方法2100中，模封材料MC包含具有相對較低介電常數的材料，例如包含諸如環氧樹脂、成形底部填充物等。

**【0059】** 在操作S390中的研磨程序執行後，如第22圖所示，執行操作S391。在操作S391中，在模封材料MC上方形成圖案化的光阻層2201。光阻層2201的各部分使用光掩模（未繪示）來曝光。根據使用的是負性還是正性抗蝕劑來去除光阻層2201中曝光或未曝光的部分。光阻層2201的部分被去除以形成開口暴露於垂直導電結構124與垂直導電結構144之間的模封材料MC的區域，如此所得到的圖案化的光阻層2201便配置於圍繞著裝置晶片208的模封材料MC的區域。

**【0060】** 接下來，在操作S393中，如第23圖所示，執行蝕刻程序以去除垂直導電結構124與垂直導電結構144之間的模封材料MC的暴露部分。在部分實施例中，施作使用HF和AMAR（Cu與NH<sub>3</sub>混和物）的濕蝕刻程序。在其他部分實施例中，施作使用HF和LDPP，其包含TMAH（Tetramethyl ammonium hydroxide）的濕蝕刻程序。

**【0061】** 接下來，在操作S395中，如第24圖所示，去除光阻層2201。在部分實施例中，濕剝離程序被用來去除光阻層2201。在部分實施例中，在濕剝離程序中，DMSO（Dimethylsulfoxide）和TMAH（Tetramethyl ammonium hydroxide）被用來除去光阻材料。舉例來說，使用DMSO（Dimethylsulfoxide）溶解光阻層2201並使光阻層2201腫脹，並使用TMAH（Tetramethyl ammonium

hydroxide) 切斷聚合物的交連 (cross-linkage)。

【0062】 接下來，在操作S397中，如第25圖所示，介電材料160形成於垂直導電結構124和垂直導電結構144之間並覆蓋於模封層209之上。在部分實施例中，介電材料160的介電常數高於模封材料MC的介電常數。

【0063】 接下來，在操作S399中，如第26圖所示，執行化學機械拋光 (CMP) 程序去除介電材料160的多餘部分，並且暴露導電部件例如導電材料206、導電通孔207以及導電柱2081。如此一來，與模封材料MC相異的介電材料160便被填充於垂直導電結構124與垂直導電結構144之間。

【0064】 在部分實施例中，方法2100包含於操作S391執行的操作S310～S390，以及於操作S399後執行的操作S400～S480。方法2100當中的操作S310～S390與S400～S480與方法300當中的操作相似且已清楚於先前段落及第4圖～第19圖中敘明，故不再於此贅述。

【0065】 以上步驟包含示例性操作，但是並非限定以所示出的順序循序執行該些操作。根據本揭示內容中各個實施例的精神和範圍，可以視情況添加、替換、重排和／或刪除部分操作。

【0066】 請參考第27圖。第27圖是根據本揭示內容的多個實施例所繪示的包含第1圖中所示的半導體結構100的整合扇外型 (integrated Fan-Out, InFO) 封裝200的示意圖。於第27圖中，與第2圖之實施例有關的相似元件係以相同的參考標號表示以便於理解。

【0067】 與第2圖所示實施例相較，在第27圖所繪示的實施例中，裝置晶片208包含兩個導電柱2081、2082，且導電通孔207設置於裝置晶片208的另一側。舉例而言，在部分實施例中，導電通孔207通過RDL212和214電性耦接於外部連接件217a以連接至接地端，且通過背側RDL 204電性耦接至垂直導電結構124。如此一來，金屬－絕緣體－金屬(MIM)結構的底部電極便耦接至接地端。導電柱2081通過RDL 212、214電性耦接至指狀金屬－絕緣體－金屬(MIM)的正電壓側。此外，垂直導電結構144彼此透過RDL 212電性耦接。如此一來，金屬－絕緣體－金屬(MIM)結構的上部電極便通過RDL 214和導電柱2081耦接至裝置晶片208。導電柱2082通過RDL 212、214電性耦接至外部連接件217b以透過外部連接件217b接收裝置晶片208的輸入訊號。與第2圖所繪示實施例相似，高K值的模封材料MC填充於模封層209內並填充於半導體結構100的垂直導電結構124和垂直導電結構144之間以形成指狀金屬－絕緣體－金屬(MIM)電容結構以抑制從晶片208通過導電柱2081和RDL 214、212、210傳輸的訊號雜訊。在部分實施例中，垂直導電結構124和144於一截面上可具有方形、矩形或其他合適形狀，或其任意的組合。

【0068】 第27圖中所示的整合扇外型(InFO)封裝200的製造程序與第2圖中所示的整合扇外型(InFO)封裝200的製造程序相似，其已於先前段落中詳細描述，故於此不再贅述。

【0069】 請參考第28圖。第28圖是根據本揭示內容的多個候選實施例所繪示的包含第1圖中所示的半導體結構100的另外一整合扇外型（integrated Fan-Out，InFO）封裝200的示意圖。於第28圖中，與第20圖之實施例有關的相似元件係以相同的參考標號表示以便於理解。

【0070】 與第27圖所示實施例相較，在第28圖所繪示的實施例中，介電材料160和模封材料MC為相異的材料。介電材料160於半導體結構100中填充於垂直導電結構124和垂直導電結構144之間以形成絕緣層。舉例來說，在部分實施例中，介電材料160的介電常數（或介電質常數）之值大於模封材料MC的介電常數之值。在部分實施例中，模封材料MC被施用於半導體結構100外部的模封層中以圍繞裝置晶片208，其中模封材料MC具有低K值，例如小於3.9，或進一步於其他實施例中小於2.5。在部分實施例中，模封材料MC可以包含諸如環氧樹脂、成形底部填充物等的任何合適的材料。相似地，第28圖中所示的整合扇外型（InFO）封裝200的製造程序與第20圖中所示的整合扇外型（InFO）封裝200的製造程序相似，其已於先前段落中詳細描述，故於此不再贅述。

【0071】 在部分實施例中，一種半導體裝置於此公開。半導體裝置包含一裝置晶片，圍繞於該裝置晶片的一模封層，複數個形成於模封層內的第一垂直導電結構，以及複數個形成於模封層內的第二垂直導電結構，該些第一垂直導電結構和該些第二垂直導電結構彼此交錯排列，且一絕緣層結

構形成於該些第一垂直導電結構和該些第二垂直導電結構之間。

【0072】 此外，一種方法於此公開，方法包含：形成一第一導電面於一基板上；形成複數個第一垂直導電結構於該第一導電面上並與該第一導電面電性耦接；形成複數個第二垂直導電結構於該基板上，其中該些第一垂直導電結構與該些第二垂直導電結構彼此交錯排列，且一絕緣結構形成於該些第一垂直導電結構與該些第二垂直導電結構之間；附著一裝置晶片於該基板上；施加一模封材料於一模封層內以覆蓋於該基板上圍繞該裝置晶片；以及形成一第二導電面於該模封層上，其中該第二導電面電性耦接於該些第二垂直導電結構。

【0073】 此外，一種方法於此公開，方法包含：形成一電容結構於一封裝結構上，其中該電容結構包含複數個第一垂直導電結構，複數個第二垂直導電結構，以及該些第一垂直導電結構與該些第二垂直導電結構之間的一絕緣結構；附著一裝置晶片於一基板上；以及施加一模封材料於該基板上，以圍繞該裝置晶片以及該電容結構。

【0074】 雖然本揭示內容已以實施方式揭露如上，以使得本領域的技術人員可以更好地理解本揭示內容的各種態樣。本領域技術人員應該理解本揭示內容可用以作為基礎來設計或修飾其他步驟和結構以達到與本揭示內容所介紹實施例相同的目的和／或實現相同優點。本領域技術人員亦當理解，等效的結構並不脫離本揭示內容的精神和範圍，任何

熟習此技藝者，在不脫離本揭示內容之精神和範圍內，當可作各種更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

## 【符號說明】

### 【0075】

- 100 半導體結構
- 120、140 電極
- 122、142 導電面
- 124、144 垂直導電結構
- 160 介電材料
- 200 封裝
- 201 載體
- 202 黏合層
- 203 聚合物基層
- 204 背側重分佈層
- 205 晶種層
- 206 導電材料
- 207 導電通孔
- 208 裝置晶片
- 2081 導電柱
- 2082 導電柱
- 209 模封層
- 210 導電層

211、213、215 聚合物層

212、214 重分佈層

216 球下金屬部

217、217a、217b 外部連接件

MC 模封材料

300、2100 方法

S310~S480 步驟

601、1501、2201 光阻層

1001 開口

## 【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

一裝置晶片；

一模封層，圍繞於該裝置晶片；

複數個第一垂直導電結構，該些第一垂直導電結構形成於模封層內；

一第一聚合物層，形成於該些第一垂直導電結構之上且接觸該些第一垂直導電結構；以及

複數個第二垂直導電結構，該些第二垂直導電結構形成於模封層內；

其中該些第一垂直導電結構和該些第二垂直導電結構彼此交錯排列，且一絕緣層結構形成於該些第一垂直導電結構和該些第二垂直導電結構之間。

【第 2 項】如請求項 1 所述的半導體裝置，其中一模封材料施用於該模封層內以圍繞該裝置晶片並形成該絕緣層結構，其中該模封材料包含聚合物和二氧化矽。

【第 3 項】如請求項 1 所述的半導體裝置，其中一模封材料施用於該模封層內以圍繞該裝置晶片，一介電材料施用於該模封層內形成該絕緣層結構，其中該介電材料具有比該模封材料更高之介電常數；

其中該介電材料包含聚醯亞胺、聚苯並惡唑、矽氮化物、二氧化矽、 $ZrO_2$ 、 $Al_2O_3$ 、 $HfO_x$ 、 $HfSiO_x$ 、 $ZrTiO_x$ 、 $TiO_2$ 、 $TaO_x$ 、 $ZrO_2-Al_2O_3-ZrO_2$  結構及  $SrTiO_3$  中至少

之一者。

【第4項】如請求項1所述的半導體裝置，其中該些第一垂直導電結構以方格圖樣分布，該些第二垂直導電結構以方格圖樣分布。

【第5項】如請求項1所述的半導體裝置，更包含：  
一第一重分佈層，該第一重分佈層覆蓋於該第一聚合物層之上；

一第二聚合物層，該第二聚合物層覆蓋於該第一重分佈層之上；以及

一第二重分佈層，該第二重分佈層覆蓋於該第二聚合物層之上；

其中一導電面形成於該第一重分佈層內，且該裝置晶片與該導電面通過該第二重分佈層電性耦接；

其中該第一聚合物層覆蓋於該模封層之上。

【第6項】一種封裝方法，包含：

形成一第一導電面於一基板上；

形成複數個第一垂直導電結構於該第一導電面上並與該第一導電面電性耦接；

形成一第一聚合物層於該些第一垂直導電結構之上，其中該第一聚合物層接觸該些第一垂直導電結構；

形成複數個第二垂直導電結構於該基板上，其中該些第一垂直導電結構與該些第二垂直導電結構彼此交錯排

列，且一絕緣結構形成於該些第一垂直導電結構與該些第二垂直導電結構之間；

附著一裝置晶片於該基板上；

施加一模封材料於一模封層內以覆蓋於該基板上圍繞該裝置晶片；以及

形成一第二導電面於該模封層上，其中該第二導電面電性耦接於該些第二垂直導電結構。

【第7項】如請求項6所述之封裝方法，更包含：

施加該模封材料於該模封層內以覆蓋於該基板上圍繞該裝置晶片、該些第一垂直導電結構以及該些第二垂直導電結構。

【第8項】如請求項6所述之封裝方法，更包含：

施加一介電材料於該些第一垂直導電結構以及該些第二垂直導電結構之間以形成一絕緣結構，其中該介電材料具有比該模封材料更高之介電常數；

形成一第一重分佈層於該第一聚合物層上以形成該第二導電面；

形成包含複數個開口之一第二聚合物層於該第一重分佈層上；

形成一第二重分佈層於該第二聚合物層上；以及

形成一第三聚合物層於該第二重分佈層上；

其中該裝置晶片與該第二導電面通過該第二重分佈層電性耦接；

其中該第一聚合物層包含複數個開口且形成於該模封層上。

**【第 9 項】**一種封裝方法，包含：

形成一電容結構於一封裝結構上，其中該電容結構包含複數個第一垂直導電結構，複數個第二垂直導電結構，以及該些第一垂直導電結構與該些第二垂直導電結構之間的一絕緣結構；

形成一第一聚合物層於該些第一垂直導電結構之上，其中該第一聚合物層接觸該些第一垂直導電結構；

附著一裝置晶片於一基板上；以及

施加一模封材料於該基板上模封層內以圍繞該裝置晶片以及該電容結構。

**【第 10 項】**如請求項 9 所述之封裝方法，其中該絕緣結構包含一介電材料，該介電材料具有比該模封材料更高之介電常數，

其中該電容結構更包含一第一導電面電性耦接於該些第一垂直導電結構，以及一第二導電面電性耦接於該些第二垂直導電結構，該方法更包含：

形成一背側重分佈層於該基板上以形成該第一導電面；

形成一第一重分佈層於該第一聚合物層上以形成該第二導電面；

形成包含複數個開口之一第二聚合物層於該第一重分

佈層上；

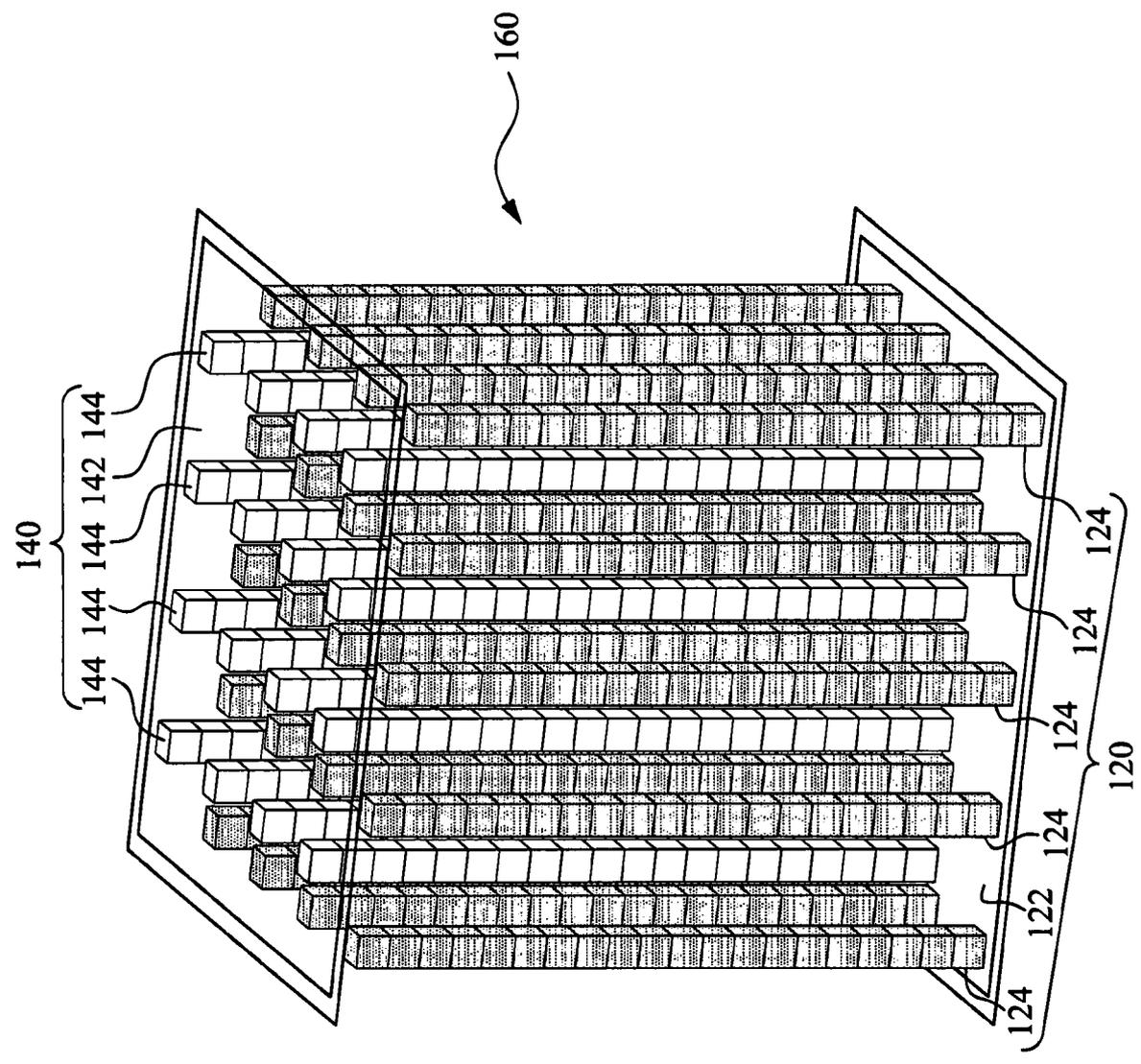
形成一第二重分佈層於該第二聚合物層上；以及

形成一第三聚合物層於該第二重分佈層上；

其中該裝置晶片與該第二導電面通過該第二重分佈層電性耦接；

其中該第一聚合物層包含複數個開口且形成於該模封層上。

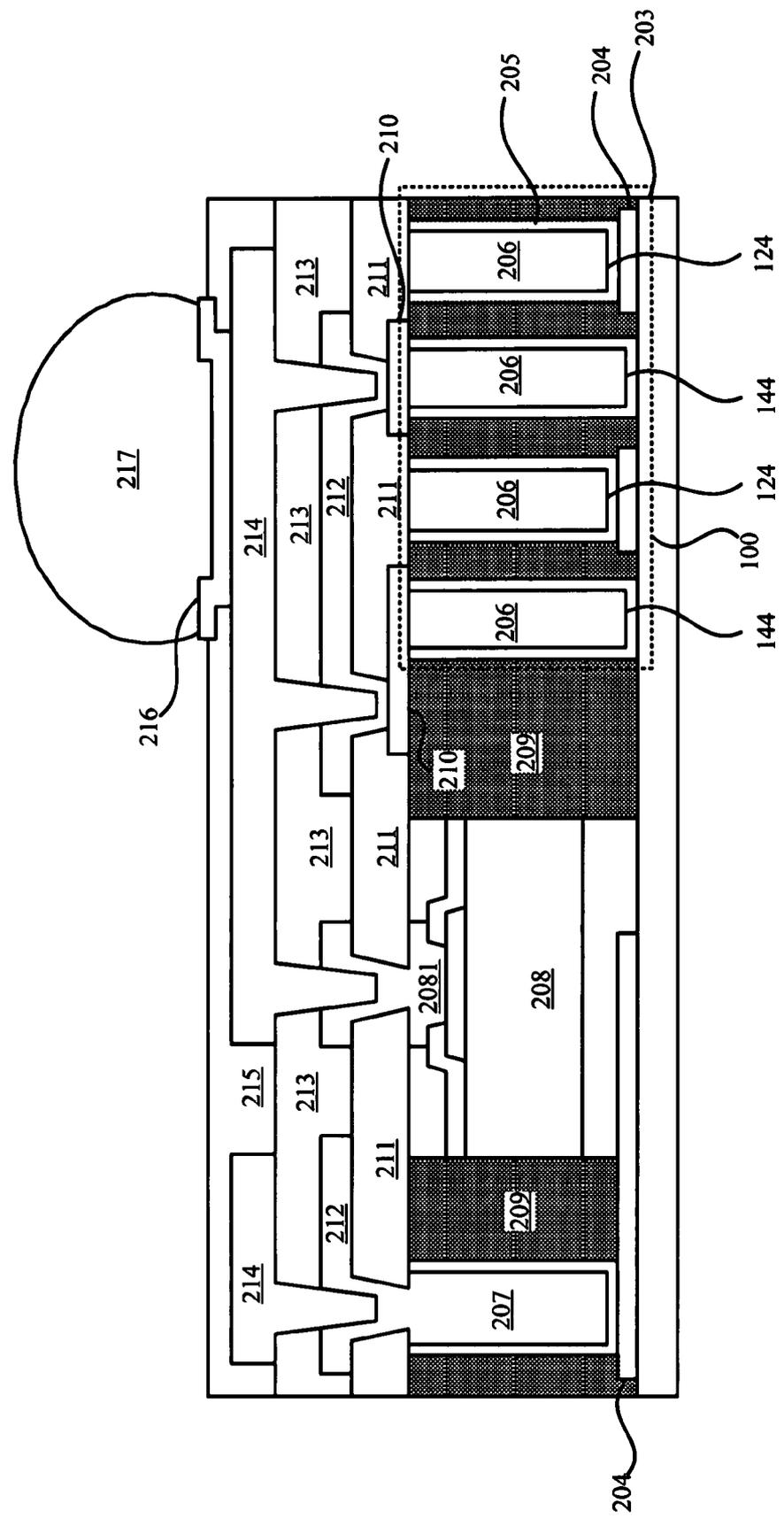
圖式



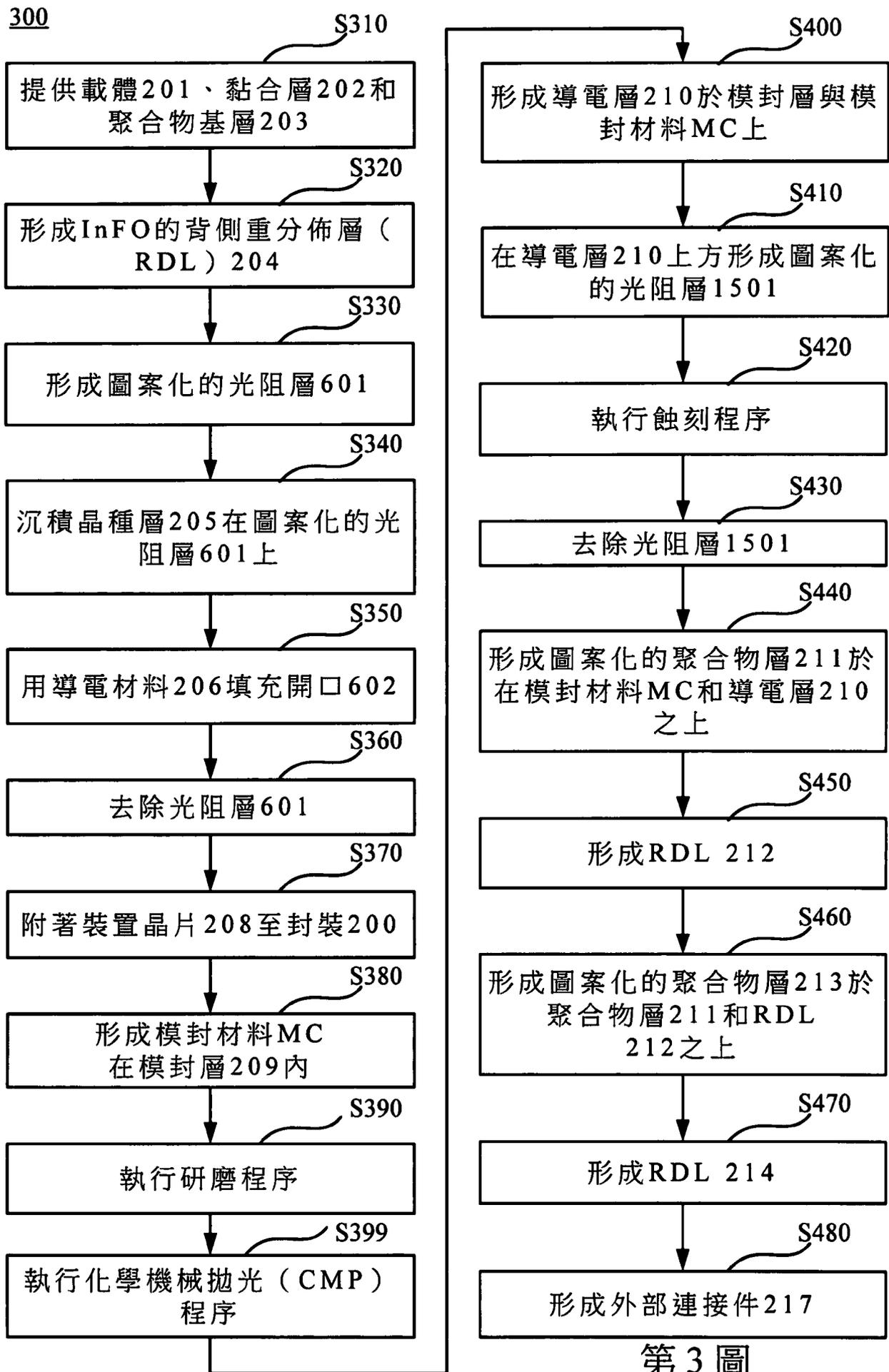
100

第 1 圖

200

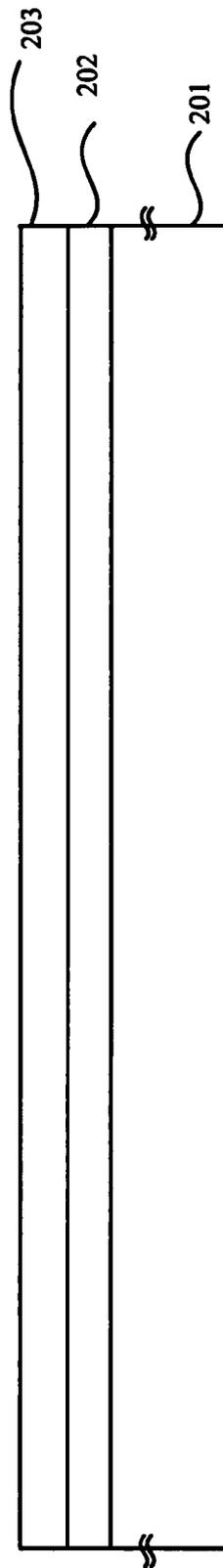


第 2 圖



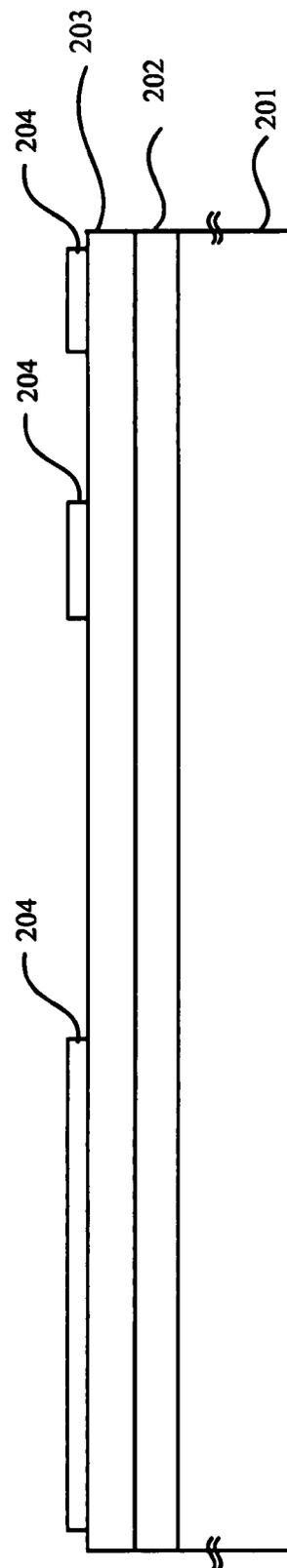
第3圖

200



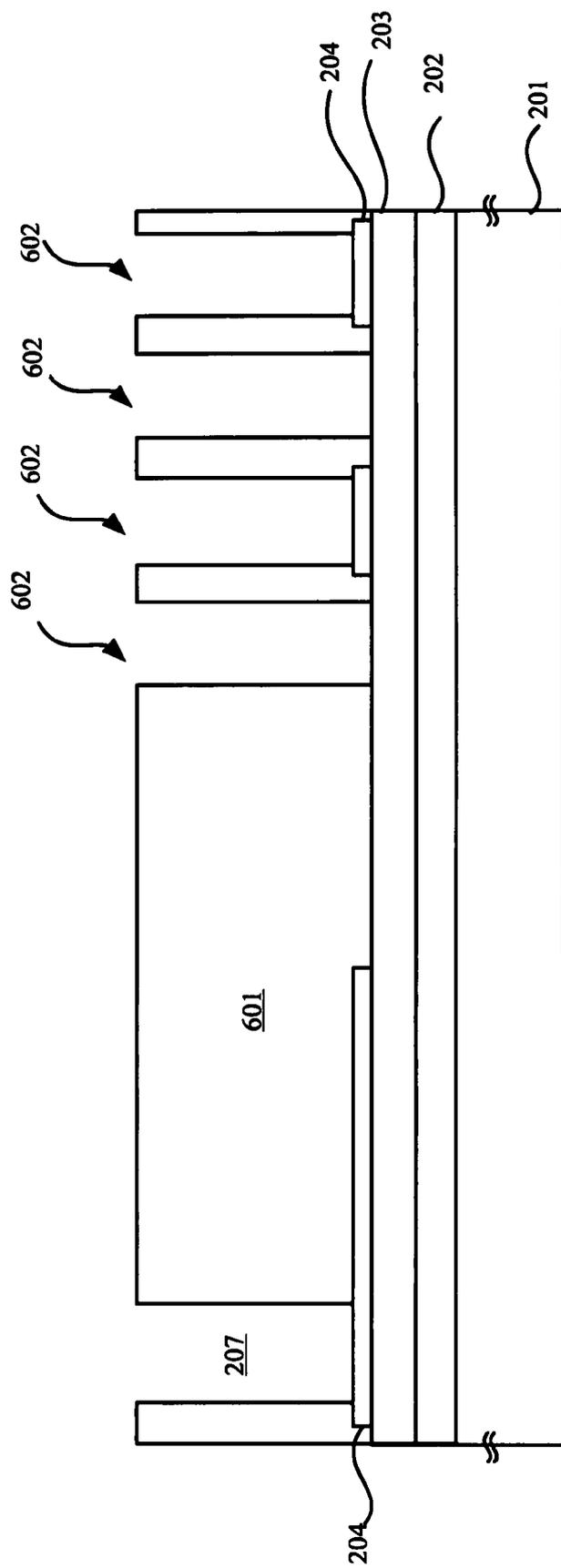
第4圖

200



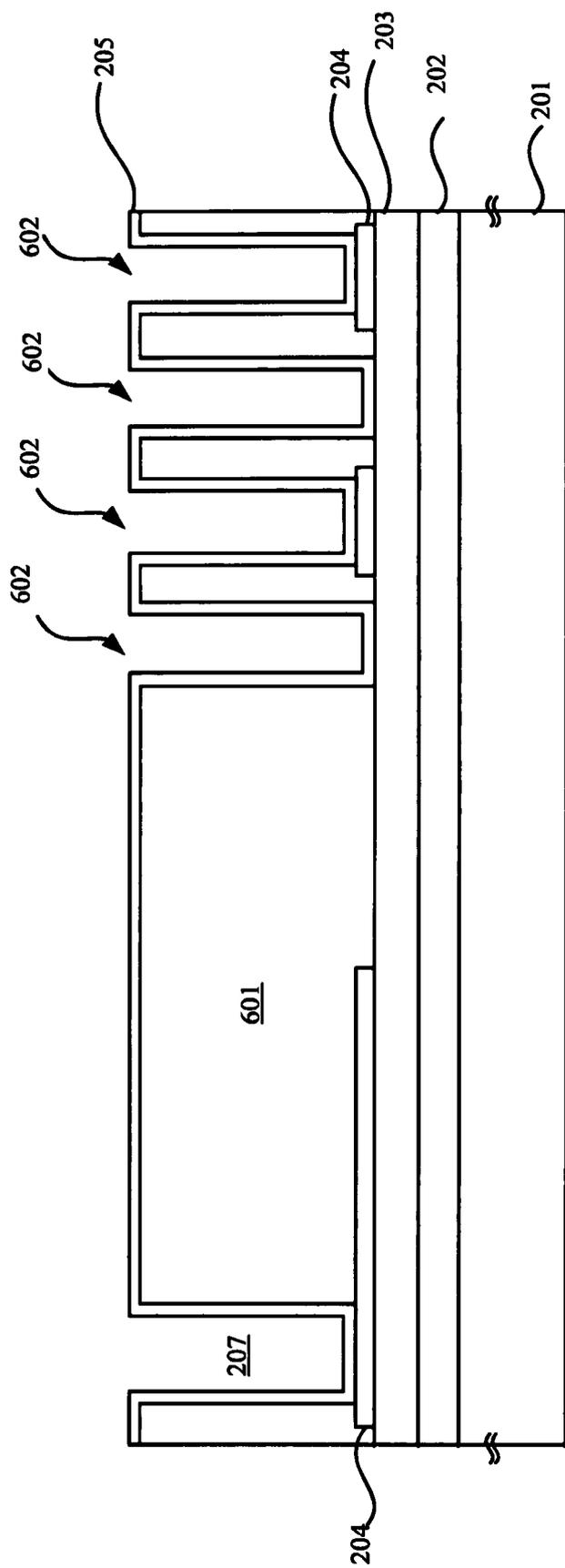
第5圖

200



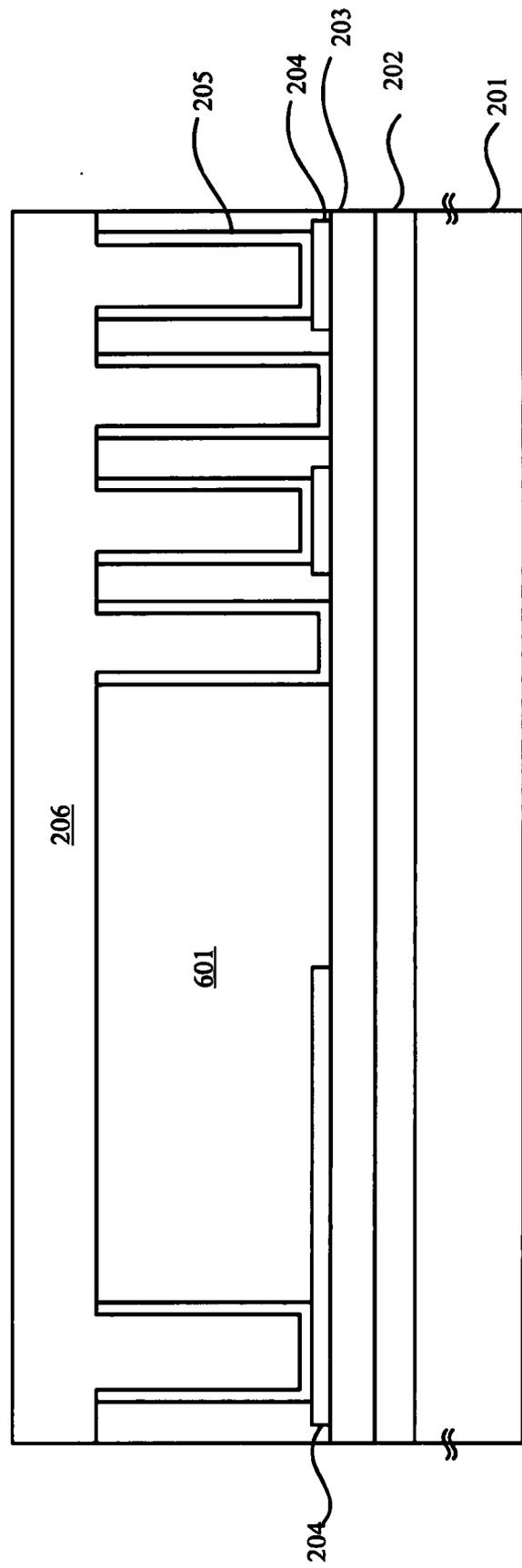
第6圖

200



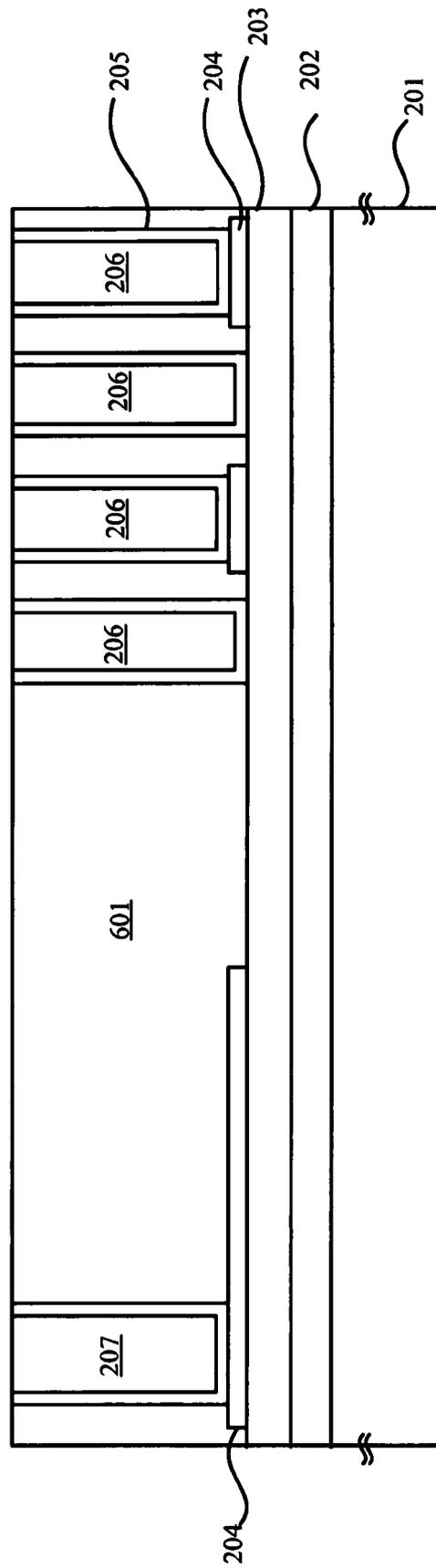
第7圖

200



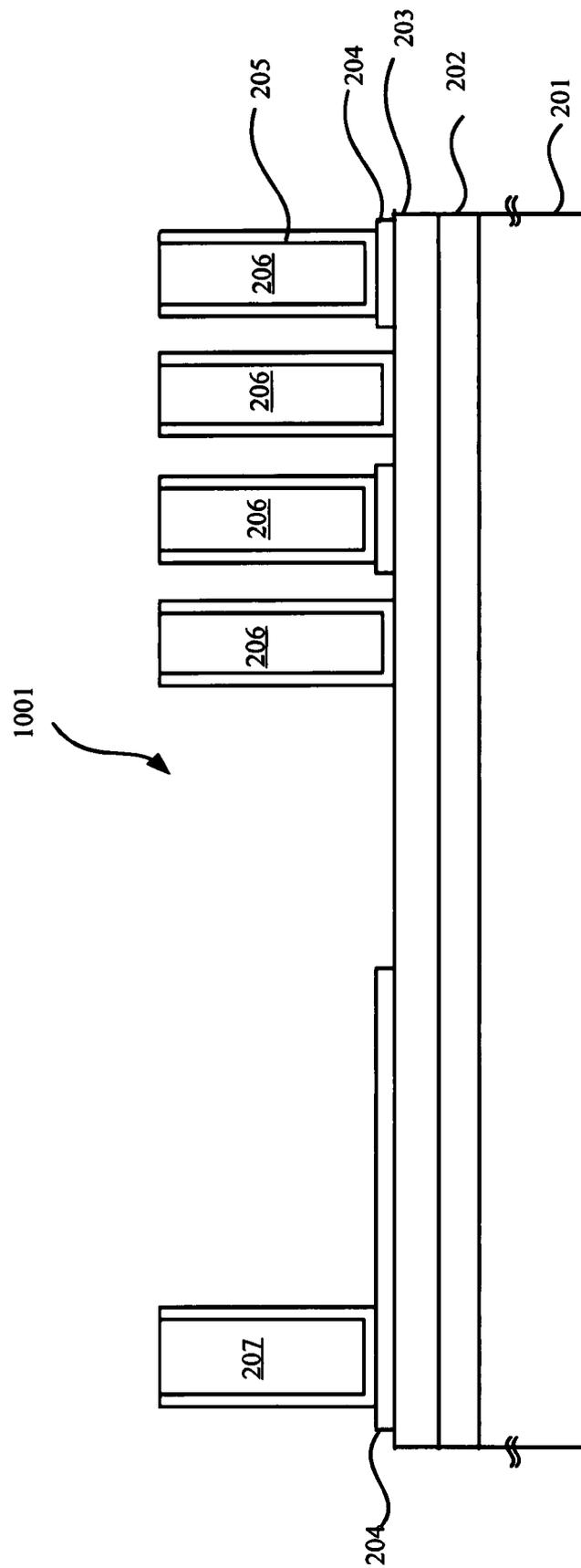
第 8 圖

200



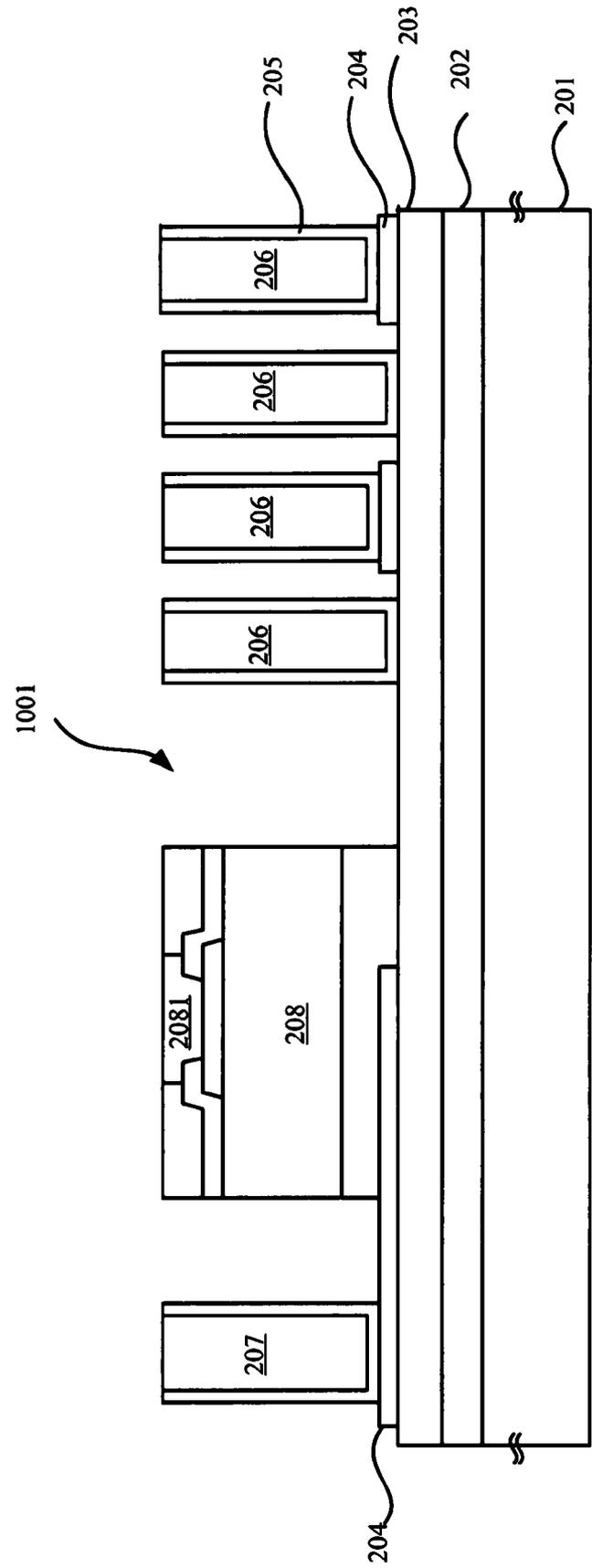
第 9 圖

200



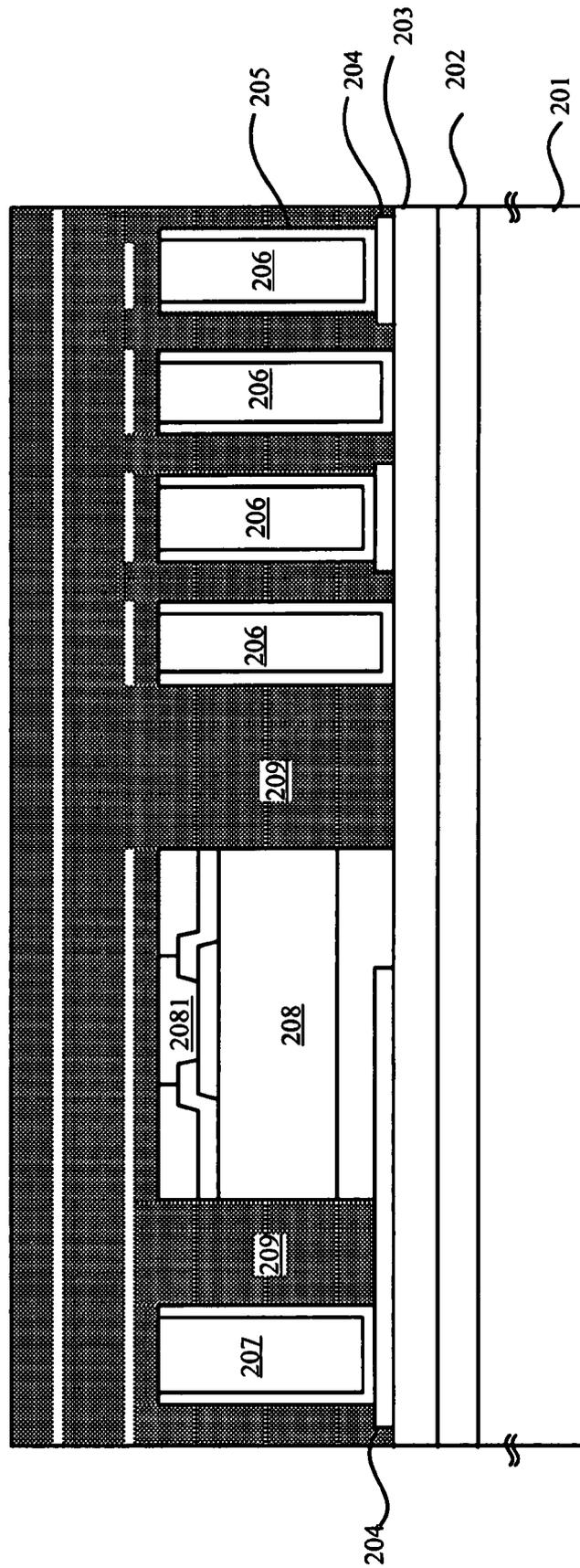
第 10 圖

200



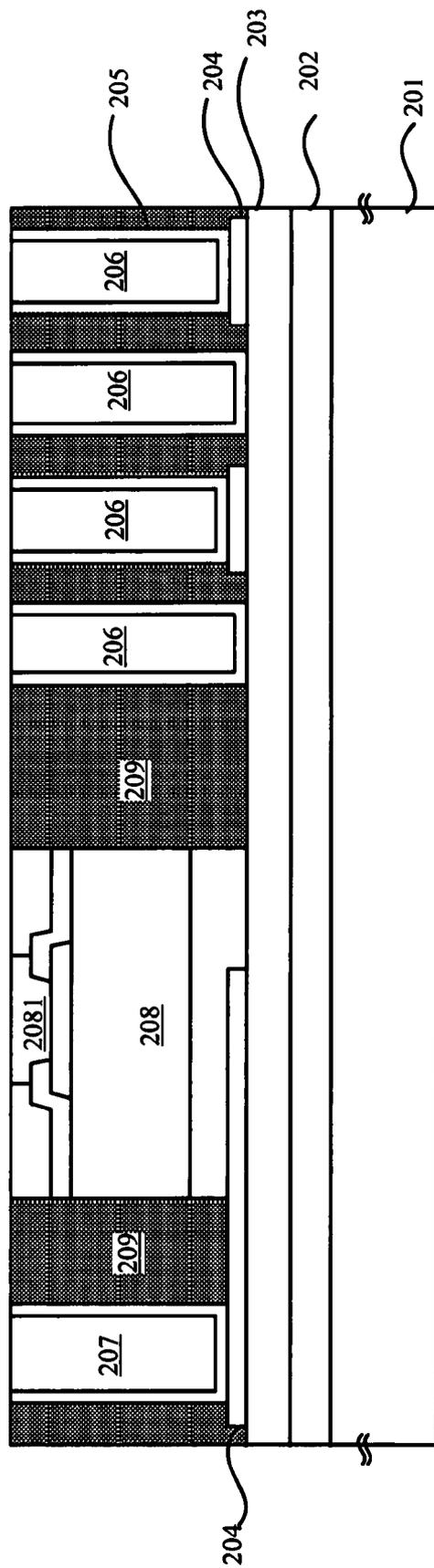
第 11 圖

200



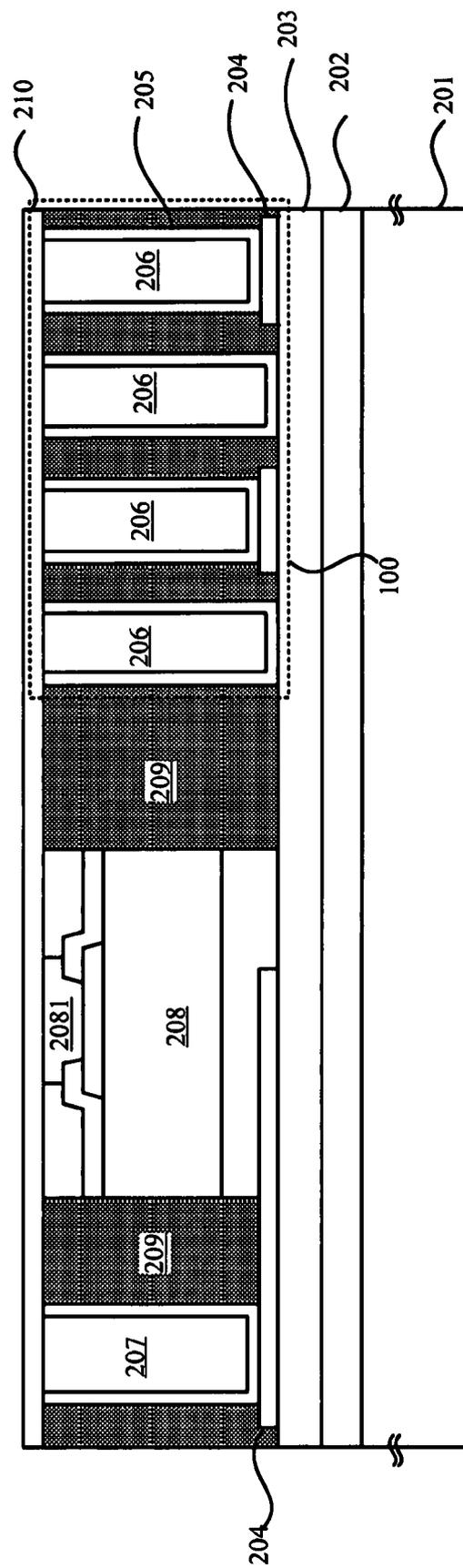
第12圖

200



第 13 圖

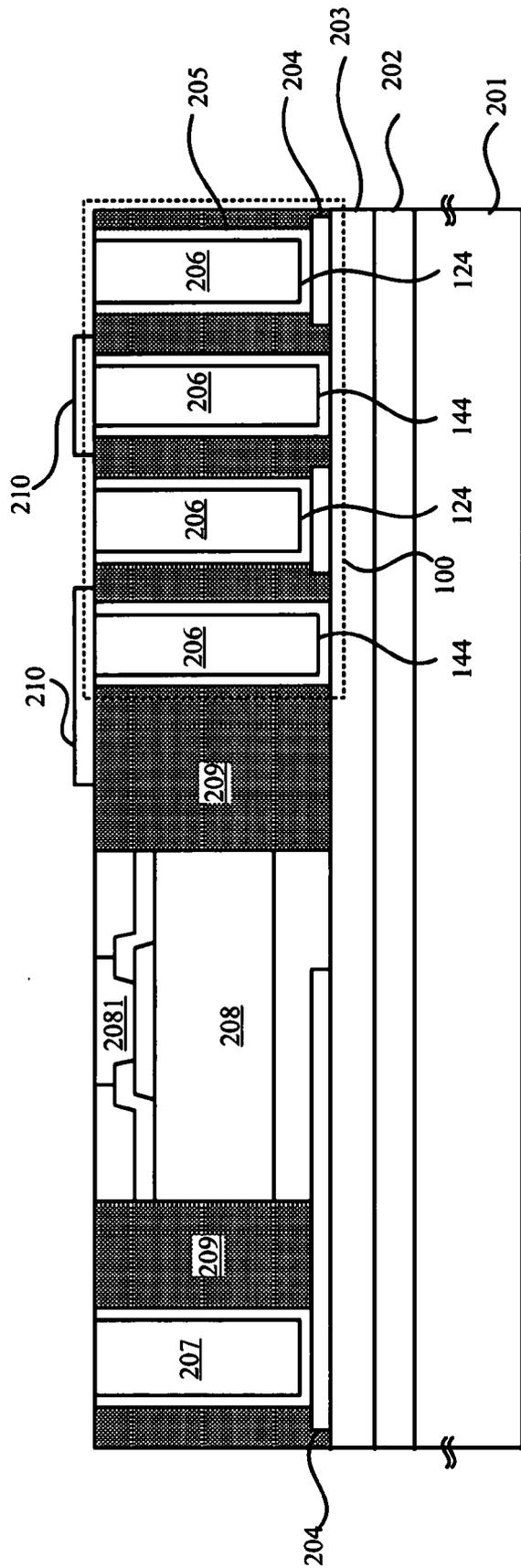
200



第14圖

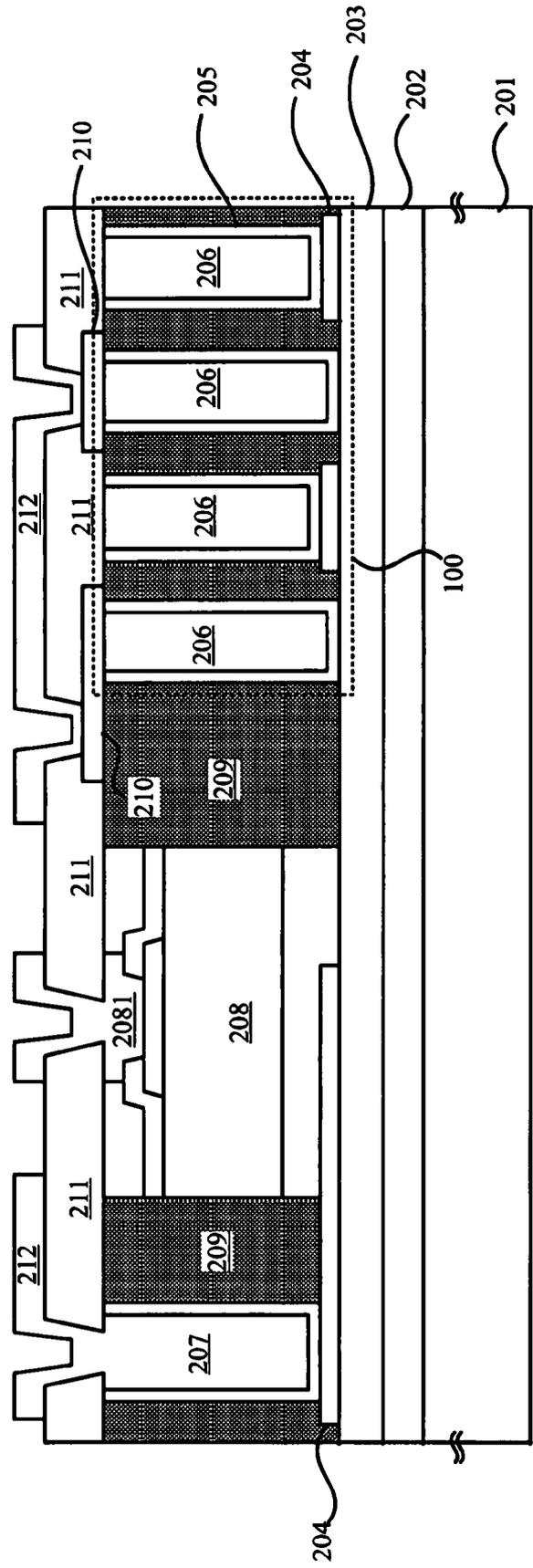


200



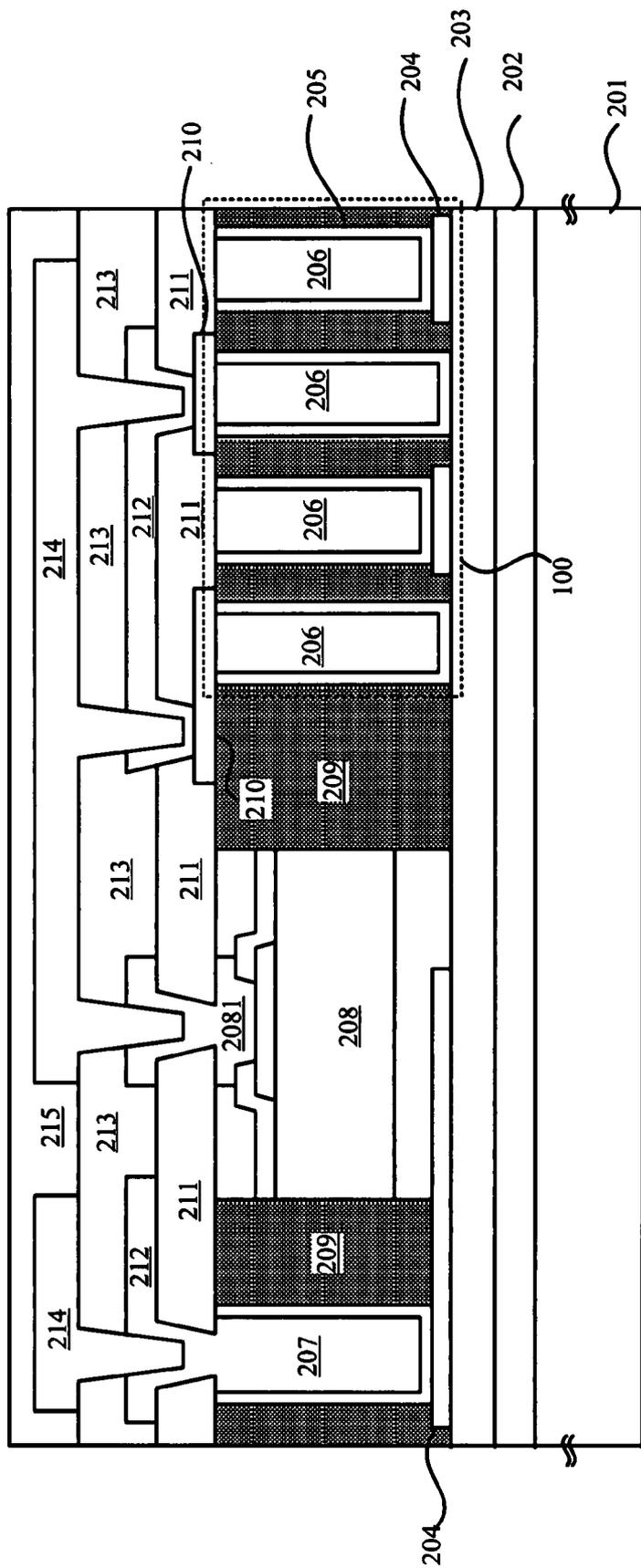
第 16 圖

200



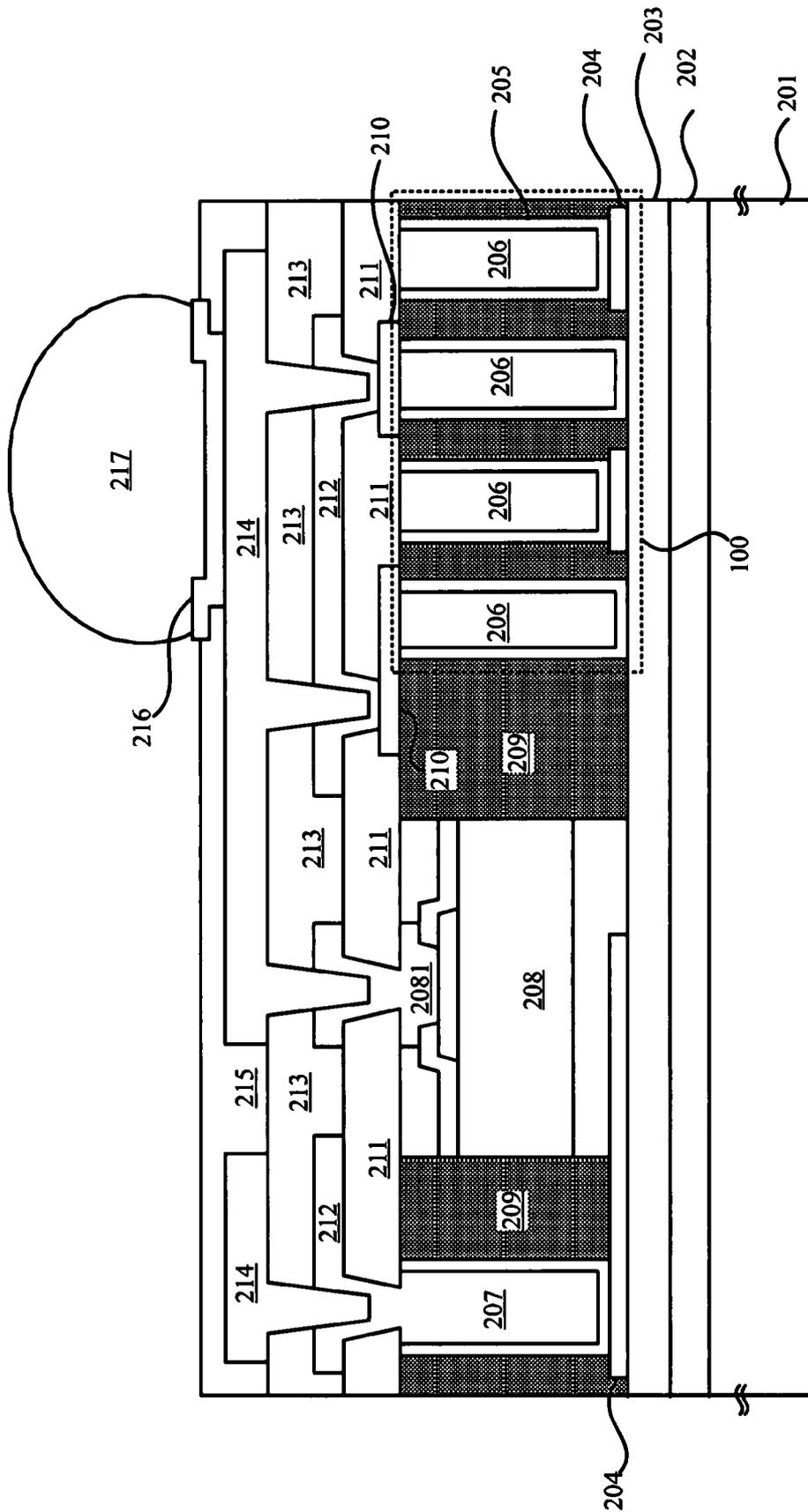
第 17 圖

200



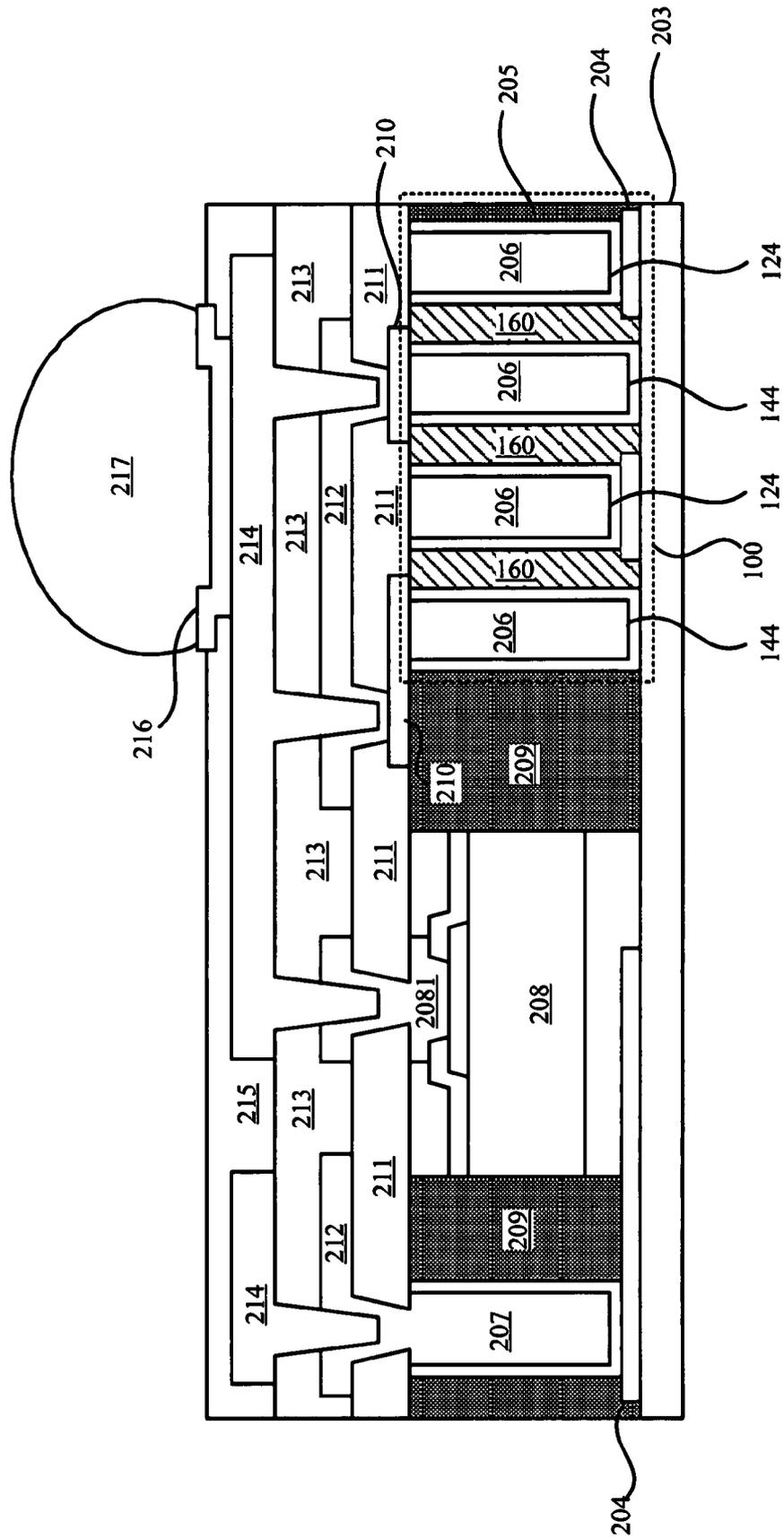
第 18 圖

200

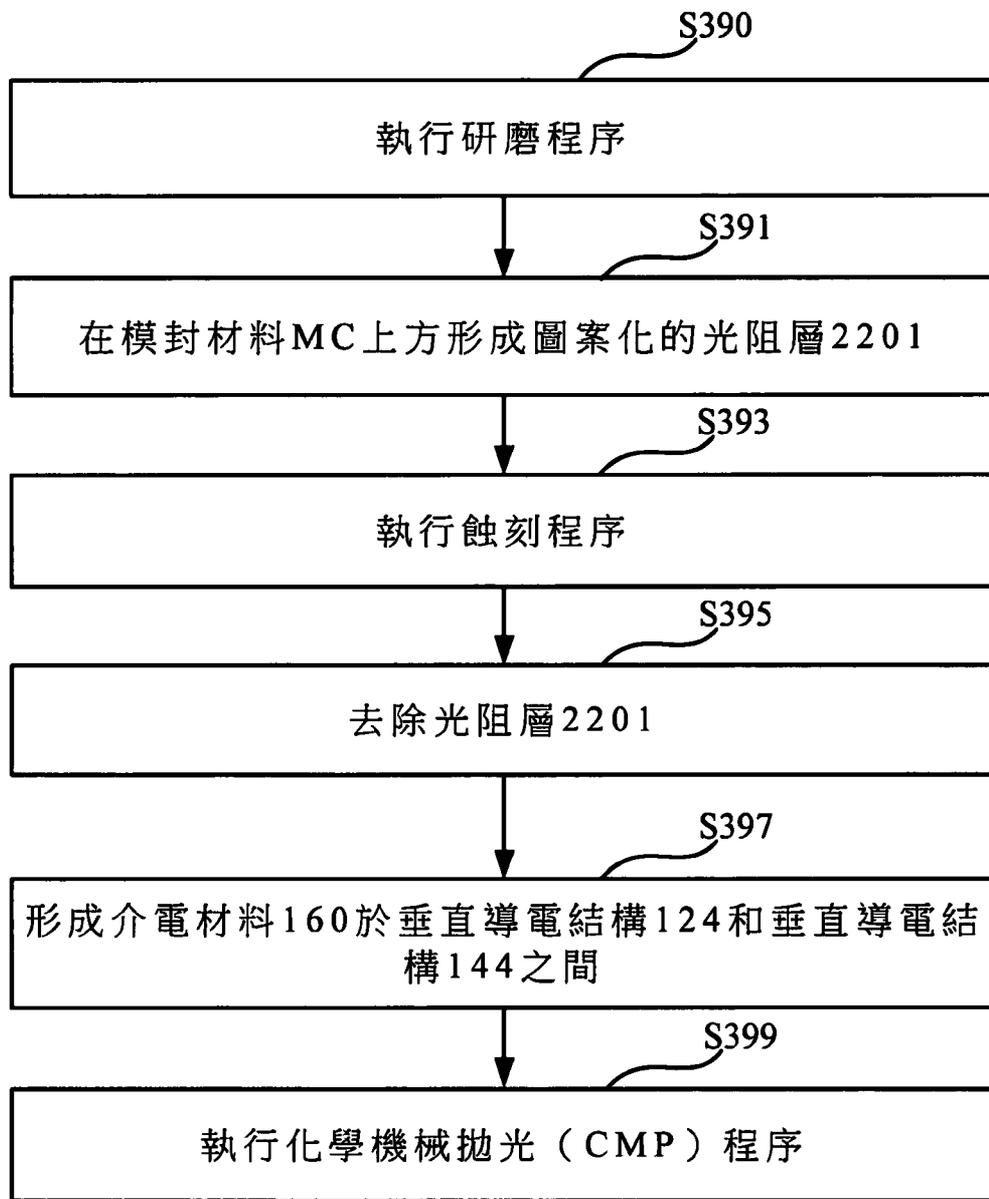


第 19 圖

200

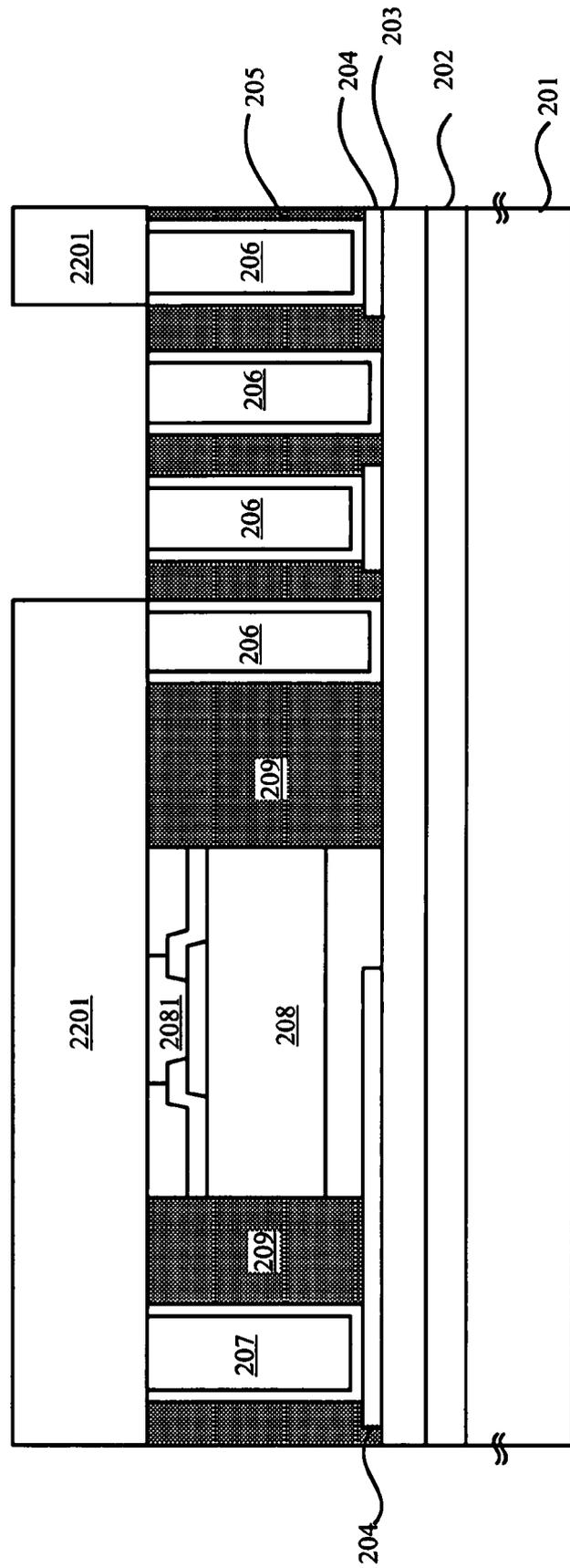


第 20 圖



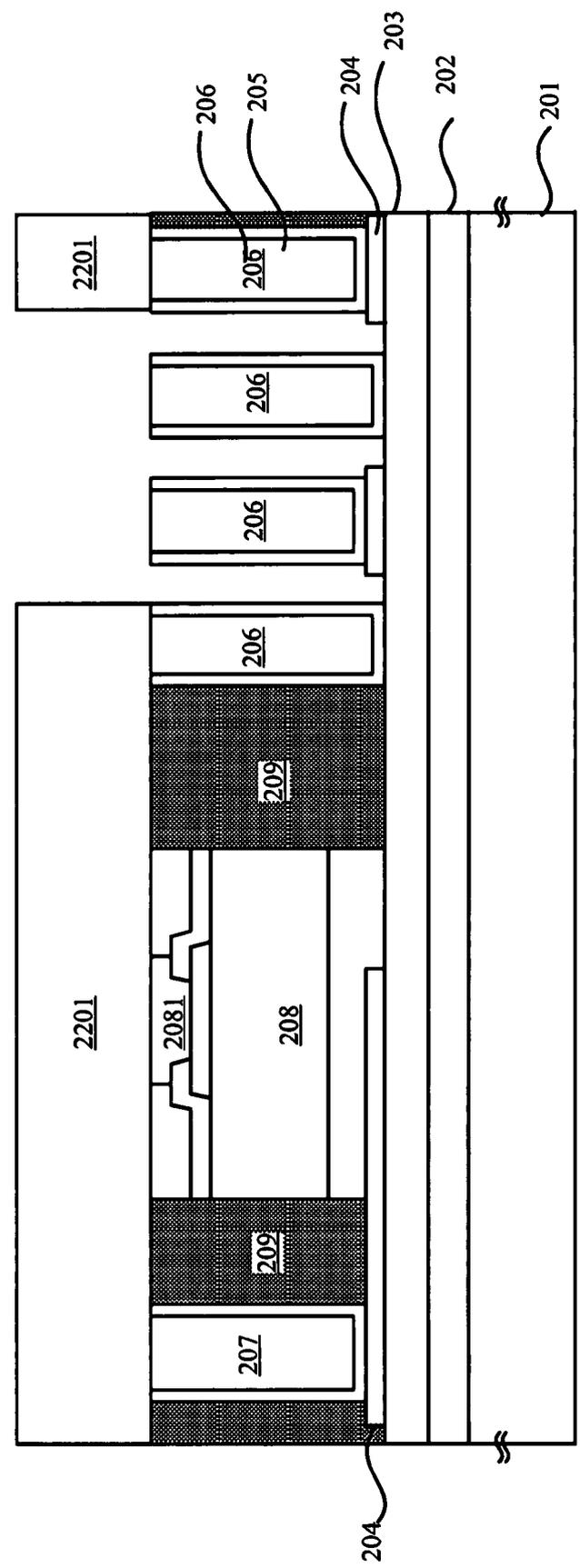
第 21 圖

200



第 22 圖

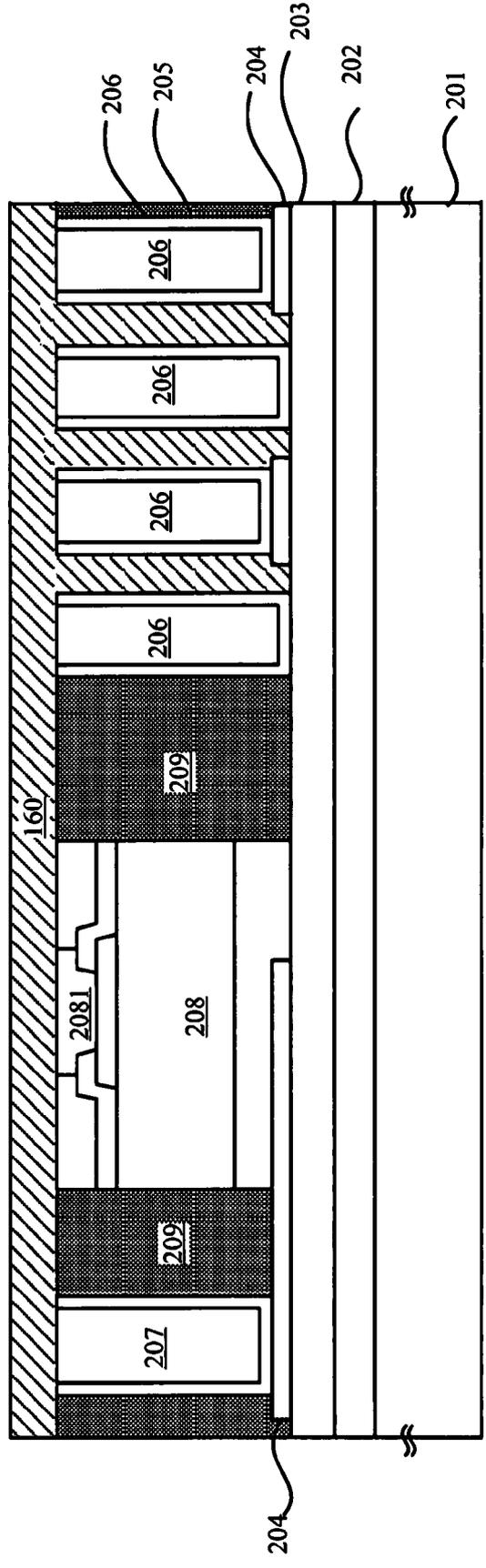
200



第 23 圖

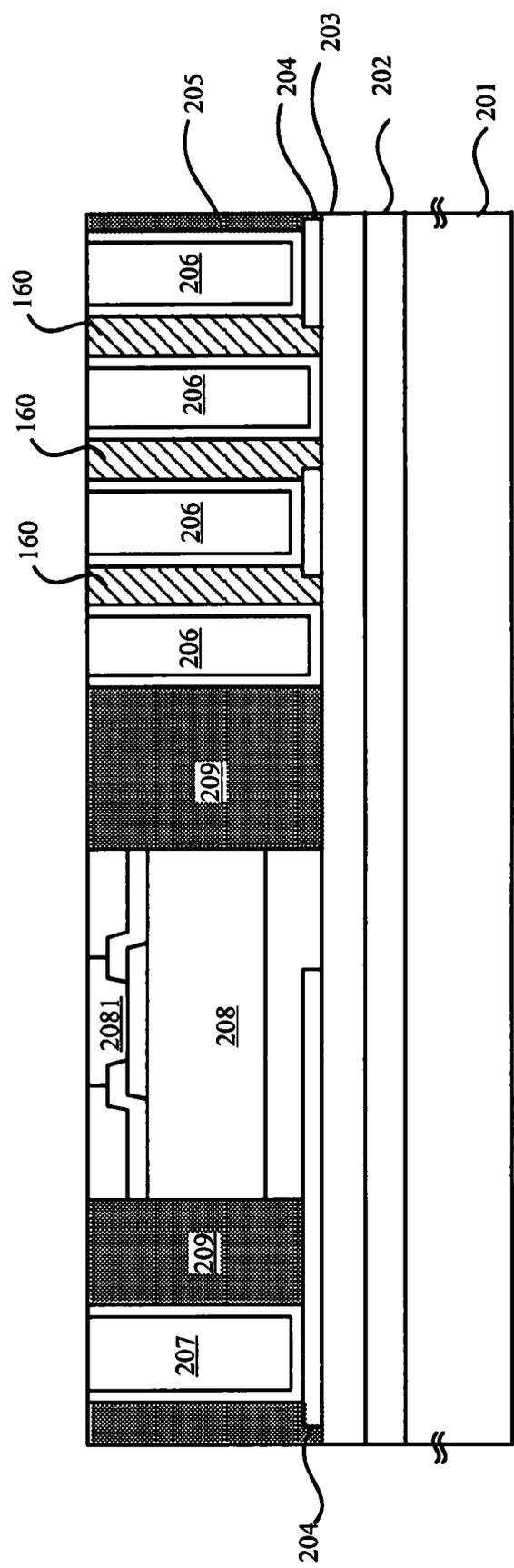


200



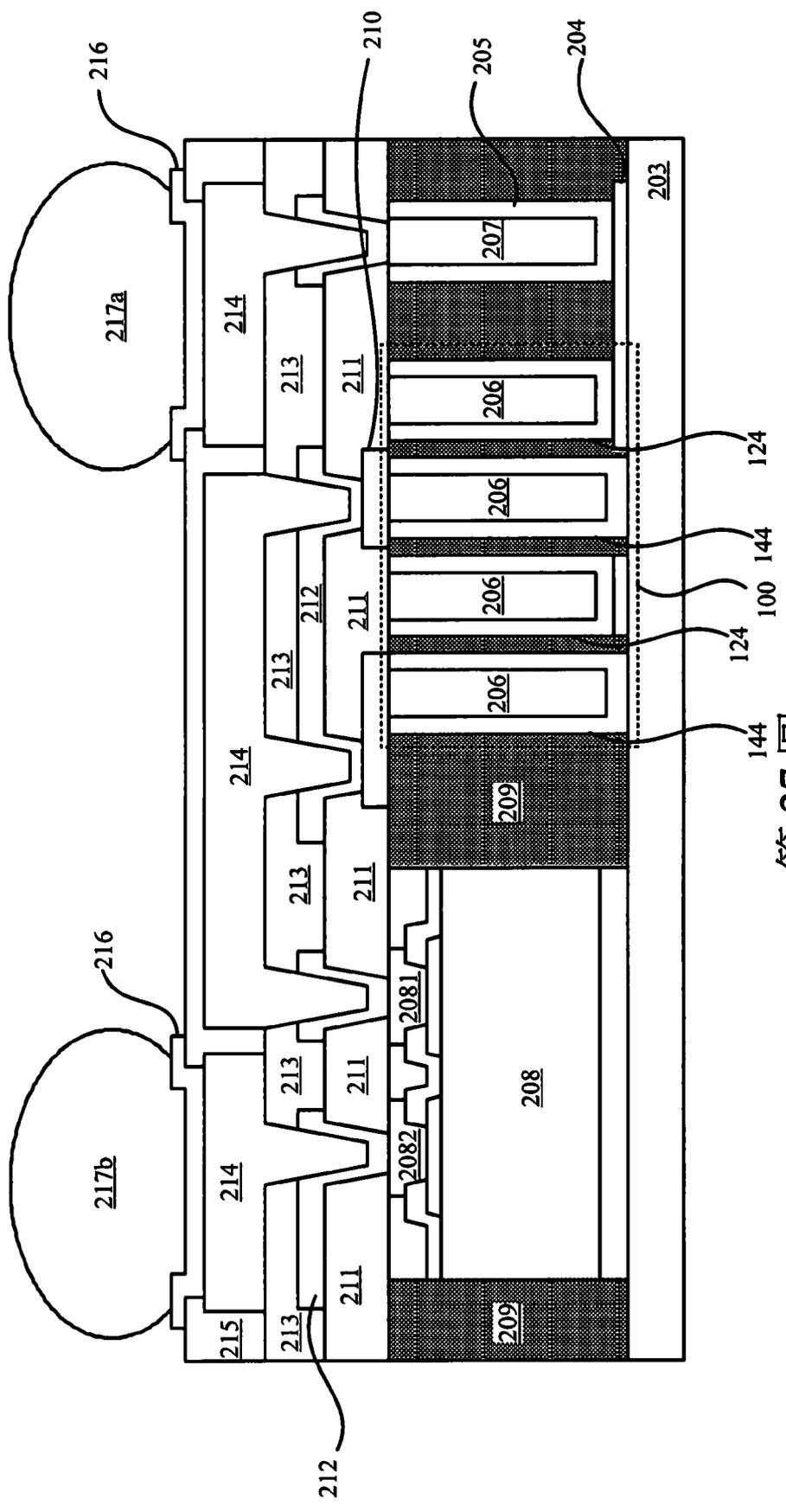
第 25 圖

200



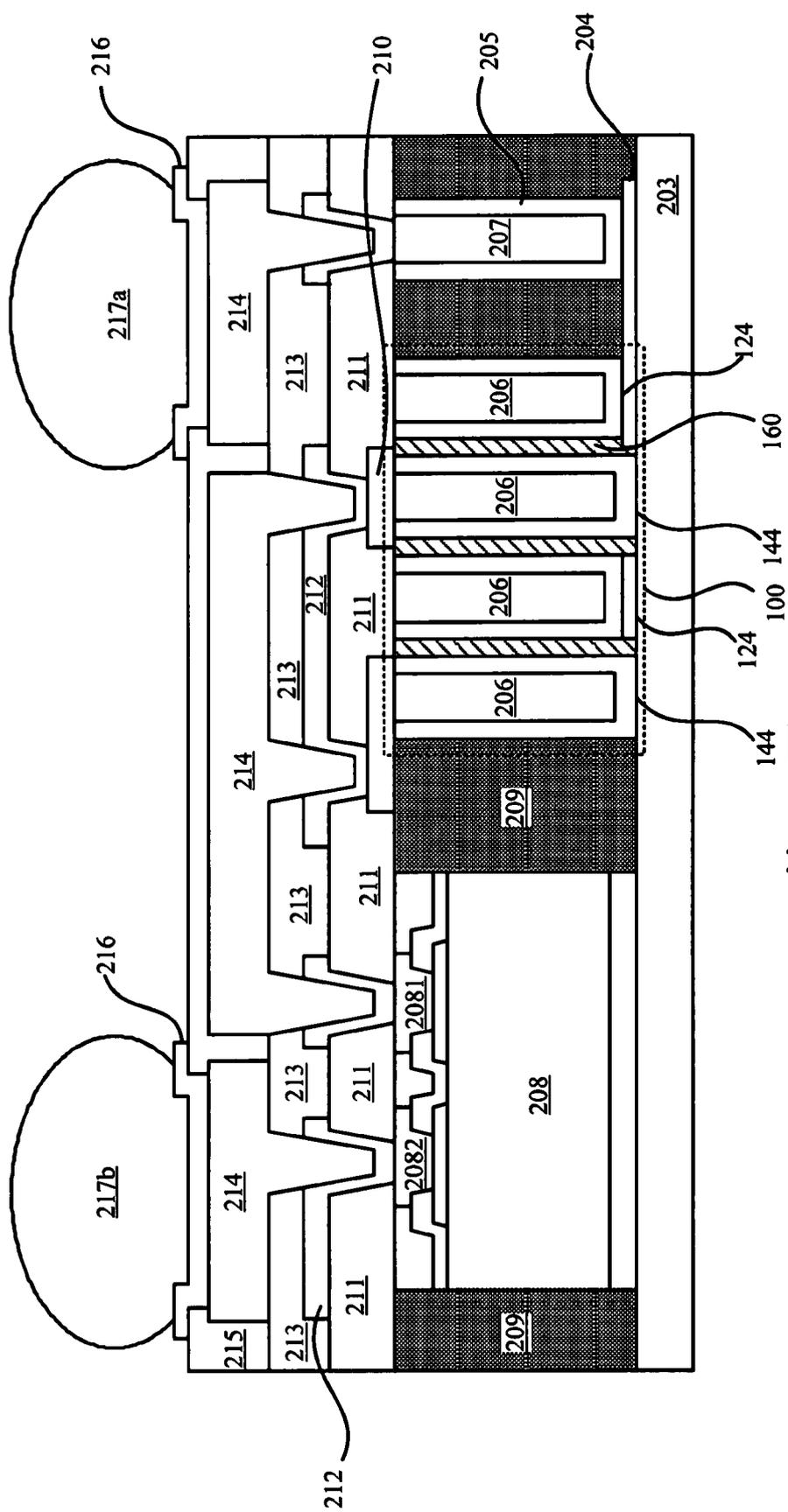
第 26 圖

200



第 27 圖

200



第 28 圖