



(19)  
 Bundesrepublik Deutschland  
 Deutsches Patent- und Markenamt

(10) **DE 10 2006 001 600 B3** 2007.08.02

(12)

## Patentschrift

(21) Aktenzeichen: **10 2006 001 600.9**

(22) Anmeldetag: **11.01.2006**

(43) Offenlegungstag: –

(45) Veröffentlichungstag  
 der Patenterteilung: **02.08.2007**

(51) Int Cl.<sup>8</sup>: **H01L 23/50** (2006.01)  
**H01L 23/498** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:

**Schweiger & Partner, 80333 München**

(72) Erfinder:

**Bauer, Michael, Dipl.-Ing. (FH), 93152 Nittendorf, DE; Wieneke-Kessler, Angela, Dr., 93053 Regensburg, DE; Schober, Wolfgang, Dr., 92224 Amberg, DE; Haimerl, Alfred, Dr., 93161 Sinzing, DE; Mahler, Joachim, Dr., 93051 Regensburg, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

**US2003/02 02 332 A1**

**US2003/00 42 620 A1**

**US 60 73 829 A**

**US 59 71 253 A**

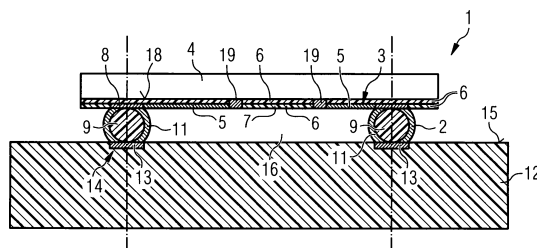
**US 63 37 445 B1**

**EP 09 77 253 A2**

**EMERY, R. et al.: Novel Microelectronic Packaging Method for Reducing Stresses in Low Dielectric Constant Materials. In: Advanced Metallization Conference, Montreal, Canada, 9. Oct. 2001 (7 Seiten-Unnummeriert);**

(54) Bezeichnung: **Halbleiterbauelement mit Flipchipkontakten und Verfahren zur Herstellung desselben**

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleiterbauelement (1) mit Flipchipkontakten (2) und ein Verfahren zur Herstellung desselben. Dazu sind die Flipchipkontakte auf einer Verdrahtungsstruktur (3) eines Halbleiterchips (4) angeordnet, wobei die Verdrahtungsstruktur (3) Metallisierungsschichten (5) und dazwischen angeordnete dielektrische Isolationsschichten (6) aus einem so genannten "low-k-Material" (7) aufweist. Die relative Dielektrizitätskonstante  $\epsilon_r$  ist niedriger bei diesem "low-k-Material" als die relative Dielektrizitätskonstante eines Siliziumdioxids. Die Flipchipkontakte (2) sind auf Kontaktflächen (8) einer oberen Metallisierungsschicht (5) angeordnet und weisen einen Polymerkern (9) auf, der von einem bleifreiem Lotmantel (11) umgeben ist.



## Beschreibung

**[0001]** Die Erfindung betrifft ein Halbleiterbauelement mit Flipchipkontakten und ein Verfahren zur Herstellung desselben.

**[0002]** Halbleiterbauelemente mit Flipchipkontakten sind durch die Entwicklung neuer elektrischer Materialien für Halbleiterwafer neuen Problemen ausgesetzt. Diese aus der Druckschrift "Addressing packaging concerns low-k silicon" von Greg Hotchkips et al, in EE TIMES, Global news for the creators of technology (02/11/2004) bekannten, sogenannten "low-k-Materialien" ermöglichen Isolationsdicken von weniger als 100 Nanometern auf Halbleiterwafern von 300 Millimetern Durchmesser. Gegenüber dem traditionellen thermischen Gateoxiden sind die neuen Materialien aufgrund ihrer äußerst niedrigen Dielektrizitätskonstanten, die kleiner ist, als die Dielektrizitätskonstante von Siliziumdioxid in der Lage, noch dünnere Gatedielektrika bei gleicher Spannungsfestigkeit zu verwirklichen, so dass verbesserte Eigenschaften für derartige Halbleiterbauelemente möglich werden. Auch Schichtfolgen für Verdrahtungsstrukturen auf Halbleiterchips können mit low-k Materialien kompakter hergestellt werden.

**[0003]** Ein Nachteil dieser Halbleiterbauelemente mit Isolationsschichten aus "low-k-Material" liegt jedoch darin, dass die Delaminationsgefahr derartiger Schichten bei thermischer Belastung deutlich höher liegt, als bei den herkömmlichen Isolationsschichten aus thermischen Siliziumoxid- und/oder Siliziumnitridschichten auf Siliziumhalbleiterwafern. Darüber hinaus zeigt dieses neue Material, obgleich es weicher und schwammiger bzw. poröser ist als bisherige Isolationmaterialien, neben der Delaminationsgefahr eine erhöhte Brüchigkeit, welche die Spannungsbelastungsmöglichkeit nach einer Bruchbelastung vermindert.

**[0004]** Die Probleme mit dem neuen Isolationmaterial in Form von "low-k-Material" werden noch verstärkt durch die Forderungen des Umweltschutzes, weiche bleihaltige Lotmaterialien für Flipchipkontakte zu vermeiden, und diese Lotmaterialien durch härtere bleifreie Lote zu ersetzen, deren Fließtemperatur mit 210°C bis 250°C deutlich höher liegt, als bei den bisher eingesetzten Flipchipkontakten aus bleihaltigen Lotmaterialien, die bereits bei 150°C in den Fließzustand übergehen. Versuche, die erhöhte Delaminations- und Bruchgefahr der neuen Isolationsschichtmaterialien durch Unterfüllmaterialien, die zwischen einem Halbleiterchip mit Flipchipkontakten und einem Schaltungssubstrat angeordnet werden, und einen verminderten Elastizitätsmodul aufweisen, auszugleichen, haben jedoch bisher nicht den gewünschten Erfolg und die erwünschte Zuverlässigkeit für Flipchipkontakte aus bleifreiem Lotmaterial erreicht.

**[0005]** Die Probleme, welche bei herkömmlichen Bauelementen mit Flipchipkontakten auftreten, werden mit den **Fig. 7 bis 9** verdeutlicht. Dazu zeigt

**[0006]** **Fig. 7** einen schematischen Querschnitt durch ein Halbleiterbauelement mit Flipchipkontakten herkömmlicher Bauart, bei Temperaturen unterhalb der Raumtemperatur;

**[0007]** **Fig. 8** einen schematischen Querschnitt durch das Halbleiterbauelement gemäß **Fig. 7** bei Raumtemperatur;

**[0008]** **Fig. 9** einen schematischen Querschnitt durch das Halbleiterbauelement gemäß **Fig. 8** oberhalb der Raumtemperatur.

**[0009]** Bei Temperaturen unterhalb der Raumtemperatur, wie es **Fig. 7** zeigt, treten bei herkömmlichen Halbleiterbauelementen **10** aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten des Halbleiterchips **4** und des Verdrahtungssubstrats **12** Verwölbungen, wie sie **Fig. 7** zeigt, auf. Diese Verwölbungen sind nur teilweise durch ein Unterfüllmaterial **17** im Zwischenraum **16** mit einem hohen Elastizitätsmodul ausgleichbar. Bei Raumtemperatur hingegen sind die thermischen Verspannungen gering, so dass Verwölbungseffekte und Scherspannungen minimiert sind, wie es **Fig. 8** zeigt. Bei Temperaturen über Raumtemperatur dehnt sich das Verdrahtungssubstrat **12** stärker aus, als der Halbleiterchip **4**, so dass die Flipchipkontakte **2** auf Scherspannung beansprucht werden und auch Verwölbungen trotz des Unterfüllmaterial **17** auftreten können.

**[0010]** Aus der US 2003/0042620 A1 ist ein Halbleiterbauteil mit einer Passivierungsschicht aus Polyimid bekannt, das Kontakthöcker mit einem Polymerkern aufweist.

**[0011]** Aus der US 2003/020233 A1, der US 6,073,829 A und der US 5,971,253 A sind bleifreie Flip-Chip-Kontakte mit Polymerkern bekannt. Auch die US 6,337,445 B1 offenbart derartige Flip-Chip-Kontakte.

**[0012]** Anwendungen von low-k-Dielektika in der Halbleitertechnologie werden auch in der EP 0 977 253 A2 und im Beitrag „Novel Microelectronic Packaging Method for Reduced Thermomechanical Stresses on Low Dielectric Constant Materials" von R. Emery et al. zur Advanced Metallization Conference, Montreal, Canada, 9.10.2001, diskutiert.

**[0013]** Aufgabe der Erfindung ist es, ein Halbleiterbauelement mit Flipchipkontakten zu schaffen, dass die Vorteile der niedrigen relativen Dielektrizitätskonstanten des neuen "low-k-Materials" nutzt, und gleichzeitig die Gefahr der Delamination beim Aufbringen von Flipchipkontakten aus bleifreiem Lot auf

entsprechende Verdrahtungssubstrate verringert und die Zuverlässigkeit derartiger Halbleiterbauelemente erhöht.

**[0014]** Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhaftere Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

**[0015]** Erfindungsgemäß wird ein Halbleiterbauelement mit Flipchipkontakten auf einer Verdrahtungsstruktur eines Halbleiterchips angegeben, wobei die Verdrahtungsstruktur Metallisierungsschichten und dazwischen angeordnete dielektrische Isolationsschichten aus einem sogenannten "low-k-Material" aufweist, dessen relative Dielektrizitätskonstante  $\epsilon_r$  niedriger ist, als die relative Dielektrizitätskonstante eines Siliziumoxids. Dazu weist das Halbleiterbauelement Flipchipkontakte auf Kontaktflächen einer oberen Metallisierungsschicht auf, die einen Polymerkern aufweisen, der von einem bleifreien Lotmaterial umgeben ist.

**[0016]** Dieses Halbleiterbauelement hat den Vorteil, dass Spannungsbelastungen durch unterschiedliche Ausdehnungskoeffizienten des Halbleiterchipmaterials sowie des Verdrahtungssubstrats ausgeglichen werden, ohne die Metallisierungsschichten und die dazwischen angeordneten dielektrischen Isolationsschichten aus einem "low-k-Material" derart zu belasten, dass Delaminationen und/oder Mikrorisse in den Isolationsschichten auftreten.

**[0017]** Dazu wird ein Polymerkern eingesetzt, der einen niedrigen Elastizitätsmodul aufweist und zusätzlich eine geringe Glasübergangstemperatur und damit eine niedrige Erweichungstemperatur aufweist. Die Nachgiebigkeit derartiger Flipchipkontakte aus einem Polymerkern mit einem metallischem Überzug aus bleifreiem Lotmaterial wird gegenüber der Nachgiebigkeit von Flipchipkontakten aus bleihaltigem Lotmaterial derart verbessert, dass die Spannungsbelastung bei thermischer Wechselbeanspruchung deutlich vermindert wird, sodass die bisher auftretende Delaminationsgefahr des neuen Isolationsschichtenmaterials von dem Siliziumhalbleitermaterial vermindert wird.

**[0018]** Als "low-k-Materialien" können vorzugsweise Kupferoleate, Aluminiumoleate, oder sogenannter schwarzer Diamant sowie bevorzugt poröses  $\text{SiO}_2$  eingesetzt werden. Bei den Oleaten handelt es sich um metallorganische Verbindungen, die eine relative Dielektrizitätskonstante  $\epsilon_r$  unter 3,0 aufweisen.

**[0019]** In einer bevorzugten Ausführungsform der Erfindung weist das "low-k-Material" einen thermischen Ausdehnungskoeffizienten auf, der niedriger ist, als der thermische Ausdehnungskoeffizient herkömmlicher Isolationsschichtenmaterialien. Außerdem ist es

von Vorteil, dass das "low-k-Material" eine höhere Duktilität als herkömmliche Isolationsschichtenmaterialien aufweist. Jedoch bedeutet die höhere Duktilität auch eine größere Empfindlichkeit der Ausbreitung von Mikrorissen in dem neuen Isolationsschichtenmaterial.

**[0020]** Um die Eigenschaften und die Nachgiebigkeit der Flipchipkontakte an dieses empfindliche Isolationsschichtenmaterial anzupassen wird für die Flipchipkontakte ein Polymerkern aus Silikonen eingesetzt. Jedoch sind auch Polymerkerne aus Thermoplasten oder aus Elastomeren von Vorteil. Dazu kann der Polymerkern eine Kugelform aufweisen, wie er heute bereits im Handel verfügbar ist, oder die Polymerkerne können in Höckerform ausgebildet sein, wie sie schon heute bei elastischen Kontakten für BGA-Gehäusen eingesetzt wird.

**[0021]** Vorzugsweise sind die Flipchipkontakte interne Verbindungselemente des Halbleiterbauelements zu einem Verdrahtungssubstrat, wobei die Flipchipkontakte mit ihrem Außenmantel aus bleifreiem Lot auf Kontaktanschlussflächen einer Verdrahtungsstruktur auf der Oberseite eines Verdrahtungssubstrats des Halbleiterbauelements fixiert sind. Bei dieser Ausführungsform der Erfindung ist es nicht vorgesehen, den Zwischenraum zwischen dem Halbleiterchip und dem Verdrahtungssubstrat durch eine Unterfüllmaterial aufzufüllen, zumal die nachgiebigen Flipchipkontakte mit einem Polymerkern sich nun frei und nachgiebig verformen können.

**[0022]** Ist jedoch ein Unterfüllmaterial erforderlich, um keine Hohlräume in dem Halbleiterbauelement entstehen zu lassen, so wird vorzugsweise ein Unterfüllmaterial eingesetzt, das einen niedrigeren Elastizitätsmodul als bisherige Unterfüllmaterialien und eine niedrigere Glasübergangstemperatur als herkömmliche Unterfüllmaterialien aufweist. Damit wird erreicht, dass die Nachgiebigkeit der Flipchipkontakte durch das Unterfüllmaterial weiter unterstützt und nicht unterbunden wird.

**[0023]** Ein Verfahren zur Herstellung eines Halbleiterbauelements mit Flipchipkontakten weist die nachfolgenden Verfahrensschritte auf. Zunächst werden Halbleiterchips mit einer Verdrahtungsstruktur hergestellt, die Metallisierungsschichten und dazwischen angeordnete dielektrische Isolationsschichten aus einem sogenanntem "low-k-Material" aufweisen, dessen relative Dielektrizitätskonstante  $\epsilon_r$  niedriger ist, als die relative Dielektrizitätskonstante eines Siliziumdioxids. Dabei weist die obere Metallisierungsschicht Kontaktflächen für Flipchipkontakte auf. In einem weiteren Schritt werden auf die Kontaktflächen Flipchipkontakte aufgebracht, wobei die Flipchipkontakte einen Polymerkern aufweisen, der von einem bleifreien Lotmaterial umgeben ist. Dieses Aufbringen erfolgt bei Fließtemperaturen des bleifreien Lotmaterials im Bereich von 210 bis 250°C.

**[0024]** Dennoch kommt es bei dem Abkühlungsprozess nach dem Auflöten der Flipchipkontakte auf das interne Verdrahtungssubstrats des Halbleiterbauelementes nicht zu Verwölbungen, zumal die Flipchipkontakte mit ihrem polymeren Kern derart nachgiebig sind, dass die Delaminationsgefahr zwischen dem Siliziumhalbleitermaterial und der nur wenige 10 Nanometer dicken Isolationsschicht aus "high-k-Material" vermindert ist.

**[0025]** Nach dem Auflöten der Flipchipkontakte des Halbleiterchips auf ein Verdrahtungssubstrat des Halbleiterbauelementes kann vorzugsweise der Zwischenraum zwischen dem Halbleiterchips mit Flipchipkontakten und der Oberseite des Verdrahtungssubstrats mit einem Unterfüllmaterial aufgefüllt werden, dessen Elastizitätsmodul und dessen Glasübergangstemperatur geringer sind, als der Elastizitätsmodul und die Glasübergangstemperatur herkömmlicher Unterfüllmaterialien.

**[0026]** Zusammenfassend ist festzustellen, dass die erfindungsgemäße Lösung folgende Vorteile aufweist:

1. Durch das Herabsetzen des Elastizitätsmoduls aufgrund von polymerhaltigen Flipchipkontakten wird ein flexibleres Verhalten und ein Abfedern der auftretenden Belastungen ermöglicht;
2. Durch ein Anpassen der Ausdehnungskoeffizienten von Halbleiterchips, Flipchipkontakten und Verdrahtungssubstrat werden thermische Spannungen bei Temperaturwechselbelastungen vermindert;
3. Für die Herstellung eines erfindungsgemäßen Halbleiterbauelementes sind keine Prozessänderungen erforderlich, so dass der Lotkugelauftrag und die Verarbeitung unter Standardbedingungen erfolgen können;
4. Durch Anpassen der Eigenschaften der Flipchipkontakte können verbesserte Unterfüllmaterialien im Hinblick auf die Zuverlässigkeit für das Halbleiterbauelement gewählt werden, indem Unterfüllmaterialien mit geringem Elastizitätsmodul und geringer Glasübergangstemperatur eingesetzt werden.

**[0027]** Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

**[0028]** [Fig. 1](#) zeigt einen schematischen Querschnitt durch ein Halbleiterbauelement, einer ersten Ausführungsform der Erfindung, bei verminderter Temperatur unterhalb der Raumtemperatur;

**[0029]** [Fig. 2](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement bei Raumtemperatur;

**[0030]** [Fig. 3](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement gemäß [Fig. 2](#)

bei erhöhter Temperatur oberhalb der Raumtemperatur;

**[0031]** [Fig. 4](#) zeigt einen schematischen Querschnitt durch ein Halbleiterbauelement gemäß einer zweiten Ausführungsform der Erfindung bei verminderter Temperatur unterhalb der Raumtemperatur;

**[0032]** [Fig. 5](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement gemäß [Fig. 4](#) bei Raumtemperatur;

**[0033]** [Fig. 6](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement gemäß [Fig. 5](#) bei erhöhter Temperatur oberhalb der Raumtemperatur.

**[0034]** [Fig. 7](#) einen schematischen Querschnitt durch ein Halbleiterbauelement mit Flipchipkontakten herkömmlicher Bauart, bei Temperaturen unterhalb der Raumtemperatur;

**[0035]** [Fig. 8](#) einen schematischen Querschnitt durch das Halbleiterbauelement gemäß [Fig. 7](#) bei Raumtemperatur;

**[0036]** [Fig. 9](#) einen schematischen Querschnitt durch Halbleiterbauelement gemäß [Fig. 8](#) oberhalb der Raumtemperatur.

**[0037]** [Fig. 1](#) zeigt einen schematischen Querschnitt durch ein Halbleiterbauelement **1**, einer ersten Ausführungsform der Erfindung, bei verminderter Temperatur unterhalb der Raumtemperatur. Dazu besteht das Halbleiterbauelement **1** aus einem Halbleiterchip **4**, der auf einem Verdrahtungssubstrat **12** angeordnet ist. Der Halbleiterchip **4** weist auf seiner aktiven Oberseite **18** Elektroden **19** einer integrierten Schaltung auf. Diese Elektroden **19** sind über eine Verdrahtungsstruktur **3** des Halbleiterchips **4** und Kontaktflächen **8** mit den Flipchipkontakten **2** verbunden. Dazu weist die Verdrahtungsstruktur **3** eine Metallschicht **5** und Isolationsschichten **6** auf, die aus einem "low-k-Material" **7** aufgebaut sind.

**[0038]** Ein derartiges "low-k-Material" **7** zeichnet sich durch eine niedrige Dielektrizitätskonstante aus, die unterhalb der Dielektrizitätskonstante von herkömmlichem thermischen Siliziumdioxid liegt. Derartige Materialien können Kupferoleat oder Aluminiumoleat oder schwarzes Diamantmaterial oder bevorzugt poröses SiO<sub>2</sub> aufweisen. Diese Materialien zeichnen sich durch eine höhere Duktilität aus, haben jedoch den Nachteil, dass die Gefahr der Delamination zwischen der Oberseite **18** des Siliziumchips **4** und der Isolationsschicht **6** aus "low-k-Material" besteht. Insbesondere dann, wenn das Halbleiterbauelement **1**, wie in [Fig. 1](#) gezeigt, einer verminderten Temperatur gegenüber der Raumtemperatur ausgesetzt ist.

[0039] Aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten des Halbleiterchips **4** und des Verdrahtungssubstrat **12**, auf dem der Halbleiterchips **4** über seine Flipchipkontakte **2** auf entsprechenden Kontaktanschlussflächen **13** einer Verdrahtungsstruktur **14** der Oberseite **15** des Verdrahtungssubstrats **12** fixiert ist, schrumpft das Verdrahtungssubstrat **12** stärker, als der Halbleiterchip **4**. Während, bei einem herkömmlichen Halbleiterbauelement **10** wie es [Fig. 7](#) gemäß dem Stand der Technik zeigt, nun eine Verwölbung aufgrund der thermischen Belastung auftritt, ist dieses bei der hier gezeigten Ausführungsform der Erfindung nicht der Fall, da die Flipchipkontakte **2** aus einem Polymerkern **9** und einer Hülle aus bleifreiem Lotmaterial **11** bestehen, so dass die Nachgiebigkeit der Flipchipkontakte **2** deutlich gegenüber massiven Flipchipkontakten aus bleifreiem Material verbessert ist. Dadurch wird auch die Delaminationsgefahr der Isolationsschichten **6** auf dem Halbleiterchip **4** vermindert und eine Verwölbung des Halbleiterbauelements **1** vermieden.

[0040] [Fig. 2](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement, gemäß [Fig. 1](#), bei Raumtemperatur. Komponenten mit gleichen Funktionen wie in [Fig. 1](#) werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert. Bei Raumtemperatur sind die thermischen Belastungen weitestgehend ausgeglichen, so dass sich die nachgiebigen Flipchipkontakte **2** nicht verformen, sondern in einer neutralen Stellung verbleiben.

[0041] [Fig. 3](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement gemäß [Fig. 2](#), bei erhöhter Temperatur oberhalb der Raumtemperatur. Bei erhöhten Temperaturen dehnt sich aufgrund des größeren Ausdehnungskoeffizienten das Substrat **12** gegenüber dem Halbleiterchip **4** stärker aus, so dass die nachgiebigen Flipchipkontakte mit ihrem Polymerkern mit niedrigem Elastizitätsmodul dem Ausdehnungsverhalten des Verdrahtungssubstrats **12** folgen, ohne die Isolationsschichten aus "low-k-Material" auf der Oberseite **18** des Halbleiterchips **4** zu belasten.

[0042] [Fig. 4](#) zeigt einen schematischen Querschnitt durch ein Halbleiterbauelement **20**, gemäß einer zweiten Ausführungsform der Erfindung, bei verminderter Temperatur unterhalb der Raumtemperatur. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert. Der Unterschied zwischen der ersten Ausführungsform der Erfindung gemäß den [Fig. 1](#) bis [Fig. 3](#) und der zweiten Ausführungsform der Erfindung gemäß den [Fig. 4](#) bis [Fig. 6](#) besteht darin, dass zur Unterstützung der nachgiebigen Flipchipkontakte **2** ein Unterfüllmaterial **17** den Zwischenraum **16** zwischen dem Halbleiterchip **4** und der Oberseite **15** des Ver-

drahtungssubstrats **12** auffüllt.

[0043] Dieses Unterfüllmaterial **17** wird mittels Kapillarwirkung in den Zwischenraum **16** eingebracht und ist dadurch gekennzeichnet, dass es einen geringeren Elastizitätsmodul und eine geringe Glasübergangstemperatur aufweist, als herkömmliche Unterfüllmaterialien. Aufgrund dieser Eigenschaften des Unterfüllmaterials wird die Nachgiebigkeit der Flipchipkontakte **2** gestützt, ohne dass bei verminderten Temperaturen eine Verwölbung des Verdrahtungssubstrats **12** auftritt, bzw. ohne dass erhöhte Belastungen der delaminationsgefährdeten Isolationsschicht **6** aus "low-k-Material" **7** in dem Grenzbereich zwischen der Oberseite **18** des Halbleiterchips **4** und der Isolationsschicht **6** auftritt. Lediglich das Unterfüllmaterial **17** und die elastischen Flipchipkontakte **2** folgen dem stärkeren Schrumpfen des Verdrahtungssubstrats **12**.

[0044] [Fig. 5](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement **20** gemäß [Fig. 4](#) bei Raumtemperatur. Bei Raumtemperatur sind die thermischen Spannungen weitestgehend ausgeglichen, so dass die Flipchipkontakte **2** eine neutrale Stellung einnehmen und auch das Unterfüllmaterial **17** in einer unverformten Weise vorliegt.

[0045] [Fig. 6](#) zeigt einen schematischen Querschnitt durch das Halbleiterbauelement **20** gemäß [Fig. 5](#), bei erhöhter Temperatur oberhalb der Raumtemperatur. In diesem Fall dehnt sich das Verdrahtungssubstrat **12** stärker aus, als der Halbleiterchip **4**, so dass die nachgiebigen Flipchipkontakte **2** mit ihrem Polymerkern **9** sich zusammen mit dem Unterfüllmaterial **17** verformen, ohne eine überhöhte Belastung für die empfindliche Isolationsschichten aus "high-k-Material" **7** darzustellen.

[0046] Die [Fig. 7](#) bis [Fig. 9](#) verdeutlichen Probleme wie oben bereits erörtert, welche bei herkömmlichen Bauelementen mit Flipchipkontakten auftreten.

#### Bezugszeichenliste

<b>1</b>	Halbleiterbauelement
<b>2</b>	Flipchipkontakt
<b>3</b>	Verdrahtungsstruktur des Halbleiterchips
<b>4</b>	Halbleiterchip
<b>5</b>	Metallschicht
<b>6</b>	Isolationsschicht
<b>7</b>	low-k-Material
<b>8</b>	Kontaktfläche
<b>9</b>	Polymerkern
<b>10</b>	Halbleiterbauelement
<b>11</b>	bleifreies Lotmaterial
<b>12</b>	Verdrahtungssubstrat
<b>13</b>	Kontaktanschlussfläche

- 14** Verdrahtungsstruktur des Substrats
- 15** Oberseite des Verdrahtungssubstrats
- 16** Zwischenraum
- 17** Unterfüllmaterial
- 18** aktiven Oberseite des Halbleiterchips
- 19** Elektroden auf dem Halbleiterchip
- 20** Halbleiterbauelement (zweite Ausführungsform)

### Patentansprüche

1. Halbleiterbauelement mit Flipchipkontakten (2) auf einer Verdrahtungsstruktur (3) eines Halbleiterchips (4), wobei die Verdrahtungsstruktur (3) Metallisierungsschichten (5) und dazwischen angeordnete dielektrische Isolationsschichten (6) aus einem sogenannten "low-k-Material" (7) aufweist, dessen relative Dielektrizitätskonstante  $\epsilon_r$  niedriger ist als die relative Dielektrizitätskonstante eines Siliziumoxids, und wobei die Flipchipkontakte (2) auf Kontaktflächen (8) einer oberen Metallisierungsschicht (5) angeordnet sind und einen Polymerkern (9) aufweisen, der von einem bleifreien Lotmaterial (11) umgeben ist.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, dass das "low-k-Material" (7) einen thermischen Ausdehnungskoeffizienten aufweist, der niedriger ist, als der thermische Ausdehnungskoeffizient von thermischem Siliziumoxid und Siliziumnitrid.

3. Halbleiterbauelement nach Anspruch 2, dadurch gekennzeichnet, dass das "low-k-Material" (7) eine höhere Duktilität aufweist als thermisches Siliziumoxid und Siliziumnitrid.

4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das "low-k-Material" (7) vorzugsweise ein poröses Siliziumdioxid aufweist.

5. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Polymerkern (9) ein Silikon aufweist.

6. Halbleiterbauelement nach einem Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Polymerkern (9) einen Thermoplast aufweist.

7. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Polymerkern (9) ein Elastomer aufweist.

8. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Polymerkern (9) eine Kugelform aufweist.

9. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Polymerkern (9) eine Höckerform aufweist.

10. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Flipchipkontakte (2) interne Verbindungselemente des Halbleiterbauelements (1) zu einem Verdrahtungssubstrat (12) sind und auf Kontaktanschlussflächen (14) einer Verdrahtungsstruktur (13) auf der Oberseite (15) des Verdrahtungssubstrats (13) angeordnet und fixiert sind.

11. Verfahren zur Herstellung eines Halbleiterbauelements mit Flipchipkontakten (2), wobei das Verfahren folgende Verfahrensschritte aufweist:

- Herstellen eines Halbleiterchips (4) mit einer Verdrahtungsstruktur (3), die Metallisierungsschichten (5) und dazwischen angeordnete dielektrische Isolationsschichten (6) aus einem sogenannten "low-k-Material" (7) aufweist, dessen relative Dielektrizitätskonstante  $\epsilon_r$  niedriger ist als die relative Dielektrizitätskonstante eines Siliziumoxids, wobei eine obere Metallisierungsschicht (5) Kontaktflächen (8) für Flipchipkontakte (2) aufweist;
- Aufbringen von Flipchipkontakten (2) auf die Kontaktflächen (8), wobei die Flipchipkontakte (2) einen Polymerkern (9) aufweisen, der von einem bleifreien Lotmaterial (11) umgeben ist.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass der Halbleiterchip (4) mit den Flipchipkontakten (2) auf Kontaktanschlussflächen (13) einer Verdrahtungsstruktur (14) auf der Oberseite (15) eines Verdrahtungssubstrats (13) angeordnet und fixiert wird.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

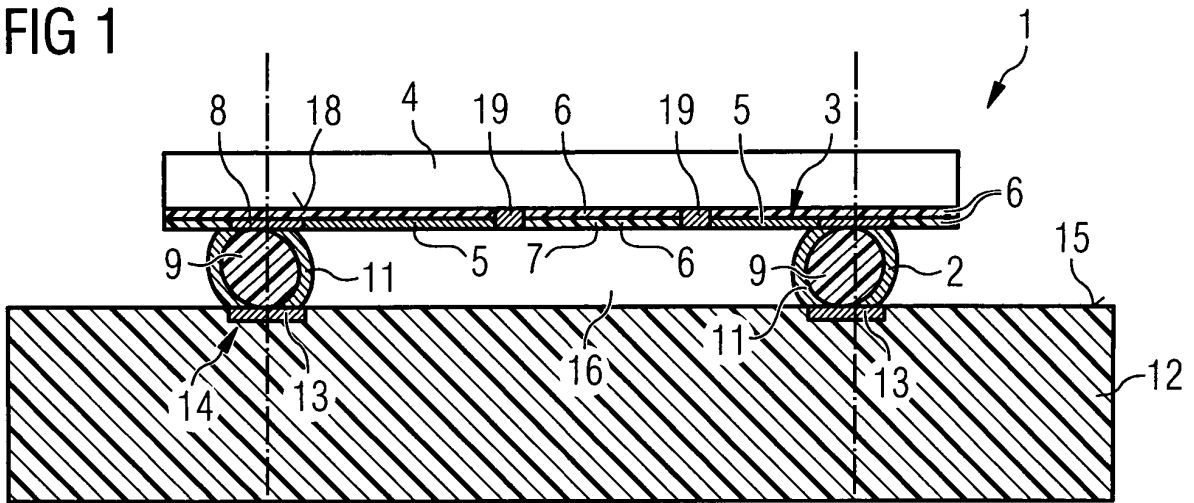


FIG 2

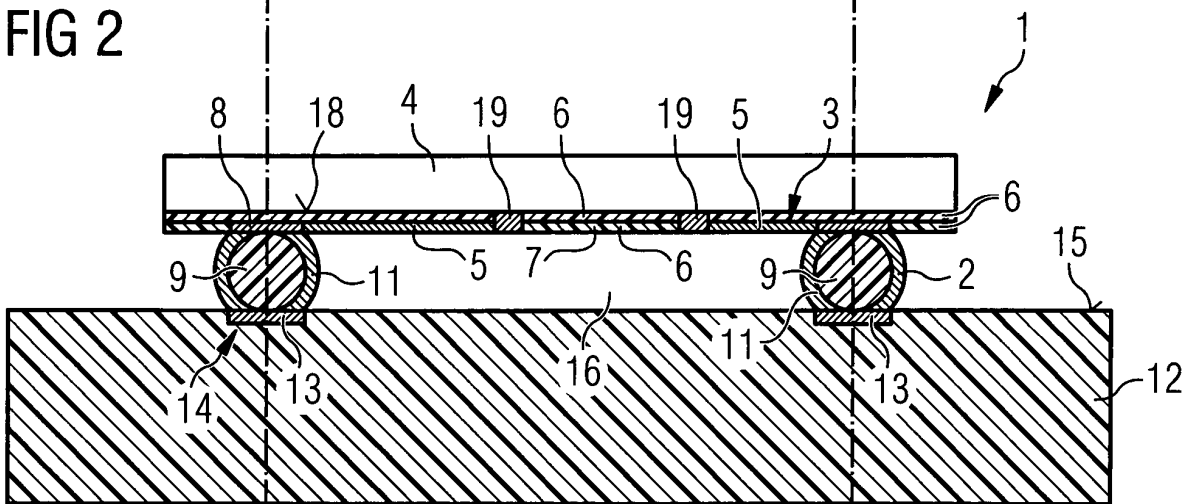


FIG 3

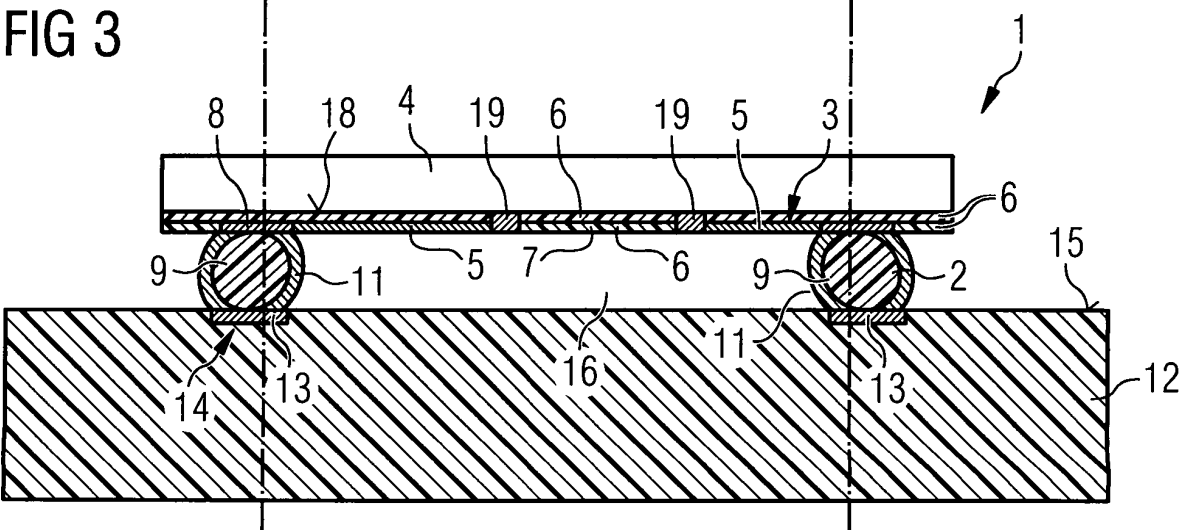


FIG 4

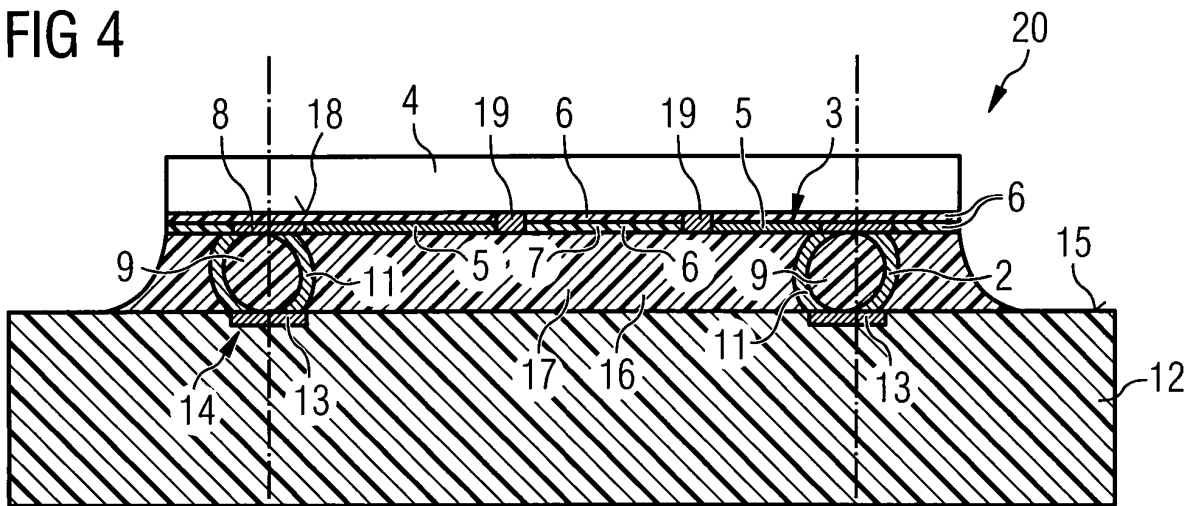


FIG 5

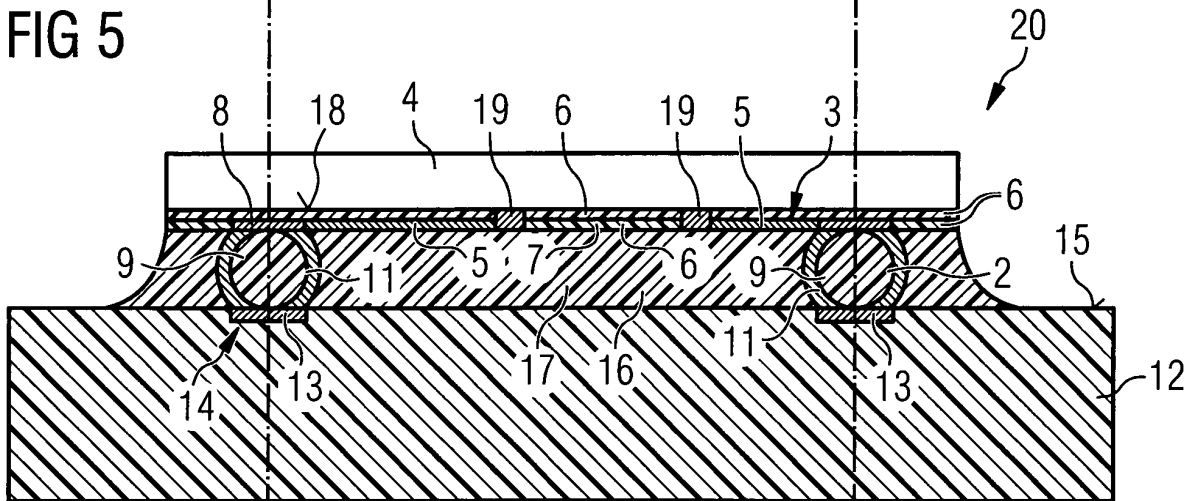


FIG 6

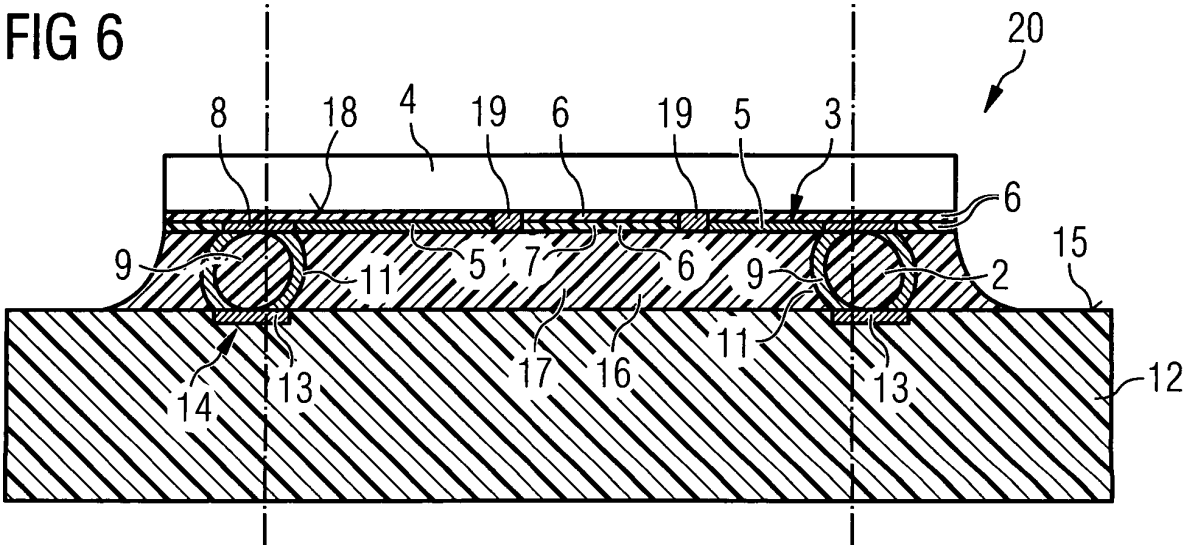




FIG 7

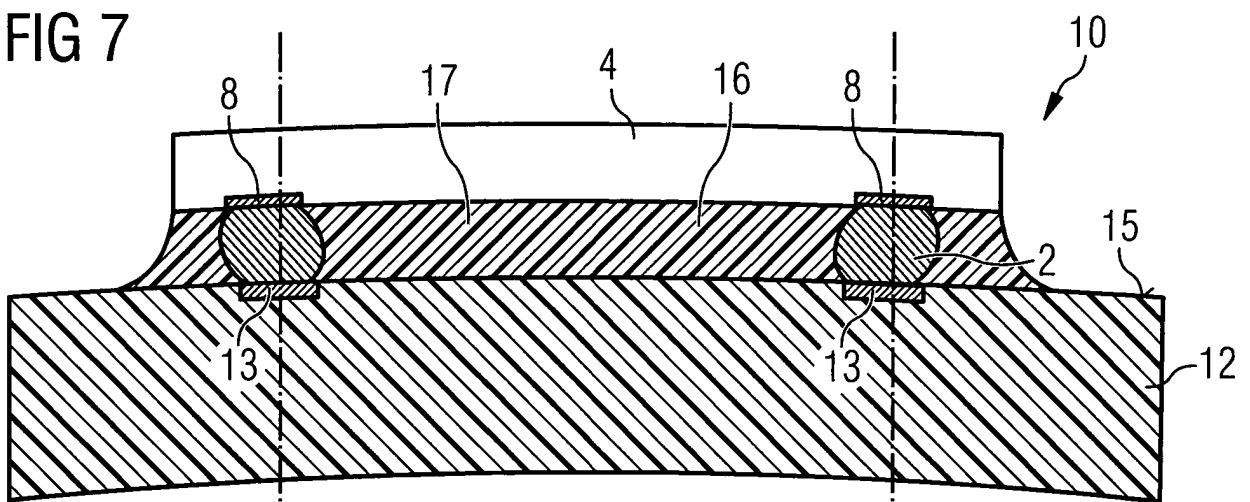


FIG 8

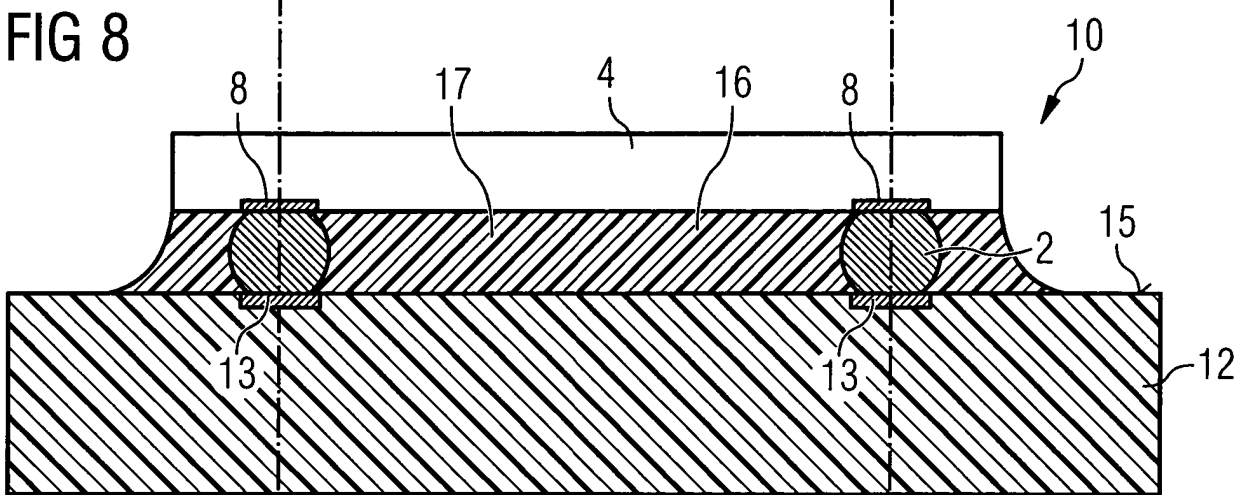


FIG 9

