

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5783961号
(P5783961)

(45) 発行日 平成27年9月24日 (2015.9.24)

(24) 登録日 平成27年7月31日 (2015.7.31)

(51) Int.Cl.		F I			
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 8		
HO 1 L 45/00	(2006.01)	HO 1 L 45/00	Z		
HO 1 L 49/00	(2006.01)	HO 1 L 49/00	Z		

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2012-153853 (P2012-153853)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成24年7月9日 (2012.7.9)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2014-17379 (P2014-17379A)	(72) 発明者	高橋 健介 東京都港区芝浦一丁目1番1号 株式会社東芝内
(43) 公開日	平成26年1月30日 (2014.1.30)	(72) 発明者	馬場 雅伸 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成26年8月26日 (2014.8.26)	(72) 発明者	新屋敷 悠介 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項 1】

金属イオンの移動により高抵抗状態と低抵抗状態との間を可逆的に遷移する抵抗変化層と、

前記抵抗変化層の第1の面側に設けられ、前記金属イオンを供給する第1の電極と、

前記抵抗変化層の第2の面側に設けられた第2の電極と、

前記第1の電極と、前記抵抗変化層と、の間に設けられ、前記抵抗変化層の少なくとも一部よりも誘電率が高い高誘電率層と、

を有するメモリセルを備え、

前記抵抗変化層は、前記高誘電率層に接して設けられ、シリコン酸化物およびシリコン窒化物の少なくともいずれか1つを含む第1の層と、前記第2の電極と前記第1の層との間に設けられ、非結晶シリコンを含み、前記第1の層よりも前記金属イオンの移動度が大きい第2の層と、を含み、

前記高誘電率層は、前記第1の層よりも誘電率が高い不揮発性記憶装置。

【請求項 2】

前記高誘電率層は、 Al_2O_3 、 HfO_2 、 Y_2O_3 、 La_2O_3 、 TiO_2 および Ta_2O_5 の少なくともいずれか1つを含む請求項1記載の不揮発性記憶装置。

【請求項 3】

前記第1の電極は、Cu、Ag、Al、Co および Ni の少なくともいずれか1つを含む請求項1または2のいずれかに記載の不揮発性記憶装置。

10

20

【請求項 4】

前記第 2 の電極は、n 形半導体層を含む請求項 1 ~ 3 のいずれか 1 つに記載の不揮発性記憶装置。

【請求項 5】

第 1 の方向に延在する複数のワード線と、

前記第 1 の方向に交差する第 2 の方向に延在する複数のビット線と、

をさらに備え、

前記ワード線と前記ビット線が交差する複数の交点のそれぞれにおいて、前記ワード線と前記ビット線との間に前記メモリセルが設けられた請求項 1 ~ 4 のいずれか 1 つに記載の不揮発性記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

実施形態は、不揮発性記憶装置に関する。

【背景技術】**【0002】**

メモリセルに可変抵抗素子を含むクロスポイント型メモリ装置は、大容量の不揮発性記憶装置を実現するものとして注目されている。これらのメモリ装置は、可変抵抗素子の抵抗値に情報に対応させて記憶する。例えば、相変化物質の結晶状態（導体）および非晶質状態（絶縁体）におけるそれぞれの抵抗値に情報に対応させる相変化メモリ（PCRAM：Phase Change Random Access Memory）、電圧の印加により抵抗が変化する遷移金属酸化物の抵抗値に情報に対応させる抵抗変化メモリ（ReRAM：Resistive RAM）、金属イオンの析出により電極間に形成される架橋の有無に起因する抵抗値変化に情報に対応させる CBRAM（Conductive Bridging RAM）等が知られている。

【0003】

なかでも、CBRAMは、半導体メモリ装置と同じ材料で構成され、その製造過程も共通する。そして、CBRAMは、書き込み電流および消去電流が非常に小さく、データ保持性も高い。このため、大容量クロスポイント型メモリ装置のメモリセルに適するものとして期待されている。しかしながら、CBRAMでは、抵抗変化層における金属イオンの析出が過剰となった場合、リーク電流が増大し動作不良を生じる。また、リーク電流の低減を図るために抵抗変化層を厚くするとセット電圧が上昇する。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2011 - 151085 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

実施形態は、低電圧で安定して動作するクロスポイント型の不揮発性記憶装置を提供する。

【課題を解決するための手段】**【0006】**

実施形態に係る不揮発性記憶装置は、抵抗変化層と、第 1 の電極と、第 2 の電極と、を含むメモリセルを備える。前記抵抗変化層は、金属イオンの移動により高抵抗状態と低抵抗状態との間を可逆的に遷移する。前記第 1 の電極は、前記抵抗変化層の第 1 の面側に設けられ、前記金属イオンを供給する。前記第 2 の電極は、前記抵抗変化層の第 2 の面側に設けられる。さらに、前記メモリセルは、前記第 1 の電極と、前記抵抗変化層と、の間に設けられ、前記抵抗変化層の少なくとも一部よりも誘電率が高い高誘電率層を有する。前記抵抗変化層は、前記高誘電率層に接して設けられ、シリコン酸化物およびシリコン窒化

10

20

30

40

50

物の少なくともいずれか1つを含む第1の層と、前記第2の電極と前記第1の層との間に設けられ、非結晶シリコンを含み、前記第1の層よりも前記金属イオンの移動度が大きい第2の層と、を含み、前記高誘電率層は、前記第1の層よりも誘電率が高い。

【図面の簡単な説明】

【0007】

【図1】第1実施形態に係るメモリセルを表す模式図である。

【図2】第1実施形態に係る不揮発性記憶装置を模式的に表す斜視図である。

【図3】第1実施形態に係るメモリセルの動作を表す模式断面図である。

【図4】第1実施形態に係る不揮発性記憶装置の製造過程を表す模式断面図である。

【図5】図4に続く製造過程を表す模式断面図である。

【図6】図5に続く製造過程を表す模式断面図である。

【図7】第2実施形態に係るメモリセルを表す模式図である。

【発明を実施するための形態】

【0008】

以下、実施の形態について図面を参照しながら説明する。なお、図面中の同一部分には同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。

【0009】

(第1実施形態)

図1は、第1実施形態に係るメモリセル10を表す模式図である。メモリセル10は、可変抵抗素子であり、金属イオンの移動により高抵抗状態と低抵抗状態との間を可逆的に遷移する抵抗変化層1を備える。抵抗変化層1の第1の面1aの側には、金属イオンを供給するイオンソース電極3(第1の電極)が設けられる。抵抗変化層1の第2の面1bの側には、イオンソース電極3に対向する対向電極5(第2電極)が設けられる。さらに、イオンソース電極3と、抵抗変化層1と、の間に、抵抗変化層1の少なくとも一部よりも誘電率が高い高誘電率層7が設けられる。

【0010】

メモリセル10は、後述するようにクロスポイント型メモリ装置のワード線21とビット線23との間に配置される。ワード線21は、バリアメタル層13を介して対向電極5に接続される。ビット線23は、バリアメタル層13およびコンタクトメタル層15を介してイオンソース電極3に接続される。

【0011】

イオンソース電極3は、例えば、銅(Cu)、銀(Ag)、アルミニウム(Al)、コバルト(Co)およびニッケル(Ni)の群から選択される少なくとも1つの金属元素を含む。例えば、シリコン(Si)と反応しないAgまたはCuを含むことが望ましい。また、イオンソース電極3は、SiまたはWなど、他の元素を含む混合物、もしくは、それらを含む積層構造であっても良い。

【0012】

イオンソース電極3の膜厚は、1nm以上、10nm以下の範囲にあることが望ましい。1nm以上の膜厚であれば、例えば、真空蒸着もしくはスパッタ法を用いて均一に設けることができる。また、各層を含む積層膜をエッチングする際の加工性を勘案すれば、イオンソース電極3の膜厚は、10nm以下であることが好ましい。各層は、例えば、RIE(Reactive Ion Etching)法を用いて加工される。

【0013】

抵抗変化層1は、イオンソース電極3に含まれる上記の金属元素がイオン化し、イオンソース電極3と対向電極5との間に印加される電圧により、その中を移動することが可能な材料であれば良い。例えば、非結晶シリコン、シリコン酸化物、シリコン窒化物、遷移金属酸化物のいずれかを選択することができる。好ましくは、非結晶シリコン、シリコン酸化物、および、シリコン窒化物の少なくともいずれか1つを含む。例えば、アモルファスシリコン、シリコン酸化膜、および、シリコン窒化膜のいずれかである。

【0014】

10

20

30

40

50

例えば、アモルファスシリコンを用いる場合、導電性キャリアを発生させる不純物を添加しないことが望ましい。さらに、好ましくは、酸素(O)あるいは窒素(N)を微量に添加したアモルファスシリコンを用いる。

【0015】

アモルファスシリコンに添加される酸素あるいは窒素の濃度は、 $2 \times 10^{20} \text{ cm}^{-3}$ 以上、 $1 \times 10^{23} \text{ cm}^{-3}$ 以下であることが好ましい。 $2 \times 10^{20} \text{ cm}^{-3}$ 以上であれば、抵抗変化層1の中にフィラメントを形成する金属イオンの過剰な拡散(あるいはマイグレーション)を抑制することができる。さらに、 $2 \times 10^{22} \text{ cm}^{-3}$ 以上とすれば、製造プロセスにおける耐熱性を確保することができる。一方、 $1 \times 10^{23} \text{ cm}^{-3}$ 以下であれば、対向電極5およびイオンソース電極3との間の密着性を向上させることができる。

10

【0016】

抵抗変化層1の酸素濃度あるいは窒素濃度は、平均値として上記の値であれば良く、均一に分布しなくても良い。例えば、酸素濃度がイオンソース電極3の近傍で最も低く、対向電極5の近傍において最も高くなり、その間のアモルファスシリコン中において段階的に変化する分布であっても良い。

【0017】

抵抗変化層1の膜厚は、例えば、 $2 \text{ nm} \sim 20 \text{ nm}$ の範囲に設定することができる。さらに、セット電圧(書き込み電圧)を低く抑えるために 15 nm 以下、好ましくは、 5 nm 以下にする。一方、対向電極5からイオンソース電極3の方向に流れるリバース電流を低減するため 3 nm 以上にすることが好ましい。

20

【0018】

対向電極5は、導電性を有し、抵抗変化層1との間の密着性が高いことが望ましい。好ましくは、製造プロセスにおける加工が容易な材料を用いる。例えば、シリコンなどの半導体を用いることができる。半導体に不純物として添加する元素に制限はないが、電子をキャリアとして生成するn形不純物が望ましい。そして、全ての不純物が活性化している状態で、キャリア濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲となることが好ましい。

【0019】

高誘電率層7は、 $400 \sim 500$ 程度の熱負荷に対し、イオンソース電極に含まれる金属元素の抵抗変化層1への拡散を抑制する。すなわち、高誘電率層7における金属元素の熱拡散係数が、抵抗変化層1の拡散係数よりも小さい。また、高誘電率層7には、抵抗変化層1よりも誘電率が高い材料を選択する。さらに、抵抗変化層1が複数の層を含む多層構造を有する場合、高誘電率層7の誘電率は、その一部よりも高くする。

30

【0020】

高誘電率層7に用いる材料は、半導体製造ラインにおける製作を可能とする観点から、例えば、半導体プロセスに適合するシリコン窒化膜(比誘電率 = 7)、アルミナ膜(Al_2O_3 : = 9.8)、酸化ハフニウム(HfO_2 : = 23)、酸化イットリウム(Y_2O_3 : = 25)、酸化ランタン(La_3O_3 : = 25)、酸化チタン(TiO_2 : = 40)、および、酸化タンタル(Ta_2O_5 : = 25)のいずれかを選択することが好ましい。

40

【0021】

例えば、抵抗変化層1に非結晶シリコンを用いる場合、シリコン(= 12)よりも誘電率が高い HfO_2 、 Y_2O_3 、 LaO_3 、 TiO_2 、および、 Ta_2O_5 のいずれかを選択することが好ましい。さらに好ましくは、トンネリングによるリーク電流を抑制するため、イオンソース電極3および抵抗変化層1に対するバリアハイトが高い HfO_2 または LaO_3 を選択することができる。

【0022】

例えば、抵抗変化層1にシリコン酸化膜を用いる場合には、シリコン酸化膜(= 4)よりも誘電率が高いシリコン窒化膜、 Al_2O_3 、 HfO_2 、 Y_2O_3 、 LaO_3 、 Ti

50

O_2 、および、 Ta_2O_5 のいずれかを選択することが好ましい。さらに好ましくは、トンネリングによるリーク電流を抑制するため、イオンソース電極3に対するバリアハイトが高いシリコン窒化膜、 Al_2O_3 、 HfO_2 、および、 LaO_3 のいずれかを選択することが好ましい。

【0023】

また、高誘電率の金属酸化物を用いる場合、高誘電率層7は、抵抗変化層1よりも誘電率を高く維持できる範囲、例えば、10～50%の範囲でシリコンを含有しても良い。これにより、その耐熱性を向上させることができる。

【0024】

イオンソース電極3と、抵抗変化層1と、の間に高誘電率層7を挿入すると、イオンソース電極3に誘起される電荷を増やすことができる。すなわち、イオンソース電極3にプラス電圧を印加するセット動作時において、高誘電率層7がない場合に比べてイオンソース電極3からより多くの電子が引き抜かれる。このため、イオンソース電極3に誘起されるプラス電荷が増え、金属元素のイオン化が促進される。これにより、イオンソース電極3から抵抗変化層1に移動するイオンが増え、抵抗変化層1の内部にフィラメントが形成され易くなる。結果として、セット電圧を低減することが可能となる。

【0025】

また、高誘電率層7として、イオンソース電極3に含まれる金属元素の熱拡散係数が低い材料を選択することにより、イオンソース電極3から抵抗変化層1への金属元素の拡散を抑制することができる。すなわち、メモリセル10の熱耐性を向上させることができる。

【0026】

高誘電率層7の厚さは、1nm以上、10nm以下であることが好ましい。高誘電率層7が10nmよりも厚くなると、高誘電率層7および抵抗変化層1の電界が低くなりイオンが移動し難くなる。すなわち、セット電圧が上昇する。また、加工の容易性や静電容量を高くする観点からも10nm以下とすることが好ましい。このように、高誘電率層7は、上記の範囲で薄膜化することが好ましい。一方、高誘電率層7の均一性を確保する観点からは、1nm以上であることが好ましい。

【0027】

図2は、第1実施形態に係る不揮発性記憶装置100のメモリセルアレイ部50を模式的に表す斜視図である。不揮発性記憶装置100は、クロスポイント型メモリ装置であり、例えば、図示しない基板を有し、基板上の第1の方向(X方向)に延在する複数のワード線21と、第1の方向に交差する第2の方向(Y方向)に延在する複数のビット線23と、を備える。そして、図2の上方から見て、ワード線21とビット線23が交差する複数の交点のそれぞれにおいて、ワード線21とビット線23との間にメモリセル10が設けられる。

【0028】

メモリセルアレイ部50は、例えば、シリコン基板上に設けられる。シリコン基板には、メモリセルアレイ部50の駆動回路が設けられる。そして、駆動回路上にシリコン酸化膜からなる層間絶縁膜が設けられ、メモリセルアレイ部50は、層間絶縁膜を介して駆動回路の上に設けられる。

【0029】

メモリセルアレイ部50では、X方向に延在する複数のワード線21がY方向に並設されたワード線配線層と、Y方向に延在する複数のビット線23がX方向に並設されたビット線配線層と、を有し、ワード配線層とビット配線層とが、Z方向に交互に積層された構成を有する。

【0030】

ワード線21およびビット線23は、例えば、タングステン(W)を用いて形成される。複数のワード線21の間、複数のビット線23の間、および、ワード線21とビット線23の間には、層間絶縁膜が設けられそれぞれを絶縁する。

10

20

30

40

50

【 0 0 3 1 】

そして、各ワード線 2 1 と各ビット線 2 3 との最近接点（交点）には、Z 方向に複数の層を積層したピラー状のメモリセル 1 0 が設けられる。すなわち、メモリセル 1 0 は、ワード線 2 1 とビット線 2 3 との間に設けられる。

【 0 0 3 2 】

図 2 に示すメモリセルアレイ部 5 0 は、メモリセル 1 0 を 2 段に重ねた構成であるが、これに限られる訳ではなく、3 段以上に重ねた構造であっても良いし、1 段のみの平面構造であっても良い。

【 0 0 3 3 】

図 3 は、メモリセル 1 0 の動作を模式的に表す断面図である。図 3 (a) は、初期状態を示し、図 3 (b) は、オン状態、図 3 (c) は、オフ状態をそれぞれ示している。

10

【 0 0 3 4 】

図 3 (a) に示す初期状態では、イオンソース電極 3 から抵抗変化層 1 および高誘電率層 7 に金属イオンが移動しておらず、イオンソース電極 3 と対向電極 5 との間は高抵抗である。

【 0 0 3 5 】

次に、イオンソース電極 3 と、対向電極 5 と、の間にセット電圧（書き込み電圧）を印加する。すなわち、イオンソース電極 3 にプラス電圧、対向電極 5 にマイナス電圧を印加し、イオンソース電極 3 から高誘電率層 7 および抵抗変化層 1 へ金属イオンを移動させる。これにより、図 3 (b) に示すように、イオンソース電極 3 と対向電極 5 との間に金属元素がつながった伝導パス（フィラメント）A が形成され、イオンソース電極 3 と対向電極 5 との間が低抵抗化（ON）される。

20

【 0 0 3 6 】

一方、セット電圧とは逆方向の比較的高い電圧（リセット電圧）を印加すると、金属イオンが逆方向に移動し、図 3 (c) に示すように、イオンソース電極 3 と対向電極 5 との間のフィラメント A が途切れ、元の高抵抗状態（OFF）に戻る。

【 0 0 3 7 】

さらに、図 3 (b) に示す低抵抗状態において、セット電圧とは逆方向の比較的低い電圧を印加すると、金属イオンがイオンソース電極 3 の方向に移動してフィラメント A が途切れ高抵抗状態になる。逆に、セット電圧と同じ方向に電圧を印加すると、金属イオンが対向電極 5 の方向に移動してフィラメント A がつながり低抵抗状態（ON）に戻る。

30

【 0 0 3 8 】

このように、メモリセル 1 0 は、整流特性を有するスイッチング素子として機能する。さらに、対向電極 5 に n 形半導体を用いた場合、セット電圧とは逆方向に電圧を印加した状態において、対向電極 5 の抵抗変化層 1 に接する部分が空乏化する。このため、伝導パス A と対向電極 5 との接点に伝導キャリアである電子がいなくなるため、フィラメント A を介した電流が殆ど流れず、強い整流特性が得られる。

【 0 0 3 9 】

対向電極 5 として n 形半導体を用いる場合、空乏化の観点からその不純物濃度は低い方が好ましい。しかしながら、低濃度の半導体ほど、微細化による不純物濃度のばらつきが大きくなる傾向にある。このため、メモリセルのサイズに応じて、半導体材料およびその不純物濃度を適宜選択することが望ましい。

40

【 0 0 4 0 】

上記のように、メモリセル 1 0 は、電圧動作型可変抵抗素子であり原理的に動作電流が小さい。また、オフ時には、フィラメントが物理的に切断されるのでデータ保持性も高い。

【 0 0 4 1 】

また、整流特性を有するメモリセル 1 0 を用いてクロスポイント型のメモリセルアレイ部を構成する場合、非選択セルの誤セットおよび誤リセットを防止するための整流素子（ダイオード）を省くことができる。これにより、メモリセルの構造を簡略化することが可

50

能となる。

【0042】

次に、図4～図6を参照して、不揮発性記憶装置100の製造過程を説明する。図4(a)～図6は、各工程におけるウェーハを模式的に表す部分断面図である。

【0043】

例えば、図4(a)に示すように、シリコン基板31の上に層間絶縁膜33aを形成し、その上にワード線21を形成する。シリコン基板31の表面31aには、図示しない駆動回路を形成しても良い。また、以下の図では、シリコン基板31を省略する。

【0044】

層間絶縁膜33aは、例えば、CVD(Chemical Vapor Deposition)法を用いて形成されるシリコン酸化膜である。ワード線21には、例えば、CVD法を用いて形成される厚さ30～50nmのタングステン(W)膜を用いることができる。また、ワード線21は、RIEおよびダマシン(damascene)法を用いてW膜を加工することにより形成する。

【0045】

次に、図4(b)に示すように、バリアメタル層13と、対向電極5と、抵抗変化層1と、高誘電率層7と、イオンソース電極3と、バリアメタル層13と、コンタクトメタル層15とを、ワード線21の上に順次形成する。この積層構造は、例えば、スパッタ法を用いて形成することができる。

【0046】

バリアメタル層13は、例えば、ルテニウム(Ru)、チタン(Ti)、タンタル(Ta)、タングステン(W)、ハフニウム(Hf)、アルミニウム(Al)からなる群から選択された金属、あるいは、それらの酸化物、もしくは、それらの窒化物から選択された材料を用いることが可能である。メモリセルの抵抗値、セット電圧、プロセス耐性の観点から見ればTiNが好適であり、その厚さは、5nm～15nmの範囲であることが好ましい。

【0047】

続いて、図4(c)に示すように、バリアメタル層13～コンタクトメタル層15の積層構造を選択的にエッチングし、メモリセル10を形成する。例えば、上記の積層構造の上にマスク材を形成し、フォトリソグラフィによりセルパターンのマスクに加工後、RIEにより、例えば、幅20～100nmのピラー状にエッチングする。

【0048】

次に、図5(a)に示すように、メモリセル10の間に層間絶縁膜33bを形成する。層間絶縁膜33bは、例えば、CVD法により形成したシリコン酸化膜であり、メモリセル10の全体を埋め込む厚さに形成する。さらに、層間絶縁膜33bの表面をCMP(Chemical Mechanical Polish)法を用いて平坦化し、コンタクトメタル層15の上面を露出させる。コンタクトメタル層15は、他の層よりも厚く、例えば、30～50nmに形成されており、メモリセル10に損傷を与えずにコンタクト面を露出させることが可能となる。

【0049】

次に、図5(b)に示すように、ビット線23をコンタクトメタル層15の上に形成する。例えば、層間絶縁膜33bの上にCVD法を用いてW膜を形成し、RIE法を用いてパターンニングする。これにより、層間絶縁膜33bの上に延在し、コンタクトメタル層15に接する複数のビット線23が形成される。さらに、複数のビット線23の間を埋め込んだ層間絶縁膜(図示せず)を形成する。

【0050】

次に、図6に示すように、メモリセルアレイ部50の2段目を形成する。2段目に配置されるメモリセル10は、ビット線23を1段目のメモリセル10と共有するため、1段目とは逆順で積層される。すなわち、ビット線23の上に、バリアメタル層13、イオンソース電極3、高誘電率層7、抵抗変化層1、対向電極5、バリアメタル層13およびコ

10

20

30

40

50

ンタクトメタル層 15 の順で積層する。

【0051】

続いて、上記の積層構造をピラー状のメモリセル 10 に加工後、層間絶縁膜 33 により埋め込む。さらに、層間絶縁膜 33 を平坦化した後、コンタクトメタル層 15 の上に 2 段目のワード線 21 を形成する。これにより、メモリセル 20 を 2 段に積層したメモリセルアレイ部 50 を完成する。メモリセル 10 を 3 段以上積層するメモリセルアレイ部を形成する場合は、上記の工程を繰り返し実施すれば良い。

【0052】

上記の製造過程において、1 段目のメモリセル 10 は、メモリセルアレイ部の 2 段目以降の形成過程において熱負荷を受ける。例えば、ビット線 23 の形成過程において、CVD 法を用いて W 膜を形成する場合、メモリセル 10 は 400 ~ 500 程度に加熱される。このため、イオンソース電極 3 に含まれる金属元素の熱拡散係数が大きいと、抵抗変化層 1 に金属元素が拡散する。その結果、抵抗変化層 1 の抵抗が低下し、メモリセル 10 が動作しないことがある。

【0053】

本実施形態では、抵抗変化層 1 と、イオンソース電極 3 と、の間に、高誘電率層 7 を挿入することにより、イオンソース電極 3 からの金属元素の拡散を抑制する。これにより、メモリセル 10 の熱耐性を向上させ、その動作を安定させることができる。

【0054】

一方、メモリセル 10 は、イオンソース電極 3 と対向電極 5 との間に印加された電圧により、イオン化された金属元素を抵抗変化層に移動させることにより動作する。したがって、イオンソース電極 3 と、抵抗変化層 1 と、の間に、金属元素の熱拡散を抑制する層を挿入することは、イオンソース電極 3 から抵抗変化層 1 への金属元素イオンの移動を阻害する。このため、セット電圧の上昇等、メモリセル 10 の動作に対し好ましくない影響を生じることが予想される。

【0055】

これに対し、イオンソース電極 3 と抵抗変化層 1 との間に金属元素の熱拡散係数が小さい薄層を挿入してもセット電圧が上昇することなく、むしろメモリセルの動作を安定させることを見出した。さらに、抵抗変化層 1 よりも誘電率が高い高誘電率層 7 を挿入することにより、セット電圧を低減できることも見出した。

【0056】

このように、本実施形態では、イオンソース電極 3、高誘電率層 7、抵抗変化層 1 および対向電極 5 の積層構造を用いることにより、メモリセル 10 の熱耐性を向上させ、低電圧で安定して動作するクロスポイント型メモリ装置を実現することができる。さらに、セット電圧の低電圧化は、メモリセル 10 を微細化した場合の不良セル（不良ビット）を減少させる。これにより、メモリ装置の製造歩留りを向上させることもできる。

【0057】

（第 2 実施形態）

図 7 は、第 2 実施形態に係るメモリセル 20 を表す模式断面図である。メモリセル 20 の抵抗変化層 2 は、高誘電率層 7 に接して設けられた抵抗変化層 2a（第 1 の層）と、対向電極 5 と抵抗変化層 2a との間に設けられた抵抗変化層 2b（第 2 の層）を含む。抵抗変化層 2b における金属イオンの移動度は、抵抗変化層 2a における移動度よりも大きい。また、高誘電率層 7 は、抵抗変化層 2a よりも誘電率が高い。

【0058】

図 7 に示すように、メモリセル 20 は、ワード線 21 の上にバリアメタル層 13 を介して設けられた対向電極 5 と、抵抗変化層 2b と、抵抗変化層 2a と、高誘電率層 7 と、イオンソース電極 3 と、を含む。メモリセル 20 と、ビット線 23 と、の間には、バリアメタル層 13 およびコンタクトメタル層 15 が設けられる。抵抗変化層 2 を除く各層の材料および厚さは、第 1 実施形態と同じであり、それらの効果も同じである。

【0059】

10

20

30

40

50

本実施形態では、抵抗変化層 2 を、低抵抗の状態を保持する層と、整流特性を生じさせる層と、に分割することによりメモリセル 20 の特性向上を図る。すなわち、抵抗変化層 2 a は、セット電圧とは逆のバイアスに対しフィラメント A を保持することにより低抵抗の状態を維持する（図 3 参照）。一方、抵抗変化層 2 b では、セット電圧とは逆のバイアスが印加された場合に、金属イオンがイオンソース電極 3 の方向に移動し、フィラメント A と対向電極 5 とが分離される。これにより、対向電極 5 からイオンソース電極 3 に流れる逆バイアス電流を抑制し、整流特性を担保することができる。

【0060】

抵抗変化層 2 a は、抵抗変化層 2 b よりもフィラメントを形成する金属イオンの移動度が小さいことが望ましい。さらに、メモリセル 20 の熱耐性を向上させるため、抵抗変化層 2 a における金属元素の拡散係数は、抵抗変化層 2 b における拡散係数よりも小さいことが好ましい。例えば、抵抗変化層 2 a は、シリコン酸化物およびシリコン窒化物の少なくともいずれかを含み、抵抗変化層 2 b は、非結晶シリコンを含む。

10

【0061】

抵抗変化層 2 b は、酸素または窒素を含んでも良いが、整流特性を確保する観点から、その濃度は $2 \times 10^{20} \text{ cm}^{-3}$ であることが好ましい。抵抗変化層 2 a および抵抗変化層 2 b を含む抵抗変化層 2 の厚さは、2 nm ~ 20 nm の範囲にあることが好ましい。さらに、セット電圧を低減するため 15 nm 以下とすることが好ましく、10 nm 以下であることがより好ましい。

【0062】

20

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

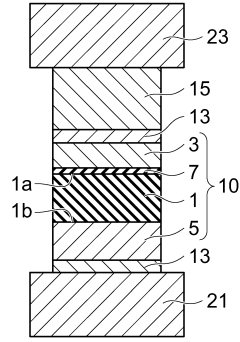
【符号の説明】

【0063】

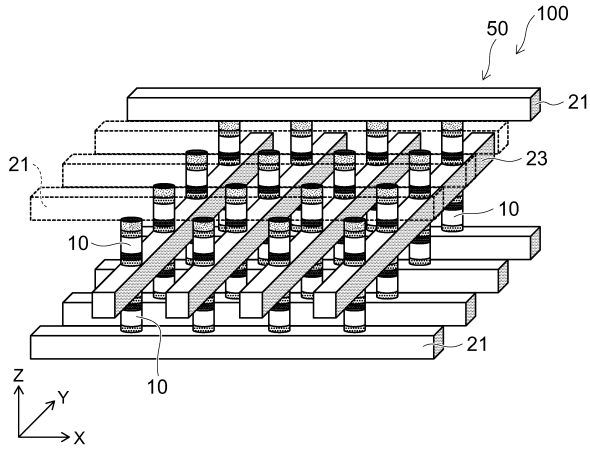
1、2、2 a、2 b・・・抵抗変化層、 1 a・・・第 1 の面、 1 b・・・第 2 の面、 3・・・イオンソース電極、 5・・・対向電極、 7・・・高誘電率層、 10、 20・・・メモリセル、 13・・・バリアメタル層、 15・・・コンタクトメタル層、 21・・・ワード線、 23・・・ビット線、 31・・・シリコン基板、 33、 33 a、33 b・・・層間絶縁膜、 50・・・メモリセルアレイ部、 100・・・不揮発性記憶装置

30

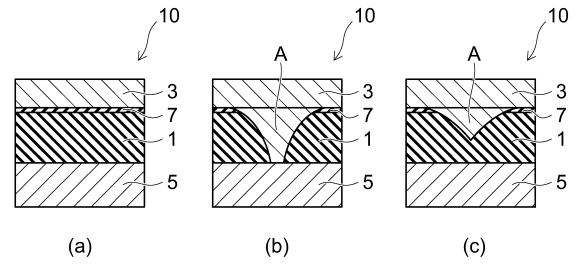
【図1】



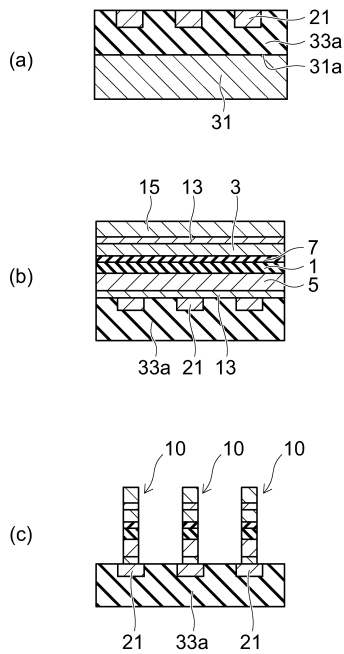
【図2】



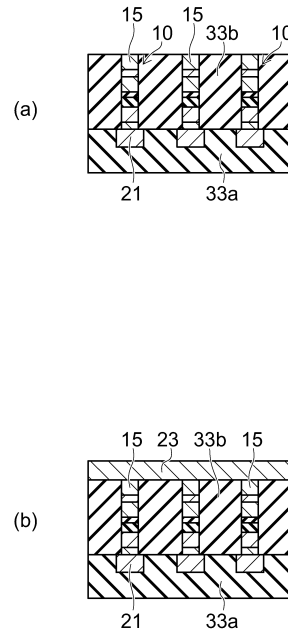
【図3】



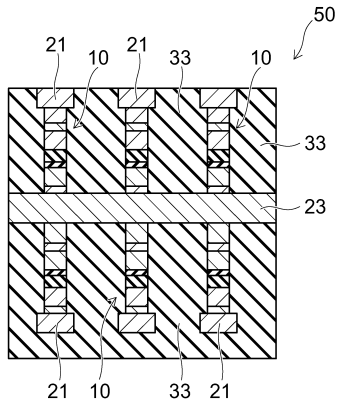
【図4】



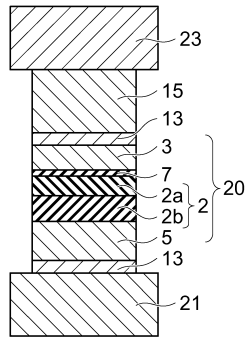
【図5】



【図 6】



【図 7】



フロントページの続き

審査官 小山 満

- (56)参考文献 国際公開第2011/158691(WO, A1)
特開2012-089567(JP, A)
国際公開第2009/078251(WO, A1)
特表2009-500867(JP, A)
米国特許出願公開第2012/0091420(US, A1)
米国特許出願公開第2011/0108829(US, A1)
米国特許出願公開第2007/0008773(US, A1)
国際公開第2007/008902(WO, A1)
国際公開第2010/042732(WO, A1)
国際公開第2010/064446(WO, A1)
特開2012-043896(JP, A)
特開2010-016381(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105
H01L 45/00
H01L 49/00