

19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11) N° de publication : **2 890 236**  
(à n'utiliser que pour les  
commandes de reproduction)

21) N° d'enregistrement national : **05 08878**

51) Int Cl<sup>8</sup> : H 01 L 21/8234 (2006.01), H 01 L 27/088, 21/336, 29/  
786, 27/146

12)

## DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 30.08.05.

30) Priorité :

43) Date de mise à la disposition du public de la  
demande : 02.03.07 Bulletin 07/09.

56) Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60) Références à d'autres documents nationaux  
apparentés :

71) Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-  
MIQUE Etablissement public à caractère industriel et  
commercial — FR.

72) Inventeur(s) : BENZARTI WALID.

73) Titulaire(s) :

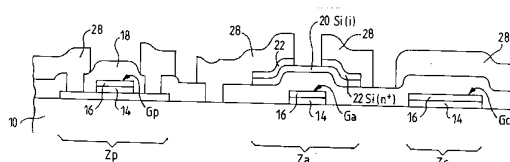
74) Mandataire(s) : MARKS & CLERK FRANCE.

54) PROCÉDE DE FABRICATION DE CIRCUITS EN COUCHES MINCES EN SILICIUM AMORPHE ET  
POLYCRISTALLIN.

57) L'invention concerne la fabrication de transistors en  
couche mince en silicium amorphe et en silicium polycristal-  
lin sur un même substrat.

On forme un îlot de silicium polycristallin (12), on dépose  
une couche isolante (14) et une première couche conductri-  
ce (16), on grave ces deux couches selon un même motif de  
manière à définir simultanément une première grille isolée  
au-dessus de l'îlot et une deuxième grille en dehors de l'îlot.  
On dope le silicium polycristallin pour former la source et le  
drain d'un premier transistor en silicium polycristallin (grille  
au-dessus du canal). On dépose une couche isolante (18)  
formant isolant de grille d'un transistor en silicium amorphe  
(grille au-dessous du canal). Puis on poursuit la fabrication  
du transistor en silicium amorphe par des dépôts et gravures  
de silicium amorphe non dopé (20) et de silicium dopé  
(22), une gravure de la couche isolante 18, un dépôt et une  
gravure de métal d'interconnexion (28).

Application aux écrans de visualisation (LCD, LED,  
OLED)



FR 2 890 236 - A1



## PROCEDE DE FABRICATION DE CIRCUITS EN COUCHES MINCES EN SILICIUM AMORPHE ET POLYCRISTALLIN

L'invention concerne la fabrication de circuits électriques à transistors en couche mince (transistors TFT, de l'anglais thin film transistors), tels qu'on en utilise par exemple pour les écrans plats de visualisation à matrice active (écrans à cristaux liquides ou à diodes électroluminescentes organiques).

Ces écrans utilisent généralement des transistors en silicium amorphe qui sont simples et peu coûteux à réaliser. Les transistors sont réalisés en général selon la technique dite "bottom gate" ou "grille en bas", c'est-à-dire que la grille du transistor est située au-dessous du canal entre source et drain. Le procédé de fabrication utilise peu de masques (3 ou 4) ; il est bien maîtrisé et il y a peu de défauts ; la tension de seuil des transistors est assez uniforme spatialement (d'un transistor à l'autre sur une même plaque) ; les courants de fuite du transistor dans l'état bloqué sont faibles.

Mais cette technologie présente quelques inconvénients et en particulier la mobilité trop faible des électrons dans le silicium amorphe, les capacités élevées de recouvrement entre grille et drain et entre grille et source, la variation de tension de seuil au cours du fonctionnement du transistor (vieillessement par dégradation de l'isolant de grille), et enfin l'impossibilité de faire des transistors de type PMOS (mobilité trop faible des porteurs des trous dans le silicium amorphe). Ces inconvénients rendent ces transistors difficilement utilisables pour certaines fonctions dans les écrans, notamment les fonctions de commande, mais aussi la fonction de commutation de courant à l'intérieur du pixel pour les écrans à diodes électroluminescentes.

Une autre voie technologique a consisté à réaliser des transistors en silicium polycristallin (qui est du silicium amorphe recristallisé par laser), avec la grille au-dessus du canal (en anglais : "top gate"). Cette technologie permet d'aligner la source et le drain par rapport à la grille et donne donc de plus faibles capacités de recouvrement. Elle permet de faire aussi bien des transistors NMOS que des transistors PMOS. La mobilité des électrons dans

le silicium polycristallin est plus élevée que dans le silicium amorphe. La tension de seuil est stable pendant le fonctionnement.

5 Mais le nombre de masques est plus important que pour les transistors en silicium amorphe ; les tensions de seuil des transistors sont plus dispersées spatialement à cause de la granulométrie variable des grains de polycristal, et le courant de fuite du transistor dans l'état bloqué est plus important.

10 Les avantages et inconvénients de ces deux types de technologies sont dans une certaine mesure complémentaires et il peut être souhaitable de disposer des deux types de transistors sur un même substrat.

A titre d'exemple, dans le cas d'un écran à cristaux liquides, on peut souhaiter utiliser des transistors en silicium polycristallin pour les circuits d'adressage de la matrice et surtout pour les amplificateurs à fort courant ("drivers") qui pilotent les lignes. Ils doivent pouvoir fonctionner à fort courant  
15 (nécessité d'une mobilité électronique importante) et à haute fréquence (nécessité de faibles capacités de recouvrement). De plus, il est avantageux que les circuits logiques de commande de la matrice utilisent des transistors complémentaires PMOS et NMOS pour des raisons de consommation. Les transistors en silicium polycristallin se prêtent donc bien à cette utilisation.

20 Inversement, le transistor qui maintient la charge aux bornes d'une capacité de stockage dans un pixel individuel devrait être de préférence un transistor en silicium amorphe. Le courant de fuite est en effet plus faible et la charge stockée peut être mieux conservée pendant la durée d'une trame. D'ailleurs, si la charge est mieux conservée on peut se contenter d'une  
25 capacité de plus petite taille pour stocker cette charge ; par conséquent, comme la capacité de stockage utilise de l'espace au détriment des électrodes qui définissent l'image, le taux d'ouverture des pixels peut être meilleur. Enfin, la capacité du cristal liquide étant faible, la capacité de recouvrement grille-source ou grille-drain du transistor en silicium amorphe  
30 ne pénalise pas le fonctionnement transitoire du pixel.

C'est pourquoi on a essayé de proposer de réaliser sur un même substrat à la fois des transistors en silicium amorphe et des transistors en silicium polycristallin, de sorte que les transistors en silicium amorphe soient utilisés pour les fonctions où ils sont plus avantageux et les transistors en

silicium polycristallin soient utilisés pour les fonctions où les transistors en silicium amorphe sont moins avantageux.

Le brevet US 5 864 150, le brevet JP2002185005 et l'article IEEE Transactions on Electron Devices, vol.43, N°5, Mai 1995 décrivent des technologies mixtes amorphe/polycristallin ; mais ces technologies ont l'inconvénient d'aboutir à des transistors mal optimisés, notamment du fait que les transistors en silicium polycristallin sont réalisés sous forme "bottom gate", grille au-dessous du canal, alors qu'ils auraient de meilleures performances s'ils étaient réalisés sous forme "top gate", grille au-dessus.

L'invention a pour but de proposer un procédé de fabrication de transistors en couche mince (TFT) qui permette, avec un nombre de masques particulièrement faible, de réaliser à la fois des transistors en silicium amorphe de type "bottom gate" et des transistors en silicium polycristallin de type "top gate" sur le même substrat.

Selon l'invention, on propose donc un procédé de fabrication de transistors en couche mince en silicium amorphe et en silicium polycristallin sur un même substrat, caractérisé par le fait que l'on forme d'abord sur le substrat un îlot de silicium polycristallin correspondant à un transistor en silicium polycristallin, puis on dépose une première couche électriquement isolante et une première couche conductrice, on grave ces deux couches selon un même motif de manière à définir simultanément dans la couche conductrice une première grille isolée au-dessus de l'îlot et une deuxième grille en dehors de l'îlot, on dépose une deuxième couche isolante formant couche de passivation au dessus de la première grille isolée et formant isolant de grille au-dessus de la deuxième grille, puis on poursuit la fabrication du transistor en silicium amorphe par des étapes comprenant, entre autres, le dépôt de silicium amorphe intrinsèque pour constituer le canal du transistor en silicium amorphe au-dessus de l'isolant de la deuxième grille, le dépôt de silicium amorphe dopé pour définir une source et un drain de part et d'autre de ce canal du transistor en silicium amorphe, et la formation d'interconnexions conductrices avec des contacts sur les sources et drains des différents transistors.

En d'autres mots, une particularité importante du procédé de fabrication selon l'invention est qu'on forme d'abord un îlot de silicium polycristallin avec une grille isolée au-dessus du canal, et, avec la même

couche conductrice de grille, on forme la grille d'un transistor en silicium amorphe à grille au-dessous du canal, avant de déposer un isolant qui formera à la fois couche de passivation pour le transistor à grille au-dessus du canal et isolant entre grille et canal du transistor à grille au-dessous du canal.

Par silicium intrinsèque on entend du silicium non intentionnellement dopé, ou bien peu dopé. La source et le drain sont dans tous les cas bien plus fortement dopés que le canal.

Un masque de gravure est utilisé pour définir les interconnexions conductrices ; une fois que les interconnexions sont définies, elles servent de masque pour éliminer le silicium amorphe plus dopé là où il n'est pas protégé par une interconnexion. La gravure utilisée est sélective pour ne pas attaquer significativement la couche de silicium amorphe intrinsèque qui sert de canal.

On aboutit à un circuit en couche mince original, comprenant sur un même substrat au moins deux transistors en couche mince dont l'un est un transistor en silicium polycristallin à grille au-dessus du canal et l'autre est un transistor en silicium amorphe à grille au-dessous du canal, les grilles des deux transistors étant formées par deux portions d'une même couche conductrice déposée l'une au-dessus d'un îlot de silicium polycristallin dont elle est séparée par une première portion de couche électriquement isolante, l'autre au-dessus du substrat dont elle est séparée par une deuxième portion de la même couche isolante.

Si on explicite plus en détail les étapes principales du procédé de fabrication selon l'invention, on a les opérations suivantes :

a) formation d'une couche de silicium polycristallin sur le substrat et gravure de cette couche pour laisser subsister au moins un îlot correspondant à un transistor polycristallin ;

b) dépôt d'une première couche électriquement isolante et d'une première couche conductrice ;

c) gravure de la couche conductrice et de la première couche isolante pour laisser subsister au moins une grille de transistor polycristallin au-dessus de l'îlot et au moins une grille d'un transistor amorphe en dehors de l'îlot ;

d) dépôt d'une deuxième couche isolante constituant l'isolant de grille du transistor amorphe ;

e) un groupe d'opérations qui comprennent au moins le dépôt d'une couche de silicium amorphe intrinsèque, la gravure de cette couche dans une zone débordant de part et d'autre de la grille du transistor amorphe, le dépôt de silicium amorphe dopé, et l'ouverture de vias à travers  
5 toute l'épaisseur de la deuxième couche isolante ;

f) dépôt d'une deuxième couche conductrice, en principe métallique, et gravure de cette couche pour définir des interconnexions et des contacts de source et drain de part et d'autre d'une zone de canal au-dessus de la grille du transistor amorphe ainsi que des contacts de source et  
10 drain de part et d'autre d'une zone de canal au-dessous de la grille du transistor en silicium polycristallin ;

g) élimination de la couche de silicium amorphe dopé là où elle n'est pas protégée par la deuxième couche conductrice.

15 Avec ce procédé, on peut réaliser à la fois un transistor en silicium polycristallin à grille au-dessus du canal et un transistor en silicium amorphe à grille au-dessous du canal, avec un très petit nombre d'étapes de masquage. On peut en même temps définir des capacités dont les armatures sont des portions superposées de la première et de la deuxième couches  
20 conductrices, et dont le diélectrique est une portion de la deuxième couche isolante.

Le dépôt initial de silicium polycristallin est en principe fait de la manière suivante : dépôt de silicium amorphe intrinsèque puis recristallisation par laser.

25 De préférence, après la formation de la grille du transistor en silicium polycristallin (après l'étape c), on effectue une implantation ionique d'impuretés correspondant au type de transistor NMOS ou PMOS à réaliser.

Dans un premier mode de réalisation, à l'étape e, on effectue en premier le dépôt de silicium amorphe intrinsèque, puis le dépôt de la couche  
30 de silicium amorphe dopé, puis la gravure de ces deux couches selon un même motif délimitant un îlot correspondant au transistor amorphe, et enfin on grave les vias dans la deuxième couche isolante.

Dans un deuxième mode de réalisation, à l'étape e, on effectue en premier la gravure des vias dans la deuxième couche isolante, puis le dépôt  
35 d'une couche de silicium amorphe intrinsèque, puis la gravure de cette

couche, puis on dépose du silicium amorphe dopé et une couche conductrice, et on grave ces deux couches selon un même motif définissant les interconnexions.

Dans un troisième mode de réalisation, à l'étape e, on effectue en premier le dépôt du silicium amorphe intrinsèque, puis on dépose du silicium amorphe dopé, puis on grave à la fois ces deux couches et la couche isolante pour ouvrir des vias.

L'invention est particulièrement applicable à un écran à cristaux liquides ou un écran à diodes électroluminescentes dont les transistors en silicium amorphe constituent un élément actif de chaque pixel et dont les transistors en silicium polycristallin servent à la commande des lignes de l'écran. Chaque pixel peut comporter non seulement un transistor en silicium amorphe servant à appliquer puis maintenir une charge électrique sur une capacité de stockage, mais aussi un transistor en silicium polycristallin servant par exemple à assurer le passage d'un courant constant dans une diode électroluminescente associée à ce pixel.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- les figures 1 à 4 représentent les premières étapes du procédé de fabrication selon l'invention ;

- les figures 5 à 9 représentent la suite des opérations dans une première variante de mise en œuvre ;

- les figures 10 à 14 représentent la suite des figures 1 à 4 dans une deuxième variante de mise en œuvre ;

- les figures 15 à 17 représentent les opérations qui suivent la figure 5 dans une troisième variante de mise en œuvre.

On va décrire d'abord les étapes de fabrication essentielles de l'invention, qui sont communes aux différentes variantes, ceci en référence aux figures 1 à 4.

Sur la figure 1, on a représenté le substrat 10 d'un écran de visualisation sur lequel on cherche à faire au moins trois types d'éléments qui sont respectivement un transistor en silicium polycristallin dans une zone Zp

du substrat, un transistor en silicium amorphe dans une zone Za, et une capacité dans une zone Zc.

Le substrat 10 sera en général en verre, mais il peut être aussi en matière plastique, en inox, en silicium, etc. Il est de préférence recouvert, 5 préalablement à toute autre opération, d'une couche tampon (ayant une fonction de planarisation et/ou de barrière physico-chimique) non représentée, par exemple en oxyde de silicium.

On dépose uniformément sur le substrat une couche de silicium qui servira à la fabrication du transistor en silicium polycristallin, et on grave 10 cette couche pour laisser subsister un îlot de silicium 12 dans la zone Zp mais pas dans les zones Za et Zc. De préférence, le silicium est d'abord déposé sous forme amorphe, par exemple sur une épaisseur d'environ 80 nanomètres ; puis il est cristallisé par laser et prend la forme de silicium polycristallin ; il est ensuite gravé à travers un premier masque à la forme de 15 l'îlot désiré (figure 1). Le silicium est peu ou très peu dopé, voire quasi-intrinsèque.

On dépose alors uniformément sur le substrat une première couche isolante 14 qui servira d'isolant de grille au transistor en silicium polycristallin (figure 2) ; la couche 14 peut être en oxyde de silicium d'une 20 épaisseur d'environ 100 nanomètres. Puis on dépose une première couche conductrice 16, de préférence métallique, qui constituera la grille du transistor en silicium amorphe aussi bien que la grille du transistor en silicium polycristallin. La couche 16 peut être en aluminium, d'environ 200 nanomètres d'épaisseur.

25 On grave la première couche conductrice 16 à travers un deuxième masque qui définit à la fois :

- une grille Gp du transistor en silicium polycristallin, dans la zone Zp, au-dessus de l'îlot 12 et isolée de l'îlot par la couche d'oxyde 14, l'îlot débordant de part et d'autre de cette grille,
- 30 - une grille Ga de transistor en silicium amorphe en dehors de cet îlot, dans la zone Za ;
- une armature inférieure Gc de capacité, dans la zone Zc, armature qu'on appellera aussi grille ci-après pour simplifier lorsqu'on parlera collectivement des trois grilles Gp, Ga, Gc.

On élimine ensuite la première couche isolante 14 par attaque chimique sélective là où elle n'est plus protégée par le motif de grilles.

On obtient un motif de grilles Gp, Ga, Gc réalisées dans la même couche d'aluminium 16 (figure 3), la grille Gp étant isolée du silicium polycristallin par un isolant de grille constitué par une portion de couche d'oxyde de silicium 14.

On procède alors à la formation de la source et du drain du transistor en silicium polycristallin, en dopant l'îlot 12 là où il n'est pas protégé par la grille Gp. Le dopage est fait de préférence par implantation ionique. L'impureté implantée est de type N si on veut faire des transistors NMOS, ou de type P si on veut faire des transistors PMOS. Si on veut faire un transistor NMOS sur un îlot de silicium polycristallin et un transistor PMOS sur cet îlot ou sur un autre îlot, il faut un masque supplémentaire pour masquer les transistors PMOS pendant l'implantation de type N puis masquer les transistors NMOS pendant l'implantation de type P.

Le transistor en silicium polycristallin est à ce stade presque complet puisqu'il comporte une source et un drain en silicium dopé, un canal semiconducteur en silicium très peu dopé entre source et drain, et une grille isolée au-dessus du canal.

On dépose ensuite (figure 4) une couche uniforme d'isolant 18 (deuxième couche isolante) qui recouvre le transistor en silicium polycristallin avec sa grille Gp, et qui recouvre la grille Ga et l'armature Gc. La couche d'isolant 18 sert de couche de protection (passivation) pour le transistor en silicium polycristallin, et sert de couche d'isolant de grille (entre grille et canal) pour le transistor en silicium amorphe. Elle sert aussi de diélectrique à la capacité de la zone Zc. La couche 18 peut être en nitrure de silicium ou en oxyde de silicium, ou une combinaison des deux, par exemple avec une épaisseur d'environ 300 nanomètres.

A partir de cette étape, il y a plusieurs manières de poursuivre la fabrication, et les trois manières commencent par un groupe de quatre opérations qui ne se situent pas nécessairement toutes dans l'ordre indiqué dans ce paragraphe : ces quatre opérations comprennent le dépôt d'une couche de silicium amorphe intrinsèque ou faiblement dopé, la gravure de cette couche dans une zone débordant de part et d'autre de la grille Ga du transistor amorphe, le dépôt d'une couche de silicium amorphe plus dopé, et

l'ouverture de vias à travers toute l'épaisseur de la deuxième couche isolante 18.

Premier mode de mise en œuvre (figures 5 à 9)

5 On dépose uniformément (figure 5) sur la couche d'isolant 18 une première couche de silicium amorphe 20 très peu dopée, voire intrinsèque ou quasi-intrinsèque ( $a:Si\ i$ ). Et on fait suivre ce dépôt d'un dépôt d'une couche 22 de silicium dopé de type N ( $a:Si\ n+$ ). En pratique, le dépôt de silicium amorphe se poursuit dans le même bâti, en rajoutant dans les gaz  
10 précurseurs une impureté de type N (arsenic).

Puis on grave successivement ces deux couches 22 et 20, en utilisant un troisième masque dont le motif définit un îlot de silicium correspondant au transistor en silicium amorphe. La gravure des deux couches se fait avec un produit qui attaque le silicium et qui n'attaque pas ou  
15 peu l'isolant 18. On peut graver successivement le silicium dopé et le silicium amorphe avec deux produits d'attaque différents, le premier pour le silicium dopé, le deuxième pour le silicium intrinsèque. La figure 6 représente le substrat à ce stade, avec un îlot de silicium (silicium amorphe peu dopé revêtu de silicium amorphe plus dopé) au-dessus de la grille Ga, débordant  
20 suffisamment de part et d'autre de la grille pour qu'on puisse constituer une source et un drain de part et d'autre de la grille. A ce stade, le transistor en silicium amorphe n'est pas réalisé car la couche de silicium dopé est uniforme dans tout l'îlot : il n'y a pas encore de canal.

L'opération suivante (figure 7) consiste à ouvrir des vias 24 dans  
25 la couche d'isolant 18, sur toute l'épaisseur de celle-ci, principalement pour dénuder des plages de contact sur la source et le drain du transistor en silicium polycristallin. On profite également de cette opération pour ouvrir des vias 26 en forme de tranchées d'isolation là où l'isolant recouvre directement le substrat 10. Ces tranchées peuvent par exemple entourer complètement  
30 chacun des transistors amorphes pour les isoler des autres transistors. Cela a pour but d'éviter des fuites de courant à travers l'isolant d'un transistor à l'autre. Un seul via 26 a été représenté sur la figure 7 pour simplifier la figure. Un quatrième masque est utilisé pour cette opération.

Après cela, on dépose uniformément (figure 8) une deuxième  
35 couche conductrice 28, en principe métallique, par exemple en molybdène

d'une épaisseur de 300 nanomètres environ. Le dépôt comble les vias 24 et 26 ouverts dans l'isolant 18 et vient en contact avec la source et le drain du transistor en silicium polycristallin de la zone Zp. Il vient aussi en contact avec la couche de silicium dopé 22 sur toute la surface de celle-ci, c'est-à-dire sur toute la surface correspondant au transistor en silicium amorphe.

L'étape suivante (figure 9) consiste à graver la couche métallique 28 à travers un cinquième masque, pour définir les différentes interconnexions utiles au circuit. Typiquement, on sépare le contact de source et le contact de drain de chaque transistor, qu'il soit en silicium amorphe ou en silicium polycristallin ; on élimine donc la couche au-dessus de la grille Gp et au-dessus de la grille Ga. Au contraire on conserve la couche conductrice 28 au-dessus de l'armature Gc, pour constituer la deuxième armature de la capacité de la zone Zc, séparée de la première par l'isolant 18.

Enfin, la dernière étape (figure 9 encore) consiste à former le canal du transistor amorphe, en éliminant la couche de silicium dopé 22 de type N+ là où elle n'est pas protégée par la couche conductrice, c'est-à-dire au-dessus de la grille Ga du transistor en silicium amorphe. Cette élimination se fait par attaque chimique sélective avec un produit de gravure qui attaque le silicium dopé de type N+ plus vite que le silicium intrinsèque. Cela permet de conserver uniquement la couche 20 de silicium amorphe intrinsèque au-dessus de la grille Ga. C'est cette couche qui sert de canal semiconducteur peu dopé entre deux zones de silicium N+ dopé, recouvertes de métal 28, qui forment une source et un drain du transistor. La grille Ga est située au-dessous de ce canal, et l'isolant 18 sert d'isolant de grille au transistor en silicium amorphe qui est maintenant terminé.

L'ensemble du circuit a été réalisé à l'aide de cinq masques si les transistors en silicium polycristallin sont d'un seul type. Si des transistors NMOS et PMOS doivent être prévus sur le même substrat, un masque supplémentaire doit être utilisé, mais il s'agit d'un masque qui n'a pas besoin de grande précision (masquage global de transistors de type P pendant l'implantation N et masquage global complémentaire de transistors de type N pendant l'implantation P).

Deuxième mode de mise en œuvre (figures 10 à 14)

On repart de la figure 4, et au lieu de poursuivre par le double dépôt de silicium de la figure 5, on commence maintenant par l'opération consistant à graver les vias 24 et 26 dans la couche isolante 18. Les vias sont aux mêmes endroits : ils définissent les zones où on veut ultérieurement percer ou interrompre la couche isolante pour la remplacer par une couche conductrice. Les vias 24 définissent les zones de contact avec la source et le drain du transistor en silicium polycristallin de la zone Zc ; les vias 26 définissent les tranchées d'isolation entre transistors (figure 10). Le masque utilisé dans cette opération de masquage est un masque analogue au quatrième masque du premier mode de mise en œuvre.

On dépose ensuite (figure 11) le silicium amorphe 20 intrinsèque ou très faiblement dopé a:Si(i). Mais on ne poursuit pas le dépôt avec du silicium dopé.

Au contraire, on grave le silicium amorphe, à travers un masque qui est l'analogue du troisième masque du premier mode de mise en œuvre, pour définir des îlots de silicium qui correspondent au transistor en silicium amorphe à réaliser (figure 12). Le silicium amorphe est éliminé dans les zones Zp et Zc.

Ce n'est qu'à ce stade que l'on dépose le silicium amorphe dopé de type N, sous forme de couche uniforme 22 a:Si(n+). Et on fait suivre ce dépôt du dépôt de la deuxième couche conductrice 28, métallique, par exemple en molybdène (figure 13).

Puis, à travers un cinquième masque (le même que dans le premier mode de mise en œuvre), on grave la couche métallique 28 selon le motif d'interconnexions à réaliser, en éliminant cette couche notamment au-dessus de la grille Gp du transistor en silicium polycristallin et au-dessus de la grille Ga du transistor en silicium amorphe. On ne l'élimine pas au-dessus de l'armature Gc de la capacité. On définit ainsi des contacts de source et des contacts de drain pour tous les transistors, des armatures supérieures de capacités, et des interconnexions (figure 14).

La dernière étape (figure 14 encore) consiste à éliminer le silicium dopé de type N partout où il n'est plus protégé par la deuxième couche conductrice, c'est-à-dire au-dessus de la grille Gp, au-dessus de la grille Ga, et dans toutes les zones qui ne correspondent pas à une interconnexion de

circuit. Le silicium dopé de la couche 22 subsiste là où il est recouvert par la deuxième couche conductrice 28.

L'élimination du silicium dopé doit, là encore, se faire avec un produit d'attaque sélectif qui n'attaque pas ou presque pas la couche 20 de silicium amorphe non dopé là où elle est présente (zone Za) et non protégée par la deuxième couche conductrice 28.

La couche de silicium amorphe non dopé qui subsiste au-dessus de la grille Ga constitue le canal semiconducteur du transistor en silicium amorphe, entre une source de type N+ et un drain de type N+ (couche 22) ; ce transistor a sa grille située au-dessous du canal, et l'isolant 18 est l'isolant de grille.

On notera que dans ce mode de réalisation il n'est pas nécessaire de doper le silicium de l'îlot 12 de part et d'autre de la grille Gp à l'étape représentée à la figure 3, alors que cette opération était nécessaire dans le premier mode de réalisation. Dans le deuxième mode, comme on le voit aux figures 13 et 14, on peut se contenter d'utiliser le dopage du silicium de la couche 22 comme source de dopant pour la source et le drain du transistor en silicium polycristallin puisque la couche 22 est en contact avec la source et le drain, ce qui n'est pas le cas dans le premier mode de réalisation.

20

#### Troisième mode de mise en œuvre (figures 15 à 17)

On repart de la figure 5, qui est donc commune au premier et au troisième modes de mise en œuvre, dans laquelle on a effectué un double dépôt de silicium : couche 20 en silicium amorphe non dopé ou très peu dopé, a:Si(i), suivi d'une couche 22 en silicium dopé de type N [a:Si(n+)]

Mais au lieu de graver les couches de silicium 20 et 22 à travers un troisième masque et la deuxième couche isolante 18 à travers un quatrième masque, on effectue une seule étape de masquage pour graver toutes ces couches selon le même motif (figure 15).

Ce masque définit donc à la fois :

- les îlots correspondant aux transistors en silicium amorphe qu'on veut réaliser

- et les vias dans la deuxième couche isolante 18, que ce soient des vias 24 de contact de source et drain du transistor en silicium polycristallin ou des vias 26 de tranchées entourant chaque

35

îlot de transistor en silicium amorphe ; le silicium des couches 20 et 22 subsiste à la fois sur les îlots correspondant aux transistors en silicium amorphe et dans toutes les zones qui ne sont pas des vias.

Sur la figure 15, on a représenté une tranchée 26 de chaque côté  
5 du transistor en silicium amorphe car dans ce cas on est obligé d'avoir une tranchée tout autour de l'îlot définissant ce transistor, contrairement aux deux premiers modes de mise en œuvre ou on pouvait définir séparément les tranchées 26 et les îlots semiconducteurs de transistors amorphes.

L'étape suivante consiste à déposer uniformément la deuxième  
10 couche conductrice 28 (figure 16) qui comble les vias et vient en contact avec la source et le drain du transistor polycristallin mais aussi avec les futures source et drain du transistor amorphe.

Ensuite (figure 17), on grave la couche métallique 28 selon le motif d'interconnexions à réaliser, en éliminant cette couche notamment au-  
15 dessus de la grille Gp du transistor en silicium polycristallin et au-dessus de la grille Ga du transistor en silicium amorphe. On ne l'élimine pas au-dessus de l'armature Gc de la capacité. On définit ainsi des contacts de source et des contacts de drain pour tous les transistors, des armatures supérieures de capacités, et des interconnexions.

20 On notera que l'armature supérieure de la capacité de la zone Zc repose sur la double couche de silicium 20, 22 qui elle-même repose sur le diélectrique constitué par la couche isolante 18.

La dernière étape (figure 17 encore) consiste à éliminer le silicium dopé de type N partout où il n'est plus protégé par la deuxième couche  
25 conductrice, c'est-à-dire au-dessus de la grille Gp, au-dessus de la grille Ga, et dans toutes les zones qui ne correspondent pas à une interconnexion de circuit. Le silicium dopé de la couche 22 subsiste là où il est recouvert par la deuxième couche conductrice 28.

L'élimination du silicium dopé doit, là encore, se faire avec un  
30 produit d'attaque sélectif qui n'attaque pas ou presque pas la couche 20 de silicium amorphe non dopé là où elle est présente (zone Za) et non protégée par la deuxième couche conductrice 28.

La couche de silicium amorphe non dopé qui subsiste au-dessus de la grille Ga constitue le canal semiconducteur du transistor en silicium  
35 amorphe, entre une source de type N+ et un drain de type N+, et ce

transistor a sa grille située au-dessous du canal et l'isolant 18 est l'isolant de grille.

On notera enfin que dans ce troisième mode de mise en œuvre, du silicium amorphe subsiste au-dessus de la couche de passivation 18 du transistor en silicium polycristallin, entre les contacts de source et de drain.

Cette solution suppose que le silicium amorphe de la couche 20 soit très peu dopé afin qu'il y ait le moins possible de courants de fuite dans cette couche entre la source et le drain du transistor en silicium polycristallin. Si on craint de tels courants de fuite, il faut éliminer cette portion de silicium amorphe, soit après cette étape soit après ou avant l'étape de la figure 15, et cela nécessite un masque qui protège les zones Zc au moins pendant cette élimination.

On a ainsi décrit trois exemples possibles de mise en œuvre de l'invention. L'invention est tout particulièrement applicable à un écran de visualisation ayant au moins un transistor en silicium amorphe dans chaque pixel et ayant des transistors en silicium polycristallin servant à la commande des lignes de l'écran. Les écrans à cristaux liquides (LCD) ou à diodes électroluminescentes (LED, OLED), peuvent utiliser avantageusement l'invention.

Elle est applicable aussi aux transistors à l'intérieur d'un même pixel lorsque le pixel comporte deux transistors dont l'un est de préférence en silicium amorphe parce qu'il doit conserver le mieux possible la charge stockée sur une capacité pendant toute une durée de trame, et dont l'autre est en silicium polycristallin parce qu'il doit fournir un courant bien constant ou plus élevé.

C'est le cas par exemple d'un pixel à deux transistors agencés de la manière suivante : le premier transistor a sa grille reliée à un conducteur de sélection de ligne, son drain relié à un conducteur de colonne qui applique un potentiel correspondant à la donnée à afficher, et sa source reliée à la grille du deuxième transistor. Le deuxième transistor a son drain porté à un potentiel d'alimentation, sa source reliée à une diode électroluminescente qui est reliée par ailleurs à une masse. Une capacité de stockage est reliée entre la source du premier transistor et la masse. Pour l'allumage de la diode, la capacité de stockage maintient un niveau de potentiel suffisant pendant une

trame pour rendre le deuxième transistor conducteur. Le deuxième transistor fournit à la diode le courant constant nécessaire à son allumage. Le premier transistor est alors en silicium amorphe ; le deuxième est en silicium polycristallin ; la capacité de stockage est faite par la première couche conductrice qui forme les grilles des deux transistors, par la couche isolante 5 qui forme l'isolant de grille du transistor en silicium amorphe, et par la deuxième couche conductrice qui forme les contacts de source et drain des deux transistors.

## REVENDEICATIONS

1. Procédé de fabrication de transistors en couche mince en silicium amorphe et en silicium polycristallin sur un même substrat, caractérisé par le fait que :

5 a) on forme d'abord sur le substrat (12) un îlot de silicium polycristallin correspondant à un transistor en silicium polycristallin,

b) puis on dépose une première couche électriquement isolante (14) et une première couche conductrice (16),

10 c) on grave ces deux couches selon un même motif de manière à définir simultanément dans la première couche conductrice une première grille isolée (Gp) au-dessus de l'îlot et une deuxième grille (Ga) en dehors de l'îlot,

d) on dépose une deuxième couche isolante (18) formant couche de passivation au dessus de la première grille isolée et formant isolant de grille au-dessus de la deuxième grille,

15 puis on poursuit la fabrication du transistor en silicium amorphe par des étapes comprenant, entre autres, le dépôt de silicium amorphe intrinsèque (20) pour constituer le canal du transistor en silicium amorphe au-dessus de la deuxième grille, le dépôt de silicium amorphe dopé (22) pour définir une source et un drain de part et d'autre de ce canal du transistor en  
20 silicium amorphe, et la formation d'interconnexions conductrices avec des contacts sur les sources et drains des différents transistors.

2. Procédé selon la revendication 1, caractérisé en ce qu'un masque de gravure est utilisé pour définir les interconnexions conductrices, et les interconnexions conductrices servent alors de masque pour éliminer le  
25 silicium amorphe dopé là où il n'est pas protégé par une interconnexion, l'élimination étant faite par un produit d'attaque sélectif qui attaque peu le silicium amorphe intrinsèque.

30 3. Procédé selon la revendication 1, caractérisé en ce que les opérations suivant l'étape d comprennent les opérations suivantes :

e) un groupe d'opérations qui comprennent au moins le dépôt d'une couche de silicium amorphe intrinsèque (20), la gravure de cette couche dans une zone débordant de part et d'autre de la grille du transistor amorphe, le dépôt de silicium amorphe dopé (22), et l'ouverture de vias (24, 26) à travers toute l'épaisseur de la deuxième couche isolante ;

f) dépôt d'une deuxième couche conductrice (28), en principe métallique, et gravure de cette couche pour définir des interconnexions et des contacts de source et drain de part et d'autre d'une zone de canal au-dessus de la grille du transistor amorphe ainsi que des contacts de source et drain de part et d'autre d'une zone de canal au-dessous de la grille du transistor en silicium polycristallin ;

g) élimination de la couche de silicium amorphe dopé là où elle n'est pas protégée par la deuxième couche conductrice.

4. Procédé selon la revendication 3, caractérisé en ce que dans l'étape e, on effectue en premier le dépôt de silicium amorphe intrinsèque (20), puis le dépôt de la couche de silicium amorphe dopé (22), puis la gravure de ces deux couches selon un même motif délimitant un îlot correspondant au transistor amorphe, et enfin on grave les vias dans la deuxième couche isolante.

5. Procédé selon la revendication 4, caractérisé en ce qu'après l'étape c on dope le silicium polycristallin là où il n'est pas protégé par la première grille.

6. Procédé selon la revendication 3, caractérisé en ce que dans l'étape e, on effectue en premier la gravure des vias dans la deuxième couche isolante, puis le dépôt d'une couche de silicium amorphe intrinsèque (20), puis la gravure de cette couche, puis on dépose du silicium amorphe dopé (22) et une couche conductrice (28), et on grave ces deux couches selon un même motif définissant les interconnexions.

7. Procédé selon la revendication 3, caractérisé en ce que dans l'étape e on effectue en premier le dépôt du silicium amorphe intrinsèque

(20), puis on dépose du silicium amorphe dopé (22), puis on grave à la fois ces deux couches et la deuxième couche isolante (18) pour ouvrir des vias.

8. Procédé selon l'une des revendications 1 à 7, caractérisé en ce que le dépôt initial de silicium polycristallin comprend le dépôt de silicium amorphe puis une recristallisation par laser.

9. Procédé selon l'une des revendications 1 à 8, caractérisé en ce qu'après l'étape c, le silicium polycristallin est dopé là où il n'est pas protégé par la grille, au moyen d'une implantation ionique d'impuretés correspondant au type de transistor NMOS ou PMOS à réaliser.

10. Circuit en couche mince, caractérisé en ce qu'il comprend sur un même substrat au moins deux transistors en couche mince dont l'un est un transistor en silicium polycristallin à grille (Gp) au-dessus du canal et l'autre est un transistor en silicium amorphe à grille (Ga) au-dessous du canal, les grilles des deux transistors étant formées par deux portions d'une même couche conductrice (16) déposée l'une au-dessus d'un îlot de silicium polycristallin dont elle est séparée par une première portion de couche isolante (14), l'autre au-dessus du substrat dont elle est séparée par une deuxième portion de la même couche isolante.

11. Circuit selon la revendication 9, caractérisé en ce qu'il comprend des lignes et colonnes de pixels de visualisation, avec au moins un transistor en silicium amorphe dans chaque pixel et des transistors en silicium polycristallin servant à la commande des lignes.

12. Circuit selon la revendication 10, caractérisé en ce que chaque pixel comporte au moins un transistor en silicium polycristallin en plus du transistor en silicium amorphe.

13. Circuit selon la revendication 12, caractérisé en ce que, dans chaque pixel, le transistor en silicium amorphe a sa grille reliée à un conducteur de sélection de ligne, son drain relié à un conducteur de colonne qui applique un potentiel correspondant à la donnée à afficher, et sa source

reliée à la grille du deuxième transistor, le transistor en silicium polycristallin a son drain porté à un potentiel d'alimentation, sa source reliée à une diode électroluminescente qui est reliée par ailleurs à une masse, et une capacité de stockage est reliée entre la source du transistor en silicium amorphe et la  
5 masse.

14. Circuit selon la revendication 13, caractérisé en ce que la capacité de stockage est réalisée par la couche conductrice (16) qui forme les grilles des deux transistors, par la couche isolante (18) qui forme l'isolant  
10 de grille du transistor en silicium amorphe, et par une couche conductrice (28) qui forme par ailleurs les contacts de source et drain des deux transistors.

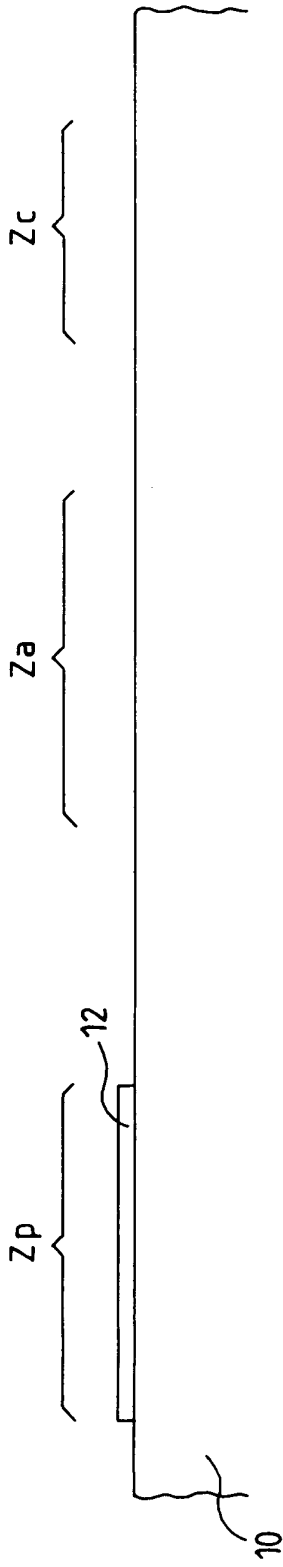


FIG. 1

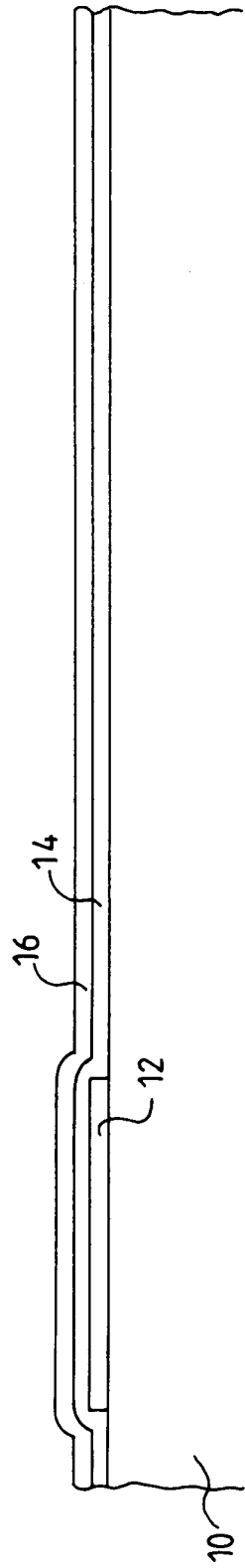


FIG. 2

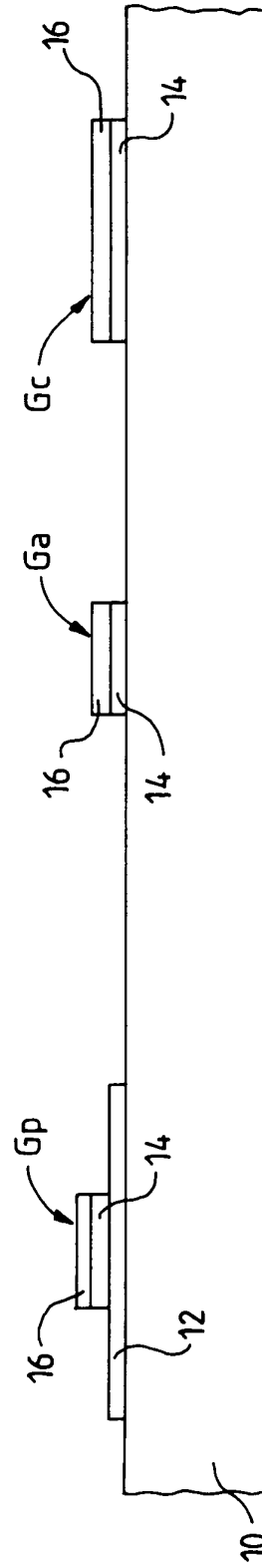


FIG. 3

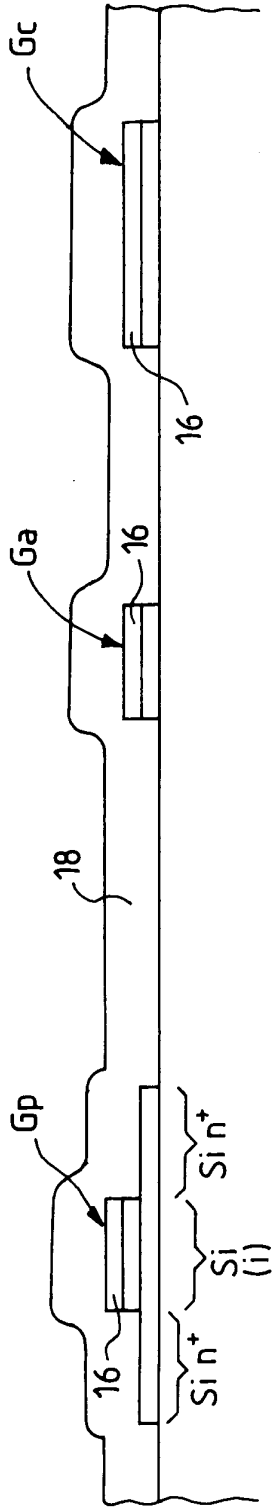


FIG. 4

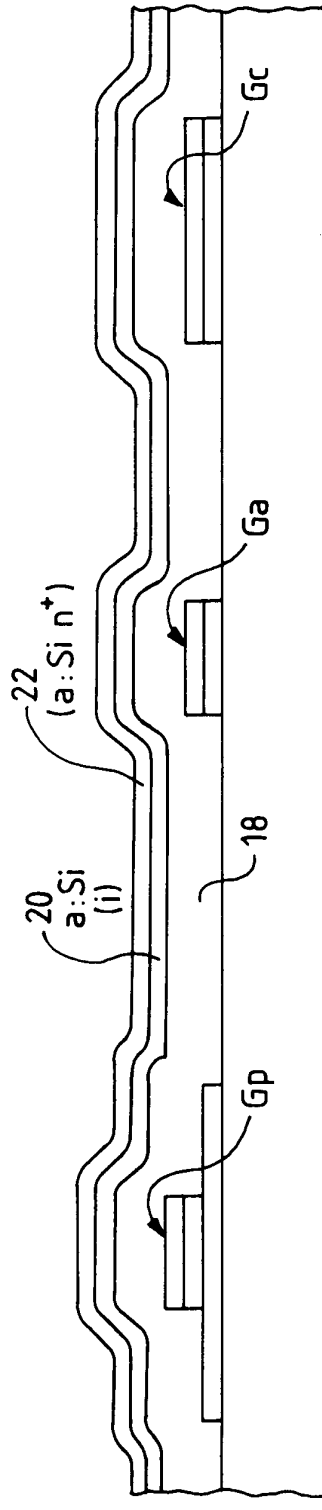


FIG. 5

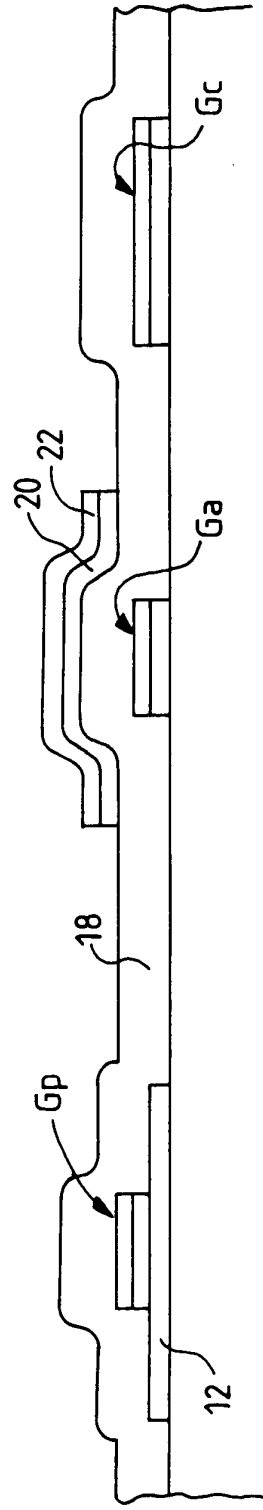


FIG. 6

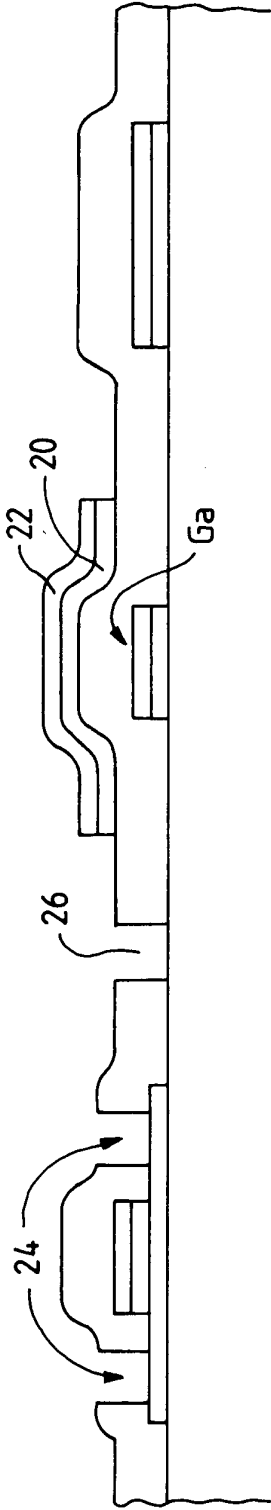


FIG. 7

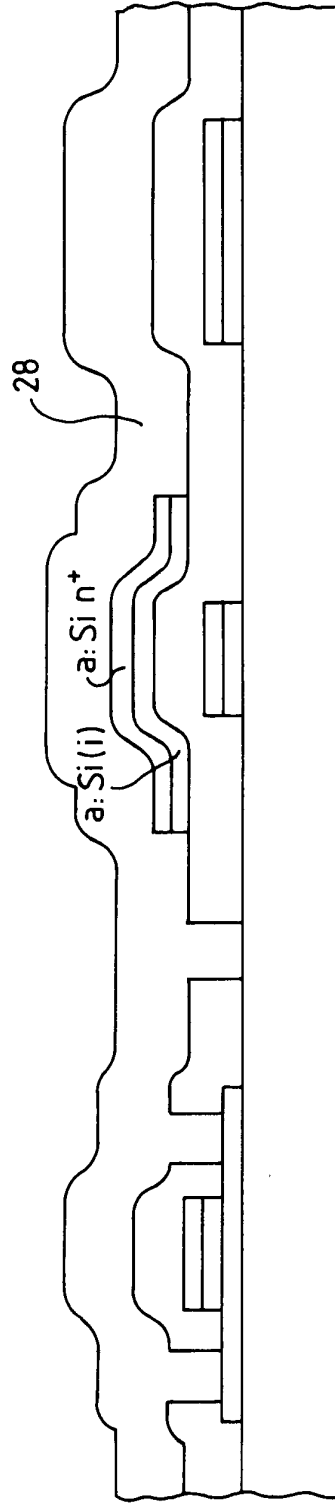


FIG. 8

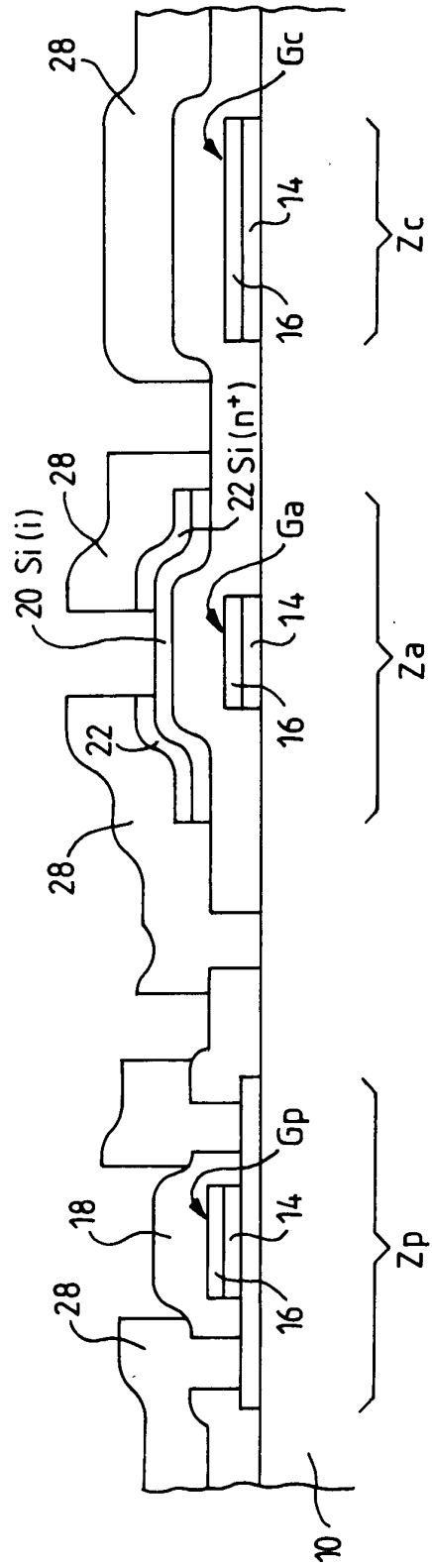


FIG. 9



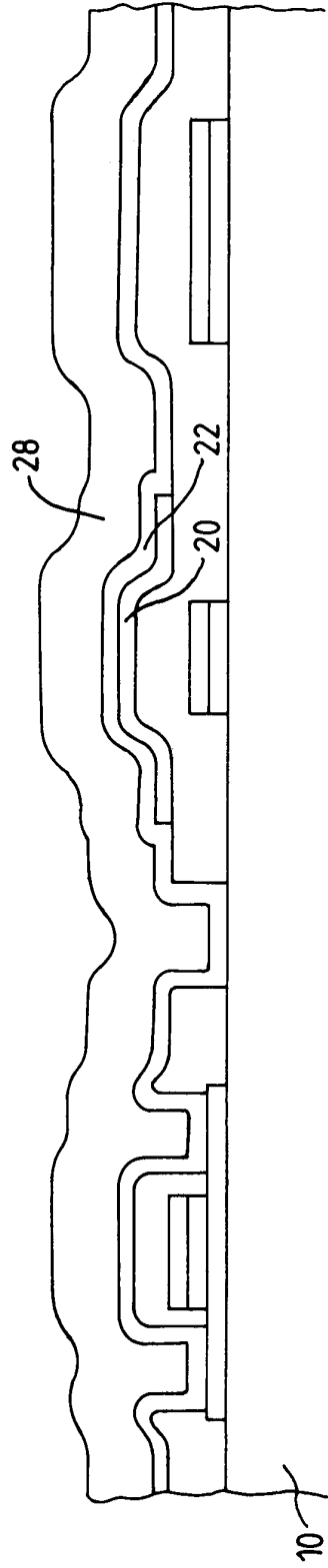


FIG. 13

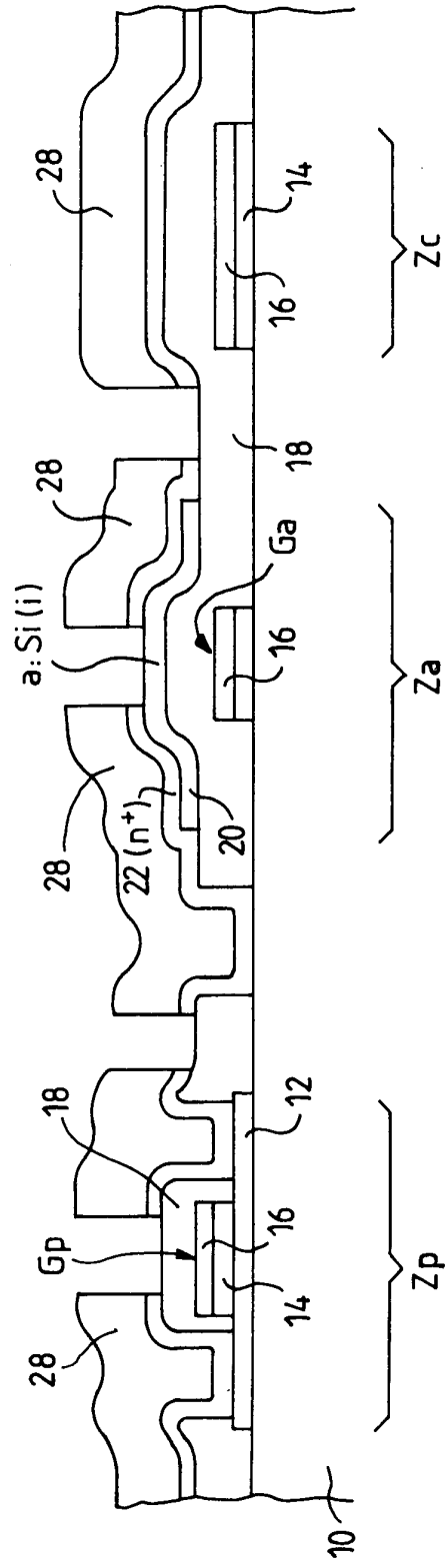


FIG. 14





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 669781  
FR 0508878

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 585 647 A (NAKAJIMA ET AL) 17 décembre 1996 (1996-12-17) * colonne 4, ligne 62 - colonne 7, ligne 63 * * figures 1A-2C *	10-14	H01L21/823 H01L27/088 H01L21/336 H01L29/786 H01L27/146
Y		1-5,7-9	
A		6	
Y	US 5 429 962 A (YANG ET AL) 4 juillet 1995 (1995-07-04) * colonne 3, ligne 47-52 * * figures 2C,2D *	1-5,7-9	
X	PATENT ABSTRACTS OF JAPAN vol. 018, no. 095 (E-1509), 16 février 1994 (1994-02-16) & JP 05 299653 A (FUJI XEROX CO LTD), 12 novembre 1993 (1993-11-12) * abrégé *	10-14	
A		1-9	
A	PATENT ABSTRACTS OF JAPAN vol. 017, no. 684 (P-1661), 15 décembre 1993 (1993-12-15) & JP 05 232506 A (SEIKO EPSON CORP), 10 septembre 1993 (1993-09-10) * abrégé *	1-14	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
	----- -/--		
Date d'achèvement de la recherche		Examineur	
14 juillet 2006		Ekoué, A	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		.....	
		& : membre de la même famille, document correspondant	

2  
EPO FORM 1503 12.99 (P04C14)



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 669781  
FR 0508878

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	<p>MEI P ET AL: "HYBRID AMORPHOUS AND POLYCRYSTALLINE SILICON DEVICES FOR LARGE-AREA ELECTRONICS" AMORPHOUS AND MICROCRYSTALLINE SILICON TECHNOLOGY - 1998. SAN FRANCISCO, CA, APRIL 14 - 17, 1998, MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS. VOL. 507, WARRENDALE, PA : MRS, US, vol. VOL. 507, 14 avril 1998 (1998-04-14), pages 3-12, XP000976936 ISBN: 1-55899-413-0 * figure 6 *</p> <p style="text-align: center;">-----</p>	1-14	<p>DOMAINES TECHNIQUES RECHERCHÉS (IPC)</p>
Date d'achèvement de la recherche		Examineur	
14 juillet 2006		Ekoué, A	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>	

EPO FORM 1503 12.99 (P04C14) 2

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0508878 FA 669781**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 14-07-2006

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5585647 A	17-12-1996	JP 7092500 A KR 167372 B1	07-04-1995 20-03-1999
US 5429962 A	04-07-1995	JP 6295924 A KR 268007 B1	21-10-1994 16-10-2000
JP 05299653 A	12-11-1993	AUCUN	
JP 05232506 A	10-09-1993	AUCUN	