

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-520135

(P2013-520135A)

(43) 公表日 平成25年5月30日(2013.5.30)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H04B 1/18 (2006.01)</b>	H04B 1/18 C	5J023
<b>H04J 13/00 (2011.01)</b>	H04J 13/00 100	5J103
<b>H03J 7/20 (2006.01)</b>	H03J 7/20	5K062
<b>H03H 15/00 (2006.01)</b>	H03H 15/00	

審査請求 未請求 予備審査請求 未請求 (全 61 頁)

(21) 出願番号 特願2012-553975 (P2012-553975)  
 (86) (22) 出願日 平成23年2月16日 (2011. 2. 16)  
 (85) 翻訳文提出日 平成24年10月12日 (2012. 10. 12)  
 (86) 国際出願番号 PCT/US2011/024963  
 (87) 国際公開番号 W02011/103108  
 (87) 国際公開日 平成23年8月25日 (2011. 8. 25)  
 (31) 優先権主張番号 61/344, 702  
 (32) 優先日 平成22年9月16日 (2010. 9. 16)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 61/282, 463  
 (32) 優先日 平成22年2月16日 (2010. 2. 16)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 512212690  
 スカイ ホールディングス カンパニー,  
 エルエルシー  
 アメリカ合衆国 20187 バージニア  
 州 ワレントン デボラ ドライブ 61  
 24  
 (71) 出願人 512212704  
 カビティド, インク.  
 カナダ ティー6エイチ 4ジェイ4 ア  
 ルバータ州 エドモントン 148トフ  
 ストリート 6507  
 (74) 代理人 100097456  
 弁理士 石川 徹

最終頁に続く

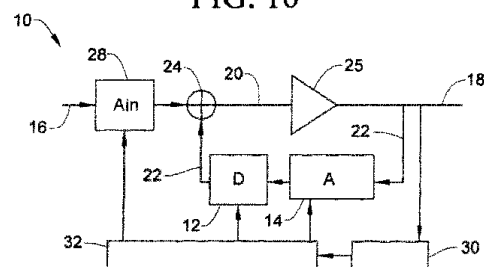
(54) 【発明の名称】 スペクトルフィルタリングシステム

## (57) 【要約】

スペクトル変換システムは、信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路を備える。第2の経路は、信号入力と信号出力との間のフォワード経路に接続される。第2の経路は、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する。検出器は、出力信号の特性を検出するために信号出力に接続される。コントローラは、所望の出力信号を得るために検出器によって検出される特性に基づき遅延素子、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続される。

【選択図】 図10

FIG. 10



**【特許請求の範囲】****【請求項 1】**

モノリシック集積回路であって、  
電気信号を受信するための入力と、

該フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、

該信号入力と該信号出力との間の第1の経路に接続され、調整可能な遅延素子及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、

該第1の経路内に配置され、第2の経路の入力と該第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備え、

10

該モノリシック集積回路は、

出力信号の特性を検出するために該信号出力に接続された検出器と、

フロントエンド回路の該フィルタリング及び増幅特性を制御するために該検出器によって検出される該特性に基づき該遅延素子、該第2の経路の信号スケーリングブロック、及び該第1の経路の信号スケーリングブロックを調整するように接続されたコントローラと通信するように構成される、前記モノリシック集積回路。

**【請求項 2】**

携帯電話であって、

送信/受信スイッチと、

サブサンプリングアナログ/デジタルコンバータと、

20

フィルタリングされていない信号をフィルタリングし、増幅するために、該送信/受信スイッチと該サブサンプリングアナログ/デジタルコンバータとの間に結合されたフロントエンド回路であって、該フロントエンド回路が本質的に、

再生フィードバック回路からなり、該再生フィードバック回路が

固定利得ブロックと、

入力減衰制御部と、

ループ利得制御部と、

ループ遅延部と、

該フロントエンド回路の前記フィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき該入力減衰制御部、該ループ利得制御部、及び該ループ遅延部を調整するように接続されたコントローラとを備える、該フロントエンド回路とを備え、

30

少なくとも該入力減衰制御部、該ループ利得制御部、及び該ループ遅延部が、該固定利得ブロックと同じモノリシック集積回路上に配置される、前記携帯電話。

**【請求項 3】**

電気信号を処理するための装置であって、

フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、

該信号入力と該信号出力との間の該第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、

40

該第1の経路内に配置され、第2の経路の入力と該第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックと、

出力信号の特性を検出するために該信号出力に接続された検出器と、

フロントエンド回路の前記フィルタリング及び増幅特性を制御するために該検出器によって検出される該特性に基づき前記遅延又は位相シフト要素、該第2の経路の信号スケーリングブロック、及び該第1の経路の信号スケーリングブロックを調整するように接続されたコントローラとから本質的になる該フロントエンド回路を備え、

少なくとも該遅延要素、該第2の経路の信号スケーリングブロック、及び該第1の経路の信号スケーリングブロックは、該固定利得ブロックと同じモノリシック集積回路上に配置される、前記装置。

50

**【請求項 4】**

前記装置が、携帯電話、GNSS受信機、ワイヤレスデバイス、ワイヤレスセンサー、モノリシック集積化受信機回路、モノリシック集積化送信機回路、及びモノリシック集積化トランシーバ回路のうちの少なくとも1つである、請求項3記載の装置。

**【請求項 5】**

送信/受信スイッチをさらに備え、前記フロントエンド回路が、該送信/受信スイッチに接続される、請求項3記載の装置。

**【請求項 6】**

前記再生フィードバック回路の前記第1の経路又は前記第2の経路のうちの少なくとも一方が、前記再生回路に接続された共振器をさらに備える、請求項3記載の装置。

10

**【請求項 7】**

送信のため電気信号を増幅することを目的として、前記フロントエンド回路の前記出力の少なくとも1つに、又は前記フロントエンド回路の前記第1の経路内で、接続されている電力増幅器をさらに備える、請求項3記載の装置。

**【請求項 8】**

前記電気信号が、デジタル情報とともに符号化される、請求項3記載の装置。

**【請求項 9】**

前記フィルタリング及び増幅特性が、前記フロントエンドの前記利得並びに入力信号をフィルタリングするために選択された前記帯域幅及び中心周波数を含む、請求項3記載の装置。

20

**【請求項 10】**

前記第2の経路が、フィードバック経路である、請求項3記載の装置。

**【請求項 11】**

対応するフィードバック経路に接続された複数の第1の経路をさらに備え、該第1の経路が前記信号入力と前記信号出力との間に並列に接続される、請求項3記載の装置。

**【請求項 12】**

前記複数の第1の経路のうちの1つ以上が、

前記フィードバック経路から上流にある前記第1の経路に接続されているフィードフォワード経路及び前記フィードバック経路から下流にある前記第1の経路に接続されている出力と、

30

該フィードフォワード経路の入力と前記フィードバックループの出力との間に接続されている第1の経路の遅延若しくは位相シフト要素であって、該第1の経路の遅延若しくは位相シフト要素が調整可能であり前記コントローラに接続され、前記コントローラが該第1の経路の遅延若しくは位相シフト要素を調整し所望の信号出力が得られるように接続されている、該第1の経路の遅延若しくは位相シフト要素とをさらに備える、請求項3記載の装置。

**【請求項 13】**

前記第2の経路の前記信号出力が、信号コンバイナを備える、請求項3記載の装置。

**【請求項 14】**

前記第2の経路が、フィードフォワード経路である、請求項3記載の装置。

40

**【請求項 15】**

対応するフィードフォワード経路に接続された複数の第1の経路を備え、該第1の経路が前記信号入力と前記信号出力との間に直列に接続される、請求項3記載の装置。

**【請求項 16】**

前記第2の経路が、フィードバック経路とフィードフォワード経路構成との間の切り替えのためのスイッチを備える、請求項3記載の装置。

**【請求項 17】**

前記コントローラが、所望の出力信号を維持するようにプログラムされたプロセッサである、請求項3記載の装置。

**【請求項 18】**

50

前記検出器が、パワー検出器、スペクトラムアナライザ、又はこれらの組み合わせのうちの1つである、請求項3記載の装置。

【請求項 19】

前記検出器が、前記信号の信号対雑音比を検出する、請求項3記載の装置。

【請求項 20】

前記第1の経路の信号スケーリングブロックが、前記出力信号を正規化するために前記コントローラによって調整される、請求項3記載の装置。

【請求項 21】

前記第1の経路の信号スケーリングブロックが、結合係数を修正するブロックを備える、請求項3記載の装置。

【請求項 22】

前記第1の経路の利得ブロックが、第2の経路の入力と第2の経路の出力との間の前記第1の経路に接続される、請求項3記載の装置。

【請求項 23】

前記第1の経路の利得ブロックが、可変利得増幅器である、請求項3記載の装置。

【請求項 24】

前記固定利得ブロックが、低雑音増幅器である、請求項3記載の装置。

【請求項 25】

前記低雑音増幅器の入力のところに信号リミッターをさらに備える、請求項3記載の装置。

【請求項 26】

前記検出器が、信号プロセッサを備える、請求項3記載の装置。

【請求項 27】

前記信号入力が、同軸ケーブルを介して受信される、請求項3記載の装置。

【請求項 28】

前記信号入力が、アンテナを介して受信される、請求項3記載の装置。

【請求項 29】

前記第2の経路が、フィードバック経路であり、前記フィードバック経路の出力が、前記アンテナに接続される、請求項3記載の装置。

【請求項 30】

アンテナ結合ブロックをさらに備える、請求項3記載の装置。

【請求項 31】

前記第2の経路が、フィードバック経路であり、前記受信機が、  
該フィードバック経路から上流にある前記第1の経路からの入力及び該フィードバック経路から下流にある前記第1の経路への出力とを有するフィードフォワード経路と、  
該フィードフォワード経路の該入力と該フィードバック経路の出力との間に接続され、前記コントローラによって制御される、調整可能な経路遅延若しくは位相シフト要素とをさらに備える、請求項3記載の装置。

【請求項 32】

前記第2の経路が、少なくとも1つの指向性結合器によって前記第1の経路に接続される、請求項3記載の装置。

【請求項 33】

前記第2の経路の信号スケーリングブロックが、前記第1の経路と前記第2の経路との間の前記結合係数を修正するブロックである、請求項3記載の装置。

【請求項 34】

所定の周波数を発生する信号発生器と、  
該所定の周波数より高い周波数を抑制するフィードフォワード経路である第2の経路を有する第1の第1の経路と、  
該所定の周波数より低い周波数を抑制するフィードフォワード経路である第2の経路を有する第2の第1の経路とをさらに備え、

10

20

30

40

50

該第1及び第2の第1の経路が該信号発生器に直列に接続される、請求項3記載の装置。

【請求項35】

前記第2の経路の信号スケーリングブロックが、利得ブロックである、請求項3記載の装置。

【請求項36】

前記信号入力のところのアップコンバージョン及びプレディストーション段と、第1の経路の入力と第1の経路の出力との間に接続された電力増幅器とをさらに備える、請求項3記載の装置。

【請求項37】

前記検出器の上流で接続されたサブサンプリングADCをさらに備え、前記検出器が、信号プロセッサを備える、請求項3記載の装置。

10

【請求項38】

並列に接続された複数の第2の経路をさらに備え、それぞれの第2の経路の前記遅延部が前記発振器の出力の複数の高調波を除去するように間隔をあけて並ぶ、請求項3記載の装置。

【請求項39】

前記調整可能な第1の経路のスケーリングブロックが、0～10dBの電圧制御減衰器からなる、請求項3記載の装置。

【請求項40】

前記第2の経路のスケーリングブロックが、0～10dBの電圧制御減衰器からなる、請求項3記載の装置。

20

【請求項41】

前記固定利得ブロックが、約30dBの利得を有する低雑音増幅器、1dB低雑音増幅器である、請求項3記載の装置。

【請求項42】

前記ループ遅延部又は移相器が、約0～360度の位相能力を持つ電圧制御移相器である、請求項3記載の装置。

【請求項43】

前記コントローラが、所望の信号出力を得るために前記入力減衰制御部、前記ループ利得制御部、及び前記ループ遅延若しくは位相シフト部に対する設定を含むルックアップテーブルを備える、請求項3記載の装置。

30

【請求項44】

前記ルックアップテーブル内の前記設定が、予め決定されている、請求項3記載の装置。

【請求項45】

前記ルックアップテーブル内の前記設定が、適応更新方法を使用して調整される、請求項3記載の装置。

【請求項46】

前記コントローラが、前記入力信号の所望の周波数における所望の利得及び選択性を得るために、

40

a. 前記再生フィードバック回路を通過する信号がないように前記入力減衰制御部を最大値に設定し、

b. ルックアップテーブルを使用して前記ループ利得制御部及び遅延部若しくは移相器を前記近接する所望の中心周波数及び帯域通過に調整し、

c. 前記ループ利得制御部を、前記出力信号が発振をちょうど示し始める位置に調整し、

d. 前記所望の周波数がより正確なものとなるように前記遅延部若しくは移相器を調整し、

e. 前記BPFの前記通過帯域内の過剰雑音が無視できるくらいバックオフが十分である場合に、前記発振が消失するまで前記ループ利得制御を大きくし、

50

f. 信号が前記システムに入りそこで前記再生フィードバックループを通じて増幅されるように前記入力減衰制御を小さくし、

g. 前記帯域幅の幅を測定するために前記所望の周波数の周りで掃引することによって生成される前記出力信号の前記帯域幅を監視する、請求項3記載の装置。

【請求項47】

モノリシック集積回路であって、  
フィルタリングされていない、増幅されていない信号を受信するための入力と、  
前記入力信号のフィルタリングされ、増幅されたバージョンを出力するための出力とを  
備え、

該モノリシック集積回路は、500より大きいQ値を持つ帯域通過周波数応答を示し、前記  
帯域通過フィルタの前記中心周波数は、局部発振器を除いて所定の範囲内の複数の周波数  
に調整することができる、前記モノリシック集積回路。

【請求項48】

装置であって、  
フロントエンド回路を備え、  
該フロントエンド回路は、モノリシック集積回路内に実装される、前記装置。

【請求項49】

装置であって、  
フロントエンド回路を備え、  
該フロントエンド回路が、セラミックフィルタ又はSAWを除いて実装される、前記装置

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2010年2月16日に提出した米国仮出願第61/282,463号及び2010年9月16日に提出した米国仮出願第61/344,702号の優先権の利益を主張するものである。前記関連出願は、すべて引用により本明細書中に組み込まれている。

【0002】

(分野)

本開示は、例えば、電気システム内の帯域通過又は帯域消去フィルタとして使用され得るスペクトル変換システム、並びにそのようなシステムの使用及び製造に係する方法に関するものである。

【背景技術】

【0003】

(背景)

信号の増幅度を高めるために、数十年間、いくつかの種類の再生フィードバック回路が使用されてきた。このような回路の一例が、真空管及びフィードバックインダクタを使用してフィードバックループを形成する、米国特許第1,907,653号(Muth)、名称「短波受信機(Short Wave Receiver)」において開示されている。

【発明の概要】

【課題を解決するための手段】

【0004】

(要旨)

いくつかの実施態様は、モノリシック集積回路内に実装され得る、フロントエンド回路を備える装置に関するものである。

【0005】

いくつかの実施態様は、セラミックフィルタ又はSAWフィルタを除いて実装され得るフロントエンド回路を備える装置に関するものである。

【0006】

10

20

30

40

50

いくつかの実施態様は、フロントエンド回路を備える電気信号を処理するための装置に関するものであり、このフロントエンド回路は本質的に、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックと、出力信号の特性を検出するために信号出力に接続された検出器と、フロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって検出される特性に基づき遅延又は位相シフト要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラとからなる。いくつかの実施態様では、少なくとも遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックは、固定利得ブロックと同じモノリシック集積回路上に配置される。

10

**【0007】**

いくつかの実施態様は、モノリシック集積回路に関するものであり、このモノリシック集積回路は電気信号を受信するための入力と、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備える。いくつかの実施態様では、モノリシック集積回路は、出力信号の特性を検出するために信号出力に接続された検出器、並びにフロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラと通信するように構成され得る。

20

**【0008】**

いくつかの実施態様は、モノリシック集積回路上に実装されたトランシーバに関するものであり、このモノリシック集積回路は電気信号を受信するための入力と、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備える。いくつかの実施態様では、モノリシック集積回路は、出力信号の特性を検出するために信号出力に接続された検出器、並びにフロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラと通信するように構成され得る。

30

**【0009】**

いくつかの実施態様は、第1のモノリシック集積回路を備える半導体チップセットに関するものであり、第1のモノリシック集積回路はフィルタリングされていない信号を受信するための入力と、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備える。このチップセットは、第2のモノリシック集積回路をさらに備え、この第2のモノリシック集積回路は出力信号の特性を検出するために信号出力に接続された検出器、並びにフロントエンド回路のフィルタリング及び増幅特性を制御するために検出器

40

50

によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラを備える。

【0010】

いくつかの実施態様は、再生フィードバック回路を安定化するための方法に関するものであり、この方法は固定利得ブロックを備える再生フィードバック回路を制御するためのコントローラ、入力減衰制御部、ループ利得制御部、及びループ遅延部を構成することを含む。いくつかの実施態様では、コントローラは、回路のフィルタリング及び増幅特性を連続的に監視し制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延部を調整するように接続され得る。

10

【0011】

いくつかの実施態様は、再生フィードバック回路を備えるフロントエンド回路を構成することを含むより低コストの電子デバイスを製造する方法に関するものであり、この再生フィードバック回路は固定利得ブロックと、入力減衰制御部と、ループ利得制御部と、ループ遅延部と、フロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延部を調整するように接続されたコントローラとを備える。いくつかの実施態様では、少なくとも入力減衰制御部、ループ利得制御部、及びループ遅延部が、固定利得ブロックと同じモノリシック集積回路上に配置される。

【0012】

20

いくつかの実施態様は、フィルタリングされていない信号をフィルタリングし、増幅するためのモノリシック集積回路を製造することを含む単一のモノリシック集積回路上にフロントエンド回路を形成するための方法に関するものであり、このモノリシック集積回路はフィルタリングされていない信号を受信するための入力と、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備える。いくつかの実施態様では、モノリシック集積回路は、出力信号の特性を検出するために信号出力に接続された検出器、並びにフロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラを備える。

30

【0013】

いくつかの実施態様は、フィルタリングされていない信号をフィルタリングし、増幅するためのモノリシック集積回路を製造することを含む電子デバイスを製造するための方法に関するものであり、このモノリシック集積回路はフィルタリングされていない信号を受信するための入力と、フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、信号入力と信号出力との間の第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備える。いくつかの実施態様では、モノリシック集積回路は、出力信号の特性を検出するために信号出力に接続された検出器、並びに電子デバイスのフィルタリング及び増幅特性を制御するために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラを備える。いくつかの実施態様では、この方法は、モノリシック集積回路を入力に直接結合することをさらに含む。

40

【0014】

いくつかの実施態様は、モノリシック集積基板上に配置されている再生フィードバック

50

回路を使用し、入力電気信号を処理して所望の周波数で所望の利得及び選択性を得るための方法に関するものである。いくつかの実施態様では、再生フィードバック回路は、固定利得ブロックと、入力減衰制御部と、ループ利得制御部と、ループ遅延部又は位相シフト部と、フィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延部を調整するように接続されたコントローラとを備える。いくつかの実施態様では、この方法は、再生フィードバック回路を通過する信号がないように入力減衰制御部を最大値に設定することと、ルックアップテーブルを使用してループ利得制御部及び遅延部を近接する所望の中心周波数及び帯域通過に調整することと、ループ利得制御部を、出力信号が発振をちょうど示し始める位置に調整することと、中心周波数がより正確なものとなるように遅延部若しくは移相器を調整することと、発振が消失するまでループ利得制御を大きくし、その際に、BPFの通過帯域内の過剰雑音が無視できるくらいバックオフが十分であることと、信号がシステムに入りそこで再生フィードバックループを通じて増幅されるように入力減衰制御を小さくすることと、帯域幅の幅を測定するために中心周波数の周りで掃引することによって生成される出力信号の帯域幅を監視することを含む。

10

**【0015】**

いくつかの実施態様は、携帯電話に関するものであり、この携帯電話は送信/受信スイッチと、サブサンプリングアナログ/デジタルコンバータと、フィルタリングされていない信号をフィルタリングし、増幅するために、送信/受信スイッチとサブサンプリングアナログ/デジタルコンバータとの間に結合されたフロントエンド回路とを備える。いくつかの実施態様では、フロントエンド回路は、セラミックフィルタ又はSAWフィルタを除いて実装され得る再生フィードバック回路から本質的になる。

20

**【0016】**

いくつかの実施態様は、携帯電話に関するものであり、この携帯電話は送信/受信スイッチと、サブサンプリングアナログ/デジタルコンバータと、フィルタリングされていない信号をフィルタリングし、増幅するために、送信/受信スイッチとサブサンプリングアナログ/デジタルコンバータとの間に結合されたフロントエンド回路とを備える。いくつかの実施態様では、フロントエンド回路は、モノリシック集積回路内に実装され得る再生フィードバック回路から本質的になる。

30

**【0017】**

いくつかの実施態様は、携帯電話に関するものであり、この携帯電話は電力増幅器と、帯域雑音をフィルタで除去するための、フロントエンド回路とを備える。いくつかの実施態様では、フロントエンド回路は、再生フィードバック回路から本質的になり、電力増幅器及びフロントエンド回路は、モノリシック集積回路内に実装される。

**【0018】**

いくつかの実施態様は、携帯電話に関するものであり、この携帯電話は送信/受信スイッチと、サブサンプリングアナログ/デジタルコンバータと、フィルタリングされていない信号をフィルタリングし、増幅するために、送信/受信スイッチとサブサンプリングアナログ/デジタルコンバータとの間に結合されたフロントエンド回路とを備える。いくつかの実施態様では、フロントエンド回路は、再生フィードバック回路から本質的になり、この再生フィードバック回路は固定利得ブロックと、入力減衰制御部と、ループ利得制御部と、ループ遅延部と、フロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延部を調整するように接続されたコントローラとを備える。いくつかの実施態様では、少なくとも入力減衰制御部、ループ利得制御部、及びループ遅延部が、固定利得ブロックと同じモノリシック集積回路上に配置される。

40

**【0019】**

いくつかの実施態様は、携帯電話(又は基地局)に関するものであり、この携帯電話(又は基地局)は送信/受信スイッチと、電力増幅器と、サブサンプリングアナログ/デジタルコンバータと、トランシーバ回路とを備える。いくつかの実施態様では、トランシーバ回

50

路は、少なくとも1つの再生フィードバック回路から本質的になり、再生フィードバック回路は固定利得ブロックと、入力減衰制御部と、ループ利得制御部と、ループ遅延部と備える。いくつかの実施態様では、携帯電話は、フロントエンド回路のフィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延部を調整するように接続されたコントローラも備える。いくつかの実施態様では、少なくとも入力減衰制御部、ループ利得制御部、及びループ遅延部が、固定利得ブロックと同じモノリシック集積回路上に配置される。

#### 【0020】

いくつかの実施態様は、モノリシック集積回路に関するものであり、このモノリシック集積回路はフィルタリングされていない、増幅されていない信号を受信するための入力と、入力信号のフィルタリングされ、増幅されたバージョンを出力するための出力とを備える。いくつかの実施態様では、モノリシック集積回路は、500より大きいQ値を持つ帯域通過周波数応答を示し、帯域通過フィルタの中心周波数は、局部発振器を除いて所定の範囲内の複数の周波数に調整することができる。

#### 【0021】

いくつかの実施態様は、ドップラーレーダーに関するものであり、このドップラーレーダーは所定の周波数変調を発生するための発振器と、所定の周波数変調を送信するための送信機用アンテナと、送信される所定の周波数変調の反射を受信するための受信機用アンテナと、受信された反射の周波数を分離するためのスペクトル変換システムとを備える。いくつかの実施態様では、スペクトル変換システムは、信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、第1の経路内に配置され、第2の経路の入力と第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックと、出力信号の特性を検出するために信号出力に接続された検出器と、受信された反射に関してスペクトル変換システムをセンタリングするために検出器によって検出される特性に基づき遅延又は位相シフト要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続されたコントローラとを備える。いくつかの実施態様では、レーダーは、受信された反射の周波数を検出するための受信機プロセッサをさらに備える。いくつかの実施態様では、少なくとも遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路のスケーリングブロックは、固定利得ブロックと同じモノリシック集積回路上に配置される。

#### 【0022】

いくつかの実施態様では、装置は、携帯電話であるものとしてよい。いくつかの実施態様では、装置は、セルラー基地局であるものとしてよい。いくつかの実施態様では、装置は、GNSS受信機であるものとしてよい。いくつかの実施態様では、装置は、ワイヤレスデバイスであるものとしてよい。いくつかの実施態様では、装置は、ワイヤレスセンサーであるものとしてよい。いくつかの実施態様では、装置は、受信機モノリシック集積回路であるものとしてよい。いくつかの実施態様では、装置は、送信機モノリシック集積回路であるものとしてよい。いくつかの実施態様では、装置は、トランシーバモノリシック集積回路であるものとしてよい。

#### 【0023】

いくつかの実施態様では、装置は、複数の再生フィードバック回路を備えるモノリシック集積回路であるものとしてよい。いくつかの実施態様では、そのようなモノリシック集積回路は、セルラー基地局において使用するように構成され得る。

#### 【0024】

いくつかの実施態様では、装置は、送信/受信スイッチをさらに備え、フロントエンド回路は、送信/受信スイッチに接続され得る。

#### 【0025】

いくつかの実施態様では、再生フィードバック回路の第1の経路又は第2の経路のうちの

10

20

30

40

50

少なくとも一方は、再生回路に接続された共振器をさらに備える。

【0026】

いくつかの実施態様では、装置は、送信のため電気信号を増幅することを目的として、再生フィードバック回路の出力の少なくとも1つに、又は再生フィードバック回路の第1の経路内で、接続されている電力増幅器をさらに備える。

【0027】

いくつかの実施態様では、再生フィードバック回路は、固定利得ブロックと、入力減衰制御部と、ループ利得制御部と、ループ遅延部又は位相シフト部と、回路のフィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき入力減衰制御部、ループ利得制御部、及びループ遅延又は位相シフト部を調整するように接続されたコントローラとを備える。いくつかの実施態様では、少なくとも入力減衰制御部、ループ利得制御部、及びループ遅延又は位相シフト部が、固定利得ブロックと同じモノリシック集積回路上に配置される。

10

【0028】

いくつかの実施態様では、電気信号は、デジタル信号で符号化され得る。

【0029】

いくつかの実施態様では、フィルタリング及び増幅特性は、フロントエンドの利得並びに入力信号をフィルタリングするために選択された帯域幅及び中心周波数を含む。

【0030】

いくつかの実施態様では、第2の経路は、フィードバック経路であるものとしてよい。

20

【0031】

いくつかの実施態様では、装置は、対応するフィードバック経路に接続された複数の第1の経路を備え、第1の経路は信号入力と信号出力との間に並列に接続される。

【0032】

いくつかの実施態様では、複数の第1の経路の1つ以上は、フィードバック経路から上流にある第1の経路に接続されているフィードフォワード経路及びフィードバック経路から下流にある第1の経路に接続されている出力と、フィードフォワード経路の入力とフィードバックループの出力との間に接続されている第1の経路の遅延若しくは位相シフト要素であって、第1の経路の遅延若しくは位相シフト要素は調整可能でありコントローラに接続され、コントローラは第1の経路の遅延若しくは位相シフト要素を調整し所望の信号出力が得られるように接続されている、第1の経路の遅延若しくは位相シフト要素とをさらに備える。

30

【0033】

いくつかの実施態様では、第2の経路の信号出力は、信号コンバイナを備える。

【0034】

いくつかの実施態様では、第2の経路は、フィードフォワード経路であるものとしてよい。

【0035】

いくつかの実施態様では、再生フィードバック回路は、対応するフィードフォワード経路に接続された複数の第1の経路を備え、第1の経路は信号入力と信号出力との間に直列に接続される。

40

【0036】

いくつかの実施態様では、第2の経路は、フィードバック経路とフィードフォワード経路構成との間の切り替えのためのスイッチを備える。

【0037】

いくつかの実施態様では、コントローラは、所望の出力信号を維持するようにプログラムされ得るプロセッサとすることができる。

【0038】

いくつかの実施態様では、検出器は、パワー検出器、スペクトラムアナライザ、又はこれらの組み合わせのうちの1つとすることができる。

50

## 【0039】

いくつかの実施態様では、検出器は、信号の信号対雑音比を検出する。

## 【0040】

いくつかの実施態様では、第1の経路の信号スケーリングブロックは、出力信号を正規化するためにコントローラによって調整され得る。

## 【0041】

いくつかの実施態様では、第1の経路の信号スケーリングブロックは、結合係数を修正するブロックを備える。

## 【0042】

いくつかの実施態様では、第1の経路の利得ブロックは、第2の経路の入力と第2の経路の出力との間の第1の経路に接続され得る。

10

## 【0043】

いくつかの実施態様では、第1の経路の利得ブロックは、可変利得増幅器とすることができる。いくつかの実施態様では、固定利得ブロックは、低雑音増幅器とすることができる。

## 【0044】

いくつかの実施態様では、装置は、低雑音増幅器の入力のところに信号リミッターをさらに備える。

## 【0045】

いくつかの実施態様では、検出器は、信号プロセッサを備える。

20

## 【0046】

いくつかの実施態様では、信号入力は、同軸ケーブルを介して受信され得る。

## 【0047】

いくつかの実施態様では、信号入力は、アンテナを介して受信され得る。

## 【0048】

いくつかの実施態様では、第2の経路は、フィードバック経路であり、フィードバック経路の出力は、アンテナに接続され得る。

## 【0049】

いくつかの実施態様では、装置は、アンテナ結合ブロックをさらに備える。

## 【0050】

いくつかの実施態様では、第2の経路は、フィードバック経路であり、受信機は、フィードバック経路から上流にある第1の経路からの入力及びフィードバック経路から下流にある第1の経路への出力とを有するフィードフォワード経路と、フィードフォワード経路の入力とフィードバック経路の出力との間に接続され、コントローラによって制御される、調整可能な経路遅延若しくは位相シフト要素とをさらに備える。

30

## 【0051】

いくつかの実施態様では、第2の経路は、少なくとも1つの指向性結合器によって第1の経路に接続することができる。

## 【0052】

いくつかの実施態様では、第2の経路の信号スケーリングブロックは、第1の経路と第2の経路との間の結合係数を修正するブロックであってよい。

40

## 【0053】

いくつかの実施態様では、装置は、所定の周波数を発生する信号発生器と、所定の周波数より高い周波数を抑制するフィードフォワード経路とすることができる第2の経路を有する第1の第1の経路と、所定の周波数より低い周波数を抑制するフィードフォワード経路とすることができる第2の経路を有する第2の第1の経路とをさらに備え、第1及び第2の第1の経路は信号発生器に直列に接続される。

## 【0054】

いくつかの実施態様では、第2の経路の信号スケーリングブロックは、利得ブロックとすることができる。

50

## 【 0 0 5 5 】

いくつかの実施態様では、装置は、信号入力におけるアップコンバージョン及びブレディストーション段と、第1の経路の入力と第1の経路の出力との間に接続された電力増幅器とをさらに備える。

## 【 0 0 5 6 】

いくつかの実施態様では、装置は、検出器の上流で接続されたサブサンプリングADCをさらに備え、検出器は、信号プロセッサを備える。

## 【 0 0 5 7 】

いくつかの実施態様では、装置は、並列に接続された複数の第2の経路をさらに備え、それぞれの第2の経路の遅延部は発振器の出力の複数の高調波を除去するように間隔をあけて並ぶ。

10

## 【 0 0 5 8 】

いくつかの実施態様では、入力減衰制御部は、0～10dBの電圧制御減衰器からなる。いくつかの実施態様では、入力減衰制御部は、0～100dB、0～50dB、0～30dB、0～20dB、10～30dB、又は20～40dBの電圧制御減衰器のうちの1つとすることができる。

## 【 0 0 5 9 】

いくつかの実施態様では、ループ利得制御部は、0～10dBの電圧制御減衰器からなる。いくつかの実施態様では、ループ利得制御部は、0～100dB、0～50dB、0～30dB、0～20dB、10～30dB、又は20～40dBの電圧制御減衰器のうちの1つとすることができる。

## 【 0 0 6 0 】

いくつかの実施態様では、固定利得ブロックは、約30dBの利得を有する低雑音増幅器、1dB低雑音増幅器とすることができる。いくつかの実施態様では、低雑音増幅器は、約10dB、15dB、20dB、25dB、35dB、40dB、45dB、又は50dBの利得を有することができる。

20

## 【 0 0 6 1 】

いくつかの実施態様では、ループ遅延部又は移相器は、約0～360度の位相能力を持つ電圧制御移相器とすることができる。いくつかの実施態様では、移相器は、2つの180度移相器又は3つの120度移相器又は4つの90度移相器として実装されうる。

## 【 0 0 6 2 】

いくつかの実施態様では、コントローラは、所望の信号出力を得るために入力減衰制御部、ループ利得制御部、及びループ遅延若しくは位相シフト部に対する設定を含むルックアップテーブルを備える。いくつかの実施態様では、ルックアップテーブル内の設定は、予め決定されている。いくつかの実施態様では、ルックアップテーブル内の設定は、適応更新方法を使用して調整される。

30

## 【 0 0 6 3 】

いくつかの実施態様では、コントローラは入力信号の所望の周波数における所望の利得及び選択性を得るために、再生フィードバック回路を通過する信号がないように入力減衰制御部を最大値に設定することと、ルックアップテーブルを使用してループ利得制御部及び遅延部若しくは移相器を近接する所望の中心周波数及び帯域通過に調整することと、ループ利得制御部を、出力信号が発振をちょうど示し始める位置に調整することと、所望の周波数がより正確なものとなるように遅延部若しくは移相器を調整することと、発振が消失するまでループ利得制御を大きくし、その際に、BPFの通過帯域内の過剰雑音が無視できるくらいバックオフが十分であることと、信号がシステムに入りそこで再生フィードバックループを通じて増幅されるように入力減衰制御を小さくすることと、帯域幅の幅を測定するために所望の周波数の周りで掃引することによって生成される出力信号の帯域幅を監視することとを実行する。

40

## 【 0 0 6 4 】

いくつかの実施態様は、スペクトル変換システムに関するものであり、このスペクトル変換システムは信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路を備える。第2の経路を第1の経路に接続することができる。信号入力は、アンテナとすることができる。第2の経路は、調整可能な遅延要素及び調整可能

50

な第2の経路の信号スケーリングブロックを有するものとしてよい。出力信号の特性を検出するために検出器が信号出力に接続され得る。コントローラは、所望の出力信号を得るために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整するように接続され得る。

【0065】

いくつかの実施態様では、第2の経路は、フィードバック経路又はフィードフォワード経路であるものとしてよく、第2の経路は、フィードバック経路とフィードフォワード経路構成との間の切り替えのためのスイッチを備えることができる。コントローラは、所望の出力信号を維持するようにプログラムされたプロセッサとすることができる。検出器は、パワー検出器、スペクトラムアナライザ、又はこれらの組み合わせのうちの1つとすることができる。第1の経路の信号スケーリングブロックは、出力信号を正規化するためにコントローラによって調整され得る。

【0066】

いくつかの実施態様では、第1の経路の信号スケーリングブロック及び第2の経路の信号スケーリングブロックは、それぞれ、利得ブロック又は結合係数を修正するブロックを備えることができる。

【0067】

いくつかの実施態様では、第1の経路の信号スケーリングブロックは、第2の経路の上流で、又は第2の経路の入力と第2の経路の出力との間の第1の経路に接続され得る利得ブロックとすることができ、また可変利得増幅器であってもよい。第1の経路は、第2の経路の入力と第2の経路の出力との間に接続された低雑音増幅器を備えることができる。低雑音増幅器の入力のところに信号リミッターがあってもよい。

【0068】

いくつかの実施態様では、検出器は、信号プロセッサを備えることができる。コントローラは、所望の信号出力に関係する、遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックに対する設定を含むルックアップテーブルを備えることができる。ルックアップテーブル内のこの設定は、予め決定しておくことができる。ルックアップテーブル内のこの設定は、適応更新方法を使用して調整され得る。

【0069】

いくつかの実施態様では、信号入力、アンテナであってもよい。第2の経路は、フィードバック経路であってもよく、フィードバック経路の出力は、アンテナに接続される。アンテナ結合ブロックがあってもよい。

【0070】

いくつかの実施態様では、第2の経路は、フィードバック経路であり、スペクトル変換システムは、フィードバック経路から上流にある第1の経路からの入力及びフィードバック経路から下流にある第1の経路への出力とを有するフィードフォワード経路と、フィードフォワード経路の入力とフィードバック経路の出力との間に接続され、コントローラによって制御される、調整可能な経路遅延要素とをさらに備えることができる。

【0071】

いくつかの実施態様では、信号入力と信号出力との間に並列に接続された対応するフィードバック経路に接続された複数の第1の経路がありうる。複数の第1の経路の1つ以上は、フィードバック経路から上流にある第1の経路からの入力及びフィードバック経路から下流にある第1の経路への出力とを有するフィードフォワード経路と、フィードフォワード経路の入力とフィードバック経路の出力との間に接続された第1の経路遅延要素とをさらに備えることができる。第1の経路の遅延要素は、調整可能であり、コントローラに接続することができる。コントローラは所望の信号出力が得られるように第1の経路の遅延要素を調整するために接続される。信号出力は、信号コンバイナを備えることができる。

【0072】

いくつかの実施態様では、信号入力と信号出力との間に並列に接続された対応するフィードフォワード経路に接続された複数の第1の経路がありうる。並列に接続される複数の

10

20

30

40

50

第2の経路があってもよく、それぞれの第2の経路の遅延部は発振器の出力の複数の高調波を除去するように間隔をあけて並ぶ。

【0073】

いくつかの実施態様では、第2の経路は、少なくとも1つの指向性結合器によって第1の経路に接続することができる。第2の経路の信号スケーリングブロックは、第1の経路と第2の経路との間の結合係数を修正するブロックであってよい。スペクトル変換システムは、中心周波数を発生する信号発生器と、中心周波数より高い周波数を抑制するフィードフォワード経路である第2の経路を有する第1の第1の経路と、中心周波数より低い周波数を抑制するフィードフォワード経路である第2の経路を有する第2の第1の経路とをさらに備えることができ、第1及び第2の第1の経路は信号発生器に直列に接続される。

10

【0074】

いくつかの実施態様では、信号入力のところにアップコンバージョン及びプレディストーション段があってもよく、またフィードバック経路の入力とフィードバック経路の出力との間に接続された電力増幅器があってもよい。

【0075】

いくつかの実施態様では、検出器の上流に接続されたサブサンプリングADCがあってもよく、検出器は、信号プロセッサを備えることができる。

【0076】

いくつかの実施態様は、ドップラーレーダーに関するものであり、このドップラーレーダーは一定周波数を発生するための発振器と、一定周波数を送信するための送信機用アンテナと、送信される一定周波数の反射を受信するための受信機用アンテナとを備える。この一定周波数は、電磁信号又は音響信号のうちの方であるものとしてよい。上述のように、受信された反射の周波数を分離するためのスペクトル変換システムがあり得る。コントローラは、受信された反射に関してスペクトル変換システムをセンタリングするために検出器によって検出される特性に基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整することができる。受信機プロセッサは、受信された反射の周波数を検出することができる。

20

【0077】

いくつかの実施態様は、周波数スペクトルを変換する方法に関するものであり、この方法は上述のようにシステムを備えることと、ターゲット帯域幅、ターゲット中心周波数、及びターゲット利得を有するターゲット信号応答をコントローラに供給することと、入力信号を信号入力に結合し、信号出力のところで出力信号を検出することと、出力信号を所望の信号応答と比較することと、コントローラに、所望の信号応答を送るために遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整させることとを含む。

30

【0078】

いくつかの実施態様では、この方法は、入力信号を零点に設定することによってシステムを較正し、遅延要素及び第2の経路の信号スケーリングブロックを、ターゲット信号応答に係る $z$ 平面内の所望の極又は零点に到達するように調整するステップをさらに含むことができる。

40

【0079】

いくつかの実施態様では、コントローラは、一組の所望の信号応答に対するルックアップテーブルを備えることができる。コントローラは、出力信号を所望の信号応答と比較する前にルックアップテーブルに基づき遅延要素、第2の経路の信号スケーリングブロック、及び第1の経路の信号スケーリングブロックを調整することができる。ルックアップテーブルは、適応更新方法を使用して調整され得る。

【図面の簡単な説明】

【0080】

これらの特徴及び他の特徴は、添付図面を参照する以下の説明を読むとさらに明らかになるが、図面は例示することのみを目的としており、一切制限することを意図していない

50

。

【 0 0 8 1 】

【 図 1 】 本明細書で使用されているような遅延ブロックの記号表現を利用する遅延ブロックの定義を示す図である。

【 0 0 8 2 】

【 図 2 】 本明細書で使用されているような利得ブロックの記号表現を利用する利得ブロックの定義を示す図である。

【 0 0 8 3 】

【 図 3 】 本明細書で使用されているような零点FIRフィルタ回路の記号表現を利用する単一零点FIRフィルタ回路の定義を示す図である。

10

【 0 0 8 4 】

【 図 4 】 本明細書で使用されているような単一極IIRの記号表現を利用する単一極IIRフィルタ回路の定義を示す図である。

【 0 0 8 5 】

【 図 5 】 RFCフィードバックループ共振器回路を示す図である。

【 0 0 8 6 】

【 図 6 】 アンテナにフィードバックするRFCユニットを示す図である。

【 0 0 8 7 】

【 図 7 】 アンテナ結合ブロックを持つアンテナにフィードバックするRFCユニットを示す図である。

20

【 0 0 8 8 】

【 図 8 】 反再生フィードバック回路 (ARFC) を示す図である。

【 0 0 8 9 】

【 図 9 】 並列の2つのRFCユニットを示す図である。

【 0 0 9 0 】

【 図 1 0 】 制御信号を持つ帯域通過フィルタブロックを示す図である。

【 0 0 9 1 】

【 図 1 1 】 デジタル/アナログ及びアナログ/デジタルコンバータを備える制御信号を持つRFCフィードバックループ共振器を示す図である。

【 0 0 9 2 】

30

【 図 1 2 】 RFCからARFCへ動作を切り替えることができるフィルタブロックを示す図である。

【 0 0 9 3 】

【 図 1 3 】 アンテナフィードバック及び制御ユニットを備えるRFCフィルタブロックを示す図である。

【 0 0 9 4 】

【 図 1 4 】 RFC及びARFCユニットを使用して形成されるフィルタブロックを示す図である。

。

【 0 0 9 5 】

【 図 1 5 】 RFC及びARFCユニットを使用して形成されるフィルタブロックを示す図である

40

。

【 0 0 9 6 】

【 図 1 6 】 パワー検出器及びスペクトラムアナライザに対する出力を供給するスーパーヘテロダインスamplingデバイスを示す図である。

【 0 0 9 7 】

【 図 1 7 】 広い調整帯域幅を持つチャネライザを示す図である。

【 0 0 9 8 】

【 図 1 8 】 パラメータコントローラによって使用されるアルゴリズムを示す図である。

【 0 0 9 9 】

【 図 1 9 】 パワーセンサーを備えるRFCユニットを示す図である。

50

【 0 1 0 0 】

【図 2 0】利得制御ブロックから上流にある総和ブロックを備えるRFCユニットを示す図である。

【 0 1 0 1 】

【図 2 1 a】総和ブロックとして接続されているアンテナの例を示す図である。

【図 2 1 b】総和ブロックとして接続されているアンテナの例を示す図である。

【 0 1 0 2 】

【図 2 2】フォワード経路内にリミッターデバイスを備えるRFCユニットを示す図である。

【 0 1 0 3 】

【図 2 3】帯域消去フィルタとして構成されているRFCユニットを示す図である。

【 0 1 0 4 】

【図 2 4】帯域通過フィルタを形成するために並列に接続されている複数のRFCユニットを示す図である。

【 0 1 0 5 】

【図 2 5】図24の回路によって生成される複合帯域通過周波数応答を示す図である。

【 0 1 0 6 】

【図 2 6】帯域消去フィルタを形成するために直列に接続されている複数のARFCユニットを示す図である。

【 0 1 0 7 】

【図 2 7】図26の回路によって生成される複合帯域消去周波数応答を示す図である。

【 0 1 0 8 】

【図 2 8】指向性結合器を示す図である。

【 0 1 0 9 】

【図 2 9】指向性結合器を使用するRFCを示す図である。

【 0 1 1 0 】

【図 3 0】結合係数変調器を備えるRFCを示す図である。

【 0 1 1 1 】

【図 3 1】指向性結合器が直列に接続されている複数のRFCユニットを示す図である。

【 0 1 1 2 】

【図 3 2】図31の回路によって生成される複合帯域通過周波数応答を示す図である。

【 0 1 1 3 】

【図 3 3】並列に接続された複数のフィードバックループを有するRFCユニットを示す図である。

【 0 1 1 4 】

【図 3 4】指向性結合器が一方向共振器として接続されているRFCユニットを示す図である。

【 0 1 1 5 】

【図 3 5】複数の通過帯域極がある図34に示されている複数の一方向共振器を示す図である。

【 0 1 1 6 】

【図 3 6】それぞれの方向の異なる通過帯域極がある二方向共振器を示す図である。

【 0 1 1 7 】

【図 3 7】指向性結合器を備えるARFCユニットを示す図である。

【 0 1 1 8 】

【図 3 8】指向性結合器を備えるカスケード接続されたARFCユニットを示す図である。

【 0 1 1 9 】

【図 3 9】カスケード接続されたARFCユニットがノッチフィルタとして働くように構成されている発振器を示す図である。

【 0 1 2 0 】

10

20

30

40

50

- 【図40】ドブラーレーダー回路内のRFCユニットを示す図である。
- 【0121】
- 【図41】二方向共振器を使用する代替的なドブラーレーダー回路を示す図である。
- 【0122】
- 【図42】RFCユニットを使用する電力増幅器を示す図である。
- 【0123】
- 【図43】RF帯域通過フィルタ及び低調波ADCを使用する受信機ユニットを示す図である。
- 。 【0124】
- 【図44】フィードバック経路内に指向性結合器及び信号センサーを有するRFCユニット 10  
を示す図である。
- 【0125】
- 【図45】マイクロ波受信機内のRFCユニットを示す図である。
- 【0126】
- 【図46】スーパーヘテロダインGPS受信機の従来技術の実施態様のブロック図である。
- 【0127】
- 【図47】再生フィードバック回路に基づくGPS受信機のブロック図である。
- 【0128】
- 【図48】再生フィードバック回路に基づくマルチバンドGNSS受信機のブロック図である 20  
。
- 【0129】
- 【図49】ワイヤレスランシーバの従来技術の実施態様のブロック図である。
- 【0130】
- 【図50】再生フィードバック回路に基づくワイヤレスランシーバのブロック図である  
。
- 【0131】
- 【図51】再生フィードバック回路のブロック図である。
- 【0132】
- 【図52】モノリシック集積回路上に実装された再生フィードバック回路のブロック図で 30  
ある。
- 【0133】
- 【図53】複数のASIC上に実装されたスーパーヘテロダイン受信機のブロック図である。
- 【0134】
- 【図54】中間周波数がゼロの再生フィードバック回路のブロック図である。
- 【0135】
- 【図55】高速1ビット比較器を備える再生フィードバック回路のブロック図である。
- 【0136】
- 【図56】携帯電話内の再生フィードバック回路のブロック図である。
- 【0137】
- 【図57】ルックアップテーブルを実装するコントローラの動作を示す図である。 40  
【0138】
- 【図58】第1の経路内に共振器を備える再生フィードバック回路のブロック図である。
- 【0139】
- 【図59】第2の経路内に共振器を備える再生フィードバック回路のブロック図である。
- 【0140】
- 【図60】電力増幅器を備える再生フィードバック回路のブロック図である。
- 【0141】
- 【図61】アップコンバージョン回路と電力増幅器とを備える再生フィードバック回路の  
ブロック図である。
- 【0142】 50

【図 6 2】携帯電話のフロントエンド回路内に実装された再生フィードバック回路のブロック図である。

【0 1 4 3】

【図 6 3】GNSS受信機のフロントエンド回路内に実装された再生フィードバック回路のブロック図である。

【0 1 4 4】

【図 6 4】モノリシック集積回路上に実装された再生フィードバック回路を示す図である。

【0 1 4 5】

【図 6 5】受信機に結合されたアンテナのブロック図である。

10

【0 1 4 6】

【図 6 6】受動アンテナに結合された再生フィードバック回路のブロック図である。

【0 1 4 7】

【図 6 7】八木アンテナに結合された再生フィードバック回路のブロック図である。

【0 1 4 8】

【図 6 8】能動アンテナに結合された再生フィードバック回路のブロック図である。

【0 1 4 9】

【図 6 9】共振器回路を備える狭帯域受信機のブロック図である。

【0 1 5 0】

【図 7 0】フィードバックを備える共振器回路のブロック図である。

20

【0 1 5 1】

【図 7 1】再生フィードバック回路を備える共振器回路のブロック図である。

【0 1 5 2】

【図 7 2】結合ポートと再生フィードバック回路とを備える共振器回路のブロック図である。

【0 1 5 3】

【図 7 3】再生フィードバック回路を備える双方向フィルタを示す図である。

【0 1 5 4】

【図 7 4】再生フィードバック回路を備える発振器を示す図である。

【発明を実施するための形態】

30

【0 1 5 5】

( 詳細な説明 )

以下で説明されるデバイスは、中心周波数及び帯域幅に関して同調可能な帯域通過又は帯域消去フィルタとして動作し得るフィルタブロックである。これは、フィルタの帯域幅及び中心周波数を高速にまた俊敏に制御するため電子制御される再生フィードバックループに基づく。フィルタブロックは、主に電子回路、例えば、マイクロ波帯の周波数で動作する回路用に設計されたフィルタブロックに関して以下で説明される。しかし、フィルタブロックは、光学システム、機械的振動システム、若しくは音響システムなどの他の種類のシステム、又は周波数ベースの他のシステムに対して実装できることは明らかであり、この場合、以下に示す例に関して説明されている電気コンポーネントの代わりにアナログコンポーネントが使用される。したがって、デバイスは、目標が入力信号の周波数成分を所望の出力信号に変換することであるため、スペクトル変換システムとしてより広い意味で説明され得る。以下の説明から理解されるように、これは、一般的に、帯域通過又は帯域消去フィルタのいずれかとして、デバイスを所望の中心周波数及び帯域幅に同調させることによってなされる。複数のデバイスを所望の周波数応答が得られるようなさまざまな形で組み合わせることができる。

40

【0 1 5 6】

本明細書で説明されているように、フィルタブロック回路は、再生フィードバック回路(RFC)と表され得る。上で説明されているように、以下で使用される用語の多くは電子回路に関係するが、光学システム、機械的振動システム、又は音響システムなどの他のシス

50

テム内にアナログコンポーネントが存在し得ることは理解されるであろう。

【 0 1 5 7 】

本明細書では以下の頭字語が使用される。

【表 1】

ADC	アナログ/デジタルコンバータ
ARFC	反再生フィルタ回路
BPF	帯域通過フィルタ
DAC	デジタル/アナログコンバータ
DFT	離散フーリエ変換
DSP	デジタル信号処理
FB	フィルタブロック
GNSS	全地球的航法衛星システム
LUT	ルックアップテーブル
MARFC	マルチ反再生フィルタ回路
MRFC	マルチ再生フィルタ回路
Q	クオリティファクタ(フィルタ帯域幅/中心周波数)
RF	無線周波数
RFC	再生フィルタ回路
SH	スーパーヘテロダイン
S/H	サンプルアンドホールド

10

20

【 0 1 5 8 】

30

以下では、RFCで使用されている機能ブロックのいくつかのコンポーネント及び定義を説明する。

【 0 1 5 9 】

(遅延機能ブロック)

本明細書では、Dは、図1に例示されているような遅延ブロックを表し、参照番号12によって識別される。遅延ブロック内に入る信号が $s(t)$ として与えられた場合、パラメータDを持つ遅延ブロックの出力は、 $s(t-D)$ として与えられる。特に、入力信号が

$$s(t)=\exp(j \quad t)$$

となるような複素指数関数である場合(ただし

【数 1】

40

$$j \equiv \sqrt{-1}$$

である)、遅延ブロックの出力は

$$s(t-D)=\exp(j \quad (t-D))=\exp(j \quad t)\exp(-j \quad D)=s(t)\exp(-j \quad d)$$

となる。

【 0 1 6 0 】

これに基づき、遅延Dの遅延ブロック12の等価な動作は、位相が $- \quad D$ である位相シフトである(入力励起は周波数 $\quad$ の純音であると想定する)。本明細書では、遅延パラメータは、RFCの制御パラメータとなる。しかし、これは、位相シフトが周波数に関して直線的に変化する位相シフト動作と等価であることは理解されるべきである。

50

## 【 0 1 6 1 】

(利得機能ブロック)

本明細書では、Gは、スケーリング係数Gによって入力信号をスケーリングする利得ブロックを表し、図2に示されているように参照番号14によって識別される。以下の説明では、Gは、実であり、正であると仮定される。

## 【 0 1 6 2 】

(単一伝達零点FIRフィルタブロック)

単一伝達零点を結果としてもたらす有限インパルス応答(FIR)フィルタブロックは、図3に示されている。FIRフィルタブロックは、信号入力16、信号出力18、第1の経路20、この場合にはフィードフォワード経路である第2の経路22、及び総和ブロック24を備える。第1の経路20は、フォワード経路と称することもでき、第2の経路22は、フィードバック経路又はフィードバックループ経路とすることができる。

10

## 【 0 1 6 3 】

FIRフィルタの周波数応答は

$$H(\omega) = 1 + G \exp(-j\omega D)$$

として、G=1及び  $D=0$  であるときに  $H(\omega) = 0$  となり、その結果伝達零点が得られるように与えられる。

## 【 0 1 6 4 】

(IIRフィルタブロック)

単一伝達極を結果としてもたらす無限インパルス応答(IIR)フィルタブロックは、図4に示されている。

20

## 【 0 1 6 5 】

IIRフィルタの周波数応答は、

極が  $\omega = 0$  のところに生じ、

$$1 - G \exp(-j\omega D) = 0$$

を満たすものとして

## 【 数 2 】

$$H(\omega) = \frac{1}{1 - G \exp(-j\omega D)}$$

30

として与えられる。

## 【 0 1 6 6 】

図4に示されているIIRフィルタは、再生フィードバックループとも称されることに留意されたい。

## 【 0 1 6 7 】

(制御可能な再生フィードバックループ)

参照番号10によって一般的に識別される、制御可能なRFCの基本動作は、図5に示されており、これは、図示されているように、第1の経路20を通る主回路内の利得段25及びフィードバックの第2の経路22内の遅延部12と減衰器14との直列接続からなる。遅延部12及び減衰器14の値は、RFC 10の周波数特性を決定する。

40

## 【 0 1 6 8 】

フィードバック経路内の利得ブロック14は、0から1までの範囲内の利得を有するので、これは減衰器として動作し、したがってAのラベルが付けられる。次いで、周波数領域における入力から出力への全体的なRFC 10の伝達関数が、

## 【 数 3 】

$$H(\omega) = \frac{G}{1 - GA \exp(-j\omega D)}$$

として与えられる。

## 【 0 1 6 9 】

50

全体的なRFC 10を通る信号利得の大きさは、  
【数 4】

$$|H(\omega)| = \frac{G}{|1 - GA \exp(-jD\omega)|}$$

として与えられる。

【0170】

フィードバックループ22は、RFC 10の通過帯域特性に影響を及ぼす。A=0の場合、RFC 10は $|H(\omega)|=G$ のフラットな周波数応答を有する。Aが0から増加するにつれ、この応答は、  
 $D=0, \pm 2, \pm 4, \dots$

10

で周期的共振周波数を有する。Aが $1/G$ に近づくにつれ、共振ピークは狭まり、総利得は無限に高くなる。実用的なアプリケーションでは、共振周波数のうちの1つ(通常は  $D=2$  での基本周波数)は、入力ところで所望の信号の周波数と一致する。周波数は、遅延Dを設定することによって制御され、帯域幅は、Aを設定することによって設定され得る。

【0171】

図6を参照すると、図5におけるRFC 10の実施態様の変更態様は、総和ブロック24をアンテナ26で置き換えるものであることがわかる。次に、信号は、アンテナ26によってインターセプトされる電磁放射線の入射場の形態を取ると仮定される。小さなフィードバック結合が、アンテナ26を介して入力信号に加えられるフィードバックループ22の出力から与えられる。Fを信号アンテナ26内に結合され戻されるフィードバック信号の比として定義する。これは、図6に示されている。動作は、同じ共振特性をもつ伝導されるRFC 10の場合と同様である。しかし、Aは、FAで置き換えられ、アンテナ結合を通じてのフィードバックループ22は、D 12に加えられべき追加遅延をある程度加えて、アンテナベースのRFCの周波数応答を特徴付けることができる。

20

【0172】

図7を参照すると、図6に示されている回路は、アンテナ結合ブロック27を含めることによって修正されることがわかる。アンテナ結合部27をアンテナ26と一体化して、より高いQでより共振性を高めることができる。言い換えると、アンテナ結合ブロック27を介して利得ブロック25に負荷を接続することによりアンテナ26の負荷がかかっているQは、アンテナ26の無負荷のQに近づくということである。アンテナ26へのループ22内のフィードバックは、アンテナ結合を組み込んだ場合の利得損失を補償する。

30

【0173】

(反RFC又はARFC)

伝達極を形成するために図7のRFC回路10を使用する代わりに。図8に示されているように修正して伝達零点を生成することができる。この回路の周波数応答は

$$H(\omega) = G(1 + A \exp(-jD\omega))$$

であり、周波数  $D = \pm 1, \pm 3, \dots$  で周波数ノッチを有する。

【0174】

本明細書における説明を目的として、参照番号100によって一般的に識別されているARFCは、伝達極の代わりに伝達零点を実現するために図8に示されているように再構成されたRFCを意味するように定義される。ARFC 100は、単一零点FIRフィルタと等価であることに留意されたい。以下の説明から明らかなように、図29に示されているように指向性結合器を使用することなどによって、伝達零点、つまりノッチフィルタ、を生成することができる他の設計もある。

40

【0175】

(任意フィルタ関数)

RFC及びARFCを並列及び直列に組み合わせ、複数の極と零点とからなる任意フィルタ伝達関数を形成することができ、その結果、MRFC及びMARFC構成が得られる。極と零点とを組み合わせる所望のフィルタ伝達関数を構成する理論は、当技術分野で知られており、例えば、J. Proakis, D. Manolakis著「デジタル信号処理の原理、アルゴリズム、及びア

50

アプリケーション(Digital Signal Processing principles, algorithms and applications)」(Prentice Hall 1996)、さらには他の教科書及び論文においても説明されている。

#### 【0176】

2つの極を備える、RFC 10と10'と有する複合回路の一例は、図9に示されている。2つのRFC回路10は、並列であることに留意されたい。多数の伝達零点を備えるフィルタ回路を実現するには、その配置構成は多数の直列カスケード接続されたARFC回路となるであろう。

#### 【0177】

(フィルタブロックとしてのRFC及びARFC)

上で説明されているようなRFC及びARFCは、好ましくは、雑音及び干渉によって損なわれた狭帯域の電子信号を受信機側で処理する際に必要に応じて周波数選択的フィルタリングを行うために使用される。これらの信号は、ワイヤレス受信機の場合のようにアンテナから供給され得る。しかし、これらは、随伴する雑音及び干渉発生源から分離される狭帯域信号を発生する一般ブロックから供給され得る。

#### 【0178】

RFC及びARFCは、一般信号の選択的周波数フィルタリングが要求されるアプリケーションにおいて使用することができる。したがって、本明細書で説明されている実施態様は、電子信号に関するものであるが、これらの信号は機械的振動、音響、又は光に由来するものであってもよい。

#### 【0179】

(基本的な単一要素フィルタユニット)

図10は、遅延部D 12及びループ減衰部A 14に対する2つのバイアス電圧によって電子的に制御されるRFC 10を示している。RFC 10は、 $A_{in}$ として表され、参照番号28によって識別される追加の減衰器、コントローラブロック32に出力信号電力の測定結果をフィードバックする出力ポート18のところにあり、パワー検出器、スペクトラムアナライザ、又はこの両方などの検出器30、並びに $A_{in}$ 、A、及びDの電子制御を行うコントローラ32を有する。

#### 【0180】

いくつかの実施態様では、図10に説明されている回路は、以下の例示的なコンポーネントを備えることができる。

1. 減衰器14及び28は、モデル番号ZX73-2500などの0～10dBの電圧制御減衰器からなるものとしてよい(このデータシートは、<http://www.minicircuits.com/pdfs/ZX73-2500+.pdf>を参照されたい。これらの内容は、すべて引用により本明細書中に組み込まれている)。

2. LNA 25は、モデル番号ZX60-1215LN+などの30dB利得、1db低雑音増幅器からなるものとしてよい(このデータシートは、<http://www.minicircuits.com/pdfs/ZX60-1215LN+.pdf>を参照されたい。これらの内容は、すべて引用により本明細書中に組み込まれている)。

3. 移相器12は、モデル番号JSPHS-1000+などの0～180度の位相能力を持つ電圧制御型のものとしてよい(このデータシートは、<http://www.minicircuits.com/pdfs/JSPHS-1000.pdf>を参照されたい。これらの内容は、すべて引用により本明細書中に組み込まれている)。

4. 指向性結合器24は、モデル番号ADC-10-1R+であってよい(このデータシートは、<http://www.minicircuits.com/pdfs/ADC-10-1R.pdf>を参照されたい。これらの内容は、すべて引用により本明細書中に組み込まれている)。

#### 【0181】

コントローラ32は、当技術分野で知られているような組み込み型デジタル処理回路、マイクロコントローラ、FPGAなどであってよい。A制御部12及びD制御部14は、すでに説明されているとおりである、つまり、RFC 10の極の位置の制御を行う。 $A_{in}$  28は、信号出力の測定された電力が所望のレベルに調節され得るように図10の回路の全体的スループット利

10

20

30

40

50

得の制御を行う。次いで、以下のように制御が得られる。

1.  $A_{in}$ は、出力電力を与えられた閾値レベルに維持するように調整される。
2. RFC 10のA制御部14は、帯域幅を狭めるように増大され得る。
3. D制御部12は、周波数を修正するように制御され得る。

#### 【0182】

コントローラ32は、図11に示されているようなデジタル信号処理ユニットとして実装され得る。動作は、制御処理においてデジタル処理ブロックが使用されることとアナログ制御部へのインターフェースがDAC 34によりなされ、パワー検出器からの入力ADC 36によりデジタルに変換されることを除き、図10と同じである。

#### 【0183】

図64は、第2の経路22において遅延部D 12及びループ減衰部A 14に対する2つのバイアス電圧によって電子的に制御されるRFC 10を示している。RFC 10は、第1の経路20上の $A_{in}$ として表され、参照番号28によって識別される追加の減衰器、コントローラブロック32に出力信号電力の測定結果をフィードバックする出力ポート18のところにあり、パワー検出器、スペクトラムアナライザ、又はこの両方などの検出器30、並びに信号線32a、32b、及び32cを介して $A_{in}$ 、A、及びDの電子制御を行うコントローラ32を有する。

#### 【0184】

図64などのいくつかの実施態様では、RFCは、モノリシック集積回路上に実装され、検出器30及びコントローラ32(電子コントローラであってよい)と通信するように構成され得る。

#### 【0185】

図10又は図11のRFCユニット10は、図12に示されているようにスイッチ42を備えることによってARFCユニット10として構成され得る。これにより、全体的フィルタ要素は、RFCに基づく単一極を持つ帯域通過フィルタであるか、又はARFCに基づく単一伝達零点を持つノッチフィルタとしてのものであってよい。図12は、アナログ構成を示しているが、デジタルオプションも実装することができる。図12のスイッチ42は、RFC動作については位置Aにあるか、又はARFC動作については位置Bにあるものとしてよい。

#### 【0186】

いくつかの実施態様では、最大利得を得るための手順、及びしたがって、アンテナを通じて受信するか、直接的に受信するかに関係なく特定の周波数における最大の選択性は以下の通りであるものとしてよい。

1. 信号16がRFCを通過しないように減衰器28を最大値に設定することによって開始する。
2. D及びAを、例えば、LUTを介して、所望のBPF中心周波数位置に調整する。これは、コンポーネントが温度、経年変化などとともに変化するにつれ近くなる。Aを出力信号が発振をちょうど示し始める位置に調整する(減衰を下げる)。発振の周波数は、BPFの所望の中心周波数に近似的に対応すべきである。中心周波数が正確になるようにDを調整する(遅延を大きくすると周波数が低くなり、遅延を小さくすると周波数は高くなる)。次いで、発振が消失するまでAの減衰を高くする。バックオフは、BPFの通過帯域内の過剰雑音が無視できるくらい小さくなるように十分なものでなければならない。これは、スプリアス発振に対する適切な「安全マージン」をも設定する。28で減衰をゆっくりと小さくして、弱い信号16をシステム内に入れ、そこで、この信号をRFCループを通じて増幅する。
3. 中心周波数を中心とする数kHzを掃引することによって発生する出力信号の帯域幅を監視して帯域幅の幅を測定し、帯域幅が拡大し始めたときにそのことを検出する別の単純なアルゴリズムでそれを実行し、減衰器28を停止すると、この時点で、弱い信号の感度及び選択度は最高になっている。
4. 14で減衰のレベルを修正することによって、帯域幅を変更すること、従って振幅を変更することが可能である。Dで位相をAで減衰を変えながら、信号の帯域幅及び周波数をそれぞれ変更することができる。また28は、BPFの総利得を変更することもできる(14と併せて)。

10

20

30

40

50

## 【 0 1 8 7 】

いくつかの実施態様では、反復アルゴリズム(IA)は、移相器Dが0度に設定されている間に、減衰器Aの電圧を最大値に達するまでゆっくりと上げてゆくことによって開始することができる。この出力振幅は、LNA 25から発生する雑音の振幅である。最大値に達すると、Dは、その雑音振幅が新しい最大値に達するまで増減される。次いで、減衰器Aは、その雑音振幅が新しい最大値に達するまで増減される。次いで、この後に、同じ手順を、ただし移相器Dを使用して続け、発振の発生に足らなくなるまで同様のことを続けるが、これはさまざまな形で検出され、発振が発生した場合に、前のステップをやり直すことができる。最大値に達した後、システムは使用可能な状態にある。

## 【 0 1 8 8 】

10

(アンテナフィードバックを有する基本単一要素フィルタユニット)

RFC 10は、回路の入力へのフィードバックを必要とし、これは図13に示されているように、アンテナを使って達成されうる。図13のアンテナ26は、入ってくる放射電磁信号をインターセプトする点と、さらには前のセクション(図7を参照)で説明されているように、RFCフィードバック回路に必要なフィードバック結合の都合のよい手段を備える点で、2つの機能を有している。この回路は、コントローラ32、 $A_{in}$  38、及び図10において導入されているようなパワーセンサー(PS)とも称される、パワー検出器を一体化したものである。つまり、パラメータコントローラ32を付随するADC及びDACに対して前の方で説明されているデジタルコントローラで置き換えることができる。

## 【 0 1 8 9 】

20

(フィルタユニットの制御)

所望の周波数応答を与えるために、それぞれのRFC 10又はARFC 100ブロックに対して $A_{in}$ 、A、及びDが制御される。所望の応答を得るため $A_{in}$ 、A、及びDを制御する方法を次に示す。説明を簡単にするために $A_{in}$ 、A、及びDは、単一のRFCの制御部を指すものとする。しかし、説明されている制御処理は、並列動作している複数のRFCユニットに対して、又はARFユニットに対して適用可能である。したがって、参照番号110によって示される、FBを、 $A_{in}$ 、A、及びDの制御入力を持つ任意の一組のRFC及びARFCを備える全体的フィルタブロックとして定義すると都合がよく、その場合、 $A_{in}$ 、A、及びDは、制御入力のベクトルとすることができ、FB 110の実際の設計は、所望のフィルタ応答に依存する。つまり、全部でM個のRFC及びARFCユニットがある場合、必要なDの個別の制御部はM個ある。この場合、Dは、M個の制御パラメータ要素からなると仮定される。FB 110は、図14に示されている。入力信号16は、伝導又は放射の形態とすることができる。FB 110の出力は、さらなる処理に進む出力信号14である。出力14は、パワー検出器30a及びスペクトラムアナライザ30bと接続される。パワー検出器30aは、FB 110の出力における全スペクトルパワーを測定し、これをパラメータコントローラ32に送り返す。全パワーは $P_{tot}$ で表される。スペクトラムアナライザ30bは、 $P_f(f)$ として与えられる周波数の関数としてパワースペクトル密度を測定する機能を有している。スペクトラムアナライザ30bの実用的な実施態様について以下で簡単に説明する。

30

## 【 0 1 9 0 】

( $A_{in}$ の制御)

40

$A_{in}$ は、 $P_{tot}$ を  $p_{tot}$ として表されている与えられた閾値と比較することによって決定される。 $P_{tot} > p_{tot}$ である場合、 $A_{in}$ を小さくして入力利得を下げる。 $P_{tot} < p_{tot}$ である場合、 $A_{in}$ を大きくして入力利得を上げる。 $A_{in}$ の適切な制御を適用する従来の方法が使用される。

## 【 0 1 9 1 】

(A及びBの制御)

D及びAパラメータによってそれぞれ制御される遅延及び利得ユニット12及び14は、回路の意味で適切な振る舞いをするコンポーネントであると仮定される。これは、D及びAのパラメータが不連続性のない遅延及び利得関数の近似的単調制御を行うことを意味する。また、これは、D及びA制御入力の関数としての遅延及び利得の結果としての値は予め決定し

50

ておくことができ、応答曲線をコントローラブロック内のルックアップテーブル内に格納することができることも意味する。したがって、D及びA制御部は、RFC 10の伝達極若しくはARFC 100の伝達零点を設定するためにルックアップテーブル内に格納されている校正情報に基づき設定することができる。このルックアップテーブルは、LUD\_ADと表される。

#### 【0192】

したがって、FBの所望の周波数をRFC 10及びARFC 100ユニットの必要な伝達極及び零点にそれぞれマッピングすることができる。校正LUT\_ADを使用することで、これらの極及び零点を、FB 110上に渡されるA及びDパラメータにマッピングすることができる。LUT\_ADに書き込むために必要な校正は、伝達極及び零点とA及びD値との間のマッピングを決定するために標準的なネットワークアナライザを使用する従来の手段によって決定することができる。

10

#### 【0193】

LUT\_ADの値は、回路の経年変化、温度変化、などにより正確でなくなることは理解される。しかし、これらの値は、前の校正から次の校正までの間の与えられた時間範囲にわたってほぼ正確なままであると想定される。小さな誤差は、FBユニットが動作しているので補正されなければならない。可能な一組の実行時の校正の補正をRFC 10について以下に示す。

#### 【0194】

RFC 10に関して、以下のステップを実行することができる。

1. A及びD値を所望の極の配置に設定する。
2. FBに入力信号が結合されないように $A_{in}=0$ に設定する。
3. RFCの伝達極が左側平面から右側平面へ交差し出力が極の配置と釣り合う周波数で発振し始めるようにAを大きくする。
4. 図14に示されているスペクトラムアナライザに基づき周波数を測定する。
5. 発振周波数が伝達極の所望の配置と一致するまでDを調整する。これが完了したら、発振の共振が見える(つまり、極がj 軸に近づく)ようにAの調整を続ける。
6. 次いで、所望の極の配置に基づきAを所望の値にバックオフする。

20

#### 【0195】

ARFCに関して、以下のステップを実行することができる。

1. A及びD値を所望の伝達零点の配置に設定する。
2. FBに入力信号が結合されないように $A_{in}=0$ に設定する。
3. RFCの伝達極が左側平面から右側平面へ交差し出力が極の配置と釣り合う周波数で発振し始めるようにAを大きくする。
4. 図14に示されているスペクトラムアナライザに基づき周波数を測定する。
5. 発振周波数が伝達極の所望の配置と一致するまでDを調整する。これが完了したら、発振の共振が見える(つまり、極がj 軸に近づく)ようにAの調整を続ける。
6. 次いで、所望の極の配置に基づきAを所望の値にバックオフする。

30

#### 【0196】

この実行時の校正への修正は、図15に示されているようなパラメータコントローラブロックと接続されるシンセサイザソースから周波数信号を構成するものとしてよい。そこで、スイッチ102は、入力16における信号が入力信号又はシンセサイザ40から来るように備えられる。これにより、D制御部を調整して、 $P_{tot}$ の最大応答が得られるようにすることができる。 $P_{tot}$ の最大化について、以下のセクションで説明する。スペクトラムアナライザは、この場合不要であることに留意されたい。

40

#### 【0197】

ARFCの校正については、図15の方式を使用する必要がある。シンセサイザ40は、所望の伝達零点の周波数の周波数成分を生成する。D及びAは、パワー出力 $P_{tot}$ が最小になるように調整される。 $P_{tot}$ の最小化について、勾配探索法のセクションで説明する。

#### 【0198】

(スペクトラムアナライザの実用的な実施態様)

50

FB 110は、スーパーヘテロダイン受信機のアーキテクチャの一部として、又は直接サブサンプリングされるものとして使用することができる。いずれの場合も、ベースバンド信号は2値化され、さらなる処理に使用される。したがって、ベースバンドでスペクトラムアナライザの機能を実装するために追加のハードウェアを必要としない。たぶん、ベースバンドプロセッサが、 $f_{\text{sm}}/N$ のサンプリングレートでN個のサンプルを累算することができる。これらのN個のサンプルの離散フーリエ変換DFTを実行すると、 $f_{\text{sm}}/N$ の周波数分解能で周波数スペクトルの測定結果が得られる。DのRFC同調の適用のため、ピークに対応する周波数を図14に示されているコントローラ32に伝達極の共振周波数に対応する周波数の推定値としてフィードバックすることができる。周波数の分解能をよくするために、超分解能の方法をN個のデータサンプルの同じ集合に対して使用することができる。このような方法は、よく知られ、公開されている。例えば、Simon Haykin著「適応フィルタ理論(Adaptive Filter Theory)」(McGraw Hill)を参照のこと。

10

#### 【0199】

図16は、FB 110、ダウンコンバージョン及びフィルタリング(スーパーヘテロダイン受信機)112、並びにベースバンド量子化器114の可能な受信機のアーキテクチャを示している。処理ブロック116は、上述の検出器30の機能を実行することに加えて、FBの異なる較正プロセスに使用される可能な出力を発生する。これらの出力は、

$\{I(f), Q(f)\}$ -ベースバンド信号の特定の周波数成分に対応する直角位相出力を含み、

ただし、 $P_{\text{tot}}$ は、ベースバンド信号の全スペクトルパワーであり、 $P_f(f)$ は、周波数 $f$ におけるパワースペクトル密度である。

20

#### 【0200】

図16の方式の変更態様は、ダウンコンバージョン及びフィルタリングブロック112を排除すること、並びにADCサンプリングブロック114を高速低調波ミキサー及びサンプリングブロック(図示せず)で置き換えることを含むものとしてよい。

#### 【0201】

(最適化方法)

FB 110について、前に述べたようにDを変化させることによって特定の周波数 $f_0$ で $P_f(f_0)$ を最大化する必要がある。このために、さまざまな方法を使用することができる。1つの方法は、 $P_f(f_0)$ の勾配を数値計算し、次いで、Dを適宜、この勾配が最大値に対応するゼロになるまで変化させることである。別の方法は、図16のプロセッサ116が $f_0$ を含む周波数範囲について $P_f(f)$ を計算することを考慮することである。次いで、Dを、 $P_f(f)$ の最大値が $f=f_0$ に対応するように変化させる。他の反復法も、例えば、すべて引用により本明細書中に組み込まれている、A. Ackleh著「古典的及び現代的数値解析の理論、方法、及び実践(Classical and modern numerical analysis theory, methods and practice)」(CRC press, 2010)で概要が述べられているように可能である。

30

#### 【0202】

ARFCに基づくFB 110について、特定の周波数 $f_0$ で $P_f(f_0)$ を最小化する必要があり、これはAとDの両方の値を最適化することを伴う。LUT\_ADに基づく解は、実際の最適な点に確実に近いと仮定されるので、勾配探索は、最速アプローチとなるであろう。このプロセスは、A及びDの異なる値を持つ3つの動作点において $I(f_0)$ 及び $Q(f_0)$ の出力を別々にサンプリングする。目的は、 $\{A_0, D_0\}$ によって表される現在の動作点における二次元勾配を決定し、次いで、その動作点でニュートン-ラプソン(NR)反復法を適用して次の反復を求めることである。ステップは、以下のとおりである。

40

1.  $A_0$ 及び $D_0$ を、同期受信機のフィルタリングされた出力に対する $I_0$ 及び $Q_0$ のサンプルによる現在の時刻における減衰器及び位相制御として定義する。

2. 次に、減衰器制御部を、 $A_1=A_0+A$ となるようにAだけ高める。位相制御部は、同じ値 $D_1=D_0$ である。Aは、減衰器の制御の「中心」に向かう方向にあることが重要である。いずれの極値においても、制御部の感度は非常に小さくなる。次いで、受信機の出力をサンプリングし、その結果、 $I_1$ 及び $Q_1$ が得られる。

50

3. 次に、位相制御部を $D_2=D_0+P$ となるように  $D$ だけ高める。減衰器制御部は、同じ値 $A_2=A_0$ である。受信機出力を再びサンプリングし、その結果、 $I_2$ 及び $Q_2$ が得られる。

4. 数値微分を

$$dI\_dA=(I_1-I_0)/A$$

$$dI\_dD=(I_2-I_0)/D$$

$$dQ\_dA=(Q_1-Q_0)/A$$

$$dQ\_dD=(Q_2-Q_0)/D$$

のように決定する。

5. ニュートン-ラプソン法の更新を

【数5】

$$\begin{bmatrix} A_0 \\ D_0 \end{bmatrix}_{new} = \begin{bmatrix} A_0 \\ D_0 \end{bmatrix}_{old} - \alpha \begin{bmatrix} dI\_dA & dI\_dD \\ dQ\_dA & dQ\_dD \end{bmatrix}^{-1} \begin{bmatrix} I_0 \\ Q_0 \end{bmatrix}$$

のように実行する。

【0203】

オプションの係数  $\alpha$  は、0から1までの間に設定されたスケーリング係数である。関数 $I_0(A,D)$ 及び $Q_0(A,D)$ は、かなり滑らかな表面を与える。したがって、NR法は、数回の反復ですぐに収束する。

【0204】

いくつかの場合において、マニホールド表面は急激に変化するか、又はNRの反復を収束ではなく発散させる屈曲点がある。これは、初期点 $\{A_0, D_0\}$ が十分に近い場合に問題にならないであろう。しかし、毎回のNRの反復後に $|I|$ と $|Q|$ の両方又は $I^2+Q^2$ をチェックして値が減少していることを確認する。

【0205】

また、最終の $I^2+Q^2$ に対する公差を規定するか、又はNRの固定した反復回数を設定する必要もある。

【0206】

適宜、 $I$ 及び $Q$ が利用可能でない場合、 $P_{tot}(A,D)$ の出力を供給する図15のパワー検出器を使用することができる。パワー検出器の零点調整は、雑音及びバイアスの問題により収束が遅い。LUT\_ADが不正確な場合、勾配型探索の前に大域的探索が必要になる。大域的探索は、 $A$ 及び $D$ 上の単なる二次元探索である。明らかに、できる限り探索範囲を縮小することを試みる。

【0207】

$P_{tot}$ に基づく勾配探索は、以下のステップからなる。

1.  $A_0$ 及び $D_0$ を、 $G_0=P_{tot}(A_0, D_0)$ のパワー検出器のサンプルによる現在の時刻における減衰器及び位相制御として定義する。

2. 次に、減衰器制御部を、 $A_1=A_0+A$ となるように  $A$ だけ高める。遅延制御部は、同じ値 $D_1=D_0$ である。ここでもまた、 $A$ は、減衰器の制御の「中心」に向かう方向にあることが重要である。検出器信号 $G_1=P_{tot}(A_1, D_1)$ をサンプリングする。

3. 次に、位相制御部を $D_2=D_0+D$ となるように  $D$ だけ高める。減衰器制御部は、同じ値 $A_2=A_0$ である。検出器信号 $G_2=P_{tot}(A_2, D_2)$ をサンプリングする。

4. 以下のように制御部を更新する。

$$A_0 \quad A_1 \quad G_1 < G_0 \text{ 且つ } G_1 < G_2 \text{ の場合}$$

$$D_0 \quad D_2 \quad G_2 < G_0 \text{ 且つ } G_2 < G_1 \text{ の場合}$$

【0208】

最初に、 $A$ 及び  $D$ は中間サイズであるものとしてよい。しかし、数回反復した後、 $A_0$ 及び $D_0$ はもはや変化しないと判定され、その場合  $A$ 及び  $D$ は、2倍小さくなる。これは、 $A$ 及び  $D$ が $A$ 及び $D$ ブロックを駆動するDACの分解能程度になるまで続く。

【0209】

$A_0$ 及び $D_0$ への動的変化は、通過帯域の効果的な拡大として現れるか、又は通過帯域信号

の位相/振幅雑音変調が望ましくないことに留意されたい。したがって、信号品質をその後測定することができるようにトラッキングをフリーズするための機能があるべきである。

#### 【0210】

次にRFCに基づくFB 110を考察するが、この場合、A及びDを変化させることによって特定の周波数 $f_0$ で $P_f(f_0)$ を最大化する必要がある。すでに説明されているように、 $A_{in}$ は、 $P_f(f_0)$ が設定された閾値に近くなるように別のループによって設定されると仮定される。A及びDが最適化されている間、 $A_{in}$ は、一定レベルに保持されなければならない。したがって、ステップは、以下のとおりである。

1. 所望の中心周波数及び帯域幅に対するLUT\_ADの値に応じてパラメータA及びDを設定する。 10
2.  $P_f(f_0)$ が所望のターゲットパワーレベルに達するように $A_{in}$ を設定する。
3. Dを変化させることに基づき $P_f(f_0)$ を最大化するための勾配探索法を使用する。
4.  $P_f(f_0)$ が所望のターゲットパワーレベルに達するように $A_{in}$ を再び調整する。

上述のようなパラメータを修正するために使用することができる異なるアプローチ、例えば、当技術分野で知られているLMS(最小二乗平均)法などがある。

#### 【0211】

(フィルタブロック110を使用するアプリケーション)

(アンテナの変動する結合特性の軽減)

前のセクションで説明されているようなRFCベースのFB 110の最適化に基づき、FB 110を異なるいくつかの方法で使うことができる。図13は、ハンドヘルド型携帯電話などのアプリケーションに対するアンテナ結合26の図を示している。これは、アンテナ特性に影響を及ぼす物体にデバイスが近接している可能性がある場合に有用であると思われる。このような物体は、携帯電話を耳に当てているときのユーザーの頭部であり得る。問題は、アンテナ結合が携帯電話のアンテナに関するユーザーの頭部の位置に応じて変化することである。したがって、信号出力を最大化するようにパラメータA及びDを継続的に調整することが望ましい。これは、前のセクションで概要が述べられているように勾配ベースの最適化ステップを継続的に実行することによってなされる。 20

#### 【0212】

(FB及び低調波サンプリングに基づく広帯域幅チャネライザ)

多くのアプリケーションにおいて、広い周波数範囲にわたって動作することができる狭帯域幅チャネライザに対して要件がある。FB及び低調波サンプリングブロック118とその後処理との組み合わせは、図17に示されているような広帯域幅チャネライザを実装する手段となる。 30

#### 【0213】

低調波ADCのサンプリングレートは、 $f_{smp}$ であり、これはチャネライザの瞬時帯域幅より高いと仮定される。 $m$ を整数とする $mf_{smp}$ の周波数成分が低調波ADC 118によってエイリアスされるときに、FB 110の帯域幅は $f_{smp}$ より小さい必要がある。処理は、

【数6】

$$\left(\frac{n}{N} + m\right) f_{smp}$$

の成分が分離され、さらなる処理を受けられるようなN個の逐次的サンプルのDFTからなる。

#### 【0214】

チャネライザは、図15に示されているようにFB内へのスイッチを通じて結合されたシンセサイザ出力に基づき定期的に較正され得る。

【実施例】

#### 【0215】

主実施態様は、図10に示されている。この実施態様の動作は、以下のとおりである。帯 50

域幅(B)、中心周波数(F)、及び利得(G)に関する所望のフィルタ応答特性は、コントローラ32に伝達され、次いで、入力減衰器( $A_{in}$ )28、遅延ブロック(D)12、及び減衰器(A)14に対するパラメータを設定する。検出器30は、フィルタ出力18に基づきコントローラ32にフィードバックを送り、出力 $A_{in}$ 、D、及びAの微調整を行う。

#### 【0216】

コントローラは、図18に定義されているような2つのアルゴリズムからなる。入力は、ブロック104内の出力 $A_{in}$ 、D、及びAに対する粗制御を生成するために使用される一組の所望の応答パラメータ{B,F,G}である。それに加えて、パワーセンサーからの出力を入力として使用する適応制御ブロック106がある。

#### 【0217】

さらに使用することが可能な多数の変更態様がある。図10に示されているコンポーネントは、基本的機能を提示する。これらは、さまざまな異なるコンポーネントを使用して実装され得る。例えば、総和ブロック(SB)24は、基本受動的抵抗器コンバイナ、指向性結合器、パワーコンバイナ、パワースプリッタ、トランジスタ利得要素に基づく能動的コンバイナ、集積回路などとすることができる。このコンポーネントの目的は、その出力において2つの入力の線形重ね合わせを与えることである。

#### 【0218】

パワーセンサー(PS)30は、より複雑な変動性を有する。可能性の1つは、PS 30aが、ダイオードなどの非線形コンポーネントに基づく単純な広帯域パワー検出器であるという点である。これは、コントローラ32に、出力信号のパワーレベルの測定結果を提供する。PS 30aは、信号の復調に基づく狭帯域幅センサーであってもよい。これは、図19に示されている。RFC 10の出力は、所望の信号から情報を抽出する信号処理ブロック116に接続される(つまり、これはGPS信号若しくはワイヤレス通信信号である可能性がある)。(適応制御のためコントローラ32にフィードバックを送るために)必要なPS機能は、図19に示されているように信号処理ブロック116に組み込まれる。このブロック内の処理は、帯域内信号のパワー検出、復調された所望の信号に基づく帯域幅の測定、及びこれもまた復調された信号に基づく中心周波数の測定を含むことができる。PS要件を満たすために必要なこの処理は、全体的な処理に加えて増分的である。

#### 【0219】

信号処理ブロック116の代わりに、RFC 10は、事前校正済みルックアップテーブル(LUT)に基づくコントローラ32を組み込むことができる。ここで、入力{B,F,G}は、多次元デジタルLUTに基づきG、A、Dパラメータ出力にマッピングされる。LUTのデジタル出力は、一組のDAC(デジタル/アナログコンバータ)を解してG、A、Dに必要なアナログ制御に変換される。LUTは、すべての使用の前に、製造時に個別のRFCに対する校正値が書き込まれるか、又は適応更新法に基づき調整されうる。このような技術は、数え切れないほど多く、しかも多様であり、当技術分野でよく知られている。この実施態様は、図19に示されている実施態様を背景状況としてそのようなLUTへの書き込み、更新、及び保持のための関連する知られているアルゴリズム及び方法のすべてを包含し得る。この実施態様を実装する場合、前の校正が必要であることに留意されたい。また、LUTは、精密制御が必要になるほど大きくなる可能性がある。しかし、データ補間法にも基づきこの問題を軽減する効果的な方法がある。

#### 【0220】

図20を参照すると、別の実施態様において、SB 24を減衰器28の前に配置し、アンテナとして実装することができる。この2つの例が図21a及び21bに示されている。フィードバックプローブ128を備えるモノポールアンテナ126が図21aに示されており、アンテナがコイルの周りの巻線132であり、フィードバック結合が二次巻線134によってなされる、磁性フェライトロッドアンテナ130が、図21bに示されている。

#### 【0221】

ここでは無線周波アプリケーションが説明されているが、アンテナSBの実施態様は、釣り合っているフィードバックトランスデューサを備える光信号若しくは機械的振動に対す

10

20

30

40

50

るセンサーとすることが可能である。例えば、SBは、電気信号出力を有するマイクロホンとすることが可能である。フィードバックは、マイクロホンにフィードバックする機械的トランスデューサであるか、又はマイクロホンに電気信号として追加され得る。後者は、図10の回路により近く、入力信号は、従来のSBがマイクロホンの後に加えられる電気出力を与えるマイクロホンから供給され得る。

#### 【0222】

図22を参照すると、LNA 25の前に配置されたりミッターデバイス136があり得ることがわかる。リミッター136は、好ましくは、入力信号の瞬間振幅が与えられたレベルを超えないように制限するRF又はマイクロ波デバイスである。これは、LNA 25を飽和しないようにし、損傷から保護する。また、これは、RFC 10が不安定になって、発振するように{G,A ,D}制御が適用されるときにLNA 25内への入力を制限する。 10

#### 【0223】

図23を参照すると、RFC 10は、帯域通過フィルタの代わりに帯域消去フィルタが結果として得られるように構成され得ることがわかる。図中のRFC 10は、前に説明されているように帯域通過フィルタである。しかし、追加の遅延ブロック136は、コントローラ32からの信号D2によって制御される入力「入力遅延」(ID)上に追加される。これは、第2の総和ブロック24内の入力信号16の直接的経路に追加されるRFC帯域通過機能への位相シフトをもたらす。したがって、直接的経路と組み合わせられたRFC 10の帯域通過フィルタは、制御可能なノッチ深さ、中心周波数、及び帯域幅を持つノッチフィルタを構成する。D<sub>2</sub>、G、D<sub>1</sub>、及びAの制御部を調整することによって、このノッチは、さまざまな深さ及び幅の周波数内のどの場所にも移動することができる。この配置構成は、反RFC又はARFCとしてすでに参照されている。 20

#### 【0224】

図24を参照すると、いくつかのRFCユニット10は、複数の極又は通過帯域とともに全体的なフィルタ配置構成を実現するために並列に接続され得ることがわかる。図24では、N個のRFCユニット10が並列構成をとっており、それぞれ特定の周波数極を実装し、ブロック33内で組み合わせられている。極は、これらが周波数において分離された個別の通過帯域であるように配置構成され得る。これらは、図25に示されているように密集間隔で並び連続する通過帯域を形成するようにも配置構成されうる。

#### 【0225】

図26を参照すると、いくつかのARFCユニット100は、複数の伝達零点又は帯域消去とともに全体的なフィルタ配置構成を実現するために直列に接続され得ることがわかる。図示されているように、直列構成のN個のARFCユニットがあり、それぞれ周波数において特定の伝達零点を実装する。伝達零点は、これらが周波数において分離された個別の帯域消去フィルタ又はノッチフィルタであるように配置構成され得る。これらは、図27に示されているように密集間隔で並び連続する阻止帯域を形成するようにも配置構成されうる。 30

#### 【0226】

前に述べたように、RFCは、図28に示されている、指向性結合器140を使用して実装され得る。指向性結合器(DC)は、RFCの背景状況において説明される、4ポート受動回路コンポーネントである。図29を参照すると、方向性結合器140を備えるRFC 10の一例が示されている。示されている例では、指向性結合器140は、好ましくは、特定の結合比を有する。ポートA 142内への信号は、出力ポートB 144に過剰損失が無視できるくらい小さい状態で結合される。同様に、ポートC 146内への信号入力は、過剰損失が無視できるくらい小さい状態で出力ポートD 148に結合される。ポートA 142内への信号のわずかな割合部分が、ポートD 148内に結合されるが、ポートC 146内には結合されない。同様に、ポートC 146内への信号のわずかな割合部分が、ポートB 144内に結合されるが、ポートA 142内には結合されない。AからD及びCからBへのこの結合は、DC 140の設計を通じて正確に設定することができる。DC 140は、RF及びマイクロ波回路に一般的に使用されるデバイスであり、当技術分野で知られている。DC 140は、前に示されている総和ブロックの代わりに使用される。この実施態様の利点は、主信号経路から再計算ループ内への正確な量の結合を使用す 40 50

ることができるという点である。

#### 【0227】

図30を参照すると、一実施態様において、指向性結合器140を使用することで、減衰器14を指向性結合器140の結合係数を修正するブロック150で置き換えることができることがわかる。減衰器14は、1より小さい利得を有するので、結合係数修正器150は、第2の経路22に内に結合される信号強度を変化させることによって減衰器と同じ機能を果たすことができ、コントローラ32によって制御することもできる。図示されているように、結合係数修正器150は、指向性結合器140の間に接続される遅延要素である。

#### 【0228】

図30には可変利得増幅器(VGA)25も示されており、これは入力減衰器28及び固定利得段25を置き換えるために使用される。VGA 25は、第1の経路20の入力と出力との間に接続される。VGA 25の利得は、変調器(図示せず)などを通じて、コントローラ32によって制御される。

#### 【0229】

図31を参照すると、DC 140を備え、共通コントローラ32によって制御される、直列に接続された複数のRFC 10を有する多重通過帯域フィルタの実現があり得ることがわかる。図29に示されているようなDC 140により実装されるようなRFC 10の有用な特性は、信号が、共振器の帯域幅からずれている場合に単位利得を持つRFC 10を通過し、共振器の帯域幅の範囲内にある場合に増幅されるという点にある。したがって、多重通過帯域配置構成は、図31に示されているように実装することができ、その周波数応答は図32に示されている。図31の回路の利点は、他のマルチRFC回路に比べて、コントローラ32の必要なコンポーネント及び制御部が少ないという点である。

#### 【0230】

或いは、図33に示されている構造を使用して、図32に示されているような周波数応答を持つ通過帯域フィルタを構成することができる。図33に示されている構造は、高調波を抑制する発振器を形成するためにも使用され得る。図示されているように、多数のループ22があり、それぞれ減衰器と遅延要素12及び14を備えている。回路は、利得段25及び複数の並列フィードバック経路22からなる。フィードバック経路33を利得段24内に直接通す、入力指向性結合器140を取り除くこともできることは理解されるであろう。M個のフィードバック経路33があり、これらは以下で $p_1$ 、 $p_2$ から $p_M$ と識別される。それぞれの経路は、所望の発振周波数の $N_m/2$ 波長の電氣的長さを有し、 $N_m$ は $N_m=1, 2, 3, \dots$ である正の整数である。それぞれの経路には、特定のスケールン及び位相シフト係数を与えるように設計することができるデバイスが付随する。そのようなデバイスに対する可能な実施態様は、共振器空洞であり、そこでは、空洞への、また空洞からの結合は、そのデバイスを通る信号経路が所望のスケールン及び位相シフトを有するように設計され得る。

#### 【0231】

第1の経路を考慮し、電氣的長さを $N_1=1$ となるように1/2波長に制約する。したがって、電氣的長さは、このフィードバックループを通じて ラジアンである。ループ内の増幅器の利得が-1である場合、単一のフィードバック経路を持つ回路は、 ラジアンである電氣的長さに対応する周波数で発振することになる。

#### 【0232】

第1の経路を考慮し、電氣的長さを $N_1=2$ となるように1波長に制約する。したがって、電氣的長さは、このフィードバックループを通じて2 ラジアンである。ループ内の増幅器の利得が1である場合、単一のフィードバック経路を持つ回路は、2 ラジアンである電氣的長さに対応する周波数で発振することになる。

#### 【0233】

問題は、ループ内の能動的利得段がある程度の高調波歪みを発生することである。 $p_1$ ループは、発振器の高調波出力を著しく増大する意図された発振周波数の倍数の共振周波数を有する。

#### 【0234】

10

20

30

40

50

次に、2つの並列フィードバックループを有する回路を考察する。第1のフィードバックループは、 $N_1=2$ の制約及び1のループ利得を有する。第2のフィードバックループは、 $N_2=1$ の制約及び-1のループスケーリング係数を有する。これら2つの経路の組み合わせでは、2から $p_1$ までの電氣的長さに対応する周波数は、2 から $p_2$ までの位相も有し、発振器はこの等価周波数で動作するが、同じフィードバックネットワークはこの周波数の第2の高調波を通さない。組み合わせられたフィードバックは、この発振周波数の偶数次高調波のすべてでゼロを有することがわかる。

#### 【 0 2 3 5 】

$N_1=3$ 、 $N_2=2$ 、及び $N_3=1$ として $p_3$ を加えると仮定すると、次いで、 $p_m$ のブランチのそれぞれの好適な利得係数があれば、第5及び第6の高調波などに加えて第2及び第3の高調波を抑制することが可能である。

10

#### 【 0 2 3 6 】

一般に、 $N_m=M-m+1$ としてM個のフィードバックループを使用した場合、0, 2, 3, ..., M-1の高調波は抑制される。第M次高調波は、高調波部分の問題を引き起こす最初のものである。図33は、M個のフィードバック経路のそれぞれにおいて個別の誘電共振器を使用することに基づく実施態様を示している。誘電共振器の中への結合は、個別の経路に対する適切なループ利得及び位相が確定されるように調整され得る。

#### 【 0 2 3 7 】

図34を参照すると、DC 140を有するRFC 10を一方向共振器として使用することができることがわかる。信号がポートB 144の出力によりポートA 142内に入力されると、RFC 10は中に結合され、回路全体が共振帯域内で高い利得を持つ狭帯域幅共振器として振る舞う。信号がポートA 142の出力によりポートB 144内に結合される場合、回路は低利得広帯域幅全域通過フィルタとして振る舞う。順方向の共振帯域は、コントローラ32によりすでに説明されているのと同じ方法で制御され得る。また、回路は線形であるので、回路が順方向(ポートA 142からポートB 144へ)で高利得狭帯域通過特性を、逆方向(ポートB 144からポートA 142へ)で低利得全域通過特性を同時にもたらすように、信号はポートA 142及びポートB 144に同時に印加され得る。

20

#### 【 0 2 3 8 】

或いは、図35を参照すると、指向性結合器140を有するRFCユニット10に基づく回路を設計することができ、一方の方向に複数の通過帯域を、他方の方向に広帯域単位利得を有する一方向共振器を実現することがわかる。

30

#### 【 0 2 3 9 】

或いは、図36を参照すると、有用な回路は、一方の方向に一組の通過帯域極を、反対方向に別の組の通過帯域極を備えるDC 140を有する複数のRFC 10に基づき実現することができることがわかる。これは、図34のそれぞれの方向において1つの極について示されている。ポートA 142内に入る信号について、スループット利得は、RFC1 10によってもたらされる共振通過帯域に加えて全周波数帯域にわたって1となる。信号は、RFC2 10'の影響を受けない。同様に、ポートB 144内に入る信号について、スループット利得は、RFC2 10'によってもたらされる共振通過帯域に加えて全周波数帯域にわたって1となる。信号は、RFC1 10の影響を受けない。

40

#### 【 0 2 4 0 】

図37を参照すると、ARFCバージョンは、DC 140を使って実装することもできることがわかる。この結果、図35に示されているように狭阻止帯域周波数特性を持つフィルタが得られる。ARFC 100は、D1及びD2によって制御される2つの可変遅延ユニット12を、さらにはAによって制御される減衰器14をも使用する。制御部(A, D1, D2)の全体により、ノッチの中心周波数、帯域幅、及び深さが制御される。図38に示されているように、DCに基づくARFCユニット100のカスケード接続もあり得る。これは、任意のフィルタ形状を実現できるように任意の個数の伝達零点を実装するために使用され得る。

#### 【 0 2 4 1 】

図39を参照すると、RFCベースのノッチフィルタ、つまりARFCユニット100の直列カスケ

50

ードを有し、近接位相雑音を抑制する改善された発振器を備えるシステムがあり得ることがわかる。入力発振器154は、 $f_0$ のトーン周波数を有する。2つのRFCノッチフィルタ100は、 $f_1=f_0+f$ 及び $f_2=f_0-f$ に同調される。ノッチフィルタ100は、発振器の近接位相雑音の有意な部分を抑制する。周波数制御は、電圧制御発振器(VCO)に対するアナログ同調電圧又はシンセサイザベースの発振器に対するデジタル入力とすることが可能である。 $f_1$ 及び $f_2$ に対するノッチフィルタは、図23のような総和ブロック又は図37のようなDC 140を有するARFC 100の変更態様のものとしてよい。コントローラ32からの制御は、ARFC 100のDC実施態様の場合のように図示されている。パワーセンサー30は、位相雑音及び発振器スプリアス成分のパワーを監視し、ARFCの制御がしかるべく調整されるように発振器の出力に追加する。この実施態様における実用上の課題は、2つのARFCユニットに対する制御部の設定の必要な厳格な制御である。発振器位相雑音及びスプリアス成分のさらなる抑制のために、さらに多くのARFC 100を追加することができることは理解されるであろう。

10

#### 【0242】

図40を参照すると、RFC 10は、ドップラーレーダーの実施態様において使用できることがわかる。連続出力ドップラーレーダーは、送信用アンテナ156を解して高純度のトーンを送信し、受信用アンテナ160を介して送信されたトーンからの比較的小さな周波数増分で移動するターゲット158からのリターン信号を検出する。「レーダー」という用語は一般的に電波を暗示するが、本明細書の説明では、電磁波又は音響などの他の種類の信号も使用できることは理解されるであろう。図示されているデバイスは、RFC 10を使用して、周波数のドップラー偏移であるリターン信号を中心に設定する狭帯域幅フィルタを構成する。処理ブロック162を使用して受信信号を解析する。この変更態様が図41に示されており、これは図36の双方向フィルタを使用する。ドップラーレーダーの増幅されたトーン信号は、RFC1 10に基づきフィルタリングされ、アンテナ164に接続される。送信信号は、RFC2 10'の影響を受けない。戻るときに、信号はRFC2 10'によってフィルタリングされ、ドップラーレーダー信号処理部162に渡される。RFC1 10及びRFC2 10'の中心周波数は、リターン信号のドップラー偏移により周波数がわずかにずれることに留意されたい。図40内の回路は、リターン経路内のRFCを使用する一般的なドップラーレーダーの拡張である。図41内の回路は、コントローラ32によって制御される2つのRFC 10を備える双方向フィルタを使用して、戻りの際のドップラー周波数成分を抽出する。

20

#### 【0243】

図42を参照すると、RFC 10は、RFCフィルタリング機能のある狭帯域幅電力増幅器として使用できることがわかる。マイクロ波又はRF電力増幅器は、典型的には、中間周波数範囲において使用されるが、瞬時帯域幅は非常に小さい。RFC 10を使用することで、電力増幅器の利得ブロックに付随する固有雑音の多くを取り除くことができる。可能な回路構成が、図42に示されている。前の実施態様と同様に、G,A,Dの制御部は、この実施態様では電力増幅器の通過帯域特性を制御するRFC帯域通過フィルタの通過帯域特性を制御する。入力ベースバンド信号は、アップコンバージョンされ、ブロック166によってプレディストーションが適用されて、RFC 10のその後の周波数歪みを補正する。RFC 10の出力のところのパワーセンサー30はコントローラ32のためにフィードバックを供給し、これによりコントローラ32内に入力される所望の応答に基づき、G,A,Dパラメータを制御する。

30

40

#### 【0244】

図43を参照すると、上で説明されているRFC 10及びコントローラ32は、サブサンプリングADCとともに受信機において使用することができることがわかる。RFCは、所望の受信信号と釣り合う十分に狭い帯域幅を有する受信機のフロントエンドのところで帯域通過フィルタリングを行う。狭帯域通過により、それぞれブロック170及び172による低調波サンプリング及び受信機での処理の前に追加のアンチエイリアシングフィルタリングが不要になることは確実である。そのようなものとして、RFCと低調波サンプリングとの組み合わせで一般的に従来の受信機に付随している追加のフィルタリング及び信号利得成分が回避される。

#### 【0245】

50

図44を参照すると、フィードバックを送るために、SSで表されている信号センサーブロック174をRFC回路内に挿入することができることがわかる。

#### 【0246】

(特性)

RFCの制御部を調整することで、以下の特性を有することができる周波数フィルタリング副回路を実現する手段が得られる。

- ・ 信号スループット利得は、典型的なワイヤレス通信信号の帯域幅と釣り合う比較的狭い周波数範囲をいくつかの実施態様において-20dBから60dB超まで(例えば、-20~0dB、-10~0dB、0~60dB、0~30dB、0~45dB、15~45dBなど)の範囲にわたって変化させることができる。

10

- ・ RFCの等価なQ係数である、帯域中心周波数と帯域幅との比は、広い範囲にわたって変化し得る。いくつかの実施態様では、この範囲は10未満から100000超までの範囲(例えば、10~80000、約90000、約110000、約125000、約150000など)とすることができる。したがって、RFCは、結果として、極端に高い周波数選択性をもたらし得る。

- ・ RFCを使用することで、所望の信号帯域幅を外れた周波数のスプリアス側波帯の存在を最小にしながら単一の主通過帯域に対するフィルタリングを行うことができる。

- ・ 0から60dBまでの範囲(例えば、0~30dB、0~45dB、15~45dB、など)の帯域外信号の相対的抑制を行うことができる。

- ・ 回路は線形であり、したがって、動作は信号の種類及び変調に依存しない。

- ・ RFCは、電子的に同調可能であり、したがって、帯域幅及び搬送周波数に関して異なる信号条件について素早く同調させることができる。

20

- ・ RFCは、同調可能なノッチフィルタとして動作するように構成され得る。

- ・ いくつかのRFCは、並列に動作させることができ、これにより、異なる周波数の信号を同時にフィルタリングすることができるデバイスが構成される。アプリケーションとして、GNSS受信機が考えられ、この受信機は多数の離散帯域を同時に復調しなければならない。

- ・ いくつかのARFCは、複数の離散狭周波数帯域を同時に除去できるように直列で動作するように構成され得る。

- ・ RFCは、物理的に非常に小さくすることができ、外部コンポーネントの点数を最小限度に抑えたモノリシック受信機ASICとともに組み込むことができる。したがって、RFCは、独立したパッケージ化コンポーネントとして、又は多機能受信機ASIC上に一体化できるIPブロックとして、製作することができる。

30

- ・ コントローラは、信号強度ブロックからのフィードバックを使用して、G、D、及びAに対する許容値を決定するのを補助することができる。

#### 【0247】

これらの特性に基づき、RFCは、瞬時信号帯域幅が搬送周波数に関して小さいマイクロ波受信機アプリケーションにおいて使用することができる。この例は、図45に示されており、そこでは、回路は、アンテナ26、RFCユニット10、サンプルアンドホールドブロック122、ADCブロック36、及びDSP処理ブロック124を有するものとして図示されている。マイクロ波副回路及び信号受信機における潜在的アプリケーションの他のいくつかの例を以下に示す。これらの例に加えて、RFC設計は、機械的振動、光、及び音響などの、他のシステムでも使用され得る。当業者であれば理解するように、これは、類似の要素を本明細書の例で説明されているもの代わりに使用することによって行うことができる。

40

#### 【0248】

RFCは、狭帯域幅マイクロ波帯域通過フィルタを置き換えるために使用され得る。マイクロ波周波数における高選択性帯域通過フィルタは、一般的にかさばる大きさであり、同調の範囲も限定されている。RFCは、同調可能なQ及び中心周波数におけるこの実装上の問題に対する物理的に小さくする解決策をもたらす。

#### 【0249】

RFCは、イメージ除去ミキサーの実施態様を簡素化することができる。典型的なイメー

50

ジ除去ミキサーは、最大20dBまでの相対的画像帯域抑制を行うことができるが、RFCは、最大60dBまで行うことができる。さらに、典型的なかさばるイメージ除去ミキサーが回避される。

【0250】

RFCは、周波数ホッピングレーダーシステム及び通信受信機などの多数のアプリケーションにおいて有用な高選択性、高俊敏性のマイクロ波帯域通過フィルタを実装することができる。

【0251】

GPSシステムの場合、GPS受信機は、帯域外干渉信号を除去するために高選択性の低雑音のRFフロントエンドを必要とする。RFCは、最大60dBまで(例えば、40dB、50dB、45dB、60dBなど)の帯域外信号の抑制を行うことができる。これは、標準的なヘテロダイン受信機の開発を簡素化するが、それは、潜在的に大きな帯域外信号がRFCによって除去されているためダウンコンバージョン段の線形性の要件を緩和できるからである。また、スーパーヘテロダインの場合には、RFCは、イメージ除去ミキサーに対する要件を適用されない。RFCは、GPS受信機のゼロIFの実施態様において効果的に使用することもできる。二次非線形性に関する典型的な問題は、RFCの高選択性によるRFCの実施態様により低減される。同じことが、一般的なGNSS受信機についても当てはまる。

【0252】

典型的な携帯電話機の受信機のような地上ワイヤレス受信機は、所望の通過帯域信号の近くにある大きな信号から干渉を受ける傾向がある。RFCの高選択性は、これらの帯域外信号を抑制するのに効果的である。これにより、受信機のダウンコンバージョン及びIF段の線形性の要件が緩和され、その結果、潜在的に、受信機の実装の費用が少なくなり、また消費電力も少なくて済むようになる。

【0253】

典型的な周波数アジリティ又は周波数ホッピングレーダーは、意図的でない、さらには敵対的なジャミングを受ける。その結果、高周波数選択性受信機フロントエンドが、干渉信号を抑制するために必要になる。RFCを電子的に同調させて、非常に高い選択性を有する周波数ホッピングレーダー信号の瞬時信号帯域幅を完全に追跡することができる。

【0254】

電波天文学などのより難解な分野において要求されるような非常に雑音の低いマイクロ波増幅器に対してRFCの潜在的アプリケーションがある。RFCは、極低温冷却を行う必要なく雑音指数が0.2dB程度(例えば、0.1dB、0.15dB、0.2dB、0.25dB、0.3dB、0.35dBなど)と低い、同調可能であり、高周波数選択性を有し、極端に低雑音の増幅器の実現のためにLNAにより実装することが可能である。

【0255】

RFCの高速電子同調性を利用すると、適応型受信機のアプリケーションの実現の機会が得られる。出力受信機処理部からのフィードバックを都合よくRFCに戻す形でリンクし、さまざまな形態の適応フィルタの実施態様を実現することができる。

【0256】

RFCの高選択性から、標準的なスーパーヘテロダイン受信機で使用される中間周波数フィルタリングが必要なくなることが示唆される。次いで、ワイヤレス受信機に対する簡素化されたアーキテクチャは、図45に示されている通りである。アンテナから受信された所望の帯域通過信号は、RFCによって直接フィルタリングされる。次いで、RFCの出力が、サンプルアンドホールドユニット(S/H)によって時間でサンプリングされる。S/Hの出力は、その後、ADCによって量子化され、その結果のデジタル形式の出力はデジタル信号処理(DSP)ブロックによってさらに処理される。DSPブロックは、RFCに対する制御出力も行う。

【0257】

(GPS及びセルラートランシーバに対するRFCのアプリケーション)

典型的なGNSS受信機(そのGPSは一般例である)は、受信機の帯域幅が信号が受信機を通過するときに徐々に狭められるスーパーヘテロダイン構造からなる。それに加えて、フィ

ルタリングは、帯域外干渉信号成分を抑制することに関してより高い選択性を有することになる。この従来技術の実施態様の一般ブロック図は、図46に示されており、それはスーパーヘテロダイン(SH)GPS受信機の一例である。

【0258】

この種の受信機の実装化の実施態様の問題点は、2つの局部発振器ブロックと、さらにはセラミック及びSAW(表面弾性波)フィルタが必要であるという点である。一般的に、これらのコンポーネントを主処理チップ回路から外して実装する必要がある、そのため全体のコスト及びサイズが増大する。それに加えて、オフチップコンポーネントを採用すると、受信機の信頼性が低下する。

【0259】

RFCに基づくGPS受信機の実施態様は、図47に示されている。GPS RF信号処理に必要なフィルタリング及び利得の全体は、RFCによってもたらされ、そこでは、制御変数はパラメータ制御(PCON)ブロックによって与えられる。この例示的な実施態様では、RFCの出力は、1.57542GHzのGPS L1搬送周波数におけるRFである。これは、図示されているようにサブサンプリングADCによって2値化される。サンプリングレートは、典型的にはC/A符号信号に対しては約2MHz、P符号に対しては10MHzであるGPS信号の利用される帯域幅と釣り合うものである。ADCの2値化された出力サンプルは、従来のGPSと同じ方法で処理される。この処理の結果、ADCサンプルの大きさが測定されるだけでなく、さらに、可視的なさまざまな衛星からの受信GPS信号の信号対雑音比(SNR)の推定値が得られる。2値化された信号サンプルの大きさは、RFCを通じての利得が調整されるようにPCONにフィードバックされる。処理済みの受信GPS信号のSNR推定値は、RFCの帯域幅及び中心周波数を調整するためにPCONによって使用される。典型的には、これは、処理済みのGPS信号のSNRを最適化することを目的としてディザリングアルゴリズムによって達成可能である。

【0260】

図63は、GNSS受信機のフロントエンド回路内に実装された再生フィードバック回路のブロック図である。図示されているように、GNSS受信機のフロントエンドは、GPS信号などのGNSS信号を受信するためにRFC回路及びPCONを備えることができる。次いで、受信信号がADC及びDSPに送信され、必要な情報が適宜抽出され利用され得る。

【0261】

マルチバンドGNSS受信機は、さまざまなGNSS衛星及び潜在的にスードライト発信源からの信号を同時に処理する。図47の回路は、図48の例示的な回路に示されているようなマルチバンドの事例について拡張することができる。図示されているように、RFC回路は、注目するGNSS周波数帯域のそれぞれについて用意され、そのそれぞれがPCONによって制御される。それぞれのRFC回路に付随するサブサンプリングされたADCは、サンプルの大きさの推定値及びGNSS衛星発信源のそれぞれに付随するSNRを計算するためにDSP処理側で使用する2値化されたサンプルを供給する。

【0262】

携帯電話に見られるような典型的なワイヤレストランシーバは、図49に示されているような回路構造に基づく。スーパーヘテロダイン構造が図示されているが、当業者であれば理解するように、他のオプションもあり得る。スーパーヘテロダイン構造では、デュプレクサが、受信機チャンネルからの送信機信号を取り除くが、これは送信機及び受信機を単一ポートアンテナに結合する都合のよい方法ともなる。現行技術では、デュプレクサは、ワイヤレストランシーバの比較的大きく、また高価なコンポーネントである。LNAに入力される信号が小さく、しかもLNAの線形性の領域内にきちんと収まるように、受信機経路内の送信信号の抑制が必要である。そうしないと、相互変調雑音が発生し、復調された信号のSNRが低下する。

【0263】

図50は、RFCに基づくワイヤレストランシーバの実施態様を示している。デュプレクサは図4のようにまだ必要であるが、RFCコンポーネントは送信機信号が受信機経路に入るのを本質的に阻止する帯域の非常に狭いフィルタであるので、フィルタリング要件の厳しさ

10

20

30

40

50

は著しく小さいことに留意されたい。したがって、図50のデュプレクサブロックは、送信機及び受信機を単一アンテナポートに結合する都合のよい方法という以上のものである。RFCのパラメータを設定するためにPCONが必要とするDSP処理からのフィードバック情報は、前の方で説明したRFCに基づくGPS受信機の情報と非常によく似ていることに留意されたい。SNR及び信号サンプル振幅に関するPCONへの入力、ワイヤレス信号復調の通常処理の一部として計算され、したがって、PCONに対応するための追加の処理は不要である。PCONを制御するためのアルゴリズムは、受信信号のSNRを最大化するディザリングプロセスであってよい。他の方法も、PCONに使用することができる。

#### 【0264】

(ワイヤレス受信機におけるRFCの例示的な実施態様)

10

スーパーヘテロダイン(SH)受信機は、携帯電話、GPS受信機、及びワイヤレスセンサーデバイス内に遍在的に現れる。SH受信機全体が、製造費が安く、ロバストで、理論的最適限界に近い性能を有する混合信号ASIC上に密に集積化される。世界中の数多くの電話機製造会社によって現在開発されている高度に複雑な多機能トランシーバに対応したモノリシック集積化マルチバンドSH受信機も作製されている。

#### 【0265】

しかし、さまざまなアプリケーション向けに現在製造されているそのような受信機の莫大な量は信じがたいほどのものである。2007年現在、世界中の住民2人に1台の携帯電話がすでにあった。平均使用年数を2年とすると、現在毎年数十億台の速さでモバイルデバイスが製造されていることになる。それに加えて、GPSは、一般大衆及び軍隊によって使用される配備済み受信機の数に関して類似の指数関数的増加率を示している。近年、RF受信機のコストが無視できるくらいに小さくなってきたため、ワイヤレスセンサー及び遠隔測定デバイスの分野で開発が爆発的に進んでいる。ワイヤレスセンサーのこの数が現在配備されているモバイル及びGPS受信機の集合体の成長をまもなく妨げることになると予測される。

20

#### 【0266】

このように量が多いことは、ワイヤレス受信機の技術進歩によるコスト低減のインセンティブとなる。したがって、SHに対する競合するアーキテクチャが増大してゆく。この十年間、ゼロIF及び近ゼロIFのアーキテクチャが広範に調査され、設計されてきており、その結果、ワイヤレス受信機のさらなるコスト低減がなされている。本明細書で説明されているワイヤレス受信機(RFC)は、コスト低減のさらなる潜在性を有している。いくつかの実施態様では、RFCは、オフチップで存在する必要がある他のアーキテクチャにおいて必要ないいくつかのフィルタリングコンポーネントを不要にしている。

30

#### 【0267】

図51は、例示的なRFC受信機のアーキテクチャを示している。アンテナから入った信号は、サブサンプリングADCによって2値化された出力とともにRFC内に直接送り込まれる。次いで、2値化された出力は、所望の信号を復調するDSPプロセッサによって処理される。フィードバックのためADCの出力(DSPへの入力)のサンプル振幅とSNRである2つの出力が用意される。これらのフィードバックは両方とも、所望の信号復調プロセスに適用するために必要なDSPから容易に利用可能であり、追加の処理を構成しない。RFCを制御するために必要なパラメータは、図51に示されているPCONブロックによって与えられる。これは、DSPブロックからのデジタルフィードバックを受け取り、何らかのさらなる処理を進める。PCONの出力は、追加のDAC機能を必要としないパルス幅変調(PWM)信号内にあるものとしてよい。単純な一次ローパスフィルタは、RFCによって要求されるアナログパラメータ信号を生成するのに十分である。

40

#### 【0268】

RFCの集積化は、混合信号ASIC上でモノリシックに形成することができる。可能な2チップ実施態様が、図52に示されている。第1のチップは、RFC、サブサンプリングADC、及び本質的に所望の信号の復調処理を実行するDSP処理ブロックを収納する混合信号ASICである。この復調は、例えば、GPS又はCDMA信号のスペクトル拡散変調の逆拡散オペレーショ

50

ンを伴うことになるであろう。DSP処理のデジタル出力は、アプリケーションを含む通信リンクのプロトコルスタックの上位層を実行するマイクロプロセッサから利用可能である。

#### 【0269】

混合信号ASICは、十分に安定したタイミング信号を発生するためにワイヤレス受信機に必要な水晶振動子を除き、オフチップコンポーネントを必要としないことに留意されたい。ASICは、単一のRFアナログ入力と一組のデジタルIO信号線とを有する。PCONから混合信号ASICへの接続は、一組のPWMデジタル信号線であり、アナログではない。

#### 【0270】

この例示的な2チップ受信機実施態様は、標準的なものであり、RFCベースのアーキテクチャの結果生じるハードウェアの複雑さが増すことはない。実際、RFC実装では、オフチップのSAW及びセラミックフィルタが不要であるという点でASICをより簡素なものとしている。図53は、SH受信機に対する典型的な実施態様を示している。オフチップである必要がある2つのBPFに留意されたい。これらは、比較的高価なコンポーネントであり、これらのデバイスを駆動するためにASICによる信号バッファリングを必要とする。

#### 【0271】

内部ASIC回路に関して、SH実施態様は、RF LO及びIF LOに対するシンセサイザを必要とする。これは、ダウンコンバージョンミキサーも必要とする。所望の通過帯域におけるLO周波数スパーを回避するために慎重な設計が要求される。さらに、2つのダウンコンバージョンミキサーは、本質的に非線形であり、受信機の瞬間的ダイナミックレンジを制限する相互変調歪みの発生源である。他方、RFCは線形であり、したがって、ダイナミックレンジは潜在的に広い。

#### 【0272】

RFCは、搬送周波数において狭帯域幅信号をサンプリングすることができるサブサンプリングADCを必要とすることがあるが、サンプリングレートは、信号帯域幅にほぼ等しいだけでよい。したがって、サンプリングレートは、潜在的に、SHの解決策のとは異ならない。したがって、所望の信号の復調にかかわるDSPは、RFC及びSHについて同じであってよい。しかし、ADC入力において搬送周波数が高いということは、高速サンプルアンドホールド(S&H)処理ブロックをADCの前に置くことができることを暗示している。このようなS&Hデバイスは、20GHzを超えるアナログ信号に対して現在利用可能である。したがって、6GHzより低いワイヤレス信号のサンプリングは、確かに実行可能である。しかし、ワイヤレスアプリケーションに対して十分に消費電力が低いS&H回路を実現することには難題があり得る。それでも、好適な低電力S&Hの問題をうまく避ける代替的解決策がある。この解決策は、図54に示されているようなゼロIFの解決策を使用するRFCに基づく。この代替的实施態様は、図示されているように直角位相ミキサーに信号を送る前と同じクロック信号発生器から参照されるRF LOを必要とする。ゼロIF I及びQ直角位相チャネル出力は、デジタルサンプルがASICのDSPコンポーネントに渡されるベースバンドADCにより2値化される。このアプリケーションでは、S&Hの要件は自明であることに留意されたい。

#### 【0273】

図52のS&Hを回避する別の可能な解決策は、ADCの代わりに単純な高速1ビット比較器を使用することである。低電力要件を満たすこのようなコンポーネント設計は、容易に利用可能である。この実施態様のブロック図は、図55に示されている。単一ビットACでは、結果として、オーバーサンプリングとともに減少する、実効SNRの約2dBの損失が生じる。多くのワイヤレスアプリケーションにおいて、そのような性能損失は、無視してよい結果である。

#### 【0274】

いくつかの実施態様では、RFCの実施態様の結果、オフチップのフィルタリングコンポーネントを回避することができるより単純な受信機ASICが得られる。RFCの動作は、ドリフトの問題を軽減するためにRFCパラメータを継続的に更新する必要がある場合があるため、従来のSH実施態様に比べていくぶん複雑なものとなり得る。しかし、典型的にはワイ

10

20

30

40

50

ヤレス受信機内で実行される復調処理は、RFCを制御し、所望の信号の最適なトラッキングを維持するための十分な観測可能なものである信号振幅及び信号SNR測定結果を生成する。したがって、いくつかの実施態様では、RFCをサポートするためにさらに計算量の多い処理は不要である。いくつかの実施態様では、PCONで必要な処理は、比較的低速であり、マイクロプロセッサですでに実行されている処理に容易に吸収される。

#### 【0275】

いくつかの実施態様では、必要なサブサンプリングADCの実現が潜在的に複雑な作業であり得る。しかし、この課題は、以下によって軽減され得る。

1. サブサンプリングADCを備えるRFCは、他の方法では必要になるRF及びIFシンセサイザを回避することができる。したがって、ASICの電力消費量及び複雑度は、このファクタにより低減される。シンセサイザの実装に際して、一般的に、設計上の制約及び制限を解決すること、及び課すことが困難であるオンチップ干渉問題が結果として生じること

10

に留意されたい。

2. ワイヤレス受信機アプリケーションに対する適切な性能のS&Hデバイスが現在存在している。このアプリケーションに適した低電力S&Hの実装を妨げる物理的制限はない。

3. ゼロIFは、RF LOシンセサイザがS&Hの代わりに使用される実際に使える妥協である。このような解決手段も1つの解決策であり得る。

4. 別の解決策として、単に単純な比較器デバイスである単一ビットADCを使用することができるといえるものが考えられる。

#### 【0276】

20

前に説明されているように、RFCは、携帯電話のトランシーバの実施態様に応用される。いくつかの実施態様では、RFCは、デュプレクサ及びSAWフィルタなどの集積回路を主トランシーバに備えることが可能でない従来の電話のさまざまなコンポーネントをなくすることができる。RFCは、復調されるべき所望のRFセルラー信号の帯域幅と釣り合う狭帯域通過フィルタを備え、さらなるアナログフィルタリングの必要性がなくなる(スーパーヘテロダインアーキテクチャのRF及びIFフィルタリング、ゼロIFアーキテクチャのRF及びベースバンドフィルタリング)。RFCフィルタの出力は、RFCフィルタの帯域幅に等しいサンプリングレートのサブサンプリングADCに直接入力することができる。いくつかの実施態様におけるADC出力の離散時間サンプルの出力ストリームは、DSP(デジタル信号処理)でさらに処理され、次いで、符号化された音声/データ信号が抽出されて復調され、携帯電話のアプリケーション層で使用される。

30

#### 【0277】

周波数変換に基づく従来技術の受信機設計では、適切な局部発振器(LO)信号を発生するために正確なシンセサイザを必要とする。これらのLOは、固定温度補償水晶発振器に由来する。LOの小さな周波数誤差は、一般的に、アナログ部分が固定されるようにDSP処理において直接補償される。いくつかの初期の実装では、水晶発振器の周波数は、信号復調からのフィードバックに基づき小さな範囲( $\pm 50\text{ppm}$ )にわたって調整することが可能であった。これは、周波数誤差が水晶発振器回路と結合されたバラクタダイオードを備える水晶発振器の正確な周波数を制御する周波数同期ループへの入力となる復調された出力において認識可能であることに基づく。

40

#### 【0278】

RFC実装では、パラメータとして以下のものが挙げられる。

Ain - 入力減衰制御

A - 可変減衰器に基づくループ利得制御

D - ループ遅延部又は位相シフト

#### 【0279】

これらは、RFCが、所望のセルラー信号帯域を最適な形で選択するために必要な中心周波数、帯域幅、及びスループット利得を実現できるように設定される。例は、1.2MHzから約5MHzの帯域幅が必要なCDMA IS2000について搬送周波数を中心とする。GSMは、約200kHzであるが、周波数ホッピングがある。表記をわかりやすくするために、RFC帯域通過フィ

50

ルタ応答の以下の3つの属性を定義することができる。

F - 帯域通過応答の中心周波数

B - 帯域通過応答の帯域幅

G - 帯域通過フィルタ全体のスループット利得

#### 【0280】

これらのパラメータを設定すること(携帯電話の信号復調のため)は、高利得と高Qフィルタ応答が要求されるため一般的に困難である。(この状況におけるQは、帯域通過フィルタの中心周波数とその帯域幅との比を指す)。PCS帯域(F~1900MHz、B~1MHz)のIS 2000のCDMA信号について、約2000のQが必要である。さらに、信号は、-120dBmと小さい可能性があり、アンテナとADC入力との間に100dBを超える利得が必要になる。さらに、この利得は、ADCのダイナミックレンジ内に留まるように厳格に制御されなければならない。例えば、4ビットADCが使用される場合、Gの振幅制御は1dBの精度で70dBの範囲でなければならない。

10

#### 【0281】

より高次のADCでは、この仕様は緩和されるが、これは、ADCの動作の消費電力を著しく増大し、それだけでなくこのコンポーネントを集積化する費用も増加する。

#### 【0282】

RFCアーキテクチャに基づく受信機は、スーパーヘテロダインアーキテクチャと同じ信号選択性及び雑音指数性能を備えることができる。いくつかの実施態様では、RFCの利点(携帯電話の背景状況において)は、実施態様に関する節約である。これは、従来技術の設計に必要とされているような外部部品を必要とすることなくRFCをモノリシックに実装する可能性に基づく。これは、この大量生産市場における著しい節約と言い換えることができる。

20

#### 【0283】

携帯電話を背景状況とする例示的なRFC回路は、図56に示されている。図56では、アンテナは、送信機出力と単一ポートアンテナへの受信機入力ポートを組み合わせる手段であるデュプレクサに信号を送る。RFCを備えるデュプレクサは、受信機フィルタリングの多くはRFCの一部として再生ループによって実現されるので送信機帯域と受信機帯域との間のフィルタリング選択性に関して従来技術ほどには精密である必要はない。RFCは、再生ループ、PCON、及びDSP処理の属性抽出コンポーネントからなる。デュプレクサの受信機ポートの出力は、所望の信号選択するために必要なRF周波数の狭帯域フィルタリングを実行するRFCの再生ループコンポーネント内に送り込まれる。再生ループの出力は、サブサンプリングADC(Bに基づくが、Fには基づかないサンプリングレート)で2値化される。ADCの出力サンプルは、DSPの一部として信号復調ブロック内で処理され、その結果、信号属性抽出に有用な出力が得られる。測定された信号属性は、再生ループのAin、A、及びD制御を生成するためにPCONによって使用される。PCONは、所望のF及びBパラメータを規定する携帯電話のアプリケーション層から初期入力をさらに受け取る。周波数ホッピングの場合、Fは、アプリケーション層の処理を介して受信機によって認識される所望の信号の周波数ホッピングシーケンスに対応するシーケンスとして解釈することができる。残りのG属性は、アプリケーション層に認識されない現在の信号強度に依存するので、DSP処理によって間接的に決定される。

30

40

#### 【0284】

図62は、携帯電話のフロントエンド回路内に実装された、図56に関して説明されている回路と同様の、再生フィードバック回路のブロック図を示している。図示されているように、フロントエンドは、アンテナを介して信号の送受信を行うための再生フィードバック回路を備える。図62では、フロントエンドは、デュプレクサ及び電力増幅器も備える。

#### 【0285】

上記の実施態様では図65に例示されているような受信機(例えば、RFC)に結合されているアンテナについて説明されているけれども、いくつかの実施態様では、RFCは、図66に示されているようなアンテナとともに使用することもできる。図66は、直列接続された増

50

幅器、移相器、及び減衰器を通してアンテナに受信機信号の一部を結合して戻す標準的な指向性結合器からなるフィードバック部を示している。本明細書全体を通して説明されているように、移相器及び減衰器は、RFCの一部として制御可能である。いくつかの実施態様では、アンテナ内に結合される制御フィードバック信号は、アンテナによって捕らえられる所望の入力信号と実質的に同じ位相及び振幅を有することができる。いくつかの実施態様では、この制御されたフィードバックの結果は、周波数選択性を有する高Q共振ループであるものとしてよい。受信機は、従来の受信機又は本明細書で説明されている種類のどれかの受信機とすることができる。いずれの場合も、Q値を高めたアンテナは、RFCフロントエンドであってもよい受信機によって制御可能な狭帯域幅応答をもたらす。

【0286】

10

いくつかの実施態様では、アンテナは八木アンテナであってもよく、その結果得られる構成は図67に示されているとおりである。上述のように、受信機は、従来の受信機又は本明細書で説明されている種類のどれかの受信機とすることができる。

【0287】

いくつかの実施態様では、アンテナは能動アンテナとすることができる。図68は、そのような能動アンテナの一実施態様を示す。この場合、能動アンテナは増幅器を含むので、フィードバックループ内の前の方に示されている増幅器は必要なくなる場合がある。

【0288】

PCONは、携帯電話アプリケーションに必要な機能性を高めるためのさまざまな処理ブロック及びアルゴリズムを備える。これらのコンポーネント及びアルゴリズムの例示的な実施態様について以下で説明する。

20

【0289】

(PCONのアルゴリズム)

LUT(ルックアップテーブル)

理想的には、再生ループのコンポーネントが、G、F、BがPCONによって行われる開ループの計算を介してAin、A、Dに正確にマッピングされるように完全に安定している場合には、DSPからの補正フィードバックは不要である。この場合、G、F、Bの設定は、LUTにより行うことができ、LUTエントリのアドレッシングは、F、B、G入力に基づく。F及びBは、アプリケーション層から直接来るものである。Gは、DSPブロックからそのまま来なければならない。したがって、図57に例示されている手順は以下のとおりであるものとしてよい。

30

1. F及びBはアプリケーション層によってPCONに発行される
2. Gは、所望の信号の信号強度の予想値に依存する公称値に設定される
3. PCONは、FBGを使用してLUT内のエントリのアドレスを計算する。エントリは、パラメータAin、A、及びDからなる。
4. B及びGは正確であると仮定して、所望の信号をDSP内で復調する。DSPの直接出力は、ADC出力の信号レベルである。高すぎる場合、ADCは飽和し、低すぎる場合、ADC処理の量子化雑音が支配的になる。したがって、信号RMS(二乗平均平方根)レベルは、あるターゲットレベルに近くなければならない。RMS測定結果は、Gへの適切な補正を決定するPCONに渡される。
5. 4をいつまでも繰り返す。

40

【0290】

観察されたように、F及びBはPCONを通じてアプリケーション層によって設定される開ループパラメータであり、G属性は、利得制御ループに基づく反復設定される。伝搬環境に依存するこの利得制御に対する変更態様は多数ある。例えば、屋内環境は、屋外環境に比べてかなり遅く変化し得る(例えば、都市回廊タイプの環境を通りフリーウェイを走行している場合)。携帯電話は、信号変動を追跡し、どれだけ速く応答する必要があるかを判定することができる。

【0291】

Fが数ミリ秒おきに知られている疑似ランダムシーケンスに従って変化する周波数ホッ

50

ピングアプリケーションでは、LUTエントリは正確であり、開ループで使うことができる。つまり、GSM信号は、Fがこのような形で継続的にホッピングされる受信機によって追跡される。次いで、さらに適応を行う時間がない可能性があるためLUTを開ループで使う必要がある場合がある。しかし、LUTエントリは、それぞれの周波数ホップの後に誤差を記録することによってより長い期間にわたり適宜適応させることができる。数分の使用で、テーブルに対してわずかな増分的な調整を行うことができる。

#### 【0292】

また、従来技術では、LUTと一緒に集積化できる温度センサーが使用される。次いで、F、B、G属性から、さらには同じ場所にあるセンサーの温度出力から、LUTのアドレスを決定する。

10

#### 【0293】

携帯電話の通常の物理層機能の一部として一般的に計算されるDSPの追加の出力は、復調された信号の信号対雑音比(SNR)の推定値である。これは、次の基地局へハンドオフするかどうか、する場合にはいつかであるかを決定するために携帯電話によって使用される。典型的には、携帯電話によって生成されるSNR推定値は基地局に戻され、それらのネットワークベースの決定を円滑にする。

#### 【0294】

したがって、さらなる処理を必要とすることなくそのような生成されたSNR測定結果がPCONに利用可能であることが仮定され得る。いくつかの実施態様では、PCONの目的は、再生ループのAin、A、DのパラメータのディザリングによってSNRを最適化することである。特に、再生ループの中心周波数及び帯域幅は、A及びBに対して敏感である。したがって、目的は、SNRを最大化することによって所望の信号に対応する与えられたF及びBについてA及びDを最適化することである。次いで、LUTを精密化するために最適化されたA及びDの値を使用することができる。

20

#### 【0295】

(RFCのコールドスタート)

携帯電話アプリケーションにおけるモノリシックに集積化されたRFCの実施態様の問題は、ロバストなコールドスタートアルゴリズムの問題である。これは、RFC回路が、最初にオンにされ、LUTエントリは、B F GをパラメータAin、A、Dにマッピングするために十分な精度を持たない場合である。LUTは、初期推定を設定するために使用されるが、ロバ

30

(コールドスタート-モードI-)

前述のようにアプリケーション層からのFB入力、PCONからのGにおける公称推定、及び温度読み取り値を使用して、LUTをアドレッシングする。RFCは、LUTのAin、A、Dパラメータエントリに従って設定され、信号は、復調される。Gは、生のADCサンプルのRMSに基づいて補正される。周波数誤差は、DSP内で決定される(FオフセットがBに関して小さい場合のみ機能しうることに留意されたい)。次に、Bは、DSPからの推定されたSNRサンプルに基づいて補正される。

40

(コールドスタート-モードII-)

LUTが不正確すぎてAin、A、Dの設定ができない場合、以下の手順を使用することができる。この手順は、LUTエントリが最初に決定される工場においてさらに価値がある。所望の信号がF及びBの周波数及び帯域幅を有すると仮定する。所望の信号は、存在する他のワイヤレス信号から区別する一意的な方法で符号化され、またこの符号は受信機に認識されるので、DSPによって測定されたSNR及び周波数オフセットはLUTエントリを正確に同調するために使用され得ると仮定するのは妥当なことである。所望の信号が受信機に利用可能であると仮定すると、以下の手順を実行することができる。

1. RFCに信号が入らないようにAinを最大減衰に設定する
2. Dを範囲の真ん中に任意に設定し、AをRFCの出力が発振し始めるように調整する。

50

発振状態は、ADCのRMS出力が信号の存在を示すときに感知され得る。ADCサンプリング周波数は、図56に示されているようにシンセサイザによって適切な周波数にスケールされる水晶発振器によって設定される。この周波数は $f_{\text{smp},1}$ である。ADCの出力サンプルは、RFC発振の周波数を決定することができるが、 $c_1$ を整数とし解決できないものとする、 $f_{\text{bbc}}+c_1f_{\text{smp},1}$ の周波数の集合として曖昧である。 $f_{\text{smp},2}$ のシンセサイザによって生成される別の周波数を考察する。未解決の周波数の集合は、 $f_{\text{bbc}}+c_2f_{\text{smp},2}$ であり、 $c_2$ は整数である。 $f_{\text{smp},1}$ 及び $f_{\text{smp},2}$ が、適宜選択される場合(つまり、重なる高調波はない)、両方の曖昧性集合に共通の可能な周波数が1つだけあり得る。次いで、これはRFCの周波数つまり $f_{\text{bbc}}$ である。

3.  $f_{\text{bbc}}$ を測定する手段を用意し、 $f_{\text{bbc}}=F$ となるようにDを調整する。この精度は、 $f_{\text{smp},1}$ 及び $f_{\text{smp},2}$ を生成するために使用される水晶発振器の精度に制限されることに留意されたい。典型的には、これは、セルラー周波数においてオフセットが約10kHzになるように約10ppmである。しかし、これは、所望の信号の帯域幅の範囲内に十分入っており、したがって、後のステップで正確に調整できるため問題にならない。

4. 周波数がほぼ正しいようにDを設定しておいて、正弦波信号が消失するようにAを調整する。これは、ADCからのRMSフィードバックに基づき観察される。さらに信号が消失するほど、帯域幅は広くなることに留意されたい(再生ループの極は、j 軸から遠ざかり左側平面内にさらに入り込む)。帯域幅が狭すぎると、結果として、RFCの狭帯域幅フィルタ形状及び中心周波数が最大10kHzまで外れる可能性によって減衰されるのでたぶん所望の信号が見えなくなる。幸いなことに、この点に関するA制御の感度は、受信機ASIC設計及びファウンドリ製造プロセスの一部として容易に確立される。したがって、RMS読み取り値がゼロになるまでAを調整し、さらに調整して同じ方向にさらに増分し帯域幅を適宜設定すると仮定することができる。

5. RFCフィルタが所望の信号に対して近似的なB及びF属性を有しているようにA及びDが設定されているので、アンテナ信号が入るようにAinを調整する。Ainは、RMSレベルが公称値となるまで調整される。

6. 次いで、SNRが最大化するまで、3つの制御部A、D、及びAinすべてをディザリングする。この最適化は、SNRを最適化目的とするA D及びAinの理想的な設定の近傍において凸状であり、したがって、この細かい収束ステップは直截的であり、いくつかのよく知られている方法によって実装され得る。最も単純な方法は、以下のように一度に1つのパラメータを調整することである。1)A及びDを固定し、Ainを可変にしてSNRを最大化する。2)A及びAinを固定し、Dを可変にしてSNRを最大化する。3)Ain及びDを固定し、Aを可変にしてSNRを最大化する。より高速な方法は、A、D、及びAinの3つの変数に関してSNRの勾配を決定する。次いで、最大勾配方向にそってステップを実行し、繰り返す。この方法に必要な偏微分は、小さなディザリングステップによって数値的に決定される。

7. 最適化が完了すると、LUT内にA、Ain、Dを入れる。

#### 【0296】

別の革新的な特徴は、水晶発振器から引き出せる2つのADCサンプリング周波数を選択することに基づくRFC発振の周波数の推定である。RFC発振周波数は100MHzから2GHzまでの範囲内にあると考える。ADCのサンプリング周波数は、この例について任意に選択された2.017MHz及び2.013MHzである。周波数の他の対も可能である。最初に、サンプリングされた出力の中に現れるエイリアシングされた周波数は

$$f_1 = \text{mod}(f_{\text{in}}, 2.017)$$

$$f_2 = \text{mod}(f_{\text{in}}, 2.013)$$

である。

#### 【0297】

この処理により、この一組の可能な入力周波数を

$$f_{\text{in},1} = f_1 + i2.0017$$

$$f_{\text{in},2} = f_2 + i2.00131$$

のように計算する。ただし、i及びjは整数である。これら2つの組から、1kHzの範囲内で

普通である周波数を見つける。この1kHzの範囲は、ADC出力サンプルの1ミリ秒の観察時間の仮定による。

【0298】

(SNRの推定)

SNRの推定は、所望の信号の変調の構造に大きく依存する可能性がある。一例は、IS2000 CDMAについてのものであり、この場合、パイロット信号は、復調され、SNRは、使用される一組のパイロット信号及び復調された有意なマルチパス成分の数に基づいて推定される。幸いなことに、この処理はすべて、RCに必要なSNR推定を円滑に行えるようにするために必要な追加の処理コンポーネントなしに必要なCDMA信号復調の一部としてすでに実装されている。問題の1つは、RFCのコールドスタート及びトラッキングプロセスに必要である以上に長い時間定数の期間にわたって一般的に平均されることである可能性があった。しかし、受信機において生じる可能性のある最高速の変動するマルチパスに付随する時間定数と釣り合う数ミリ秒程度の間隔で更新されるパイロット信号の推定が利用可能である。

【0299】

これらのパイロット信号推定を組み合わせることで所望のSNR計量に適切に相当する近似的計量を得ることは容易である。

【0300】

WiFi、WiMAX、及び802.11の変態様に含まれる他の変調方式は、SNRを適切に推定することができる埋め込まれているパイロット信号の何らかの形態をとる。GSMでは、送信される信号パースト内のパイロットのセグメントを使用する。ワイヤレス信号においてパイロット信号が使用されない場合も、SNRを推定する他の手段がある。決定フィードバックを使用することができ、この場合、SNRを予想される(雑音のない)信号に関する信号の変動に基づき決定する。

【0301】

図58及び図59に示されているように、いくつかの実施態様では、再生フィードバック回路の第1の経路又は第2の経路のうちの少なくとも一方は、共振器回路をさらに備えることができる。

【0302】

図60及び図61に示されているように、いくつかの実施態様では、電力増幅器は、例えば電気信号を送信するために電気信号を増幅することを目的として、再生フィードバック回路の出力に接続されるか、又は再生フィードバック回路の第1の経路内で接続され得る。

【0303】

(追加の実施態様)

いくつかの実施態様では、RFCは、共振器の性能を改善するためにも使用することができる。共振器回路を備える典型的な狭帯域受信機が、図69に示されている。フィードバックを使用し、共振器のQを著しく改善することができる。このフィードバックは、図70に示されている。フィードバック経路の位相及び減衰が、図71に示されているようにRFCにより制御される場合、共振応答の位置も、制御され得る。図72は、結合ポートを持つ共振器を示している。一実施態様では、ポート付きの共振器は、導波路空洞、誘電バック共振器、又は進行波共振器であるものとしてよい。いくつかの実施態様では、利得段はフィードバック経路内にあるものとしてよく、したがって結合損失のあるループ利得は1に近い。いくつかの実施態様では、この構成は、Qの強化を達成するのに役立つ。

【0304】

いくつかの実施態様では、RFCは、双方向フィルタと併用することもできる。このような使用例は、図73に示されている。図73の回路において、送信及び受信信号は、同じアンテナを通過する(が、複数のアンテナを使用することも可能である)。しかし、送信信号は、いくつかの実施態様において、サーキュレータで実現可能である、受信機ポートから分離される。いくつかの実施態様では、サーキュレータは、制限された分離、帯域幅、及び電力処理能力を有するフェライトデバイスに基づくものとしてよい。しかし、図73に示さ

れている回路は、指向性結合器がそれぞれのポートに付けられている3ポート共振器を使用してサーキュレータのと実質的に類似している機能を実現することによって性能制限のあるサーキュレータを回避している。いくつかの実施態様では、共振器は、図73に示されているように約120度の分離間隔で並ぶ3つの結合ポートを持つ誘電体バックとして実装され得る。他の種類の共振器としては、例えば、「ラットレース」型マイクロストリップ回路が挙げられる。

#### 【0305】

図73の回路では、送信電力増幅器からの送信信号の一部は、共通アンテナへの途中にあるサーキュレータ内に結合される。次いで、この信号は、共振器から出てRFC内に結合され、受信機に入る。RFCの出力におけるサーキュレータの結合された出力は、受信ポートへの入力ところで送信信号をキャンセルするようにRFCによって位相及び振幅について調整されるRFCの出力と組み合わせられる。アンテナからの受信信号は、送信信号と同じようにして受信機の入力ポートでキャンセルされないように共振器内に異なる形で(反対方向に伝搬するときに)結合される。この回路は、送信と受信とに関して同じ周波数で動作する双方向又は全二重通信チャネルに対して、例えば、高出力CW(連続波)レーダーにおいて有用であると思われる。

#### 【0306】

いくつかの実施態様では、RFCは、発振器(例えば、超安定発振器)と併用することもできる。このような使用例は、図74に示されている。図74の回路は、2つの結合された発振器からなる。第1の発振器は、増幅器A、指向性結合器DC1、共振器、指向性結合器DC4、及び移相器のループからなる。動作時に、指向性結合器DC1は、出力信号の一部を共振器内に結合し、DC4は、移相器を介して、共振器から出た信号を増幅器に結合して戻す。いくつかの実施態様では、移相器は、発振器周波数が共振器の共振周波数と一致するように設定することができる。他の発振器ループは、増幅器B、DC2、共通共振器、DC3、並びに移相器及び減衰器からなる。このフィードバックループは、RFCを構成する。動作時に、第2の発振器のRFCは、発振器の周波数を設定する。次いで、共振器を介して第2の発振器に結合されている、第1の発振器は、実質的に(又はいくつかの実施態様では、まったく)同じ周波数で発振する。第2の発振器は、発振の振幅を制限し、結合されている発振器全体の安定性を高める共振器内の高い無効エネルギーをもたらす。第1の発振器は、増幅器Aを通じてより低い電力で動作し、それにより、RFCを備える発振器2の制限アクションの結果生じる振幅の安定性のある低調波が得られる。

#### 【0307】

したがって、RFCは、2つのフィードバックループが共通の共振器を通過する上記の発振器構造で使用され得る。上述のように、1つのループは、周波数制御がRFCによって行われる振幅制限アクションを使用するより高出力のポンプ発振器として働く。他のループは、ループ内の利得段が増幅器の線形範囲内に十分収まる小信号レベルで動作する低出力ループである。したがって、線形性の高い出力応答は、この回路で生成される。

#### 【0308】

本特許文書において、「含む」(英語で「comprising」)、「備える」(英語で「comprising」)という言い回しは、非限定的な意味で使用され、この言い回しが付く項目が含まれるが、特に言及されてはいない項目も、除外されないことを意味する。英文中で使用されている不定冠詞「a」(日本語で「1つ」とする場合もしない場合もある)を要素に付けていても、文脈上、ただ1つの要素があることが明確に要求されていない限り、その要素の複数が存在している可能性を除外しない。

#### 【0309】

以下の請求項は、上で特に例示され、説明されているもの、概念上同等のもの、及び明らかに置換できるものを含むと理解されるべきである。当業者は、説明されている実施態様のさまざまな適応及び修正形態が、請求項の範囲から逸脱することなく構成され得ることを理解するであろう。例示されている実施態様は、例としてのみ記載されており、本発明を制限するものとして解釈すべきでない。以下の請求項の範囲内において、特に例示さ

れ説明されている以外の方法で本発明を実施することが可能であることは理解されるであ  
ろう。

【図 1】

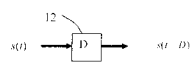


図 1

【図 2】

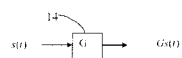


図 2

【図 3】

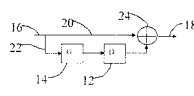


図 3

【図 4】



図 4

【図 5】

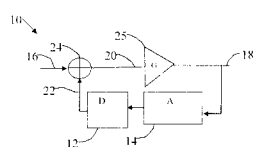


図 5

【図 6】

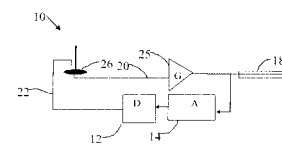


図 6

【図 7】

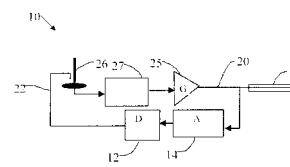


図 7

【図 8】

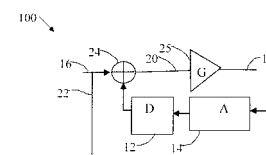


図 8

【図 9】

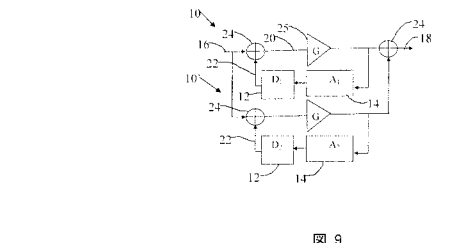


図 9

【図 1 2】

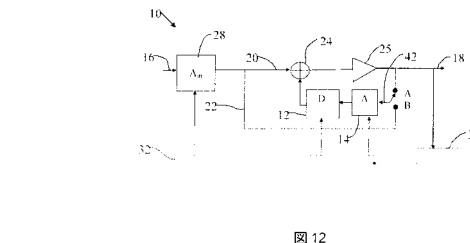


図 12

【図 1 0】

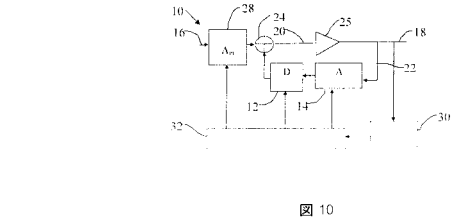


図 10

【図 1 3】

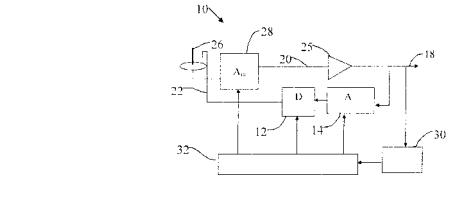


図 13

【図 1 1】

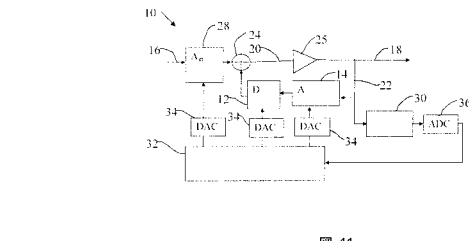


図 11

【図 1 4】

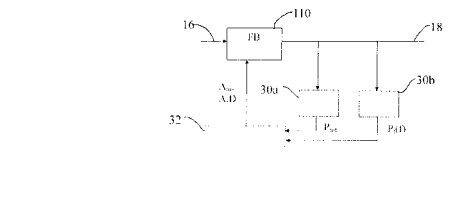


図 14

【図 1 5】

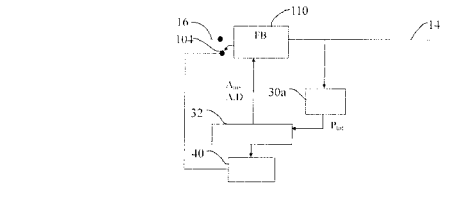


図 15

【図 1 8】

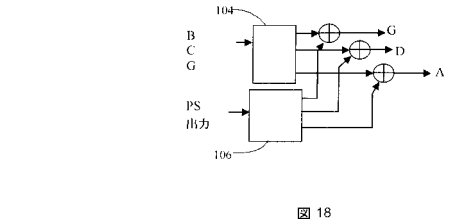


図 18

【図 1 6】

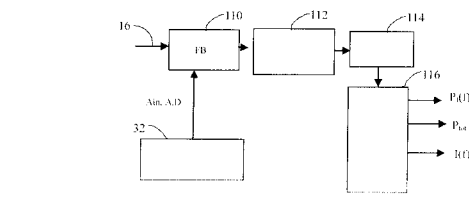


図 16

【図 1 9】

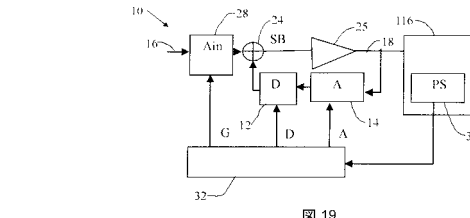


図 19

【図 1 7】

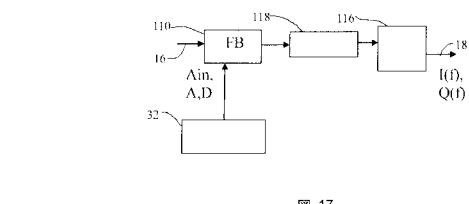


図 17

【図 2 0】

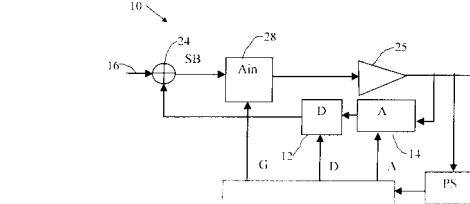


図 20

【図 2 1】

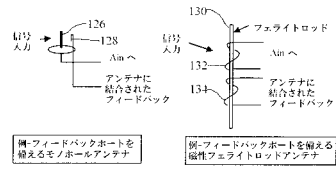


図 21a

図 21b

【図 2 2】

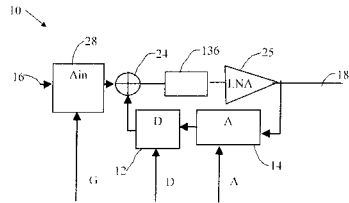


図 22

【図 2 3】

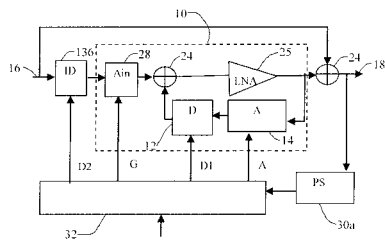


図 23

【図 2 6】

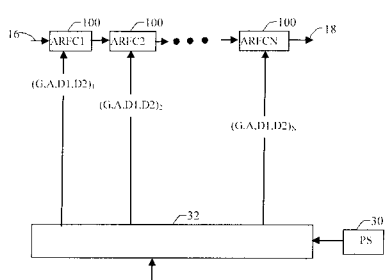


図 26

【図 2 7】

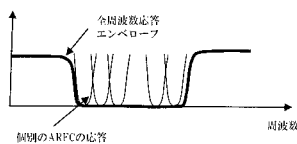


図 27

【図 2 8】

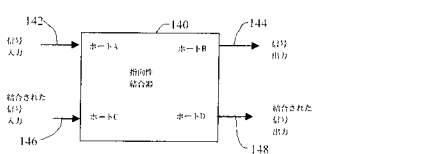


図 28

【図 2 4】

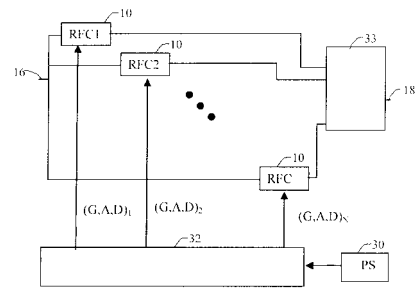


図 24

【図 2 5】

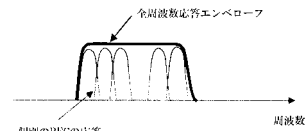


図 25

【図 2 9】

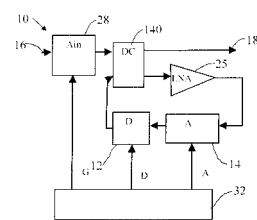


図 29

【図 3 0】

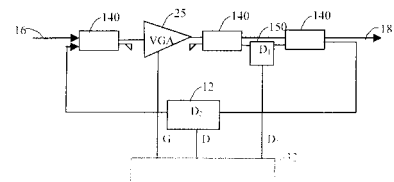


図 30

【図 3 1】

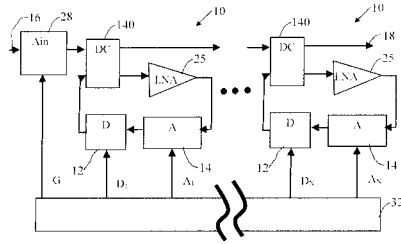


図 31

【図 3 2】

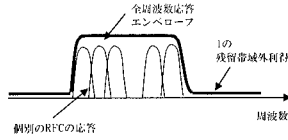


図 32

【図 3 3】

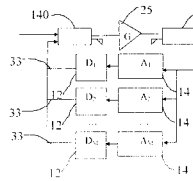


図 33

【図 3 6】

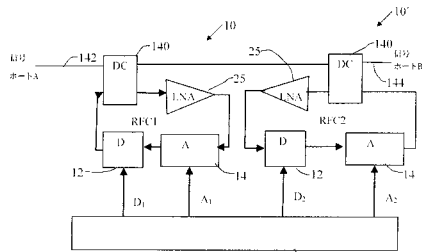


図 36

【図 3 7】

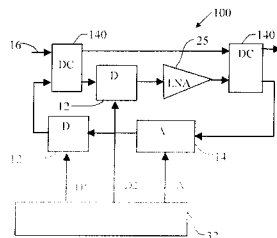


図 37

【図 3 8】

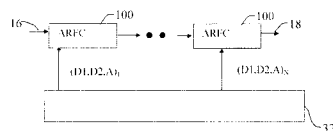


図 38

【図 3 4】

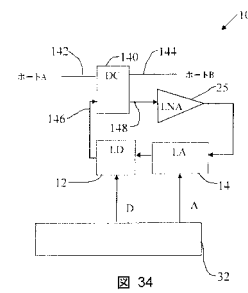


図 34

【図 3 5】

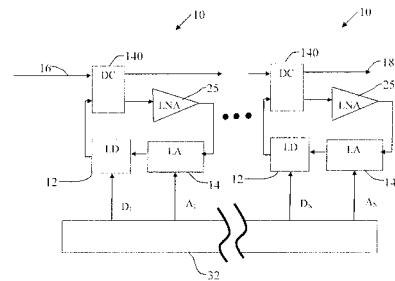


図 35

【図 3 9】

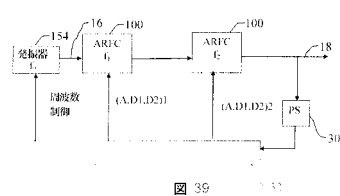


図 39

【図 4 0】

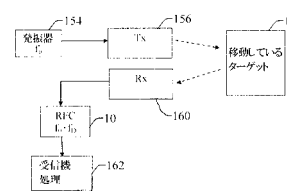


図 40

【図 4 1】

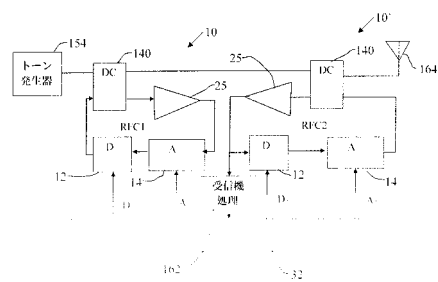


図 41

[illegible]

```

graph LR
    subgraph Channel1 [ ]
        RFIC1[RFIC回路] --> ADC1[サブサンプリング ADC]
    end
    subgraph Channel2 [ ]
        RFIC2[RFIC回路] --> ADC2[サブサンプリング ADC]
    end
    ADC1 --> DSP[DSP 処理]
    ADC2 --> DSP
    DSP -- "SNR, サンプル振幅" --> FB[ ]
    style FB fill:none,stroke:none

```

```

graph LR
    PCON[PCON] --> RFE[RFE回路]
    RFE --> ADC[サブサンプリング ADC]
    ADC --> DSP[DSP 処理]
    DSP -- "SNR, サンプル振幅" --> PCON
  
```

【図 50】

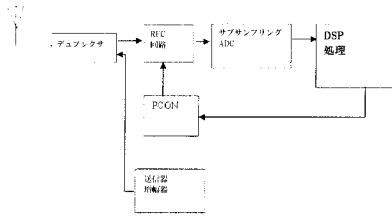


図 50

【図 51】

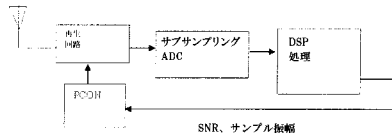


図 51

【図 52】

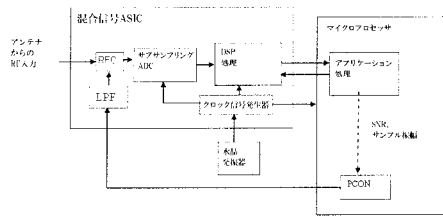


図 52

【図 56】

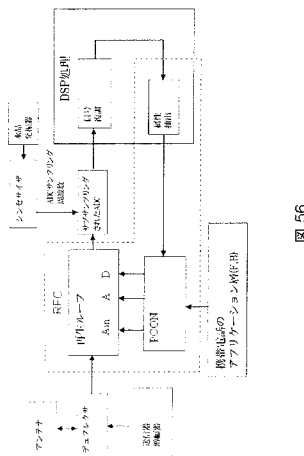


図 56

【図 57】

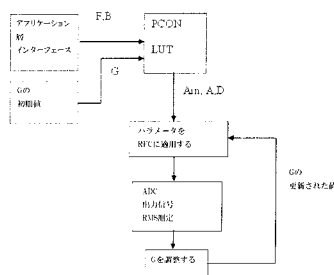


図 57

【図 53】

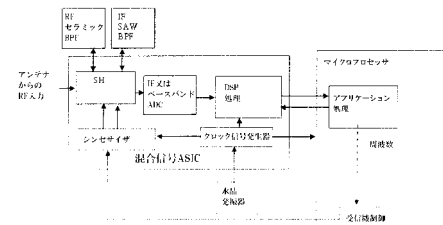


図 53

【図 54】

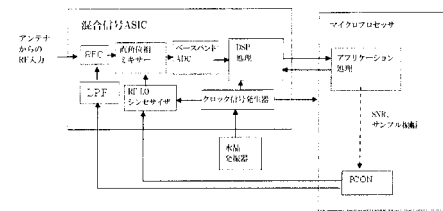


図 54

【図 55】

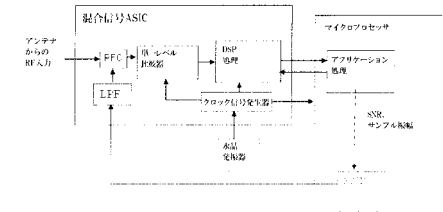


図 55

【図 58】

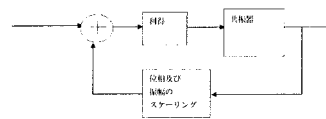


図 58

【図 59】

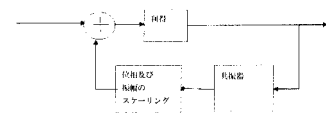


図 59

【図 60】

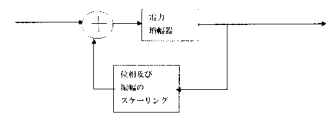


図 60

【図 61】

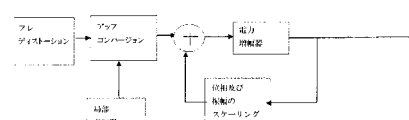


図 61

【図 6 2】

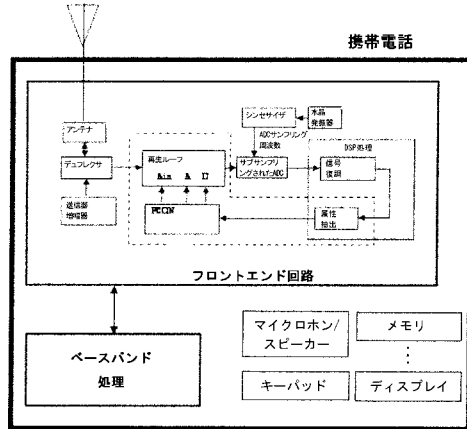


図 62

【図 6 3】

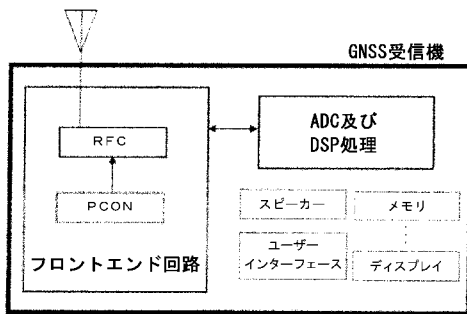


図 63

【図 6 8】



図 68

【図 6 9】



図 69

【図 7 0】



図 70

【図 7 1】

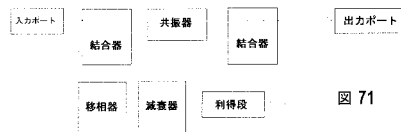


図 71

【図 7 2】



図 72

【図 6 4】

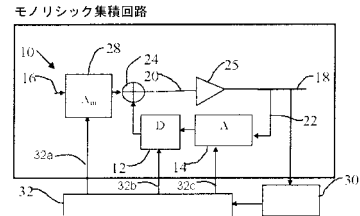


図 64

【図 6 5】



図 65

【図 6 6】



図 66

【図 6 7】



図 67

【図 7 3】

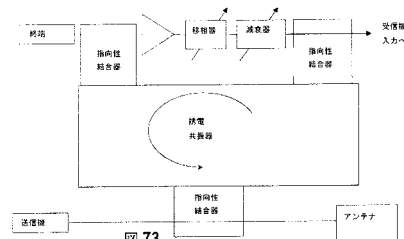


図 73

【図 7 4】

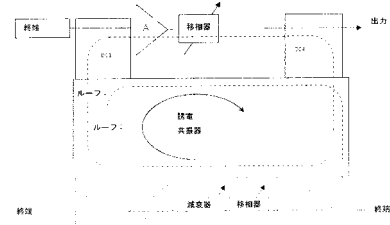


図 74

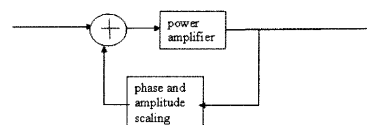


FIG. 60



## 【手続補正書】

【提出日】平成25年2月5日(2013.2.5)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

モノリシック集積回路であって、

電気信号を受信するための入力と、

該フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、

該信号入力と該信号出力との間の第1の経路に接続され、調整可能な遅延素子及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、

該第1の経路内に配置され、第2の経路の入力と該第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックとを備え、

該モノリシック集積回路は、

出力信号の特性を検出するために該信号出力に接続された検出器と、

フロントエンド回路の該フィルタリング及び増幅特性を制御するために該検出器によって検出される該特性に基づき該遅延素子、該第2の経路の信号スケーリングブロック、及び該第1の経路の信号スケーリングブロックを調整するように接続されたコントローラと通信するように構成される、前記モノリシック集積回路。

【請求項 2】

携帯電話であって、

送信/受信スイッチと、

サブサンプリングアナログ/デジタルコンバータと、

フィルタリングされていない信号をフィルタリングし、増幅するために、該送信/受信スイッチと該サブサンプリングアナログ/デジタルコンバータとの間に結合されたフロントエンド回路であって、該フロントエンド回路が本質的に、

再生フィードバック回路からなり、該再生フィードバック回路が

固定利得ブロックと、

入力減衰制御部と、

ループ利得制御部と、

ループ遅延部と、

該フロントエンド回路の前記フィルタリング及び増幅特性を制御するために検出器によって測定された特性に基づき該入力減衰制御部、該ループ利得制御部、及び該ループ遅延部を調整するように接続されたコントローラとを備える、該フロントエンド回路とを備え、

少なくとも該入力減衰制御部、該ループ利得制御部、及び該ループ遅延部が、該固定利得ブロックと同じモノリシック集積回路上に配置される、前記携帯電話。

【請求項 3】

電気信号を処理するための装置であって、

フィルタリングされていない信号を受信するための信号入力、信号出力、及び調整可能な第1の経路の信号スケーリングブロックを有する第1の経路と、

該信号入力と該信号出力との間の該第1の経路に接続され、調整可能な遅延要素及び調整可能な第2の経路の信号スケーリングブロックを有する、第2の経路と、

該第1の経路内に配置され、第2の経路の入力と該第1の経路に接続された第2の経路の出力との間に接続された、固定利得ブロックと、

出力信号の特性を検出するために該信号出力に接続された検出器と、

フロントエンド回路の前記フィルタリング及び増幅特性を制御するために該検出器によって検出される該特性に基づき前記遅延又は位相シフト要素、該第2の経路の信号スケールリングブロック、及び該第1の経路の信号スケールリングブロックを調整するように接続されたコントローラとから本質的になる該フロントエンド回路を備え、

少なくとも該遅延要素、該第2の経路の信号スケールリングブロック、及び該第1の経路のスケールリングブロックは、該固定利得ブロックと同じモノリシック集積回路上に配置される、前記装置。

【請求項 4】

前記装置が、携帯電話、GNSS受信機、ワイヤレスデバイス、ワイヤレスセンサー、モノリシック集積化受信機回路、モノリシック集積化送信機回路、及びモノリシック集積化トランシーバ回路のうちの少なくとも1つである、請求項3記載の装置。

【請求項 5】

送信/受信スイッチをさらに備え、前記フロントエンド回路が、該送信/受信スイッチに接続される、請求項3又は4記載の装置。

【請求項 6】

前記再生フィードバック回路の前記第1の経路又は前記第2の経路のうちの少なくとも一方が、前記再生回路に接続された共振器をさらに備える、請求項3～5のいずれか1項記載の装置。

【請求項 7】

送信のため電気信号を増幅することを目的として、前記フロントエンド回路の前記出力の少なくとも1つに、又は前記フロントエンド回路の前記第1の経路内で、接続されている電力増幅器をさらに備える、請求項3～6のいずれか1項記載の装置。

【請求項 8】

前記電気信号が、デジタル情報とともに符号化される、請求項3～7のいずれか1項記載の装置。

【請求項 9】

前記フィルタリング及び増幅特性が、前記フロントエンドの前記利得並びに入力信号をフィルタリングするために選択された前記帯域幅及び中心周波数を含む、請求項3～8のいずれか1項記載の装置。

【請求項 10】

前記第2の経路が、フィードバック経路である、請求項3～9のいずれか1項記載の装置。

【請求項 11】

対応するフィードバック経路に接続された複数の第1の経路をさらに備え、該第1の経路が前記信号入力と前記信号出力との間に並列に接続される、請求項3～10のいずれか1項記載の装置。

【請求項 12】

前記複数の第1の経路のうちの1つ以上が、

前記フィードバック経路から上流にある前記第1の経路に接続されているフィードフォワード経路及び前記フィードバック経路から下流にある前記第1の経路に接続されている出力と、

該フィードフォワード経路の入力と前記フィードバックループの出力との間に接続されている第1の経路の遅延若しくは位相シフト要素であって、該第1の経路の遅延若しくは位相シフト要素が調整可能であり前記コントローラに接続され、前記コントローラが該第1の経路の遅延若しくは位相シフト要素を調整し所望の信号出力が得られるように接続されている、該第1の経路の遅延若しくは位相シフト要素とをさらに備える、請求項11記載の装置。

【請求項 13】

モノリシック集積回路であって、

フィルタリングされていない、増幅されていない信号を受信するための入力と、

前記入力信号のフィルタリングされ、増幅されたバージョンを出力するための出力とを備え、

該モノリシック集積回路は、500より大きいQ値を持つ帯域通過周波数応答を示し、前記帯域通過フィルタの前記中心周波数は、局部発振器を除いて所定の範囲内の複数の周波数に調整することができる、前記モノリシック集積回路。

【請求項14】

装置であって、

フロントエンド回路を備え、

該フロントエンド回路は、モノリシック集積回路内に実装される、前記装置。

【請求項15】

装置であって、

フロントエンド回路を備え、

該フロントエンド回路が、セラミックフィルタ又はSAWを除いて実装される、前記装置

。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2011/024963

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - H03D 1/04 (2011.01) USPC - 375/346 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC(8) - H03D 1/04; H04B 1/06, 1/26; H04K 1/02; H04L 27/00 (2011.01) USPC - 375/295, 297, 346; 455/240.1, 326, 334, 341 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Questel Orbit, Google Patent, Google		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/0009642 A1 (PRATT et al) 14 January 2010 (14.01.2010) entire document	48
Y		1-33, 35-46
Y	US 2006/0083335 A1 (SEENDRIPU et al) 20 April 2006 (20.04.2006) entire document	1-33, 35-46
Y	US 2005/0089123 A1 (SPIEGEL) 28 April 2005 (28.04.2005) entire document	12, 14-16, 31
Y	US 6,724,840 B1 (OSOFISKY et al) 20 April 2004 (20.04.2004) entire document	19, 39, 41-46
A	US 7,155,372 B2 (ALEXANDER) 26 December 2006 (26.12.2006) col. 3, lines 22-63.	1-33, 35-46, 48
A	US 5,999,043 A (ZHANG et al) 07 December 1999 (07.12.1999) col. 1, lines 11-15 & col. 2, line 55 - col. 3, line 5.	1-33, 35-46, 48
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 June 2011		Date of mailing of the international search report <b>15 JUN 2011</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Blaine R. Copanheaver PCT Helpdesk: 571-272-4300 PCT OSIP: 571-272-7774

Form PCT/ISA/210 (second sheet) (July 2009)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2011/024963

**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

See Extra Sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-46, 48

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2011/024863

## Continuation of Box No. III:

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1. In order for all inventions to be examined, the appropriate additional examination fees must be paid.

Group I, claims 1-46, 48, drawn to a monolithic integrated circuit having a controller for adjusting parameters on signal paths based on properties detected by a detector.

Group II, claim 47, drawn to a monolithic integrated circuit wherein the monolithic integrated circuit exhibits a bandpass frequency response with a Q value greater than 500, where the center frequency of the bandpass filter can be adjusted to multiple frequencies within a predefined range exclusive of a local oscillator.

Group III, claim 49, drawn to an apparatus having a front-end circuit that does not use SAW and ceramic filters.

The inventions listed as Groups I, II or III do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: the special technical feature of the Group I invention: a controller connected to adjust the delay or phase shifting element, the second path signaling block, and the first path signal scaling block based on the properties detected by a detector to control the filtering and amplifying of the front end circuit as claimed therein is not present in the invention of Groups II or III. The special technical feature of the Group II invention: wherein the monolithic integrated circuit exhibits a bandpass frequency response with a Q value greater than 500, where the center frequency of the bandpass filter can be adjusted to multiple frequencies within a predefined range exclusive of a local oscillator as claimed therein is not present in the invention of Groups I or III. The special technical feature of the Group III invention: wherein the front-end circuit is implemented exclusive of a ceramic-filter or a SAW as claimed therein is not present in the invention of Groups I or II.

Groups II, II and III lack unity of invention because even though the inventions of these groups require the technical feature of a front-end implemented in a monolithic integrated circuit that recieves an unfiltered signal, this technical feature is not a special technical feature as it does not make a contribution over the prior art in view of US 7,155,372 B2 (ALEXANDER) 26 December 2006 (26.12.2006) col. 3, lines 22-63; and US 5,999,043 A (ZHANG et al) 07 December 1999 (07.12.1999) col. 1, lines 11-15 & col. 2, line 55 - col. 3, line 5.

Since none of the special technical features of the Group I, II or III inventions are found in more than one of the inventions, unity of invention is lacking.

---

 フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1 . G S M

(72)発明者 バスシリ ピー・プロウドキイ

カナダ ティー５エム １ゼット９ アルバータ州 エドモントン １５２トフ ストリート １  
１０１１

Fターム(参考) 5J023 AA07 AB02 AC01 AC08 AD14

5J103 AA23 AA27 BA06 CB01 DA02 DA03 DA18 DA21 DA22 DA27

DA36 EA06 FA03 GB03 HC01 MA02

5K062 AA01 AD04 AD08 AE03 AE04 BC01