



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219721
(11) (B1)

(51) Int. Cl.³
G 01 R 31/38

(22) Přihlášeno 29 12 80
(21) (PV 9366-80)

(40) Zveřejněno 27 08 82

(45) Vydáno 15 09 85

(75)

Autor vynálezu

VAŠINA PETR RNDr., FRANK LUDĚK RNDr., HUDEČEK MILAN ing.,
BRNO

(54) Zapojení kontrolního zařízení mikroprocesorových systémů

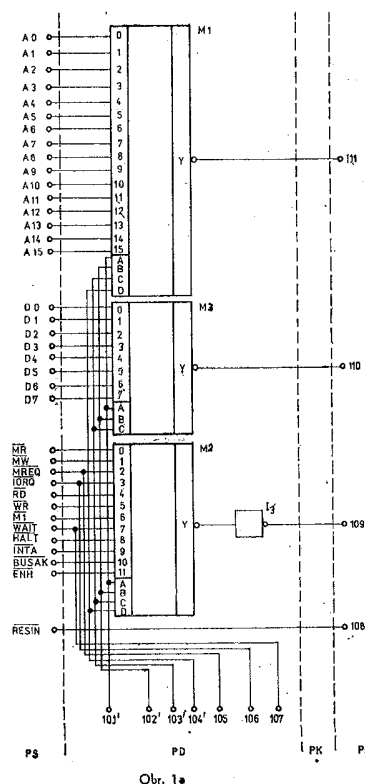
1

Vynález se týká zapojení ke kontrole mikroprocesorových systémů určené ke sledování jejich funkční činnosti. Účelem vynálezu je vytvořit kontrolní systém ke sledování jednotlivých strojových cyklů.

Podstatou vynálezu je zapojení dvou šestnáctivstupových a osmivstupového multiplexeru, jejichž stavové vstupy jsou spojeny s adresovou, řídicí a datovou sběrnicí, a dvou šestnáctivstupových demultiplexerů a jednoho osmivstupového dekodéru, v jejichž obvodu je zapojen systém automatického ovládání a signalizace vstupových a výstupových impulsů, usnadňující vlastní kontrolu mikroprocesorového systému.

Vynález je určen k uvádění do chodu a při opravách všech mikroprocesorových systémů.

2



Vynález se týká zapojení kontrolního zařízení mikroprocesorových systémů ke sledování jejich činnosti za provozu.

Při práci s mikroprocesorovými systémy je nutné provádět přesné sledování jejich funkční činnosti po jednotlivých strojových cyklech. Tyto operace jsou nezbytné zejména při ožívování systému, ladění programů a vyhledávání poruch. Ke sledování funkcí mikroprocesorových systémů se obvykle používá speciálních vývojových systémů, které jsou značně komplikované a nákladné. Jejich nevýhodou je, že do hotových systémů umožňují vstupovat za provozu velmi omezeně pomocí emulátorů daného typu mikroprocesoru. Průběh programu je možno sledovat pouze po instrukcích a není možno činnost mikroprocesoru zastavovat v libovolném cyklu a zpravidla nelze přitom sledovat stavy sběrnic.

Dalším z používaných přístrojů, umožňujících sledovat funkci mikroprocesorových systémů, je logický analyzátor, který umožňuje sledovat činnost po strojových cyklech, ale má zpravidla omezený počet sledovaných kanálů. Jeho další nevýhodou je, že umožňuje zobrazit pouze konečný počet kroků.

Tyto dosavadní nevýhody odstraňuje zapojení kontrolního zařízení mikroprocesorových systémů složené ze dvou šestnáctivstupových a osmivstupového multiplexeru, jejichž stavové vstupy jsou spojeny s adresovou, datovou a řídicí sběrnicí mikroprocesorového systému a ze dvou šestnáctivstupových demultiplexerů a jednoho nejméně osmivstupového dekodéru, jejichž každý stavový výstup je spojen s jednou luminiscenční diodou v indikačním panelu.

Podstatou zapojení podle vynálezu je, že čtyři adresové vstupy prvního a druhého multiplexeru, demultiplexeru a tři adresové vstupy dekodéru a třetího multiplexeru jsou spojeny s výstupy čtyřbitového binárního čítače, jehož vstup je spojen s výstupem druhého invertoru a přes kondenzátor se vstupem prvního invertoru, spojeným přes první odpor s jeho výstupem a se vstupem druhého invertoru, přičemž výstup prvního multiplexeru je spojen se dvěma datovými vstupy prvního demultiplexeru, výstup druhého multiplexeru je spojen přes třetí invertor se dvěma datovými vstupy druhého demultiplexeru a výstup třetího multiplexeru je spojen se čtvrtým adresovým vstupem dekodéru, přičemž první tlačítko spojené jedním dotekem se společným vodičem je spojeno druhým dotekem se vstupem mikroprocesorového systému a aretované tlačítko spojené jedním dotekem se společným vodičem a druhým dotekem přes druhý odpor s kladnou svorkou zdroje napětí a se vstupní svorkou čtvrtého invertoru, který je výstupem spojen s nulovacím vstupem prvního klopného obvodu a s prvním vstupem prvního součinnového hradla, jehož druhý vstup je spojen s prvním výstupem prvního klopného ob-

vodu, zatímco bezkontaktní tlačítko je spojeno přes třetí odpor se společným vodičem a přímo s hodinovým vstupem prvního klopného obvodu, jehož datový vstup je spojen se společným vodičem, jeho nastavovací vstup je spojen s prvním výstupem a druhý výstup s nastavovacím vstupem druhého klopného obvodu, jehož datový vstup je spojen se společným vodičem a hodinový vstup s výstupem druhého součinnového hradla, jehož první vstup je spojen s první řídicí vodičem a druhý vstup s druhým řídicí vodičem mikroprocesorového systému, jehož třetí řídicí vodič je spojen s výstupem prvního součinnového hradla.

Hlavní předností zapojení podle vynálezu je možnost sledování funkce mikroprocesoru přímo po strojových cyklech, přičemž stav jeho sběrnic je zobrazen přehledně luminiscenčními diodami na panelu. Zapojení se připojuje přímo na systémové sběrnice a je vytvořeno z minimálního počtu součástek, čímž nahrazuje dosavadní nákladná zařízení.

Zapojení objasní výkres, kde na obr. 1a, 1b, 1c je uvedeno schéma kontrolního zařízení určeného zejména pro sledování funkce mikroprocesorových systémů s mikroprocesorem typu Z-80 (ZiLOG) nebo U880D (RFT).

Celkové schéma zařízení znázorněné na obr. 1a, 1b, 1c je uspořádáno tak, že pod obr. 1a funkčně navazuje obr. 1c, přičemž obr. 1b je orientován z pravé strany mezi oba obr. 1a, 1c. Vzájemné propojení funkčních vodičů a sběrnic vyznačují svorky 101 až 113.

Zapojení se skládá ze tří základních částí, z panelu **PL** (obr. 1b) s luminiscenčními diodami spojeného kabelem **PK** s propojovací deskou **PD** (obr. 1a, 1c) ke spojení se sběrnicemi mikroprocesorového systému **PS**. Ze schématu je zřejmé, že základními aktivními obvody jsou dva šestnáctivstupové a jeden osmivstupový multiplexer **M1**, **M2**, **M3** a dva šestnáctivstupové demultiplexery **N1**, **N2** a osmivstupový dekodér **N3**. Stavové vstupy multiplexerů **M1**, **M2**, **M3** jsou spojeny s adresovou, řídicí a datovou sběrnicí mikroprocesorového systému **PS**.

V identické návaznosti jsou zapojeny stavové výstupy demultiplexerů s luminiscenčními diodami, které jsou pro přehlednost označeny stejnou vztahovou značkou, jejíž rozlišnost vyznačuje jen přídavná čárka u značky.

Stavové vstupy prvního multiplexeru **M1** od čísla **0**, **1** až **15** jsou spojeny s adresovými vodiči mikroprocesorového systému **PS** označenými vztahovými značkami **A0**, **A1** až **A15**. Identicky jsou zapojeny stavové výstupy prvního demultiplexeru **N1** od čísla **0**, **1** až **15** s luminiscenčními diodami **A0'**, **A1'** až **A15'**, přičemž jejich druhý vývod je spojen ve společném uzlu spojeném přes

čtvrtý odpor **R4** s kladnou svorkou zdroje napětí.

Třetí osmivstupový multiplexer **M3** je obdobně zapojen svými stavovými vstupy **0, 1** až **7** s datovými vodiči **D0, D1** až **D7** mikroprocesorového systému **PS**. Identicky k tomu jsou zapojeny stavové výstupy **0, 1** až **7** dekodéru **N3** s luminiscenčními diodami **D0', D1'** až **D7'**, jejichž druhý vývod je zapojen ve společném uzlu spojeném přes pátý odpor **R5** s kladnou svorkou zdroje napětí. Druhý multiplexer **M2** je potom stavovými vstupy **0, 1** až **11** spojen s řídicími vodiči mikroprocesorového systému **PS** označenými **MR, MW, MREQ, IORQ, RD, WR, M1, WAIT, HALT, INTA, BUSAK, ENH**.

Identicky k tomu jsou zapojeny stavové výstupy **0, 1** až **11** druhého demultiplexeru **N2** s luminiscenčními diodami **MR', MW', MREQ', IORQ', RD', WR', M1', WAIT', HALT', INTA', BUSAK', ENH'**, jejichž druhý vývod je spojen ve společném uzlu spojeném přes šestý odpor **R6** s kladnou svorkou zdroje napětí. Panel **PL** s luminiscenčními diodami je opatřen třemi tlačítky.

První tlačítko **T1** je spojeno jedním dotekem se společným vodičem a druhým s řídicím vodičem **RESIN** mikroprocesorového systému **PS**. Druhé aretované tlačítko **T2** je spojeno jedním dotekem se společným vodičem a druhým dotekem přes druhý odpor **R2** s kladnou svorkou zdroje napětí a přímo se vstupem čtvrtého invertoru **I4**, jehož výstup je spojen s nulovacím vstupem **R** prvního klopného obvodu **K1** a s prvním vstupem prvního hradla **H1**, jehož druhý vstup je spojen s prvním výstupem **Q** prvního klopného obvodu **K1** a jeho výstup s řídicím vodičem **WAIT** mikroprocesorového systému **PS**. Třetí bezkontaktní tlačítko **T3** je spojeno jednak přes třetí odpor **R3** se společným vodičem a dále s hodinovým vstupem **C** prvního klopného obvodu **K1**, jehož datový vstup **D** je spojen se společným vodičem a jeho nastavovací vstup **S** s prvním výstupem **Q** druhého klopného obvodu **K2**, jehož datový vstup **D** je spojen se společným vodičem a nastavovací vstup **S** s druhým výstupem **Q** prvního klopného obvodu **K1**. Hodinový vstup **C** druhého klopného obvodu **K2** je spojen s výstupem druhého hradla **H2**, jehož první vstup je spojen s řídicím vodičem **MREQ** a druhý vstup s řídicím vodičem **IORQ** mikroprocesorového systému **PS**.

Hodinový signál pro čtyřbitový binární čítač **B1** tvoří oscilátor, který se skládá ze dvou invertorů **I1, I2** zapojených za sebou, přičemž první invertor **I1** je mezi vstupem a výstupem překlenut prvním odporem **R1**, zatímco vstup prvního invertoru **I1** a výstup druhého invertoru **I2** jsou spojeny přes první kondenzátor **C1**. Výstup druhého invertoru **I2** je propojen se vstupem **CU** binárního čítače **B1**, jehož čtyři výstupy **A, B, C, D** jsou

spojeny se čtyřmi adresovými vstupy **A, B, C, D** dvou multiplexerů **M1, M2** a dvou demultiplexerů **N1, N2** a se třemi vstupy **A, B, C** dekodéru **N3** a třetího multiplexeru **M3**.

Kontrolní zařízení mikroprocesorových systémů pracuje za provozu takto: oba invertory **I1, I2**, první odpor **R1** a kondenzátor **C1** tvoří spolu oscilátor, který vytváří hodinový signál pro vstup binárního čítače **B1**, který vytváří na svých čtyřech výstupech **A, B, C, D** adresy. Signály těchto adres jsou přiváděny na adresové vstupy **A, B, C, D** multiplexerů **M1, M2** a demultiplexerů **N1, N2** a dále ke třem adresovým vstupům **A, B, C** třetího multiplexeru **M3** a dekodéru **N3**.

Logické úrovně na adresových vstupech **A, B, C, D** procházejí postupně všemi šestnácti nebo osmi možnými kombinacemi. Tím jsou postupně logické úrovně všech stavových vstupů multiplexerů **M1, M2, M3** přeneseny invertovaně na jejich výstupy **Y**, které jsou u prvního a třetího multiplexeru **M1, M3** přímo přeneseny na datové vstupy **G1, G2** prvního demultiplexeru **N1** a adresový vstup **D** dekodéru **N3**, u druhého multiplexeru **M2** pak přes třetí invertor **I3** na datové vstupy **G1, G2** druhého demultiplexeru **N2**. Logické úrovně datových vstupů dvou demultiplexerů **N1, N2** a adresového vstupu **D** dekodéru **N3** jsou postupně přenášeny na jejich stavové výstupy a na katody příslušných luminiscenčních diod. Je-li některý výstup demultiplexerů **N1, N2** a dekodéru **N3** v nízké logické úrovni, rozsvítí se příslušná luminiscenční dioda.

Přepínání jednotlivých stavových vstupů všech multiplexerů **M1, M2, M3** a synchronní přepínání stavových výstupů obou demultiplexerů **N1, N2** a dekodéru **N3** probíhá s kmitočtem přibližně 2 kHz. Je tedy tak rychlé, že blikání luminiscenčních diod je okem nepostřehnutelné a svícení nebo zhasnutí každé luminiscenční diody odpovídá logické úrovni odpovídajícího vodiče mikroprocesorového systému **PS**.

Stlačením prvního tlačítka **T1** se vyvolá nízká logická úroveň na vstupu **RESIN** mikroprocesorového systému **PS**, a tím se vyvolá programový skok na adresu nula. Pokud je aretované tlačítko **T2** v rozpojeném stavu, je na vstupu čtvrtého invertoru **I4** vysoká logická úroveň, která vyvolá na jeho výstupu, a tím i na vstupu prvního hradla **H1** a na nulovacím vstupu **R** prvního klopného obvodu **K1**, nízkou logickou úroveň. Tím je zabráněno přechodu logické úrovně na výstupu prvního hradla **H1** do nízké úrovně a první klopný obvod **K1** je potom ve stavu, kdy je na prvním výstupu **Q** nízká logická úroveň. Vysoká logická úroveň na výstupu prvního hradla **H1** je přivedena i na třetí řídicí vodič **WAIT** mikroprocesorového systému **PS**. Mikroprocesor není te-

dy ve své funkci ovlivněn. Pokud je aretované tlačítko **T2** spojeno, je na vstupu čtvrtého invertoru **14** nízká logická úroveň, která vyvolá na jeho výstupu vysokou logickou úroveň. V tom případě pracují obě hradla **H1**, **H2** a oba klopné obvody **K1**, **K2** následovně: při přechodu jednoho ze signálů z řídících vodičů **MREQ** nebo **IORQ** do aktivního stavu, tj. do nízké logické úrovně, je tato změna přenesena z prvního nebo druhého vstupu druhého hradla **H2** na jeho výstup v invertovaném stavu.

Jak již bylo dříve popsáno, je na prvním výstupu **Q** prvního klopného obvodu **K1** nízká logická úroveň, na druhém výstupu **Q** je tedy vysoká logická úroveň, která je přivedena i na nastavovací vstup **S** druhého klopného obvodu **K2**. Druhý klopný obvod **K2** při přechodu logické úrovně z nízké na vysokou na hodinovém vstupu **C** se překlopí tak, že jeho první výstup **Q** i nastavovací vstup **S** prvního klopného obvodu **K1** přejdou do nízké logické úrovně.

To způsobí překlopení prvního klopného obvodu **K1** tak, že jeho první výstup **Q**, tedy i první vstup prvního hradla **H1**, jsou ve vysoké logické úrovni a druhý výstup **Q** i nastavovací vstup **S** druhého klopného obvodu **K2** jsou v nízké logické úrovni. To vyvolá návrat druhého klopného obvodu **K2** do výchozího stavu.

Vysoká logická úroveň na obou vstupech prvního hradla **H1** způsobí nízkou logickou

úroveň na jeho výstupu, která je přenesena na třetí řídící vodič **WAIT** mikroprocesorového systému **PS**, kde zastaví další práci mikroprocesoru. V tomto stavu zůstává zařízení až do okamžiku, kdy dojde ke stisknutí bezkontaktního tlačítka **T3**, které způsobí vysokou logickou úroveň na hodinovém vstupu **C** překlopení prvního klopného obvodu **K1** tak, že jeho první výstup **Q** přejde do nízké logické úrovně, výstup prvního hradla **H1** přejde tedy do vysoké logické úrovně, a tím umožní další práci mikroprocesoru.

Po příchodu další aktivní hrany signálu z řídících vodičů **MREQ** nebo **IORQ** mikroprocesorového systému **PS** se celá činnost opakuje. Činnost mikroprocesoru se zastaví v každém strojovém cyklu jeho činnosti a stav adresových, datových a řídících signálů je indikován svitem příslušných luminiscenčních diod.

Po stisknutí bezkontaktního tlačítka **T3** se činnost mikroprocesoru zastaví v následujícím strojovém cyklu. Tímto způsobem je možno postupně sledovat stav mikroprocesoru, pamětí, vstupních a výstupních obvodů během jednotlivých kroků programu a kontrolovat jejich správnost funkcí a správný průběh programu.

Univerzální kontrolní zařízení mikroprocesorových systémů je určeno k použití při uvádění do chodu a opravách všech mikroprocesorových systémů.

PŘEDMĚT VYNÁLEZU

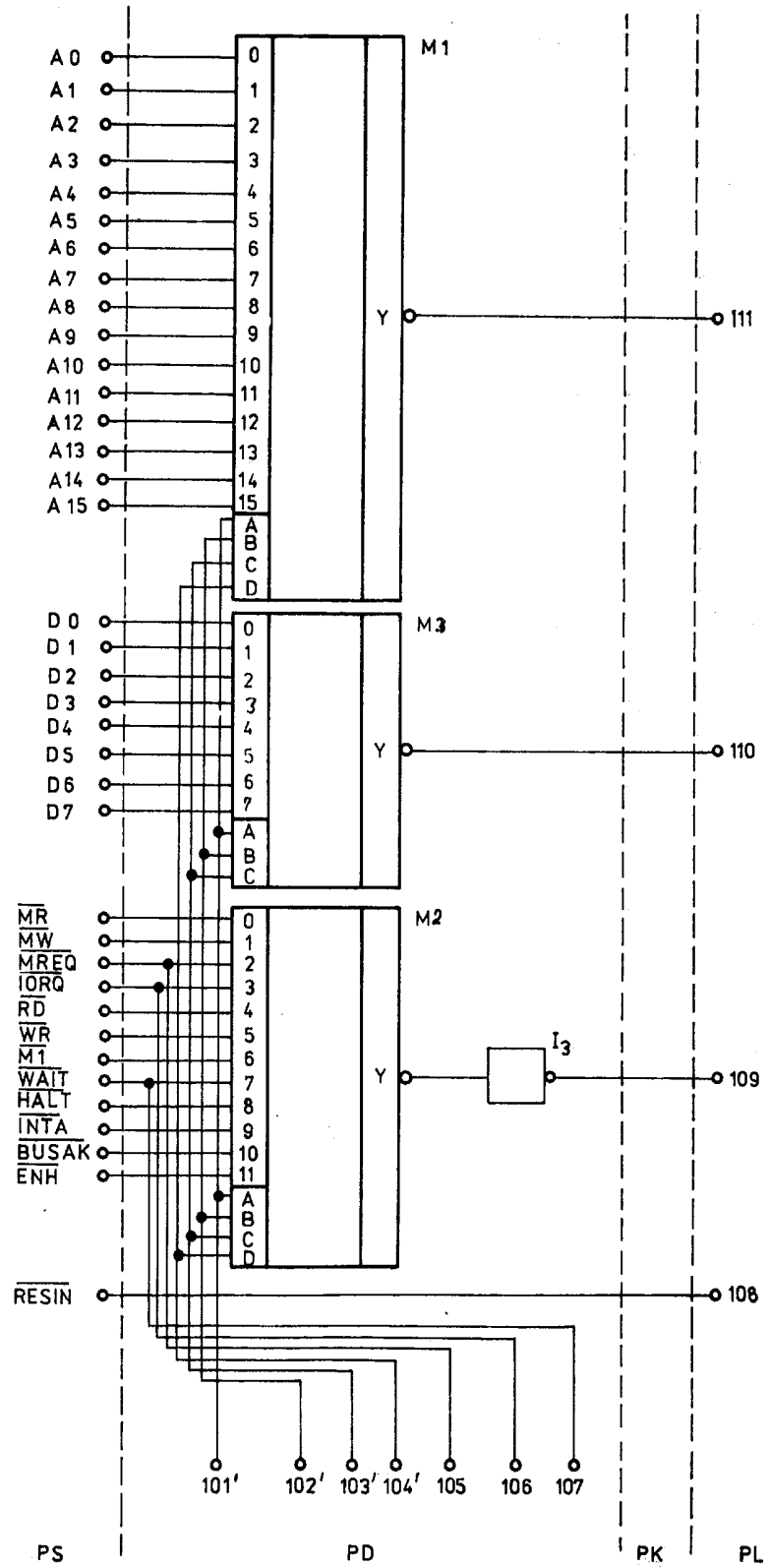
Zapojení kontrolního zařízení mikroprocesorových systémů, skládající se ze dvou šestnáctivstupových a osmivstupového multiplexeru, jejichž stavové vstupy jsou spojeny s adresovou, řídící a datovou sběrnicí mikroprocesorového systému a ze dvou šestnáctivstupových demultiplexerů a jednoho nejméně osmivstupového dekodéru, jejichž každý stavový výstup je spojen s jednou luminiscenční diodou v indikačním panelu, vyznačený tím, že čtyři adresové vstupy (A, B, C, D) prvního a druhého multiplexeru (M1, M2) a prvního a druhého demultiplexeru (N1, N2) a tři adresové vstupy (A, B, C) třetího multiplexeru (M3) a dekodéru (N3) jsou spojeny s výstupy (A, B, C, D) čtyřbitového binárního čítače (B1), jehož vstup (CU) je spojen s výstupem druhého invertoru (I2) a přes kondenzátor (C1) se vstupem prvního invertoru (I1) spojeným přes první odpor (R1) s jeho výstupem a se vstupem druhého invertoru (I2), přičemž výstup (Y) prvního multiplexeru (M1) je spojen se dvěma datovými vstupy (G1, G2) prvního demultiplexeru (N1), výstup (Y)

druhého multiplexeru (M2) je spojen přes třetí inverter (I3) se dvěma datovými vstupy (G1, G2) druhého demultiplexeru (N2) a výstup (Y) třetího multiplexeru (M3) je spojen se čtvrtým adresovým vstupem (D) dekodéru (N3), přičemž první tlačítko (T1) spojené jedním dotekem se společným vodičem je druhým dotekem spojené se vstupem (RESIN) mikroprocesorového systému a aretované tlačítko (T2) spojené jedním dotekem se společným vodičem a druhým dotekem přes druhý odpor (R2) s kladnou svorkou (+5 V) zdroje napětí a se vstupní svorkou čtvrtého invertoru (I4), který je výstupem spojen s nulovacím vstupem (R) prvního klopného obvodu (K1) a s prvním vstupem prvního součinného hradla (H1), jehož druhý vstup je spojen s prvním výstupem (Q) prvního klopného obvodu (K1), zatímco bezkontaktní tlačítko (T3) je spojeno přes třetí odpor (R3) se společným vodičem a přímo s hodinovým vstupem (C) prvního klopného obvodu (K1), jehož datový vstup (D) je spojen se společným vodičem a jeho nastavovací vstup (S) je spo-

jen s prvním výstupem (Q) a druhý výstup (Q) s nastavovacím vstupem (S) druhého klopného obvodu (K2), jehož datový vstup (D) je spojen se společným vodičem a hodinový vstup (C) s výstupem druhého součinnového hradla (H2), jehož první vstup je

spojen s prvním řídicím vodičem ($\overline{\text{MREQ}}$) a druhý vstup s druhým řídicím vodičem ($\overline{\text{IORQ}}$) mikroprocesorového systému, jehož třetí řídicí vodič ($\overline{\text{WAIT}}$) je spojen s výstupem prvního součinnového hradla (H1).

3 listy výkresů



Obr. 1a

