I728184

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I728184 B**

(45)公告日： 中華民國 110 (2021) 年 05 月 21 日

(21)申請案號：106131886　(22)申請日： 中華民國 106 (2017) 年 09 月 18 日

(51)Int. Cl.：　*H03K19/017 (2006.01)*　*H03K19/0185(2006.01)*

(30)優先權：2016/09/29　日本　2016-191234

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：田邊昭 TANABE, AKIRA (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW	369717B	TW	388120B
CN	101207120A	US	5689460A
US	7368976B2	US	20070069710A1
US	20100315155A1		

審查人員：蘇齊賢

申請專利範圍項數：18 項　圖式數：22　共 70 頁

(54)名稱

半導體裝置

(57)摘要

習知之產生反向偏壓的電路，為了降低待機狀態之電力而減低驅動力，故具有運作狀態與待機狀態的轉換時間長等問題。本發明提供一種半導體裝置，其中，反向偏壓產生電路 3，輸出既定電壓。既定電壓，為待機模式中的基板之反向偏壓。偏壓控制電路 7，於電路區塊 2 為運作模式之期間中，儲存電荷，在電路區塊 2 從運作模式轉換為待機模式時，將儲存的電荷對電路區塊 2 所包含之 MOSFET4 的基板供給，而後，將反向偏壓產生電路 3 之輸出對 MOSFET4 的基板供給。

Related-art back bias generation circuits cause a problem where a long time is required for transition between an operating state and a standby state because driving power is lowered to reduce the power consumption in the standby state. A back bias generation circuit outputs a predetermined voltage. The predetermined voltage is the back bias voltage of a substrate in a standby mode. A bias control circuit stores an electrical charge while a circuit block is in an operating mode, supplies the stored electrical charge to the substrate of a MOSFET included in the circuit block when the circuit block transitions from the operating mode to the standby mode, and subsequently supplies the output of the back bias generation circuit to the substrate of the MOSFET.

指定代表圖：

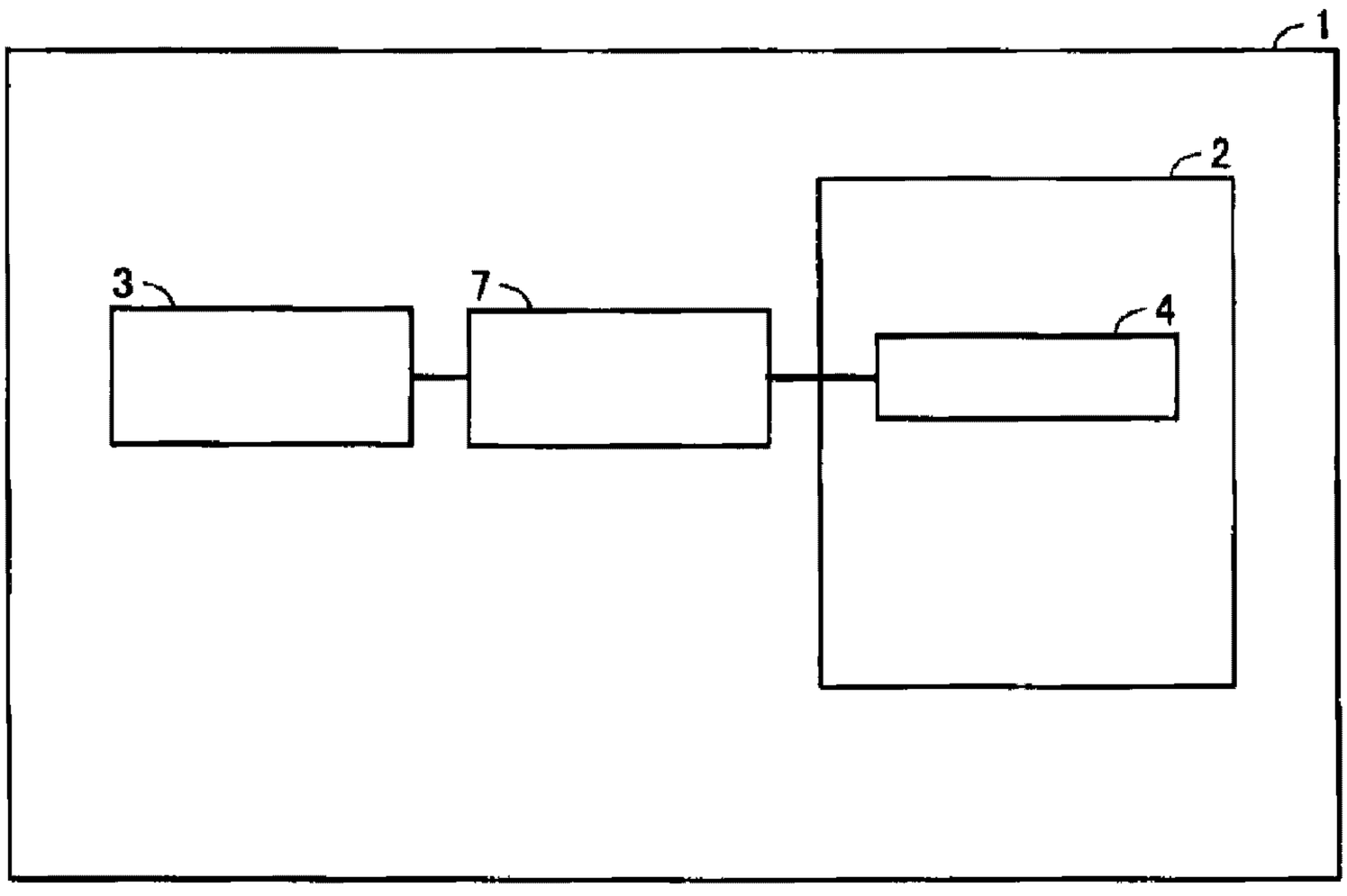


圖 1

符號簡單說明：

1・・・半導體裝置

2・・・電路區塊

3・・・反向偏壓產生電路

4・・・MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)

7・・・偏壓控制電路

專利案號：106131886

公告本

I728184

【發明摘要】

【中文發明名稱】　半導體裝置

【英文發明名稱】　SEMICONDUCTOR DEVICE

【中文】

習知之產生反向偏壓的電路，為了降低待機狀態之電力而減低驅動力，故具有運作狀態與待機狀態的轉換時間長等問題。本發明提供一種半導體裝置，其中，反向偏壓產生電路3，輸出既定電壓。既定電壓，為待機模式中的基板之反向偏壓。偏壓控制電路7，於電路區塊2為運作模式之期間中，儲存電荷，在電路區塊2從運作模式轉換為待機模式時，將儲存的電荷對電路區塊2所包含之MOSFET4的基板供給，而後，將反向偏壓產生電路3之輸出對MOSFET4的基板供給。

【英文】

Related-art back bias generation circuits cause a problem where a long time is required for transition between an operating state and a standby state because driving power is lowered to reduce the power consumption in the standby state. A back bias generation circuit outputs a predetermined voltage. The predetermined voltage is the back bias voltage of a substrate in a standby mode. A bias control circuit stores an electrical charge while a circuit block is in an operating mode, supplies the stored electrical charge to the substrate of a MOSFET included in the circuit block when the circuit

block transitions from the operating mode to the standby mode, and subsequently supplies the output of the back bias generation circuit to the substrate of the MOSFET.

【指定代表圖】　　圖1

【代表圖之符號簡單說明】

1　半導體裝置

2　電路區塊

3　反向偏壓產生電路

4　MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)

7　偏壓控制電路

【特徵化學式】　　無

【發明說明書】

【中文發明名稱】　半導體裝置

【英文發明名稱】　SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於一種半導體裝置，例如為關於具有MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)之反向偏壓的控制功能之半導體裝置。

【先前技術】

【0002】

既往以來，已知一種技術，藉由控制基板之反向偏壓，而改變MOSFET的閾值電壓，藉以降低待機狀態下之漏電流。

[習知技術文獻]

[專利文獻]

【0003】

專利文獻1：日本特開2002－93195號公報

【發明內容】

【0004】

[本發明所欲解決的問題]

然而，習知之產生反向偏壓的電路，為了降低待機狀態之電力而使驅動力減低，因而具有運作狀態與待機狀態的轉移時間長等問題。

【0005】

其他問題與新特徵，應可自本說明書之記載內容及附圖明瞭。

[解決問題之技術手段]

【0006】

一實施形態中，偏壓控制電路，於電路區塊為運作模式之期間中，儲存供給的電荷，在電路區塊從運作模式轉換為待機模式時，將儲存的電荷對電路區塊所包含之MOSFET的基板供給，而後，將電壓產生電路之輸出對MOSFET的基板供給。

[本發明之效果]

【0007】

依一實施形態，則可將運作狀態與待機狀態的轉移時間減短。

【圖式簡單說明】

【0008】

圖1係顯示第1實施形態之半導體裝置的構成之圖。

圖2係顯示第2實施形態之半導體裝置的構成之圖。

圖3(a)係顯示塊材MOSFET的構成之圖；3(b)係顯示SOI(Silicon on Insulator，絕緣體上覆矽)式MOSFET的構成之圖。

圖4(a)係顯示塊材NMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖；4(b)係顯示塊材PMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖；

4(c)係顯示SOI式NMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖；4(d)係顯示SOI式PMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖。

圖5(a)係顯示SOI式NMOS電晶體中之，反向偏壓vsub與OFF狀態下的源極－汲極間之漏電流Ioff的關係之一例的圖；5(b)係顯示SOI式PMOS電晶體中之，反向偏壓vsub與OFF狀態下的源極－汲極間之漏電流Ioff的關係之一例的圖。

圖6係顯示反向偏壓的控制方法之一例的圖。

圖7係顯示電路區塊的運作狀態與待機狀態中之反向偏壓的控制之一例的圖。

圖8係顯示VBBGEN(p)所包含之電路的構成之圖。

圖9(a)及9(b)係說明VBBGEN(p)的運作之圖。

圖10係顯示VBBGEN(n)所包含之電路的構成之圖。

圖11(a)及11(b)係說明VBBGEN(n)的運作之圖。

圖12係顯示第2實施形態之N偏壓控制電路及P偏壓控制電路的構成之圖。

圖13係說明圖12之電路的運作之時序圖。

圖14係顯示第3實施形態之N偏壓控制電路N的構成之圖。

圖15係說明圖14之電路的運作之一例的時序圖。

圖16係說明圖14之電路的運作之另一例的時序圖。

圖17係顯示第5實施形態之偏壓控制電路的圖。

圖18係顯示將全部區塊共通的電容器充電時之節點vncap的電壓之時間變化的圖。

圖19係顯示於每個功能區塊依序將電容器充電時之節點vncap的電壓之時間變化的圖。

圖20係顯示在晶片內對每個功能區塊施加不同偏電壓所用之基板的斷面構造之例子的圖。

圖21係顯示第6實施形態之偏壓控制電路的圖。

圖22係說明圖21之電路的運作之時序圖。

【實施方式】

【0009】

以下，使用附圖，對本發明之實施形態予以說明。

〔第1實施形態〕

圖1為，顯示第1實施形態之半導體裝置1的構成之圖。

【0010】

電路區塊2，具有運作模式與待機模式共2個運作狀態。電路區塊2，具備MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)4。

【0011】

反向偏壓產生電路3，輸出既定電壓。既定電壓，為待機模式中的基板之反向偏壓。

【0012】

偏壓控制電路7，於電路區塊2為運作模式之期間中，儲存電荷，在電路區塊2從運作模式轉換為待機模式時，將儲存的電荷對電路區塊2所包含之MOSFET4的基板供給，其後，將反向偏壓產生電路3之輸出對MOSFET4的基板供給。

【0013】

如同上述，依本實施形態，則在電路區塊從運作模式轉換為待機模式時，首先，將在電路區塊運作模式之期間中儲存的電荷對MOSFET的基板供給。藉此，相較於從一開始將反向偏壓產生電路之輸出對MOSFET的基板供給，可減短從運作狀態轉換為待機狀態之時間。

【0014】

〔第2實施形態〕

圖2為，顯示第2實施形態之半導體裝置10的構成之圖。

【0015】

此半導體裝置10，為具有反向偏壓的控制功能之微電腦。如圖2所示，半導體裝置10，於IC(Integrated Circuit，積體電路)晶片上具備CPU(Central Processing Unit，中央處理單元)核心12、SRAM(Static Random Access Memory，靜態隨機存取記憶體)14、快閃記憶體16、計時器18、介面20等功能區塊。

【0016】

此半導體裝置10，具備電壓調節器22、以及反向偏壓產生電路28。

【0017】

電壓調節器22，將從晶片外部輸入的電源電壓VIN轉換為內部電壓VDD，將內部電壓VDD對各功能區塊供給。後述說明中，電壓調節器22亦稱作VDD供給源。

【0018】

反向偏壓產生電路28，包含NMOS用反向偏壓產生電路(VBBGEN(n))24、及PMOS用反向偏壓產生電路(VBBGEN(p))26。

【0019】

VBBGEN(n)24，從內部電壓VDD生成反向偏壓(－VBB)，對各功能區塊之NMOS電晶體的基板PSUB供給。

【0020】

VBBGEN(p)26，從內部電壓VDD生成反向偏壓(VDD＋VBB)，對各功能區塊之PMOS電晶體的基板NSUB供給。

【0021】

MOSFET的閾值電壓VTH，可隨著對基板端子施加之電壓亦即反向偏壓vsub而改變。為NMOS電晶體之情況，藉由使反向偏壓vsub為負值，而使閾值電壓VTH的絕對值變大。為PMOS電晶體之情況，相反地藉由使反向偏壓vsub為正值，而使閾值電壓VTH的絕對值變大。

【0022】

圖3(a)為顯示塊材MOSFET(Bulk MOSFET)的構成之圖。

為塊材MOSFET的情況，基板與MOSFET之源極/汲極端子藉由p－n接合而連接，因而將可設定為反向偏壓的電壓，限制在不流通p－n接合之順向電流的範圍。

【0023】

圖3(b)為，顯示SOI(Silicon on Insulator，絕緣體上覆矽)式MOSFET的構成之圖。

【0024】

為SOI式MOSFET的情況，以氧化矽膜層將基板與MOSFET之源極/汲極端子絕緣。因此，可設定為反向偏壓的電壓，並未限制在不流通p－n接合之順向電流的範圍。

【0025】

圖4(a)為，顯示塊材NMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖。圖4(b)為，顯示塊材PMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖。圖4(c)為，顯示SOI式NMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖。圖4(d)為，顯示SOI式PMOS電晶體之反向偏壓vsub與閾值電壓VTH的關係之圖。

【0026】

如圖4(a)～(d)所示，相較於塊材，SOI式的相對於反向偏壓vsub之閾值電壓VTH的變化量大，即dVTH／dvsub大，且反向偏壓vsub之可改變範圍亦大，故整體而言閾值電壓VTH的變化量可較塊材更大。

【0027】

圖5(a)為，顯示SOI式NMOS電晶體中之，反向偏壓vsub與OFF狀態下的源極－汲極間之漏電流Ioff的關係之一例的圖。

【0028】

圖5(b)為，顯示SOI式PMOS電晶體中之，反向偏壓vsub與OFF狀態下的源極－汲極間之漏電流Ioff的關係之一例的圖。

【0029】

MOSFET中，漏電流之主導性因素為次臨界漏電流。NMOS電晶體，藉由使反向偏壓vsub為負值，而可將漏電流Ioff減小。PMOS電晶體，藉由使反向偏壓vsub為正值，而可將漏電流Ioff減小。

【0030】

此處，漏電流Ioff，相對於反向偏壓vsub之改變，呈指數函數地改變。因此，在反向偏壓vsub為0V附近漏電流Ioff的變化量變大，隨著反向偏壓vsub增大，而漏電流Ioff的變化量變小。

【0031】

圖6為，顯示反向偏壓的控制方法之一例的圖。NMOS電晶體N1、PMOS電晶體P1，分別形成在p井與n井中。p井與專用的反向偏壓產生電路(VBBGEN(n))24連接，n井與專用的反向偏壓產生電路(VBBGEN(p))26連接。

【0032】

同時改變NMOS電晶體N1之反向偏壓、與PMOS電晶體P1之反向偏壓。

【0033】

在半導體裝置內的電路區塊運作時，即運作狀態，設定為PMOS電晶體P1的閾值電壓VTH及NMOS電晶體N1的閾值電壓VTH變低。藉此，可實現切換之高速化所產生的高速運作。另一方面，在半導體裝置內的電路區塊停止時，即待機狀態，設定為PMOS電晶體P1的閾值電壓VTH及NMOS電晶體N1的閾值電壓VTH變高。藉此，降低漏電流，可使其低耗電化。如此地藉由動態地控制反向偏壓，而可兼顧高速運作與低耗電。

【0034】

圖7為，顯示電路區塊的運作狀態與待機狀態中之反向偏壓的控制之一例的圖。使電路區塊之電源電壓為VDD。

【0035】

在運作狀態中，藉由使NMOS電晶體N1之反向偏壓為0V，使PMOS電晶體P1之反向偏壓為VDD，而使NMOS電晶體的閾值電壓VTH之絕對值、及PMOS電晶體的閾值電壓VTH之絕對值下降。藉此，導通電流增加，故可高速運作。

【0036】

接著，在待機狀態中，使NMOS電晶體N1之反向偏壓為(－VBB)，使PMOS電晶體P1之反向偏壓為(VDD＋VBB)。

【0037】

藉此，NMOS電晶體的閾值電壓VTH之絕對值、及PMOS電晶體的閾值電壓VTH之絕對值提高。藉此，漏電流減少，故可減少待機時的消耗電流。

【0038】

然則，在實際的反向偏壓之控制的施行上，必須快速改變反向偏壓，減短運作狀態與待機狀態的轉移時間。無論MOSFET的基板為塊材或SOI式，在電路方面皆可視作電容器，故為了減短轉移時間，必須快速地施行基板之充放電。為此，對於基板之電容，必須使反向偏壓產生電路的驅動力夠大。

【0039】

一般而言，欲藉由以單一電源電壓VDD運作的電路，使NMOS電晶體之反向偏壓vnsub為負電壓的情況，使用電荷泵電路等DC－DC轉換器從VDD產生反向偏壓vnsub。同時必須使PMOS電晶體之反向偏壓vpsub，為VDD以上的電壓。反向偏壓vnsub、vpsub，係利用DC－DC轉換器產生。因此，必須提高DC－DC

轉換器的驅動力。例如，為了藉由係DC－DC轉換器之一種的電荷泵電路提高驅動力，須提高切換頻率，或增加泵電容。然而，任一手法皆使電荷泵電路之消耗電力增加。在藉由控制反向偏壓，以降低待機狀態之電力為目標的情況，電荷泵電路之消耗電力增加反而成為反效果。因此，習知的反向偏壓產生電路，為了降低待機狀態之電力而減低驅動力，具有運作狀態與待機狀態的轉移時間長等問題。

【0040】

本實施形態，可解決此等問題。圖8為，顯示VBBGEN(p)26所包含之電路的構成之圖。

【0041】

VBBGEN(p)26為一般的電荷泵電路，從輸入電壓VDD生成正電壓(VDD＋VBB)，從輸出端子VOUT1將正電壓(VDD＋VBB)輸出。

【0042】

VBBGEN(p)26，具備開關SWC11、SWC12、SWC13，電容器C11、C12，以及供給電壓VDD的VDD供給源22。

【0043】

開關SWC11，將節點ND11，與端子g及端子v之任一端子連接。端子g與接地端GND連接。端子v與節點ND14連接。電容器C11，配置於節點ND11與節點ND12之間。開關SWC12，將節點ND12與節點ND14之間的路徑連接或隔斷。VDD供給源22，配置於節點ND14與接地端GND之間。開關SWC13，將節點ND12與節點ND13之間的路徑連接或隔斷。電容器C12，配置於節點ND13與接地端GND之間。節點ND13，與輸出端子VOUT1連接。

【0044】

圖9(a)及(b)為，說明VBBGEN(p)26的運作之圖。

首先，如圖9(a)所示，使開關SWC11為g側，使開關SWC12為ON，使開關SWC13為OFF。藉此，在電容器C11的兩端之間儲存VDD電壓。

【0045】

接著，如圖9(b)所示，使開關SWC11為v側，使開關SWC12為OFF，使開關SWC13為ON。藉此，電容器C11之負側端子(－)的電壓成為VDD，故電容器C11之正側端子(＋)的電壓成為2＊VDD。亦即，將輸入電壓VDD之2倍的電壓從輸出端子VOUT1輸出。

【0046】

圖8的電路為，從輸入電壓VDD產生2＊VDD的電壓之情況的電路。在VBB＞VDD之情況，藉由將此電路串聯連接複數個，而可產生3＊VDD、4＊VDD等高的電壓。在VBB＜VDD之情況，藉由將此電路的輸出電壓降壓，而可產生期望之VBB＋VDD。

【0047】

圖10為，顯示VBBGEN(n)24所包含之電路的構成之圖。

VBBGEN(n)24為一般的電荷泵電路，從輸入電壓VDD生成負電壓(－VBB)，將負電壓(－VBB)從輸出端子VOUT2輸出。

【0048】

VBBGEN(n)24，具備開關SWC21、SWC22、SWC23，電容器C21、C22，以及供給電壓VDD的VDD供給源22。

【0049】

開關SWC21，將節點ND21，與端子g及端子v之任一端子連接。端子g與接地端GND連接。端子v與VDD供給源22連接。電容器C21，配置於節點ND21與節點ND22之間。開關SWC22，將節點ND22與接地端GND之間的路徑連接或隔斷。VDD供給源22，配置於端子v與接地端GND之間。開關SWC23，將節點ND22與節點ND23之間的路徑連接或隔斷。電容器C22，配置於節點ND23與接地端GND之間。節點ND23，與輸出端子VOUT2連接。

【0050】

圖11(a)及(b)為，說明VBBGEN(n)24的運作之圖。

首先，如圖11(a)所示，使開關SWC21為v側，使開關SWC22為ON，使開關SWC23為OFF。藉此，在電容器C21的兩端之間儲存VDD電壓。

【0051】

接著，如圖11(b)所示，使開關SWC21為g側，使開關SWC22為OFF，使開關SWC23為ON。藉此，電容器C21之正側端子的電壓成為0V，故電容器C21之負側端子的電壓成為(－VDD)。亦即，將與輸入電壓VDD符號相反的電壓從輸出端子VOUT2輸出。

【0052】

圖10的電路為，從輸入電壓VDD產生(－1)＊VDD的電壓之情況的電路。在VBB＞VDD之情況，藉由將此電路串聯連接複數個，而可產生(－2)＊VDD、(－3)＊VDD等高的電壓。在VBB＜VDD之情況，藉由將此電路的輸出電壓降壓，而可產生期望之－VBB。

【0053】

圖12為，顯示第2實施形態之N偏壓控制電路NC1及P偏壓控制電路PC1的構成之圖。

【0054】

圖12中，顯示1個PMOS電晶體P1、NMOS電晶體N1，其等代表半導體裝置的複數電路區塊所包含之複數PMOS電晶體與NMOS電晶體。

【0055】

在VBBGEN(n)24與NMOS電晶體N1的基板PSUB之間，配置N偏壓控制電路NC1。在VBBGEN(p)26與PMOS電晶體P1的基板NSUB之間，配置P偏壓控制電路PC1。N偏壓控制電路NC1、P偏壓控制電路PC1同時運作。

【0056】

N偏壓控制電路NC1，具備開關SWN1、電容器NCAP、及開關SWN2。

【0057】

開關SWN1，將節點vncap，與端子a及端子b之任一端子連接。端子a開放。端子b，與NMOS用反向偏壓產生電路24之輸出連接。

【0058】

電容器NCAP，配置於節點vncap與接地端GND之間。

開關SWN2，將基板PSUB，與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncap連接。端子r，與接地端GND連接。

【0059】

P偏壓控制電路PC1，具備開關SWP1、電容器PCAP、及開關SWP2。

【0060】

開關SWP1，將節點vpcap，與端子a及端子b之任一端子連接。端子a開放。端子b，與PMOS用反向偏壓產生電路26之輸出連接。

【0061】

電容器PCAP，配置於節點vpcap與VDD供給源之間。

開關SWP2，將基板NSUB與端子p、q、r之任一端子連接。端子p，與PMOS用反向偏壓產生電路26之輸出連接。端子q，與節點vpcap連接。端子r，與VDD供給源連接。

【0062】

此處，為了方便，使電容器PCAP的電容，與基板NSUB所具有的寄生電容相同，使電容器NCAP的電容，與基板PSUB所具有的寄生電容相同。藉由電容器NCAP與電容器PCAP，可快速改變基板PSUB與基板NSUB的電壓。

【0063】

圖13為，說明圖12之電路的運作之時序圖。

使VBBGEN(n)24的輸出電壓恆常為－VBB，使VBBGEN(p)26的輸出電壓恆常為(VDD＋VBB)。

【0064】

在時刻t0之初始狀態中，使半導體裝置內的電路區塊為運作狀態，使基板PSUB與電容器NCAP的電壓皆為接地電壓0V，使基板NSUB與電容器PCAP的電壓皆為電源電壓VDD。

【0065】

CPU核心12，藉由使開關SWN1與開關SWP1為b側，而將VBBGEN(n)24與電容器NCAP連接，將VBBGEN(p)26與電容器PCAP連接。CPU核心12，藉由使

開關SWN2與開關SWP2為r側，而將基板PSUB與接地端GND連接，將基板NSUB與電源VDD連接。藉此，將基板PSUB的電壓維持為0V，但將電容器NCAP緩緩充電至－VBB，且將基板NSUB維持為VDD，但將電容器PCAP緩緩充電至(VDD＋VBB)。此充電所需之時間，係取決於VBBGEN(n)24與VBBGEN(p)26的最大輸出電流。

【0066】

於時刻t1中，若電容器NCAP的電壓成為－VBB，電容器PCAP的電壓成為(VDD＋VBB)，則VBBGEN(n)24與VBBGEN(p)26自動停止，充電結束。

【0067】

於時刻t2中，半導體裝置，自外部接收從運作模式轉換為待機模式之指示。此時，CPU核心12，使開關SWN1與開關SWP1為a側，使開關SWN2與開關SWP2為q側。藉此，使VBBGEN(n)24與電容器NCAP斷接，使VBBGEN(p)26與電容器PCAP斷接，將基板PSUB與電容器NCAP連接，將基板NSUB與電容器PCAP連接。藉此，以儲存在電容器NCAP的負電荷將基板PSUB急速充電，使基板PSUB與電容器NCAP成為相同電壓(－1／2＊VBB)。此外，以儲存於電容器PCAP的正電荷將基板NSUB急速充電，基板NSUB與電容器PCAP成為相同電壓(VDD＋1／2＊VBB)。此一運作所需之時間，係由開關SWN2、開關SWP2的導通電阻，及基板PSUB、電容器NCAP、基板NSUB、電容器PCAP的電容所決定，但相較於藉由使開關SWN2與開關SWP2的導通電阻非常小，而以VBBGEN(n)24將基板PSUB充電，以VBBGEN(p)26將基板NSUB充電之情況，可快速地將基板PSUB與基板NSUB充電。此處，基板PSUB的電壓僅改變至係目標值之一半的(－1／2＊VBB)，基板NSUB的電壓亦僅改變至係目標值之一半的(VDD＋1／2＊

VBB)，但如同前述，因MOPSFET之漏電流的基板電壓相依性在0V附近變化量最大，故此變化量仍可充分獲得漏電流降低效果。

【0068】

於時刻t3中，進一步，CPU核心12，藉由使開關SWN1與開關SWP1為a側，使開關SWN2與開關SWP2為p側，而將VBBGEN(n)24與基板PSUB連接，將VBBGEN(p)26與基板NSUB連接。藉此，將基板PSUB緩緩充電至(－VBB)，將基板NSUB緩緩充電至(VDD＋VBB)。

【0069】

於時刻t4中，若基板PSUB成為(－VBB)，基板NSUB成為(VDD＋VBB)，則VBBGEN(n)24與VBBGEN(p)26自動停止，充電結束，電路區塊成為待機狀態。

【0070】

於時刻t5中，半導體裝置，自外部接收從運作模式轉換為待機模式之指示。CPU核心12，藉由使開關SWN1與開關SWP1為a側，使開關SWN2與開關SWP2為q側，而將基板PSUB與電容器NCAP再度連接，將基板NSUB與電容器PCAP再度連接。藉此，基板PSUB的負電荷於電容器NCAP急速再生，基板PSUB與電容器NCAP成為相同電壓(－3／4＊VBB)。與此同時，基板NSUB的正電荷於電容器PCAP急速再生，基板NSUB與電容器PCAP成為相同電壓(VDD＋3／4＊VBB)。此一再生運作之時間，係由開關SWN2、開關SWP2的導通電阻，及基板PSUB、基板NSUB、電容器NCAP、電容器PCAP的電容所決定，故與時刻t2的運作同樣地快速。

【0071】

於時刻t6中，進一步，CPU核心12，使開關SWN1與開關SWP1為b側，使開關SWN2與開關SWP2為r側。

【0072】

藉此，將基板PSUB急速放電至0V，將基板NSUB急速放電至VDD。此一放電的運作，亦係由開關SWN2與開關SWP2的導通電阻、及基板PSUB與基板NSUB的電容所決定，故為快速運作。此外，電容器NCAP，與VBBGEN(n)24再度連接而緩緩充電至(－VBB)；電容器PCAP，與VBBGEN(p)26再度連接而緩緩充電至(VDD＋VBB)。

【0073】

於時刻t7中，若將基板PSUB放電至0V，將基板NSUB放電至VDD，則電路區塊成為運作狀態。

【0074】

於時刻t8中，若電容器NCAP成為(－VBB)，電容器PCAP成為(VDD＋VBB)，則VBBGEN(n)24與VBBGEN(p)26自動停止，充電結束。

【0075】

時刻t8之狀態，成為與時刻t1之狀態相同。而後使t1～t8之狀態為一循環，將處理重複。

【0076】

於時刻t5之時間點中，施行從基板PSUB往電容器NCAP之電荷再生、從基板NSUB往電容器PCAP之電荷再生。此處，例如與將以馬達發電的電力在電容器再生之情況比較。此一情況，馬達具有電動勢，故即便馬達與電容器之間不具有電位差仍可將電荷再生。然則，本實施形態中，基板PSUB及基板NSUB為

被動元件，不具有電動勢。因而，於時刻t3～t5之期間中，使基板PSUB與電容器NCAP斷接，使基板NSUB與電容器PCAP斷接，藉而在兩者產生電位差，可使電荷再生。

【0077】

如同上述，本實施形態中，在時刻t2之轉換為待機狀態時的對基板PSUB與基板NSUB之充電，係以電容器NCAP與電容器PCAP施行，而非以VBBGEN(n)24與VBBGEN(p)26施行。藉此，無關於VBBGEN(n)24與VBBGEN(p)26的電流驅動能力而可快速充電。此外，於時刻t5中，藉由將基板PSUB的電荷於電容器NCAP再生，將基板NSUB的電荷於電容器PCAP再生，而可降低VBBGEN(n)24與VBBGEN(p)26的消耗電力。

【0078】

接著，對VBBGEN(n)24的電力予以說明。

若使VBBGEN(n)24為一般的電荷泵電路，則VBBGEN(n)24的內部電壓，無關於充電之對象(例如，電容器NCAP)的電壓，恆常為(－VBB)。因此，連結兩者的開關SWN1，消耗內部電壓與電容器NCAP的電壓差分之能量。例如，將電容器NCAP從0V充電至(－VBB)之情況，若使電容器NCAP的電容為Ccap，則將VBBGEN(n)24所輸出的電力P1、在電容器NCAP儲存的電力P2，以下式表示。

【0079】

$$P1 = Ccap * VBB^2$$

$$P2 = (1/2) * Ccap * VBB^2$$

VBBGEN(n)24所輸出的電力，成為儲存在電容器NCAP的電力之2倍。電容器NCAP與VBBGEN(n)24之間的配線電阻，消耗VBBGEN(n)24所輸出的電力之1／2。

【0080】

VBBGEN(n)24的電力效率Effb為一定，即內部的損耗，與輸出的電力成正比。圖13的在時間點運作時之VBBGEN(n)24的消耗電力，於時刻t0～t1中成為P3，於時刻t3～t4中成為P4，於時刻t6～t8中成為P5。

【0081】

$$P3 = Ccap * VBB^2 / Effb$$

$$P4 = (1/2) * Ccap * VBB^2 / Effb$$

$$P5 = (1/4) * Ccap * VBB^2 / Effb$$

亦即，本實施形態中，在最初的t0～t1之期間，消耗P3的電力，但在其後之t1～t8的循環，僅消耗P6分的電力。

【0082】

$$P6 = (3/4) * Ccap * VBB^2 / Effb$$

相對於此，在習知方式於每次循環消耗P3的電力。因此，本實施形態的方式之VBBGEN(n)24的消耗電力，減為習知方式的消耗電力之3／4。此一原因，係因在時刻t5中，施行再生運作之故。

【0083】

VBBGEN(p)26的消耗電力，亦可減為習知方式的消耗電力之3／4。

【0084】

〔第3實施形態〕

後述內容，僅顯示NMOS電晶體N1之反向偏壓的控制，但亦可同樣地控制PMOS電晶體P1。

【0085】

圖14為，顯示第3實施形態之N偏壓控制電路NC1的構成之圖。

圖14中，顯示1個NMOS電晶體N1，其代表半導體裝置具備的複數電路區塊所包含之複數NMOS電晶體。

【0086】

在VBBGEN(n)24與NMOS電晶體N1的基板PSUB之間，配置N偏壓控制電路NC1。

【0087】

N偏壓控制電路NC1，具備開關SWN1、電容器NCAP、開關SWN2、及開關SWN3。

【0088】

開關SWN1，將節點vncap，與端子a、端子b、端子c之任一端子連接。端子a開放。端子b，與VBBGEN(n)24之輸出連接。端子c與接地端GND連接。

【0089】

電容器NCAP，配置於節點vncap與節點vncapb之間。

開關SWN2，將基板PSUB與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncap連接。端子r，與接地端GND連接。

【0090】

開關SWN3，將節點vncapb，與端子x及端子y之任一端子連接。端子x，與VDD供給源22連接。端子y，與接地端GND連接。

【0091】

此處，為了方便，使電容器NCAP的電容，與基板PSUB所具有的寄生電容相同。藉由使節點vncapb的電壓在接地端GND與VDD之間遷移，而使電容器NCAP本身，進行取代VBBGEN(n)24之電荷泵的功能。

【0092】

圖15為，說明圖14之電路的運作之一例的時序圖。

使VBBGEN(n)24的輸出電壓(－VBB)與(－VDD)相等。

【0093】

在時刻t0之初始狀態中，使半導體裝置內的電路區塊為運作狀態，使基板PSUB與電容器NCAP的電壓皆為接地電壓0V。

【0094】

CPU核心12，藉由使開關SWN1為c側，使開關SWN2為r側，使開關SWN3為x側，而將電容器NCAP與VDD供給源22連接，將基板PSUB與接地端GND連接。藉此，將基板PSUB的電壓維持為0V，但將電容器NCAP緩緩充電至VDD。此充電所需之時間，係取決於VDD供給源22的輸出電流。一般而言，正偏壓之VDD供給源22，電流供給能力較負偏壓之VBBGEN(n)24更大，電力效率亦高。因而，本實施形態中，相較於第2實施形態，能夠高速且以低電力將電容器NCAP充電。

【0095】

於時刻t1中，若節點vncapb的電壓成為VDD則充電結束。

於時刻t2中，CPU核心12，使開關SWN1為a側，使開關SWN2為r側，使開關SWN3為y側。藉此，可維持電容器NCAP的電荷之保持，使節點vncapb的電壓為0V，使節點vncap的電壓為(－VBB)。

【0096】

於時刻t3中，半導體裝置，自外部接收從運作模式轉換為待機模式之指示。此時，CPU核心12，藉由使開關SWN1為a側，使開關SWN2為q側，使開關SWN3為y側，而將基板PSUB，與電容器NCAP連接。藉此，以電容器NCAP的負電荷將基板PSUB急速充電，基板PSUB與電容器NCAP的電壓，成為(－1／2)＊VBB。此一運作所需之時間，係由開關SWN2的導通電阻，及基板PSUB與電容器NCAP的電容所決定，但相較於藉由使開關SWN2的導通電阻非常小，而以VBBGEN(n)將基板PSUB充電之情況，可快速地將基板PSUB充電。此處，基板PSU的電壓僅改變至係目標值之一半的(－1／2)＊VBB，但因MOSFET之漏電流的基板PSUB之電壓相依性，在0V附近變化量最大，故此變化量仍可充分獲得漏電流降低效果。

【0097】

於時刻t4中，CPU核心12，藉由使開關SWN1為a側，使開關SWN2為p側，使開關SWN3為y側，而將VBBGEN(n)24與基板PSUB連接。藉此，將基板PSUB，緩緩充電至(－VBB)。

【0098】

於時刻t5中，若基板PSUB的電壓成為(－VBB)，則VBBGEN(n)24自動停止，充電結束，電路區塊成為待機狀態。

【0099】

於時刻t6中，半導體裝置，自外部接收從待機模式轉換為運作模式之指示。CPU核心12，若使開關SWN1為a側，使開關SWN2為q側，使開關SWN3為y側，則將基板PSUB，與電容器NCAP再度連接。藉此，基板PSUB的負電荷於電容器NCAP急速再生，基板PSUB與電容器NCAP，成為相同電壓(－3／4)＊VBB。此一再生運作之時間，係由開關SWN2的導通電阻，及基板PSUB與電容器NCAP的電容所決定，故與時刻t2的運作同樣地快速。

【0100】

於時刻t7中，CPU核心12，進一步使開關SWN1為c側，使開關SWN2為r側，使開關SWN3為x側。藉此，將基板PSUB急速放電至0V。此一放電的運作亦由開關SWN2的導通電阻、及基板PSUB的電容所決定，故為快速運作。此外，節點vncap與接地端GND連接，節點vncapb與VDD供給源22連接，將節點vncapb再度充電至VDD。

【0101】

於時刻t8中，若將基板PSUB放電至0V，則半導體裝置內的電路區塊成為運作狀態。

【0102】

於時刻t9中，若節點vncapb的電壓成為VDD，則電容器NCAP之充電結束。

【0103】

於時刻t10中，CPU核心12，進一步，使開關SWN1為a側，使開關SWN2為r側，使開關SWN3為y側。藉此，可再度維持電容器NCAP的電荷之保持，使節點vncapb的電壓為0V，使節點vncap的電壓為(－VBB)。

【0104】

時刻t10之狀態，成為與時刻t2之狀態相同。而後使t2～t10之狀態為一循環，將處理重複。

【0105】

接著，與第2實施形態同樣地，對反向偏壓的電力予以說明。此處，除了考慮VBBGEN(n)24的電力以外，亦考慮VDD供給源22的電力。此處，供給正偏壓之VDD供給源22，較VBBGEN(n)更為高效率。此處，使VDD供給源22之效率為Effd。而Effd＞Effb。

【0106】

圖15的在時間點運作時之VBBGEN(n)24及VDD供給源22的消耗電力，於時刻t0～t1中成為P7，於時刻t4～t5中成為P8，於時刻t7～t9中成為P9。

【0107】

$P7 = Ccap * VDD^2 / Effd$

$P8 = (1/2) * Ccap * VBB^2 / Effb$

$P9 = (1/4) * Ccap * VDD^2 / Effd$

亦即，Effd＞Effb，VDD＝VBB，故在最初的時刻t0～t1中，P7較第2實施形態之P1更小，接著，在t2～t10的循環，消耗電力P10較第2實施形態之P6更小。

【0108】

$P10 = Ccap * VBB^2 * ((1/2) * Effb + (1/4) * Effd)$

藉由上述，本實施形態，可進行高效率的VDD供給源之充電，故相較於第2實施形態，可降低消耗電力。

【0109】

〔第4實施形態〕

圖16為，說明圖14之電路的運作之另一例的時序圖。

【0110】

此處，與第3實施形態同樣地，使VBBGEN(n)24的輸出電壓(－VBB)與(－VDD)相等。

【0111】

於時刻t0中，使半導體裝置內的電路區塊為運作狀態，使基板PSUB與電容器NCAP的電壓皆為接地電壓0V。

【0112】

CPU核心12，藉由使開關SWN1為c側，使開關SWN2為r側，使開關SWN3為x側，而將VDD供給源22與電容器NCAP連接，將基板PSUB與接地端GND連接。藉此，將基板PSUB的電壓維持為0V，將節點vncapb緩緩充電至VDD。此充電所需之時間，係取決於VDD供給源22的最大輸出電流。一般而言，正偏壓之VDD供給源22電流供給能力較負偏壓之VNNGEN(n)更大，電力效率亦高。因而，相較於第2實施形態能夠高速且以低電力將電容器NCAP充電。

【0113】

於時刻t1中，若節點vncapb的電壓成為VDD則充電結束。

於時刻t2中，CPU核心12，藉由使開關SWN1為b側，而將節點vncap充電至(－VBB)。

【0114】

於時刻t3中，若節點vncap的電壓成為(－VBB)則充電結束。藉此，在係電容器NCAP之兩端的節點vncapb與節點vncap之間，儲存2＊VDD的電壓。

【0115】

於時刻t4中，CPU核心12，將開關SWN1連接於a側，將開關SWN3連接於y側。藉此，節點vncap的電壓成為(－2＊VBB)。

【0116】

於時刻t5中，半導體裝置，自外部接收從運作模式轉換為待機模式之指示。此時，CPU核心12，藉由將開關SWN1連接於a側，將開關SWN2連接於q側，將開關SWN3連接於y側，而將基板PSUB與電容器NCAP連接。藉此，以電容器NCAP的負電荷，將基板PSUB急速充電，基板PSUB與電容器NCAP成為相同電壓(－VBB)。此一運作所需之時間，係由開關SWN2的導通電阻，及基板PSUB與電容器NCAP的電容所決定，但相較於藉由使開關SWN2的導通電阻非常小，而以VBBGEN(n)24將基板PSUB充電之情況，可快速地將基板PSUB充電。此處，與第2及第3實施形態不同，可僅藉由來自電容器NCAP的電荷將基板PSUB的電壓充電至(－VBB)，故可更為快速地改變基板PSUB的電壓，獲得大的漏電流降低效果。

【0117】

於時刻t6中，若充電完畢，則CPU核心12，藉由將開關SWN1連接於a側，將開關SWN2連接於p側，將開關SWN3連接於y側，而使基板PSUB與電容器NCAP斷接，將基板PSUB與VBBGEN(n)24連接。

【0118】

於時刻t7中，半導體裝置，自外部接收從待機模式轉換為運作模式之指示。CPU核心12，藉由將開關SWN1連接於b側，將開關SWN2連接於r側，將開關SWN3連接於x側，而在將基板PSUB急速放電至0V的同時，將節點vncapb緩緩充電至VDD。

【0119】

於時刻t8中，若將基板PSUB放電至0V，則半導體裝置內的電路區塊成為運作狀態。

【0120】

於時刻t9中，將節點vncapb，充電至VDD。

於時刻t10中，CPU核心12，將開關SWN1連接於a側，將開關SWN2連接於r側，將開關SWN3連接於y側。藉此，可再度維持電容器NCAP的電荷之保持，使節點vncapb的電壓為0V，使節點vncap的電壓為(－2＊VBB)。

【0121】

時刻t10之狀態，成為與時刻t4之狀態相同。而後使t4～t10之狀態為一循環，將處理重複。

【0122】

本實施形態，與第2及第3實施形態不同，藉由在時刻t5，於電容器NCAP儲存VDD之2倍的電壓，而可僅以電容器NCAP的電荷使基板PSUB的電壓改變至(－VBB)。藉此，本實施形態，相較於第2及第3實施形態可獲得大的漏電流降低效果。

【0123】

〔第5實施形態〕

圖17為，顯示第5實施形態之偏壓控制電路的圖。

【0124】

第5實施形態，於半導體晶片內部之每個功能區塊，設置包含電容器的偏壓控制電路。功能區塊，例如為CPU核心12、SRAM14、快閃記憶體16、計時器18等。

【0125】

對於CPU核心12、SRAM14、快閃記憶體16、計時器18，半導體裝置，分別具備偏壓控制電路NX1、NX2、NX3、NXn。

【0126】

偏壓控制電路NX1，具備開關SWN11、電容器NCAP11、及開關SWN21。

【0127】

開關SWN11，將節點vncap1，與端子a及端子b之任一端子連接。端子a開放。端子b，與VBBGEN(n)24之輸出連接。電容器NCAP11，配置於節點vncap1與接地端GND之間。開關SWN21，將SRAM14內的NMOS電晶體之基板PSUB，與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncap1連接。端子r，與接地端GND連接。

【0128】

偏壓控制電路NX2，具備開關SWN12、電容器NCAP12、及開關SWN22。

【0129】

開關SWN12，將節點vncap2，與端子a及端子b之任一端子連接。端子a開放。端子b，與VBBGEN(n)24之輸出連接。電容器NCAP12，配置於節點vncap2與接地端GND之間。開關SWN22，將CPU核心12內的NMOS電晶體之基板PSUB，與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncap2連接。端子r，與接地端GND連接。

【0130】

偏壓控制電路NX3，具備開關SWN13、電容器NCAP13、及開關SWN23。

【0131】

開關SWN13，將節點vncap3，與端子a及端子b之任一端子連接。端子a開放。端子b，與VBBGEN(n)24之輸出連接。電容器NCAP13，配置於節點vncap3與接地端GND之間。開關SWN23，將快閃記憶體16內的NMOS電晶體之基板PSUB，與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncap3連接。端子r，與接地端GND連接。

【0132】

偏壓控制電路NXn，具備開關SWN1n、電容器NCAP1n、及開關SWN2n。

【0133】

開關SWN1n，將節點vncapn，與端子a及端子b之任一端子連接。端子a開放。端子b，與VBBGEN(n)24之輸出連接。電容器NCAP1n，配置於節點vncapn與接地端GND之間。開關SWN2n，將快閃記憶體16內的NMOS電晶體之基板PSUB，與端子p、q、r之任一端子連接。端子p，與VBBGEN(n)24之輸出連接。端子q，與節點vncapn連接。端子r，與接地端GND連接。

【0134】

VBBGEN(n)24，於複數功能區塊16、12、14、18共通設置，輸出偏電壓(－VBB)。

【0135】

複數偏壓控制電路NX1～NXn，分別對於對應的電路區塊，施行如第2實施形態～第4實施形態說明之控制。該控制，至少包含以下處理。

【0136】

亦即，複數偏壓控制電路NX1～NXn，分別在選出對應的電路區塊時，於對應的電路區塊為運作模式之期間中，儲存從VBBGEN(n)24供給的電荷。複數偏壓控制電路NX1～NXn，分別在對應的電路區塊從運作模式轉換為待機模式時，將儲存之電荷供給到對應的電路區塊所包含之MOSFET的基板，而後，將VBBGEN(n)24之輸出供給至基板。複數電路區塊12、14、16、18，分別具有優先度，依優先度而選擇。

【0137】

此處，於晶片內具備複數電源域，可在每個電源域分開設定電源的ON／OFF及電源電壓之情況，宜將每個電源域視作不同電容器。

【0138】

圖13中，於時刻t0～t1之期間，藉由VBBGEN(n)24及VBBGEN(p)26，將電容器NCAP、PCAP充電，但因VBBGEN(n)24及VFFGEN(p)26之驅動能力的限制而使充電耗費時間。圖13中，於電容器NCAP、PCAP未完全充電的t1以前之時間點中，即便將電容器NCAP與基板PSUB連接，將電容器PCAP與基板NSUB連接，基板PSUB、NSUB的電壓之變化量仍小，無法充分發揮上述實施形態的效果。

【0139】

因而，本實施形態中，藉由在每個區塊使用個別的電容器CAP，而於運作模式時，對區塊給予優先度，從優先度高之區塊依序施行電容器的充電。藉此，可僅將優先度高之區塊快速充電。在使基板的電荷於電容器再生時，無關於優先度，將其同時施行。

【0140】

晶片上的功能區塊，有待機狀態下之漏電流成為問題的區塊、及不成為問題的區塊。在待機狀態下之漏電流不成為問題的區塊，有原本在區塊全體之漏電流小的區塊、及雖漏電流大但因可隔斷區塊全體之電源供給故不必使其為待機狀態的區塊。

【0141】

圖17之功能區塊，具有如下等特性。

SRAM14，因保存資料故無法隔斷，漏電流大。快閃記憶體16，可隔斷電源。CPU核心12，包含小部分SRAM，大部分可隔斷電源。計時器18，漏電流小。

【0142】

藉由上述，使SRAM14的漏電流降低為最優先。因此，將與SRAM14連接的電容器NCAP11優先充電即可。

【0143】

圖18為，顯示將全部區塊共通的電容器充電時之節點vncap的電壓之時間變化的圖。

【0144】

亦即，圖18，顯示將全部與功能區塊連接的1個偏壓控制電路所包含之電容器NCAP充電時，與電容器NCAP的一端連接之節點vncap的電壓之變化。

【0145】

圖19為，顯示於每個功能區塊依序將電容器充電時之節點vncap的電壓之時間變化的圖。

【0146】

亦即，於圖19，顯示從優先度高的功能區塊依序選擇，將與選出之功能區塊連接的偏壓控制電路所包含之電容器NCAP充電時，與電容器NCAP的一端連接之節點vncap的電壓之變化。

【0147】

一般而言，SRAM之基板的電容，為晶片全體之1／10以下，故本實施形態的方式中之與SRAM連接的電容器之充電所需的時間，可為與全部區塊共通連接的電容器之充電所需的時間之1／10以下。

【0148】

圖20為，顯示在晶片內對每個功能區塊施加不同偏電壓所用之基板的斷面構造之例子的圖。

【0149】

使支持基板為P型，其中，於每個功能區塊配置分離的複數個深n井。

【0150】

圖20之左側區塊中，對深n井，施加(VDD＋VBB)的電壓。對於NMOS電晶體與PMOS電晶體之反向偏壓，分別為(－VBB)、(VDD＋VBB)。

【0151】

圖20之右側區塊中，對深n井，施加VDD的電壓。對於NMOS電晶體與PMOS電晶體之反向偏壓，分別為0V、VDD。

【0152】

如此地，藉由使用深n井，而可在同一支持基板上設定不同之反向偏壓的領域。

【0153】

〔第6實施形態〕

圖21為，顯示第6實施形態之偏壓控制電路的圖。

【0154】

本實施形態中，於晶片內部之每個功能區塊配置分開的電容器CAP，並具備使每個區塊的基板短路之共通基板配線CSUB、及各基板PSUBi(i＝1～n)與共通基板配線CSUB之間的開關SWN4i(i＝1～n)。於晶片內部具有各種功能區塊，但有產生完全未使用的功能區塊之情況。此一情況，將未使用的功能區塊隔斷電源而未造成電力消耗，但留下基板之電容。因而，將未使用的功能區塊之基板電容作為電容器CAP使用。

【0155】

如圖21所示，藉由開關SWN4i，將未使用的功能區塊之基板PSUBi與共通基板配線CSUB連接。而對反向偏壓之控制優先度高的功能區塊，將此等未使用的功能區塊作為電容器使用。

【0156】

如此地，若將未使用的功能區塊之基板電容作為電容器使用，則即便為不具有反向偏壓專用的電容器之情況，仍可進行利用電容器之高速的反向偏壓控制。此外，藉此，可節省反向偏壓專用的電容器分之晶片面積。

【0157】

偏壓控制電路NLk，可切換為將對應的電路區塊所包含之MOSFET的基板與VBBGEN(n)24連接，或與接地端GND連接，或成為開放狀態。

【0158】

開關SW4k，可切換為將與對應的電路區塊所包含之MOSFET的基板之間的路徑上之節點Lk(k＝1～n)，與共通基板配線CSUB連接，或不連接。

【0159】

未使用的電路區塊之偏壓控制電路(使其為NLi)，在使用的電路區塊之運作模式中，藉由開關SWN3i，將VBBGEN(n)之輸出對係未使用的電路區塊之MOSFET的基板之PSUBi供給。

【0160】

使用的電路區塊之偏壓控制電路(使其為NLj)，在使用的電路區塊從運作模式轉換為待機模式時，藉由開關SWN4i、SWN4j、共通基板配線CSUB，將儲存於PSUBi的電荷對係使用的電路區塊所包含之MOSFET的基板之第2基板供給。

【0161】

圖22為，說明圖21之電路的運作之時序圖。使VBBGEN(n)24的輸出電壓恆常為(－VBB)，使基板PSUB1與基板PSUBn的電容相等。使SRAM14為使用的電路區塊，使計時器18為未使用的電路區塊。亦即，i＝1，且j＝n。

【0162】

在時刻t0之初始狀態中，使基板PSUB1的電壓vpsub1、與基板PSUBn的電壓vpsubn，皆為接地電壓之0V。

【0163】

CPU核心12，藉由使開關SWN31為c1側，使開關SWN41為y1側，使開關SWN3n為bn側，使開關SWN4n為yn側，而將VBBGEN(n)24與基板PSUBn連接，將基板PSUB1，與接地端GND連接。此一期間，SRAM14為運作狀態，基板PSUB1

維持為0V。計時器18為充電模式狀態，將基板PSUBn緩緩充電至(－VBB)。此充電所需之時間，係取決於VBBGEN(n)24的最大輸出電流。

【0164】

於時刻t1中，若基板PUBn的電壓成為(－VBB)，則VBBGEN(n)24自動停止，充電結束。

【0165】

於時刻t2中，半導體裝置，接收指示而將SRAM14從運作狀態轉移為待機狀態。此時，CPU核心12，使開關SWN31為a1側，使開關SWN41為x1側，使開關SWN3n為an側，使開關SWN4n為xn側。藉此，使VBBGEN(n)24與基板PSUBn斷接，將基板PSUB1與基板PSUBn，經由共通基板配線CSUB連接。藉此，以儲存在基板PSUBn的負電荷，將基板PSUB1急速充電，使基板PSUB1的電壓vpsub1、與基板PSUBn的電壓vpsubn，成為相同電壓(－1／2)＊VBB。此一運作所需之時間，係由開關SWN41與開關SWN4n的導通電阻、及基板PSUB1與基板PSUBn的電容所決定，但相較於藉由使導通電阻非常小，而以VBBGEN(n)24將基板PSUB1充電之情況，可快速地充電。

【0166】

於時刻t3中，CPU核心12，進一步，使開關SWN31為b1側，使開關SWN41為y1側，使開關SWN3n為an側，使開關SWN4n為yn側。藉此，將VBBGEN(N)24與基板PSUB1連接，將基板PSUB1緩緩充電至(－VBB)。

【0167】

於時刻t4中，若基板PSUB1的電壓成為(－VBB)，則VBBGEN(n)24自動停止，充電結束。

【0168】

於時刻t5中，半導體裝置，接收指示而將SRAM14從待機狀態轉移為運作狀態。CPU核心12，使開關SWN31為a1側，使開關SWN41為x1側，使開關SWN3n為an側，使開關SWN4n為xn側。藉此，將基板PSUB1與基板PSUBn再度連接。藉此，使基板PSUB1的負電荷於基板PSUBn急速再生，基板PSUB1的電壓vpsub1與基板PSUBn的電壓vpsubn成為相同電壓(－3／4)＊VBB。此一再生運作之時間，係由開關SWN41與開關SWN4n的導通電阻、及基板PSUB1與基板PSUBn的電容所決定，故與時刻t2的運作同樣地快速。

【0169】

於時刻t6中，CPU核心12，使開關SWN31為c1側，使開關SWN41為y1側，使開關SWN3n為bn側，使開關SWN4n為yn側。藉此，將基板PSUB1急速放電至0V。此一放電的運作，亦由開關SWN41與開關SWN4n的導通電阻、及基板PSUB1的電容所決定，故為快速運作。將基板PSUBn與VBBGEN(N)24連接，再度緩緩充電至(－VBB)。

【0170】

於時刻t7中，若將基板PSUB1放電至0V，則電路區塊成為運作狀態。

【0171】

於時刻t8中，若基板PSUBn成為(－VBB)，則VBBGEN(N)24自動停止，充電結束。

【0172】

時刻t8之狀態，成為與時刻t1之狀態相同。而後使t1～t8之狀態為一循環，將處理重複。

【0173】

以上，雖依據實施形態具體地說明本案發明人所提出之發明，但本發明並未限定於上述實施形態，自然可在未脫離其要旨之範圍內進行各種變更。

【符號說明】

【0174】

1、10　半導體裝置

2　電路區塊

3、28　反向偏壓產生電路

4 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)

7、NC1、NL1、NL2、NLn、NX1、NX2、NX3、NXn、PC1　偏壓控制電路

12　CPU(Central Processing Unit，中央處理單元)核心

14　SRAM(Static Random Access Memory，靜態隨機存取記憶體)

16　快閃記憶體

18　計時器

20　介面

22　電壓調節器(VDD供給源)

24　NMOS用反向偏壓產生電路(VBBGEN(n))

26　PMOS用反向偏壓產生電路(VBBGEN(p))

a、a1、a2、a3、an、b、b1、b2、b3、bn、c、c1、c2、c3、cn、g、p、q、r、v、x、x1、x2、x3、xn、y、y1、y2、y3、yn　端子

C11、C12、C21、C22、CAP、PCAP、NCAP、NCAP11、NCAP12、NCAP13、NCAP1n　電容器

GND　接地端

Lk、ND11、ND12、ND13、ND14、ND21、ND22、ND23、vncap、vncapb、vncap1、vncap2、vncap3、vncapn、vpcap　節點

N1　NMOS電晶體

NSUB、PSUB、PSUB1、PSUB2、PSUB3、PSUBi、PSUBn　基板

P1　PMOS電晶體

SWC11、SWC12、SWC13、SWC21、SWC22、SWC23、SWN1、SWN11、SWN12、SWN13、SWN1n、SWN2、SWN21、SWN22、SWN23、SWN2n、SWN3、SWN31、SWN32、SWN33、SWN3n、SWN41、SWN42、SWN43、SWN4n、SWP1、SWP2　開關

VOUT1、VOUT2　輸出端子

【發明申請專利範圍】

【第1項】

一種半導體裝置，包含：

電路區塊，包含至少一MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)，且具有運作模式與待機模式共2個操作模式；

電壓產生電路，配置以產生並輸出既定輸出電壓；以及

偏壓控制電路，連接於該電路區塊及該電壓產生電路之間，並配置以自該電壓產生電路接收該既定輸出電壓，且進一步配置以：於該電路區塊為該運作模式之期間中，儲存電荷，在該電路區塊從該運作模式轉換為該待機模式時，將該儲存的電荷對該電路區塊所包含之該MOSFET的基板供給，而後，將該既定輸出電壓對該MOSFET之該基板供給，該偏壓控制電路包含至少一電容器，其配置以在該運作模式與待機模式中選擇性地連接至該電壓產生電路之輸出；

其中該既定輸出電壓，係該待機模式中的該MOSFET之該基板之反向偏壓；

該偏壓控制電路，在該電路區塊從該待機模式轉換為該運作模式時，將儲存於該MOSFET之基板的電荷供給至該電容器，而後，將該MOSFET之基板與第2電壓之供給源連接；該第2電壓係為該運作模式中的該MOSFET之基板之反向偏壓。

【第2項】

如申請專利範圍第1項之半導體裝置，其中，

該電路區塊，包含n型MOSFET與p型MOSFET；

其中該電壓產生電路包含：

該電壓產生電路之第1部分，輸出第1既定輸出電壓，該第1既定輸出電壓為該待機模式中之該n型MOSFET的基板之反向偏壓；以及

該電壓產生電路之第2部分，輸出第2既定輸出電壓，該第2既定輸出電壓為該待機模式中之該p型MOSFET的基板之反向偏壓；

其中該偏壓控制電路包含：

該偏壓控制電路之第1部分，於該電路區塊為該運作模式之期間中，儲存電荷，在該電路區塊從該運作模式轉換為該待機模式時，將該儲存的電荷對該電路區塊所包含之n型MOSFET的基板供給，而後，將該第1既定輸出電壓對該n型MOSFET的基板供給；以及

該偏壓控制電路之第2部分，於該電路區塊為該運作模式之期間中，儲存電荷，在該電路區塊從該運作模式轉換為該待機模式時，將該儲存的電荷對該電路區塊所包含之p型MOSFET的基板供給，而後，將該第2既定輸出電壓對該p型MOSFET的基板供給。

【第3項】

如申請專利範圍第1項之半導體裝置，其中，

該偏壓控制電路，更具備第1開關及第2開關，並且

該電容器，配置於第1節點與該第2電壓的供給源之間；

該第1開關係配置以：將該第1節點與該電壓產生電路的輸出之間的路徑連接、或將其隔斷；以及

該第2開關係配置以：將該MOSFET之基板與該電壓產生電路連接、或將該MOSFET之基板與該第1節點連接、或將該MOSFET之基板與該第2電壓之供給源連接。

【第4項】

如申請專利範圍第3項之半導體裝置，其中，

於該運作模式時，該第1開關將該路徑連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接；

接收到從該運作模式轉換為該待機模式之指示時，該第1開關將該路徑隔斷，該第2開關，先將該MOSFET之基板與該第1節點連接，而後將該MOSFET之基板與該電壓產生電路連接；並且

接收到從該待機模式轉換為該運作模式時之指示時，首先，該第1開關將該路徑隔斷，該第2開關將該MOSFET之基板與該第1節點連接，而後該第1開關將該路徑連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接。

【第5項】

如申請專利範圍第1項之半導體裝置，其中，

該偏壓控制電路更具備第1開關、第2開關、與第3開關，並且

該電容器，配置於第1節點與第2節點之間；

該第1開關係配置以：將該第1節點與該電壓產生電路之輸出連接、或將該第1節點與該第2電壓之供給源連接、或成為開放狀態；

該第2開關係配置以：將該MOSFET之基板與該電壓產生電路連接、或將該MOSFET之基板與該第1節點連接、或將該MOSFET之基板與該第2電壓之供給源連接；以及

第3開關係配置以：將該第2節點與第3電壓之供給源連接、或將該第2節點與該第2電壓之供給源連接。

【第6項】

如申請專利範圍第5項之半導體裝置，其中，

於該運作模式時，

首先，該第1開關將該第1節點與該第2電壓之供給源連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接，而該第3開關將該第2節點與該第3電壓之供給源連接；

而後，該第1開關成為該開放狀態，該第2開關維持該MOSFET之基板與該第2電壓之供給源的連接，而該第3開關將該第2節點與該第2電壓之供給源連接；

在接收到從該運作模式轉換為該待機模式之指示時，

首先，該第1開關維持該開放狀態，該第2開關將該MOSFET之基板與該第1節點連接，而該第3開關維持該第2節點與該第2電壓之供給源的連接；

而後，該第1開關維持該開放狀態，該第2開關將該MOSFET之基板與該電壓產生電路連接，而該第3開關維持該第2節點與該第2電壓之供給源的連接；

在接收到從該待機模式轉換為該運作模式時之指示時，

首先，該第1開關維持該開放狀態，該第2開關將該MOSFET之基板與該第1節點連接，而該第3開關維持該第2節點與該第2電壓之供給源的連接；

而後，該第1開關將該第1節點與該第2電壓之供給源連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接，而該第3開關將該第2節點與該第3電壓之供給源連接；

而後，該第1開關成為該開放狀態，該第2開關維持該MOSFET之基板與該第2電壓之供給源的連接，而該第3開關將該第2節點與該第2電壓之供給源連接。

【第7項】

如申請專利範圍第5項之半導體裝置，其中，

於該運作模式時，

首先，該第1開關將該第1節點與該第2電壓之供給源連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接，而該第3開關將該第2節點與該第3電壓之供給源連接；

而後，該第1開關將該第1節點與該電壓產生電路之輸出連接，該第2開關維持該MOSFET之基板與該第2電壓之供給源的連接，而該第3開關維持該第2節點與該第3電壓之供給源的連接；

而後，該第1開關成為該開放狀態，該第2開關維持該MOSFET之基板與該第2電壓之供給源的連接，而該第3開關將該第2節點與該第2電壓之供給源連接；

在接收到從該運作模式轉換為該待機模式之指示時，

首先，該第1開關維持該開放狀態，該第2開關將該MOSFET之基板與該第1節點連接，而該第3開關維持該第2節點與該第2電壓之供給源的連接；

而後，該第1開關維持該開放狀態，該第2開關將該MOSFET之基板與該電壓產生電路連接，而該第3開關維持該第2節點與該第2電壓之供給源的連接；

在接收到從該待機模式轉換為該運作模式時之指示時，

首先，該第1開關將該第1節點與該電壓產生電路之輸出連接，該第2開關將該MOSFET之基板與該第2電壓之供給源連接，而該第3開關將該第2節點與該第3電壓之供給源連接；

而後，該第1開關成為該開放狀態，該第2開關維持該MOSFET之基板與該第2電壓之供給源的連接，而該第3開關將該第2節點與該第2電壓之供給源連接。

【第8項】

如申請專利範圍第2項之半導體裝置，其中，

該偏壓控制電路之第1部分包含第1電容器，其配置以選擇性地連接至該電壓產生電路的第1部分之輸出，且

該偏壓控制電路之第2部分包含第2電容器，其配置以選擇性地連接至該電壓產生電路的第2部分之輸出。

【第9項】

一種半導體裝置，包含：

複數之電路區塊，具有運作模式與待機模式共2個操作模式；

電壓產生電路，於該複數之電路區塊共通設置，且配置以產生並輸出既定輸出電壓；以及

複數之偏壓控制電路，分別與該複數之電路區塊對應而設置，且配置以自該電壓產生電路接收該既定輸出電壓；

其中該複數之偏壓控制電路，分別在選出對應的電路區塊時，於該對應的電路區塊為該運作模式之期間中，儲存從該電壓產生電路供給的電荷，在該對應的電路區塊從該運作模式轉換為該待機模式時，將該儲存的電荷供給至該對應的電路區塊所包含之MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)的基板，而後，將該既定輸出電壓供給至該MOSFET之基板；

該複數之電路區塊，分別具有優先度，依據該優先度而選擇；

該既定輸出電壓，係該待機模式中的該MOSFET之基板之反向偏壓。

【第10項】

一種半導體裝置，具備：

複數之電路區塊，具有運作模式與待機模式共2個操作模式；

電壓產生電路，於該複數之電路區塊共通設置，且配置以產生並輸出既定輸出電壓；以及

複數之偏壓控制電路，分別與該複數之電路區塊對應而設置，且配置以自該電壓產生電路接收該既定輸出電壓；

其中未使用的電路區塊之偏壓控制電路，在使用的電路區塊之運作模式中，將該電壓產生電路之既定輸出電壓供給至第1基板，該第1基板為該未使用的電路區塊之MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor，金屬氧化物半導體場效應電晶體)的基板；

使用的電路區塊之偏壓控制電路，在該使用的電路區塊從該運作模式轉換為該待機模式時，將儲存於該第1基板的電荷供給至第2基板，而後，將該電壓產生電路之既定輸出電壓供給至該第2基板，該第2基板為該使用的電路區塊之MOSFET的基板。

【第11項】

如申請專利範圍第10項之半導體裝置，更包含：

共通配線，於該複數之電路區塊共通設置；

其中該偏壓控制電路，包含：

第1開關，配置以：將對應的電路區塊所包含之MOSFET的基板與該電壓產生電路連接、或將對應的電路區塊所包含之MOSFET的基板與第2電壓之供給源連接、或成為開放狀態；以及

第2開關，配置以：將該第1開關與該MOSFET的基板之間的路徑上之節點與該共通配線連接、或不連接；

其中該第2電壓，係該運作模式中的該MOSFET的基板之反向偏壓。

【第12項】

如申請專利範圍第11項之半導體裝置，其中，

於該使用的電路區塊為運作模式中，

在該未使用的電路區塊之偏壓控制電路中，該第1開關將該MOSFET的基板與該電壓產生電路連接，該第2開關未將該節點與該共通配線連接；或

在該使用的電路區塊之偏壓控制電路中，該第1開關將該MOSFET的基板與該第2電壓之供給源連接，該第2開關未將該節點與該共通配線連接；並且

在該使用的電路區塊接收到從該運作模式轉換為該待機模式之指示時，

於該未使用的電路區塊之偏壓控制電路中，該第1開關成為開放狀態，而該第2開關將該節點與該共通配線連接；或

於該使用的電路區塊之偏壓控制電路中，首先，該第1開關成為該開放狀態，該第2開關將該節點與該共通配線連接；而後，該第1開關，將該MOSFET的基板與該電壓產生電路連接，而該第2開關未將該節點與該共通配線連接。

【第13項】

一種半導體積體電路裝置，包含：

電路區塊，包含第1電晶體；

第1電壓產生電路，經由第1節點連接至該電路區塊，且供給第1電壓；以及

第1電容器，經由該第1節點且與該電路區塊並聯地連接至該第1電壓產生電路，

其中該電路區塊具有第1模式與第2模式，

其中該第1電晶體具有第1源極區域、第1汲極區域、設置於該第1源極區域與該第1汲極區域之間的第1通道區域、設置於該第1通道區域上方之第1閘極電極、設置於該第1通道區域下方之絕緣膜、與設置於該絕緣膜下方之第1區域；

其中當該電路區塊為該第1模式時，該第1電壓供給至該第1電容器，以將電荷儲存於該第1電容器，

其中當該電路區塊為該第2模式時，該第1電壓供給至該第1電晶體的第1區域，並且

其中當該電路區塊從該第1模式轉變為該第2模式時，該第1電容器的電荷供給至該第1電晶體的第1區域。

【第14項】

如申請專利範圍第13項之半導體積體電路裝置，其中

該第2模式的操作速度係低於該第1模式的操作速度。

【第15項】

如申請專利範圍第14項之半導體積體電路裝置，更包含：

第2電壓產生電路，經由第2節點連接至該電路區塊，且供給第2電壓；以及

第2電容器，經由該第2節點且與該電路區塊並聯地連接至該第2電壓產生電路，

其中該電路區塊包含第2電晶體，

其中該第2電晶體具有第2源極區域、第2汲極區域、設置於該第2源極區域與該第2汲極區域之間的第2通道區域、設置於該第2通道區域上方之第2閘極電極、與設置於該第2通道區域下方之第2區域，

其中當該電路區塊為該第1模式時，該第2電壓供給至該第2電容器，以將電荷儲存於該第2電容器，

其中當該電路區塊為該第2模式時，該第2電壓供給至該第2電晶體的第2區域，並且

其中當該電路區塊從該第1模式轉變為該第2模式時，該第2電容器的電荷供給至該第2電晶體的第2區域。

【第16項】

如申請專利範圍第15項之半導體積體電路裝置，其中

該第1電壓的值不同於該第2電壓的值。

【第17項】

如申請專利範圍第16項之半導體積體電路裝置，更包含：

電壓調節器，連接至該第1及第2電壓產生電路，並供給第3電壓，

其中當該電路區塊為該第1模式時，該第3電壓供給至該第1電晶體的第1區域，且

其中該第1電壓的值大於該第3電壓的值。

【第18項】

如申請專利範圍第17項之半導體積體電路裝置， 其中

當該電路區塊為該第1模式時，接地電壓供給至該第2電晶體的第2區域，且

其中該第2電壓的值小於該接地電壓的值。

【發明圖式】

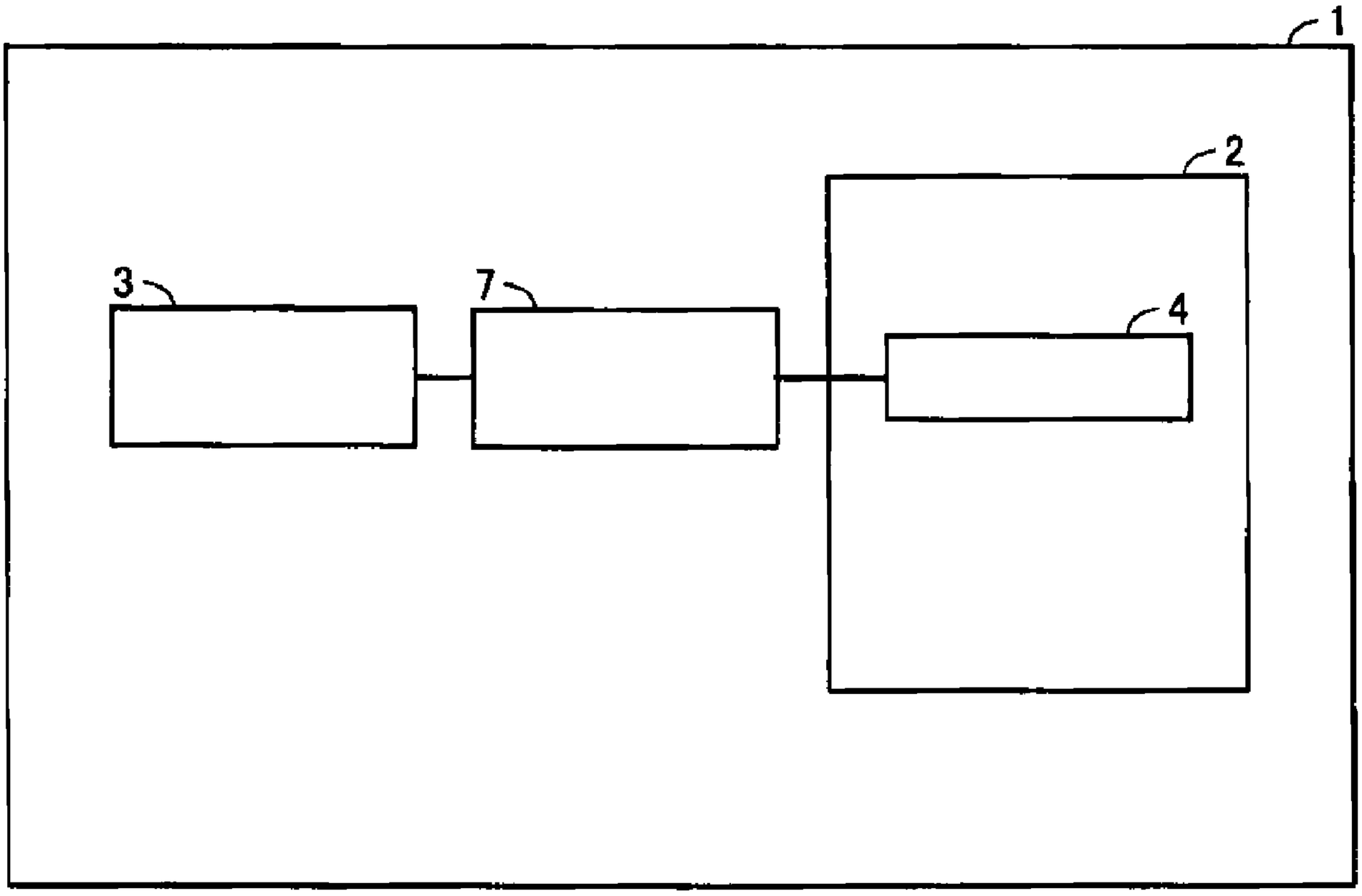
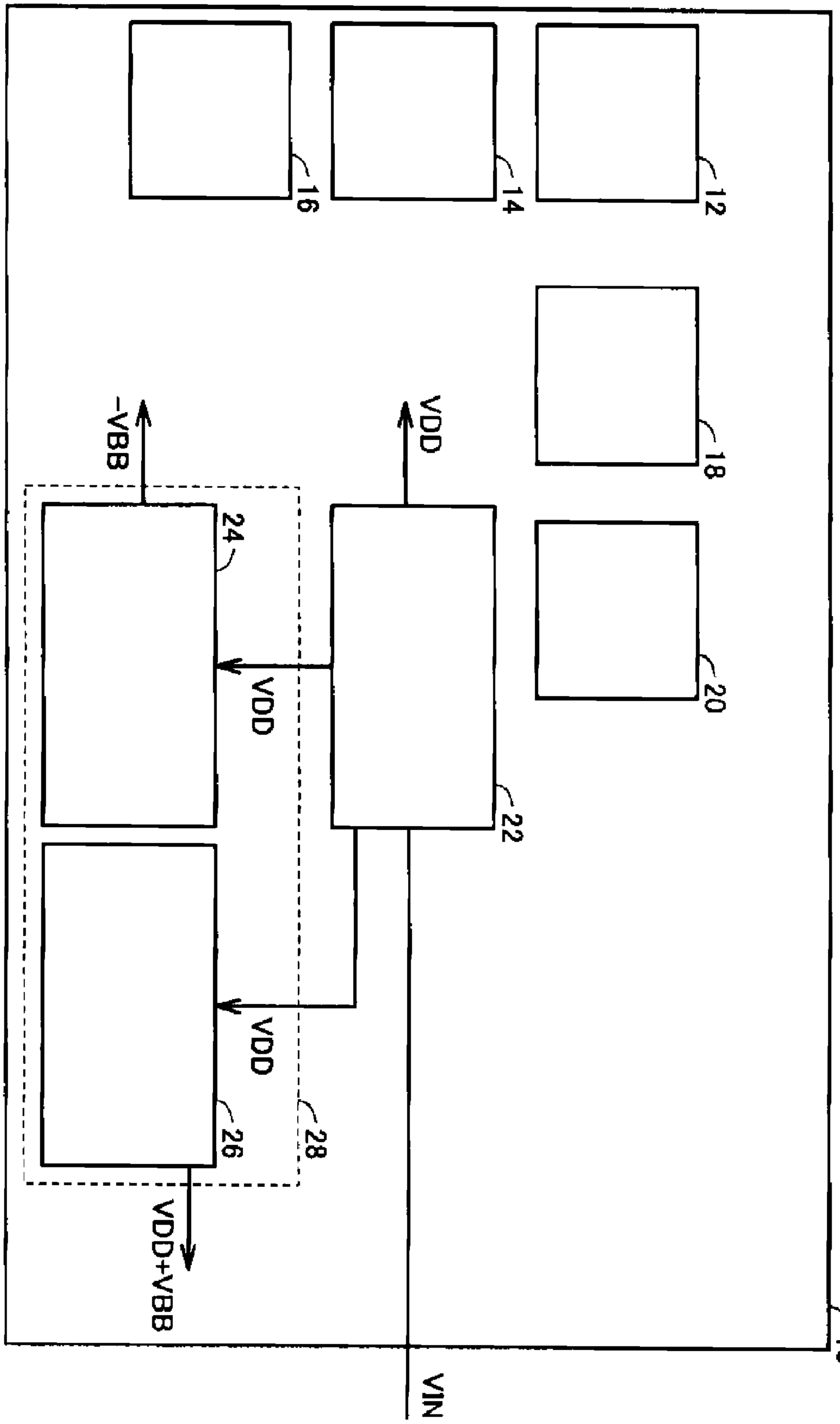
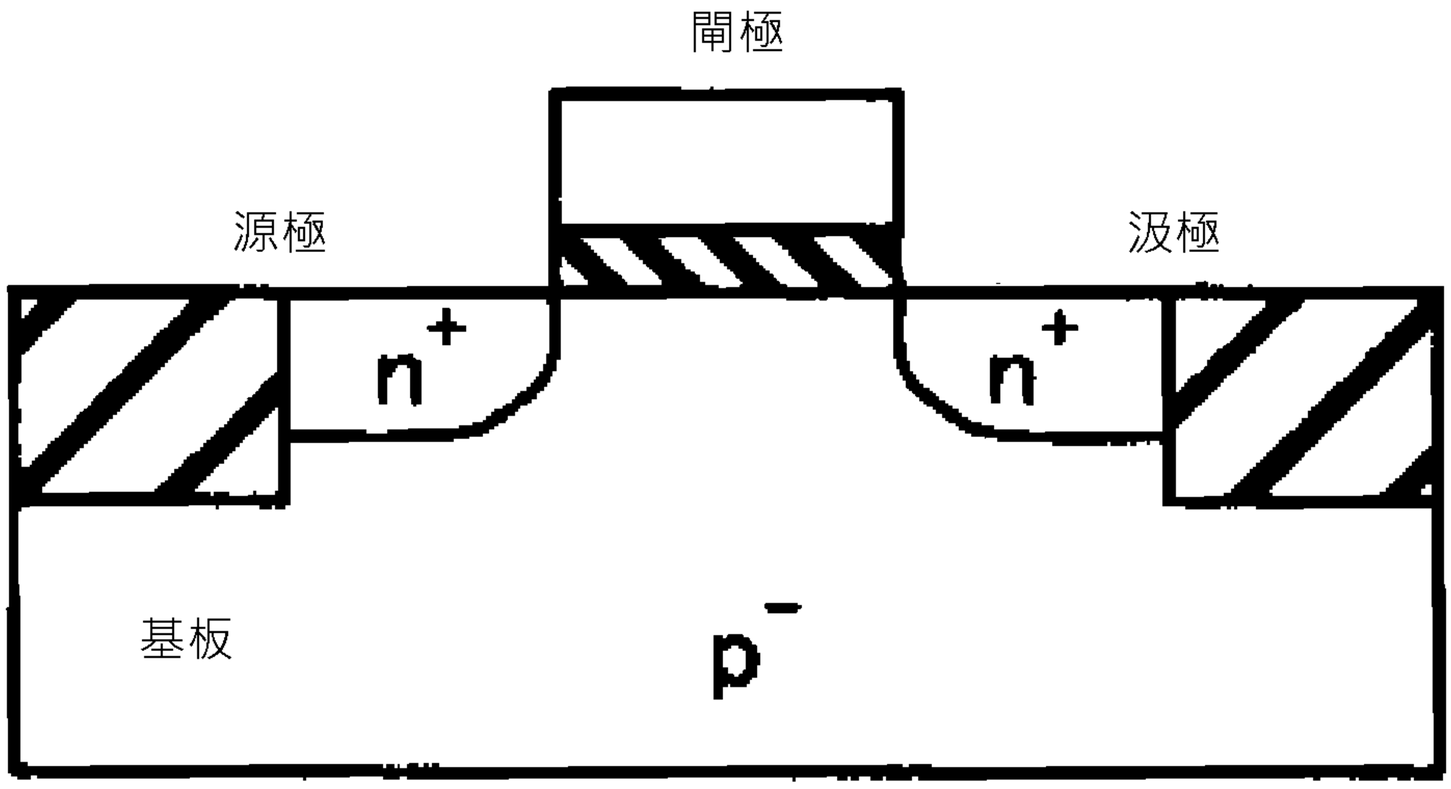


圖 1

圖2



(a)



(b)

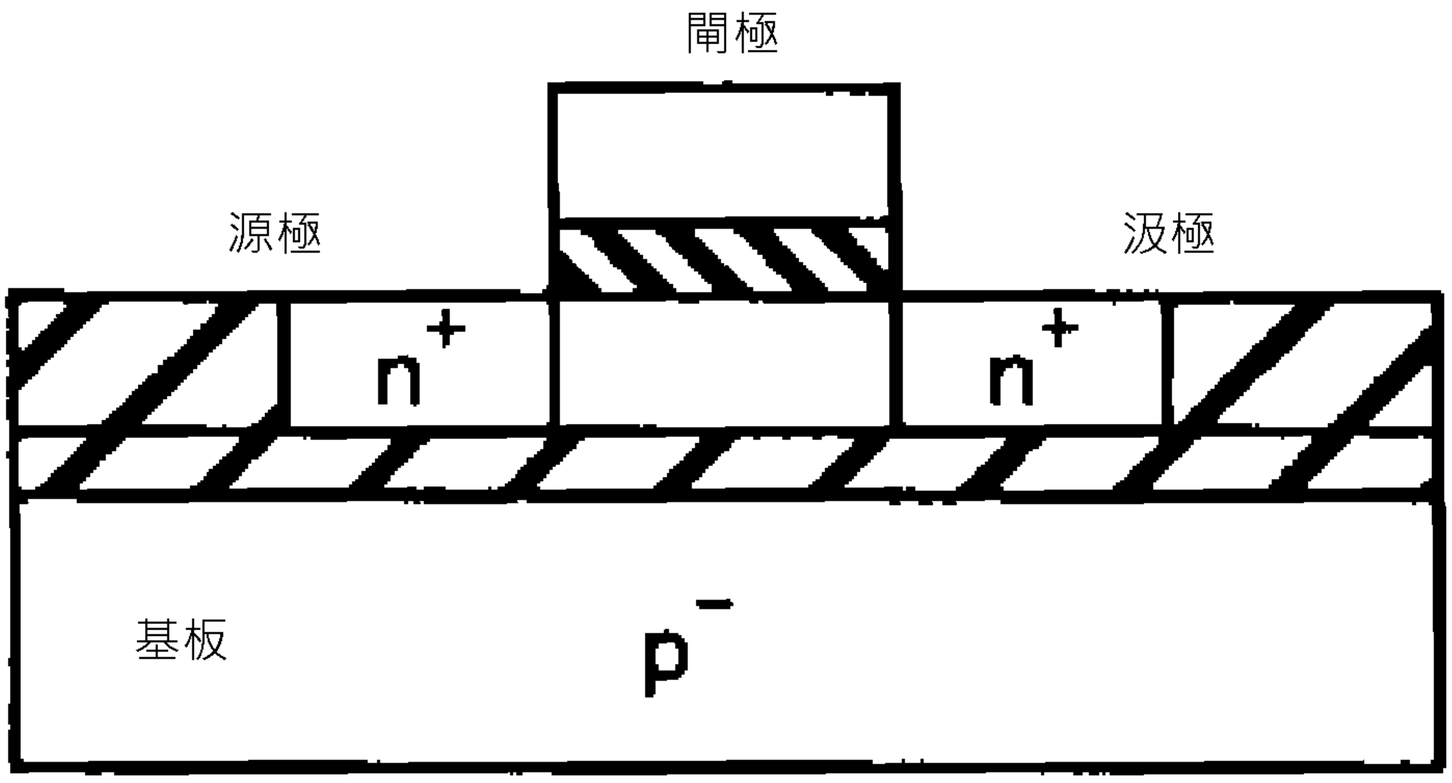


圖 3

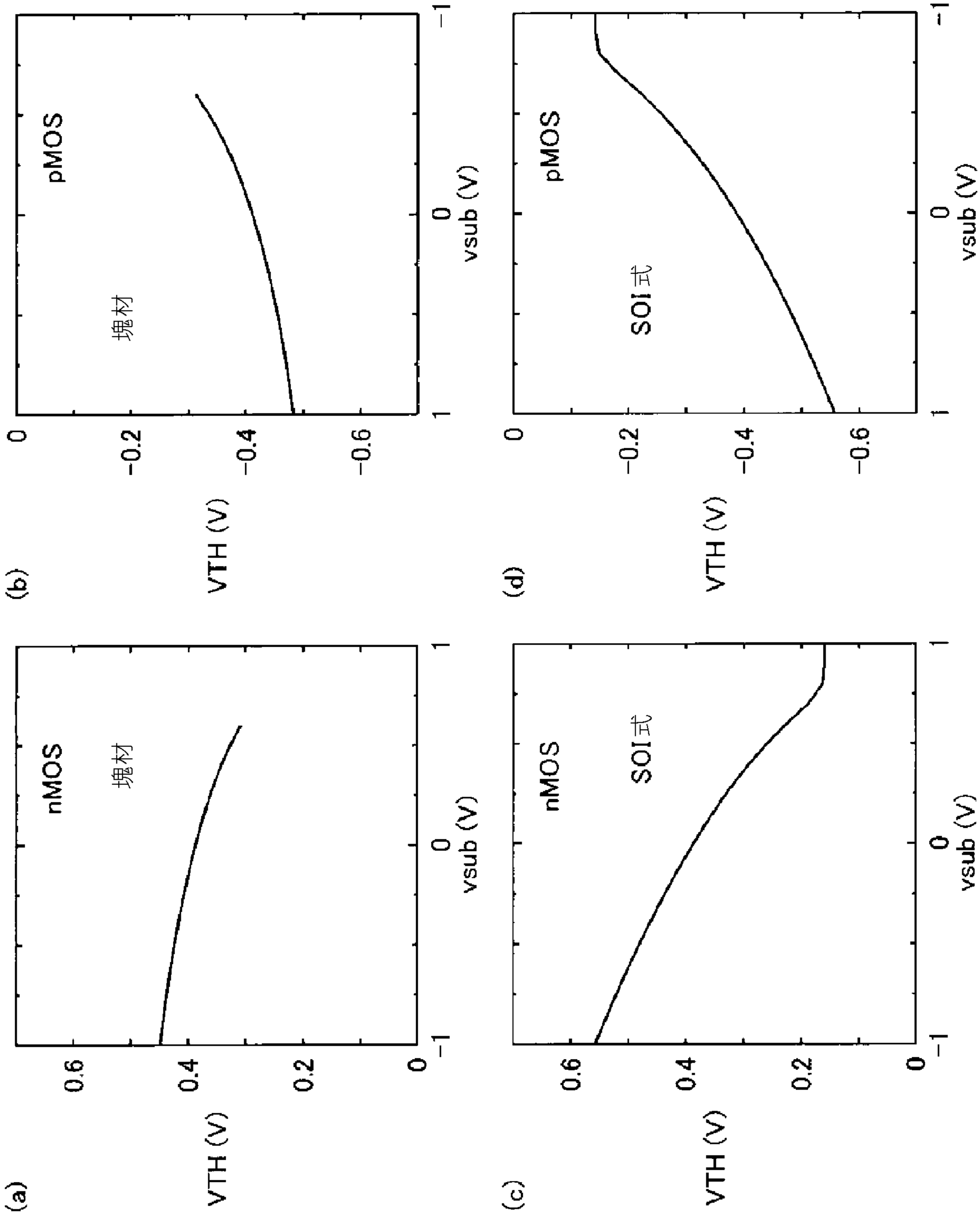

(a)
nMOS
塊材
VTH (V)
vsub (V)
(b)
pMOS
塊材
VTH (V)
vsub (V)
(c)
nMOS
SOI式
VTH (V)
vsub (V)
(d)
pMOS
SOI式
VTH (V)
vsub (V)

圖 4

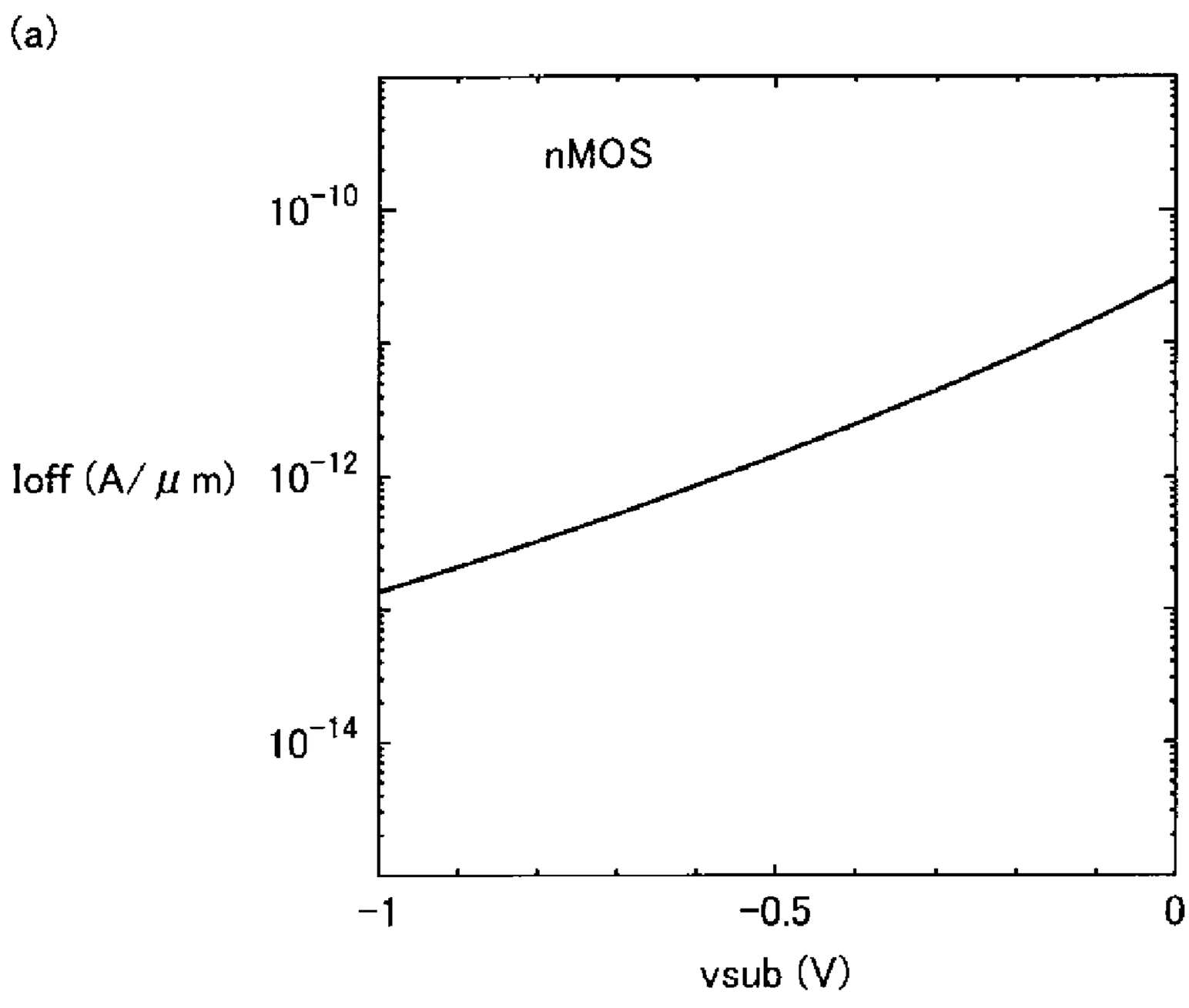

(a)
nMOS
10^{-10}
10^{-12}
10^{-14}
Ioff (A/ μ m)
−1
−0.5
0
vsub (V)
(b)
pMOS
10^{-10}
10^{-12}
10^{-14}
Ioff (A/ μ m)
1
0.5
0
vsub (V)

圖 5

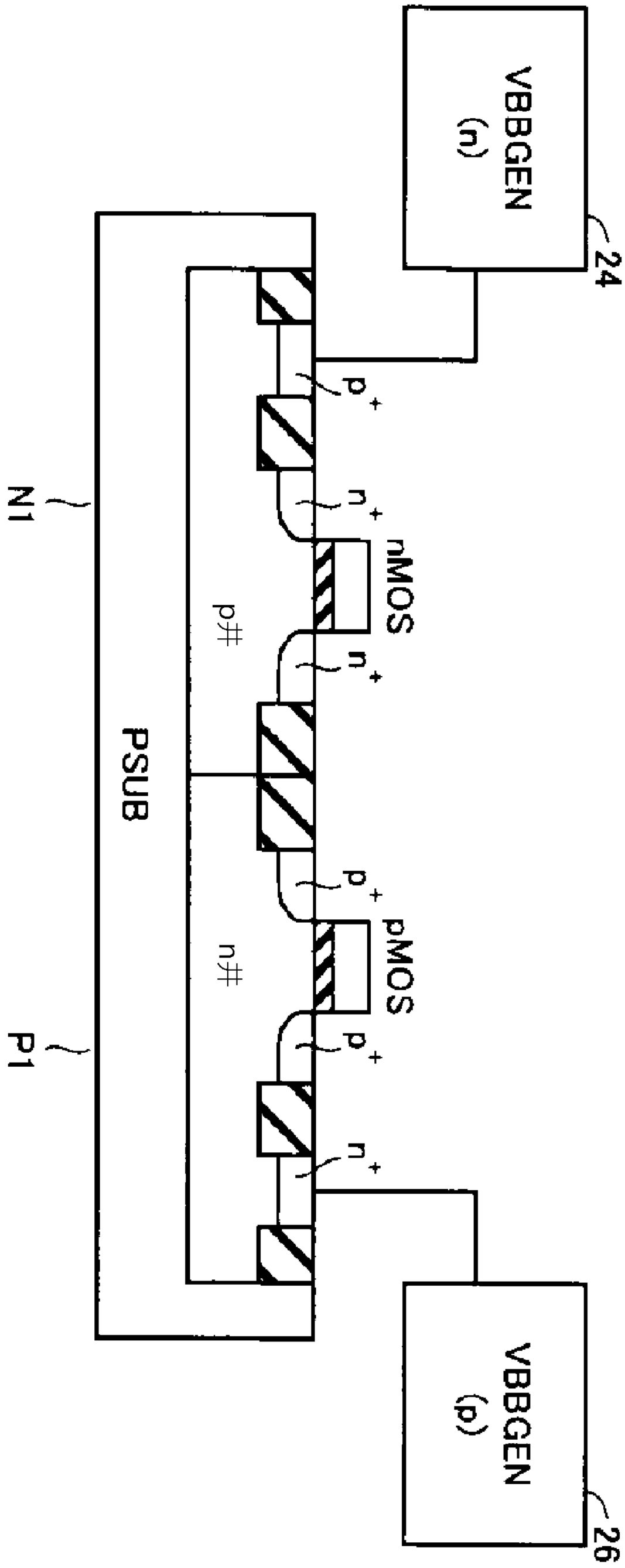


圖 6

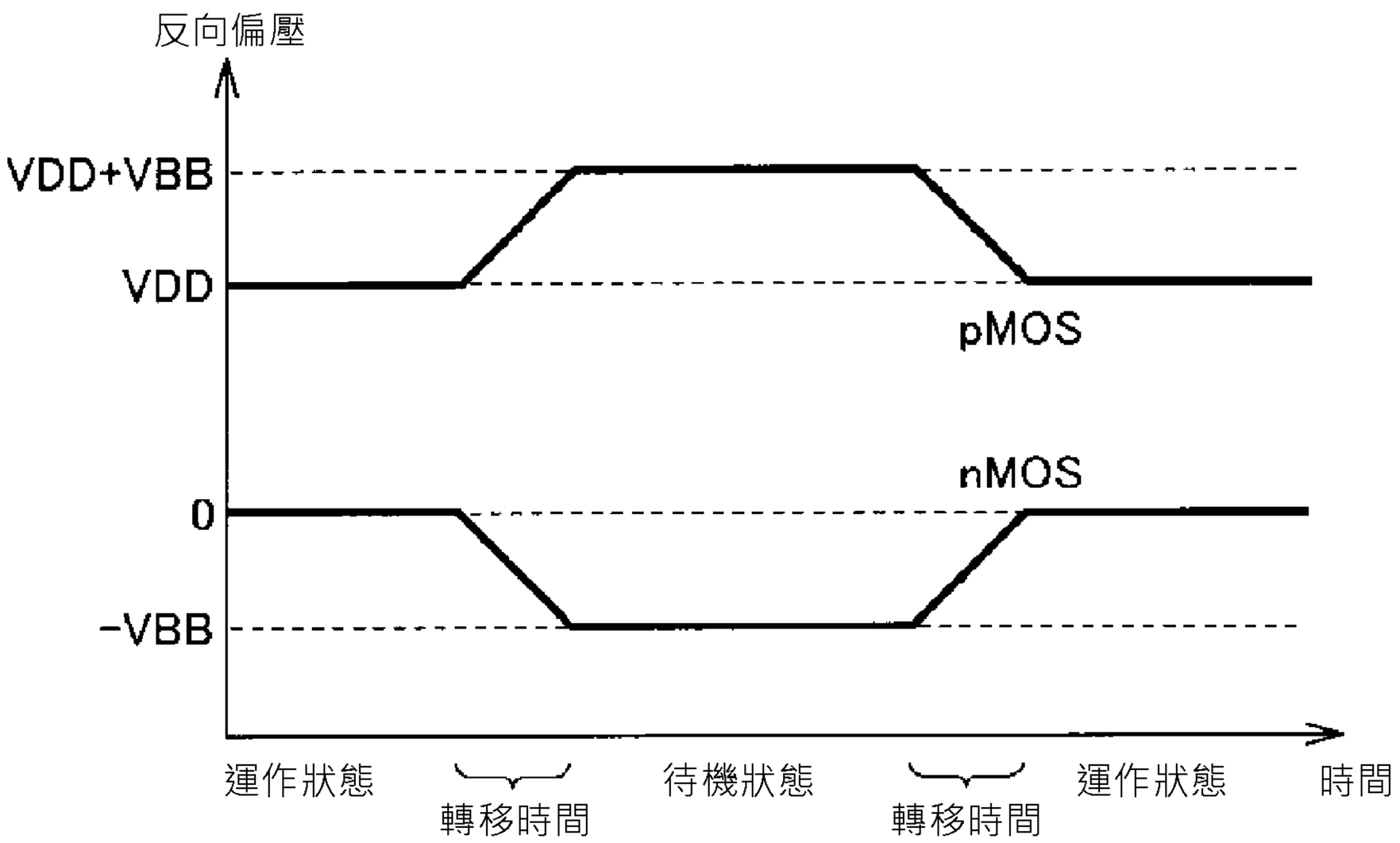

反向偏壓
VDD+VBB
VDD
pMOS
nMOS
0
-VBB
運作狀態
轉移時間
待機狀態
轉移時間
運作狀態
時間

圖 7

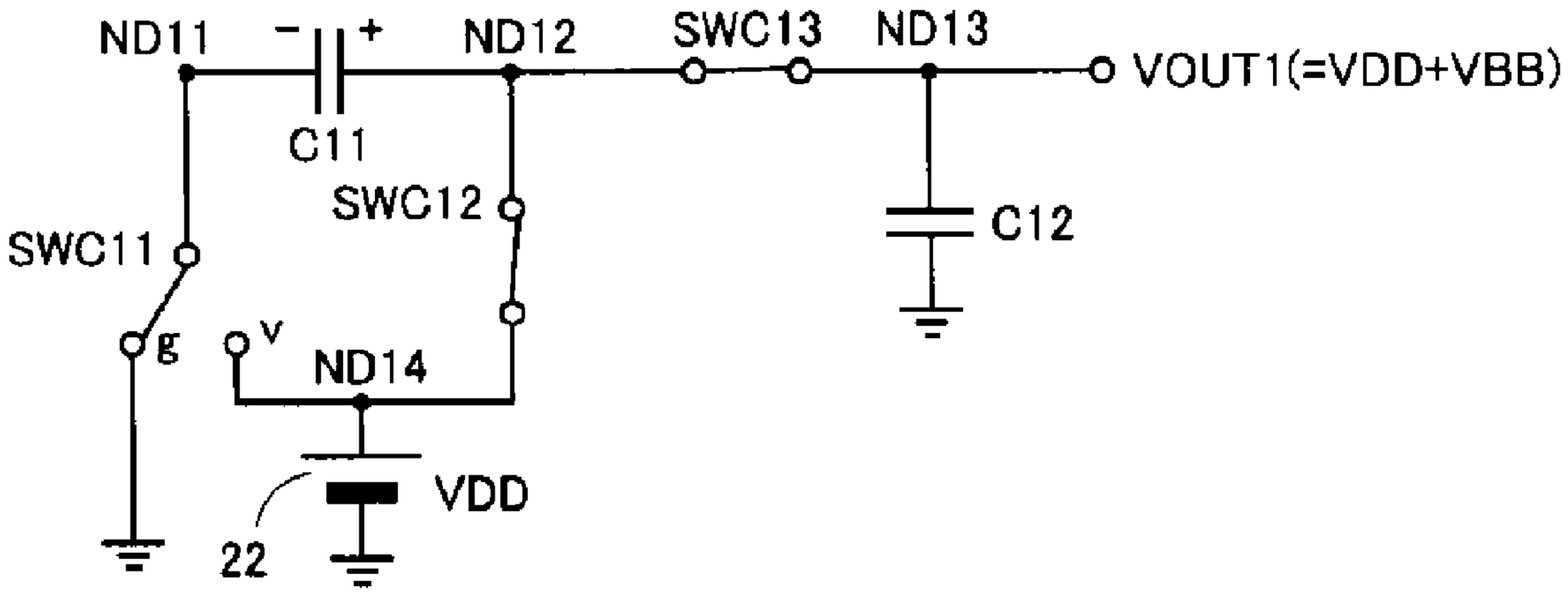

ND11
C11
ND12
SWC13
ND13
VOUT1(=VDD+VBB)
SWC12
C12
SWC11
g
v
ND14
VDD
22

圖 8

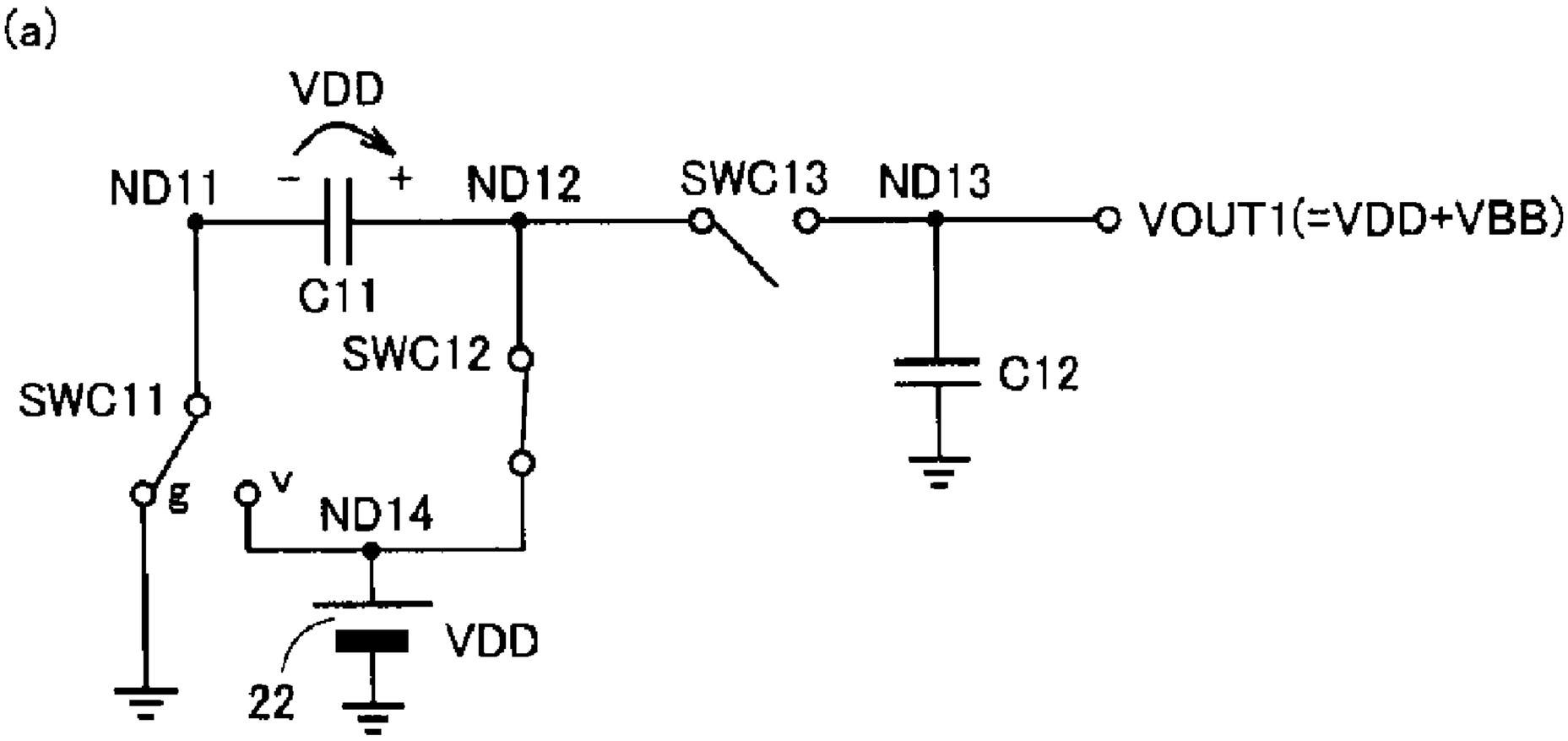

(a)
VDD
ND11
−
+
ND12
SWC13
ND13
VOUT1(=VDD+VBB)
C11
SWC12
SWC11
C12
g
v
ND14
VDD
22
(b)
VDD
ND11
−
+
ND12
SWC13
ND13
VOUT1(=VDD+VBB)
C11
SWC12
2VDD
SWC11
C12
g
v
ND14
VDD
22

圖 9

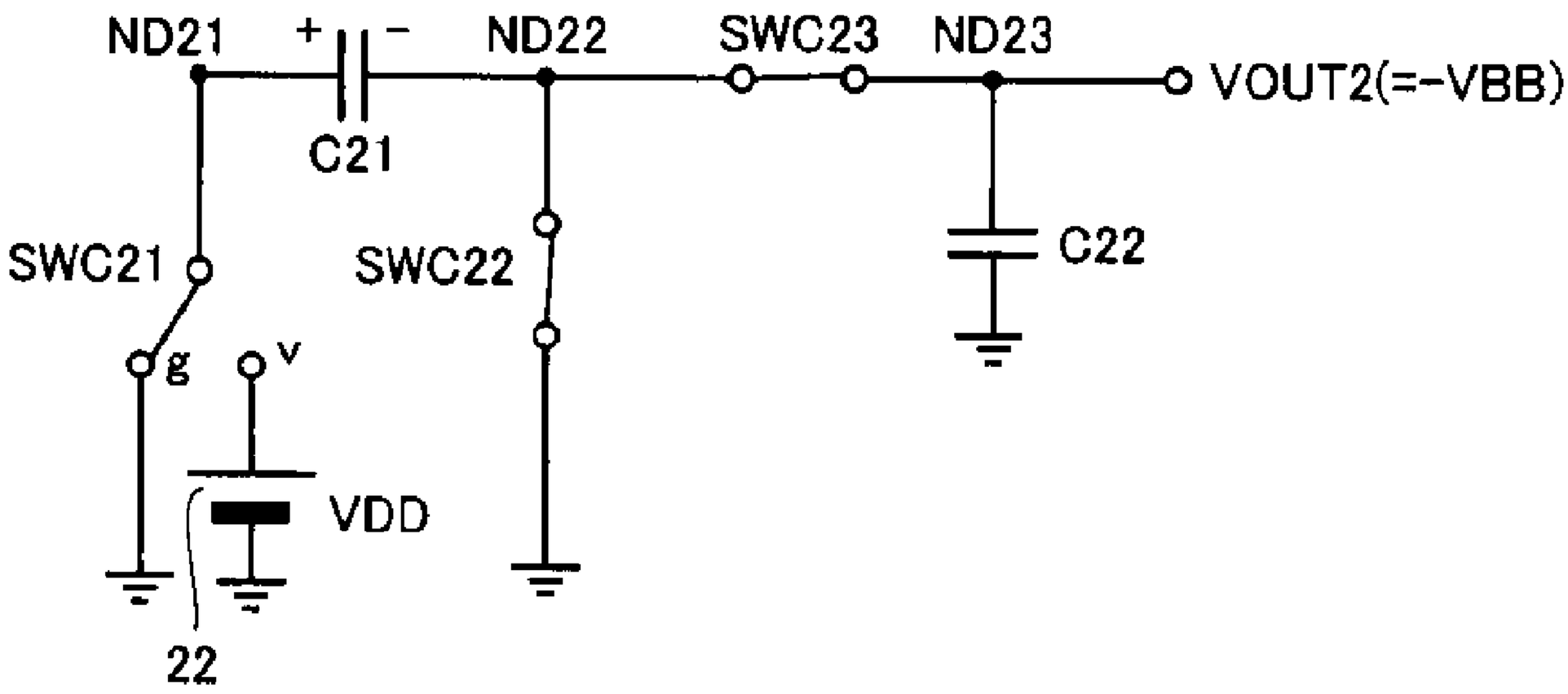


圖 10

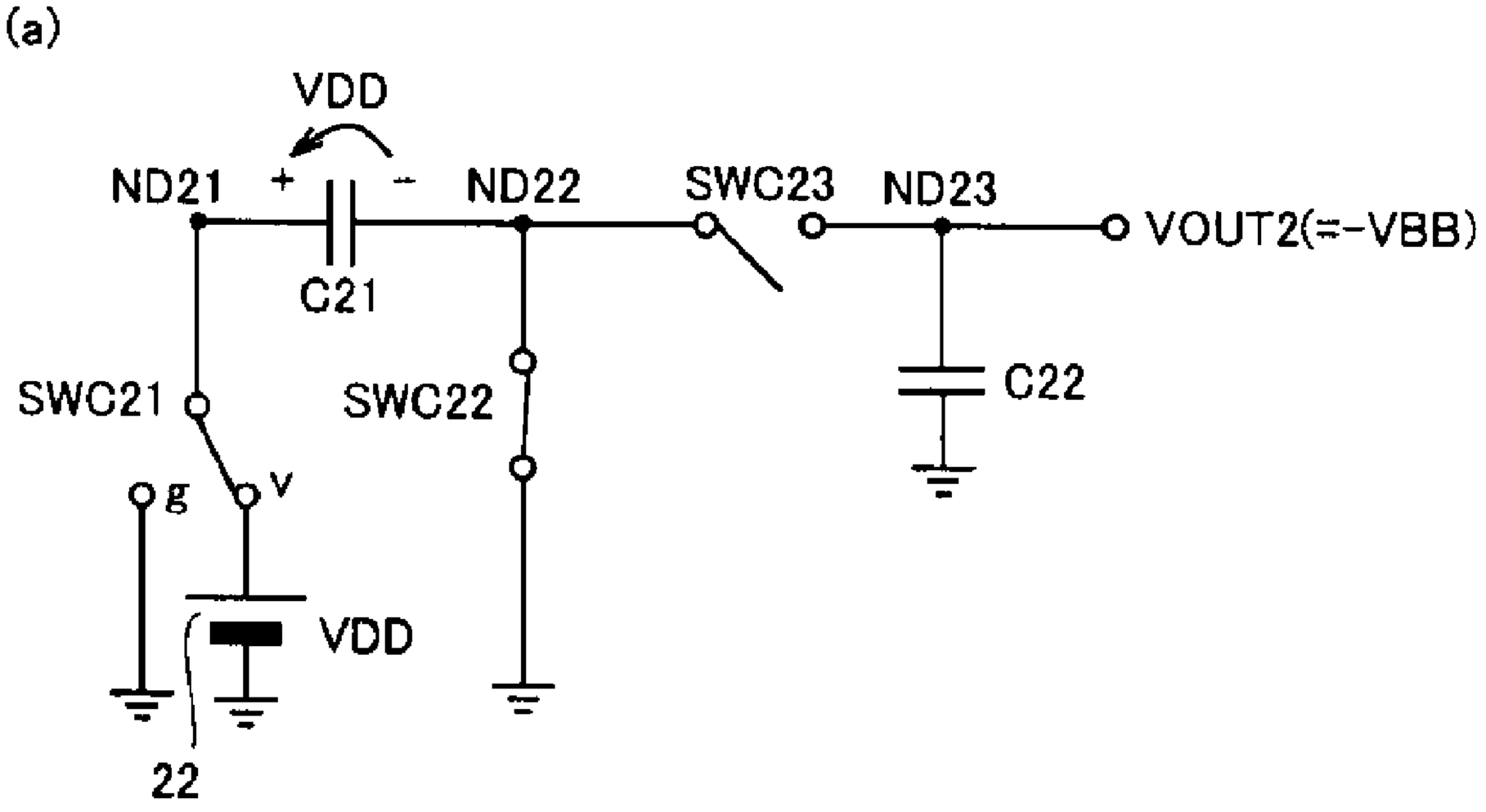

(a)
VDD
ND21
+
−
ND22
SWC23
ND23
VOUT2(=-VBB)
C21
C22
SWC21
SWC22
g
v
VDD
22
(b)
VDD
ND21
+
−
ND22
SWC23
-VDD
VOUT2(=-VBBD)
C21
ND23
C22
SWC21
SWC22
g
v
VDD
22

圖 11

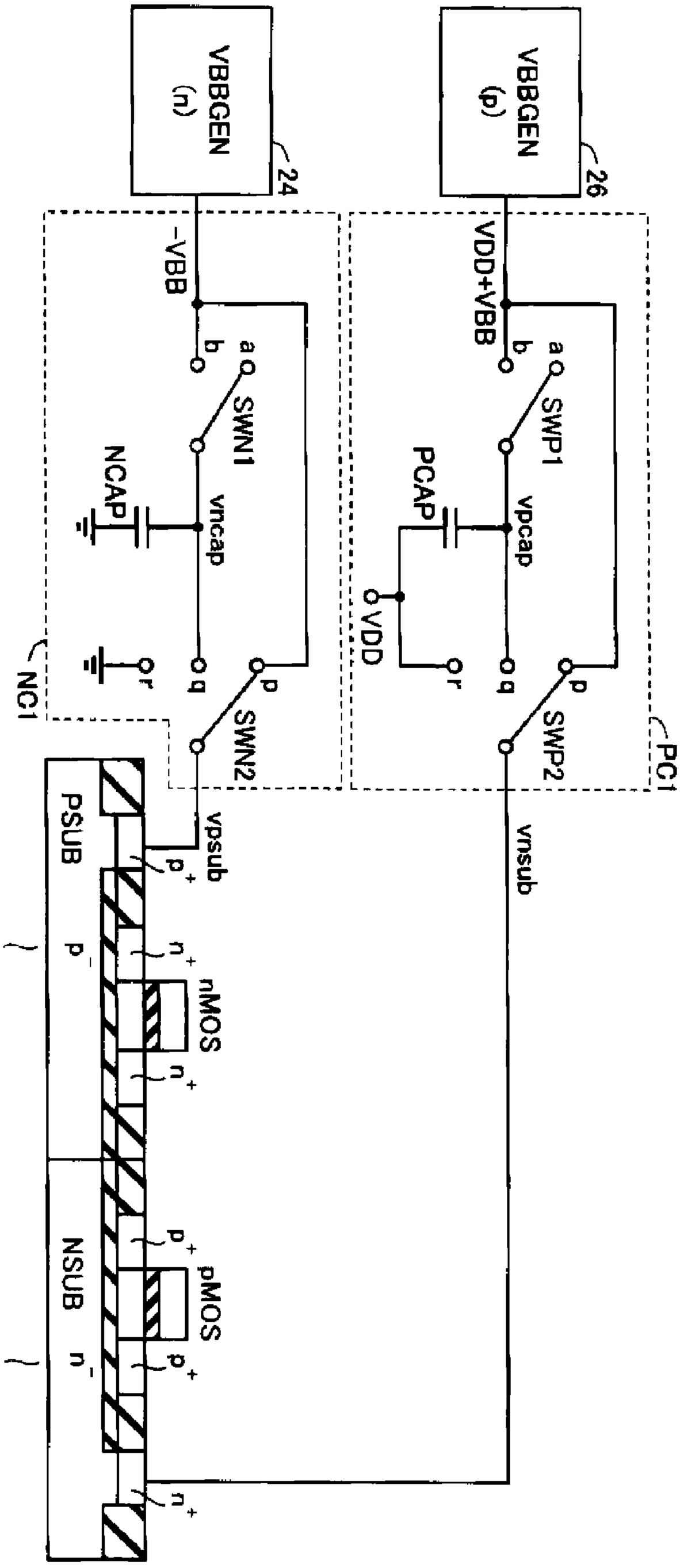

VBBGEN (n)
24
VBBGEN (p)
26
-VBB
VDD+VBB
a
b
SWN1
SWP1
NCAP
PCAP
vncap
vpcap
VDD
r
NC1
PC1
SWN2
SWP2
vpsub
vnsub
PSUB
P
N1
nMOS
pMOS
NSUB
N
P1

圖 12

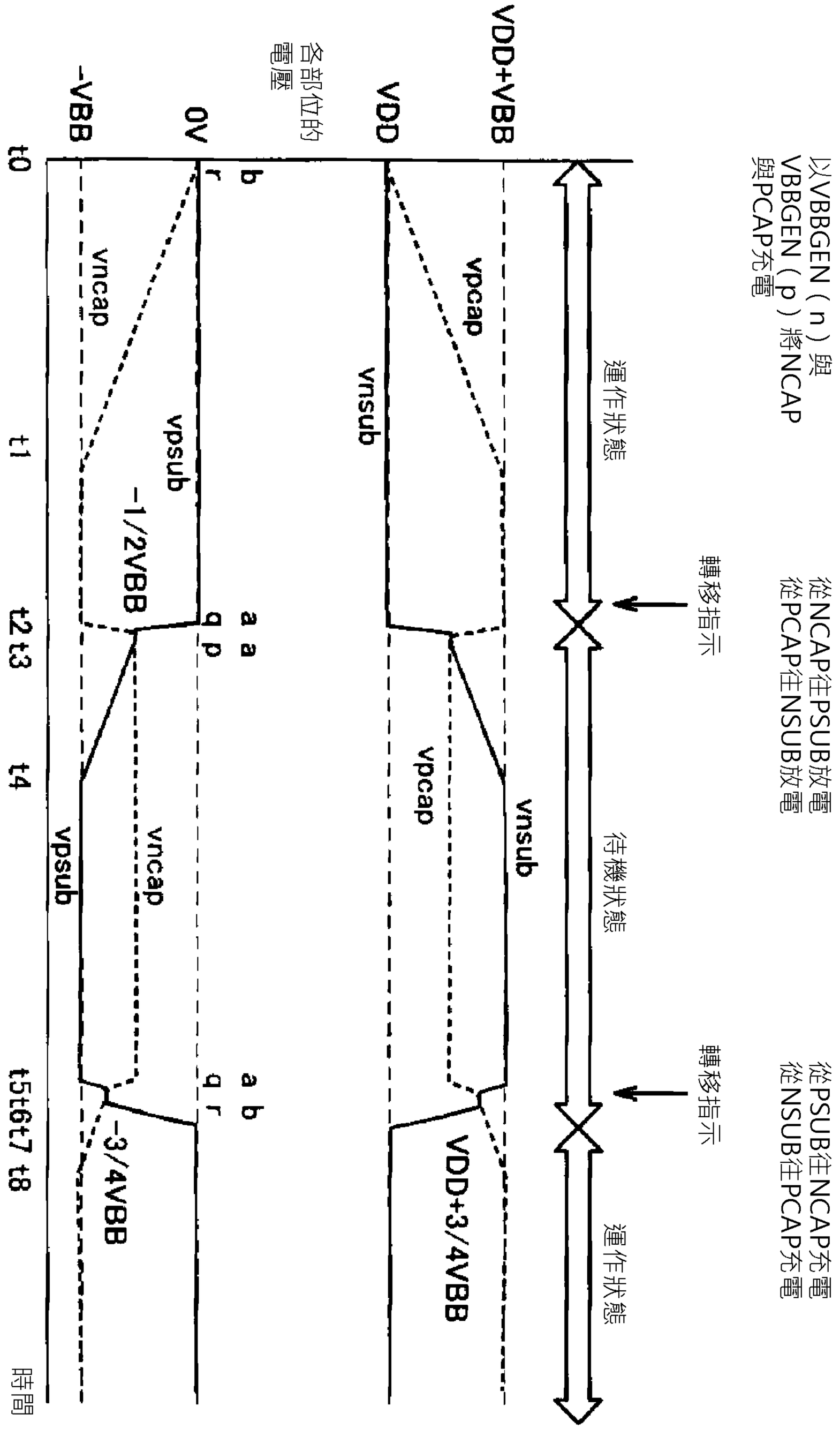

以VBBGEN（n）與
VBBGEN（p）將NCAP
與PCAP充電
從NCAP往PSUB放電
從PCAP往NSUB放電
運作狀態
轉移指示
待機狀態
從PSUB往NCAP充電
從NSUB往PCAP充電
運作狀態
各部位的
電壓
VDD+VBB
VDD
0V
-VBB
vpcap
vnsub
vncap
vpsub
-1/2VBB
VDD+3/4VBB
-3/4VBB
a
b
r
q
p
t0
t1
t2
t3
t4
t5
t6
t7
t8
時間

圖 13

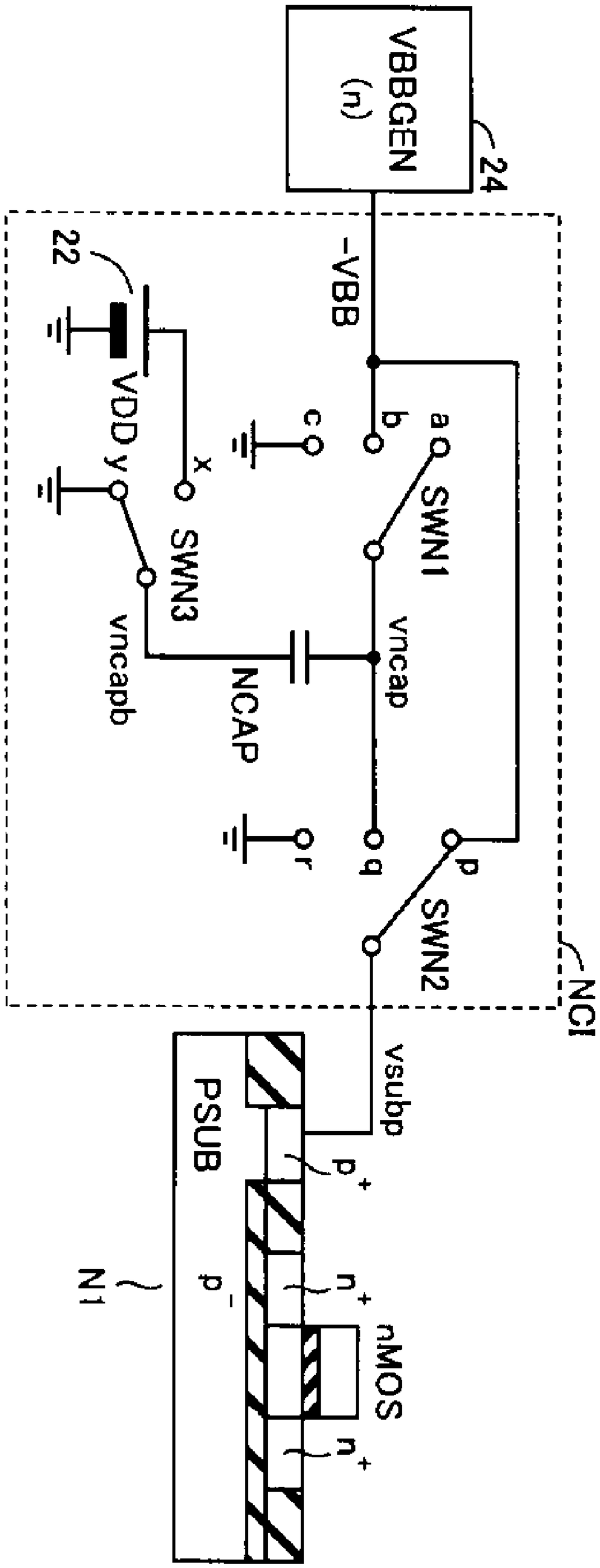

VBBGEN
(n)
24
-VBB
22
VDD
y
x
SWN3
vncapb
c
b
a
SWN1
vncap
NCAP
r
q
p
SWN2
NCI
vsubp
PSUB
p+
n+
n
p-
SOWn
n+

圖 14

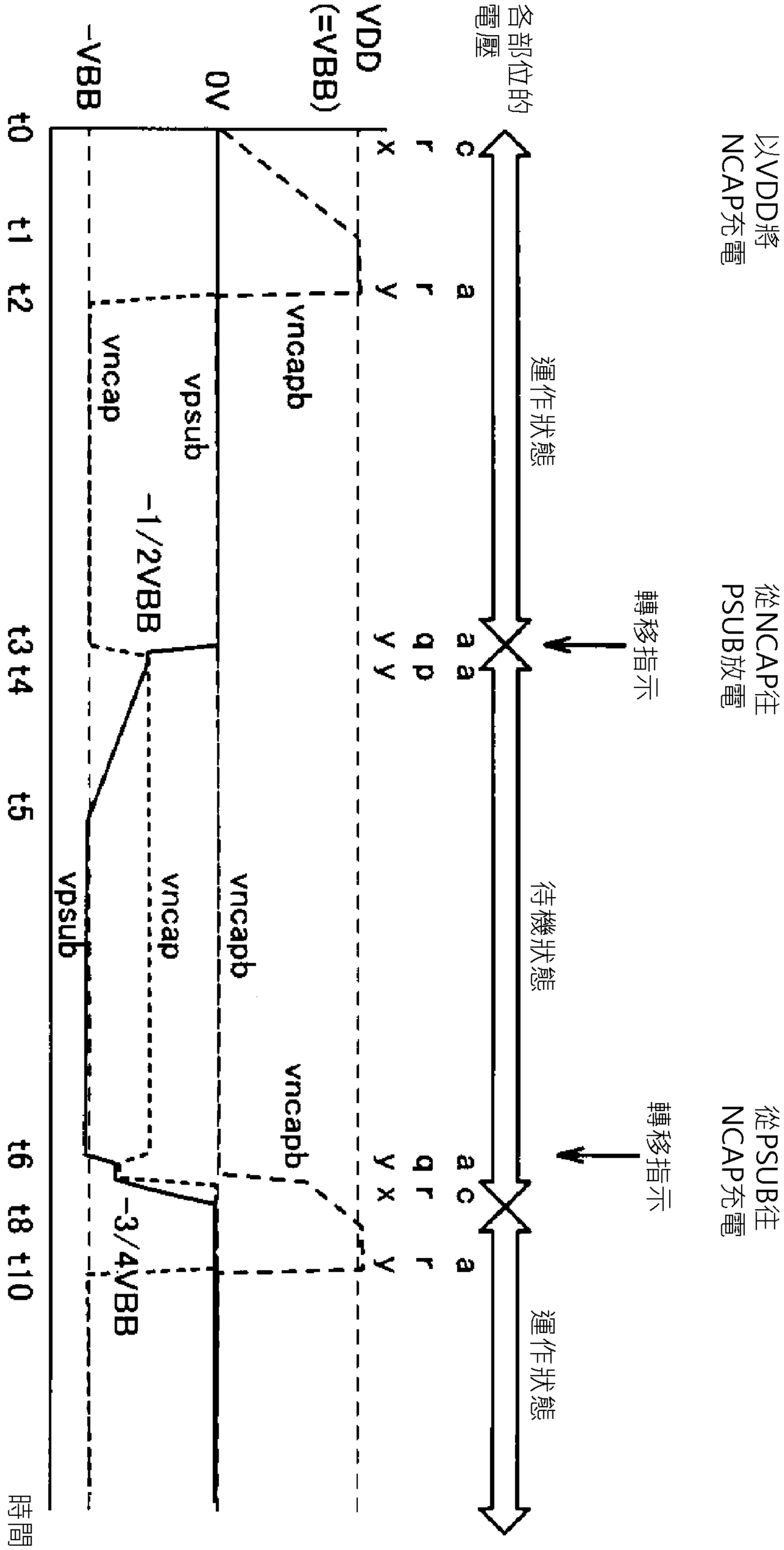

以VDD將
NCAP充電
從NCAP往
PSUB放電
從PSUB往
NCAP充電
各部位的
電壓
VDD
(=VBB)
0V
-VBB
vncapb
vpsub
vncap
-1/2VBB
-3/4VBB
t0
t1
t2
t3 t4
t5
t6 t8 t10
t7 t9
時間
運作狀態
轉移指示
待機狀態
a
r
y
c
x
q p
a c
q r
y x
r
a
y
r
a
y

圖 15

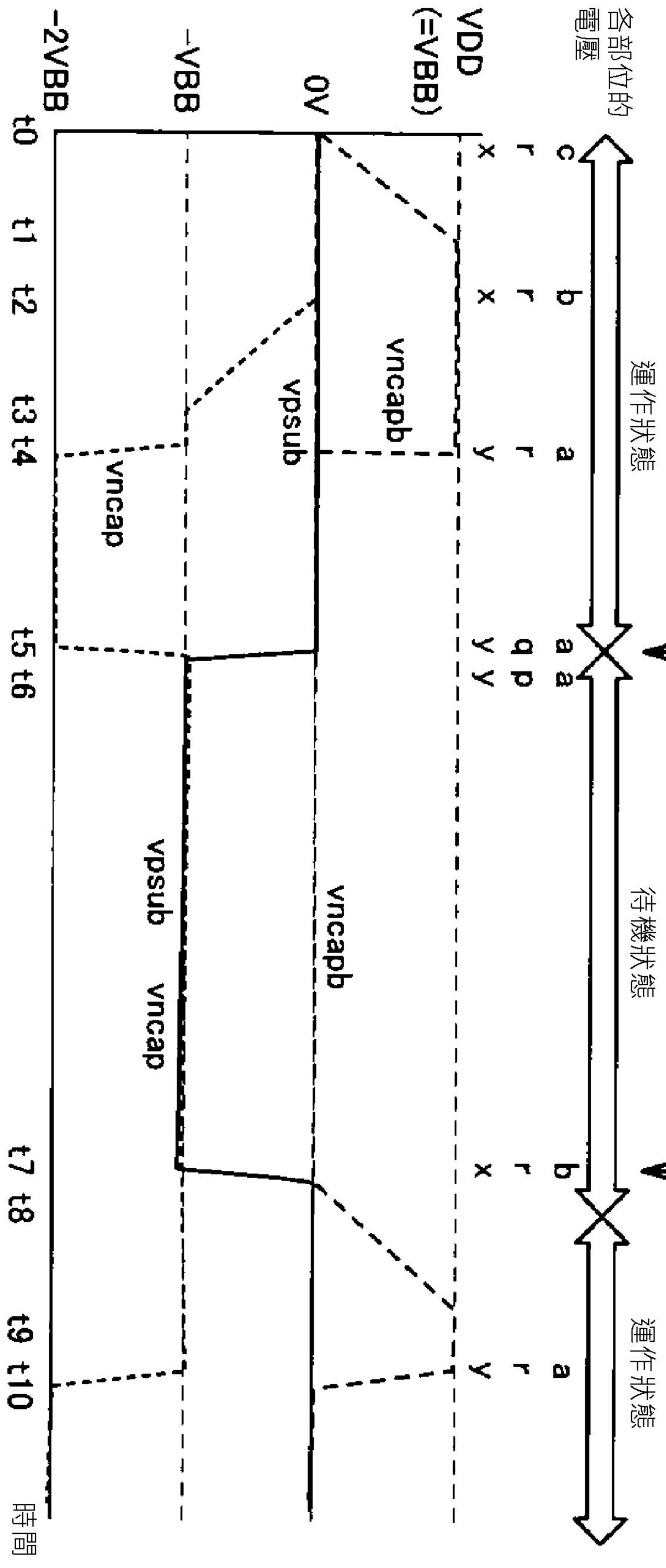

以VDD與VBBGEN（n）將NCAP充電
從NCAP往PSUB放電
以VDD將NCAP充電
各部位的電壓
VDD (=VBB)
0V
-VBB
-2VBB
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
時間
vncapb
vpsub
vncap
c
r
x
b
a
y
q
p
運作狀態
轉移指示
待機狀態

圖 16

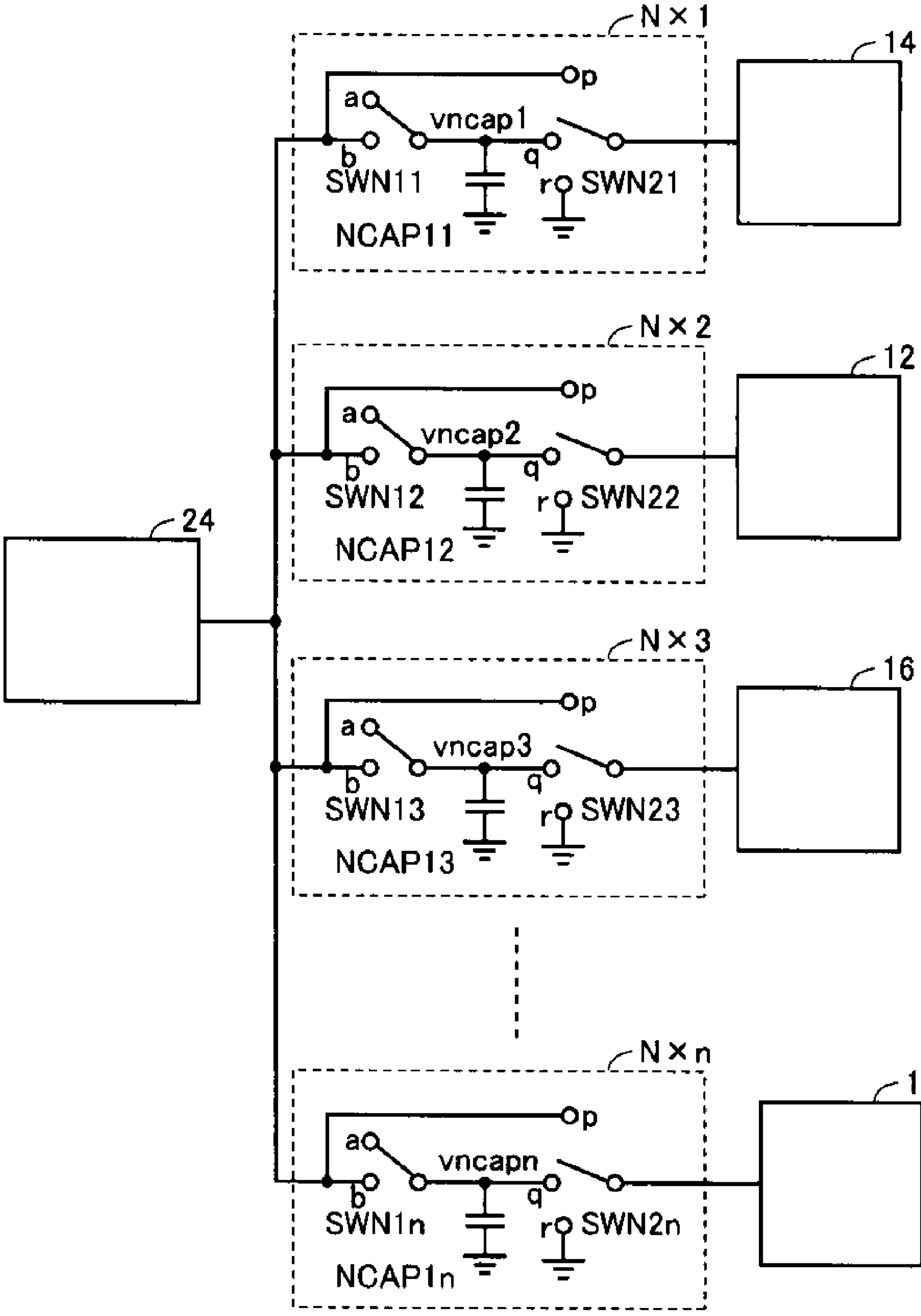

N × 1
14
p
a
vncap1
b
q
SWN11
r
SWN21
NCAP11
N × 2
12
p
a
vncap2
b
q
SWN12
r
SWN22
NCAP12
24
N × 3
16
p
a
vncap3
b
q
SWN13
r
SWN23
NCAP13
N × n
18
p
a
vncapn
b
q
SWN1n
r
SWN2n
NCAP1n

圖 17

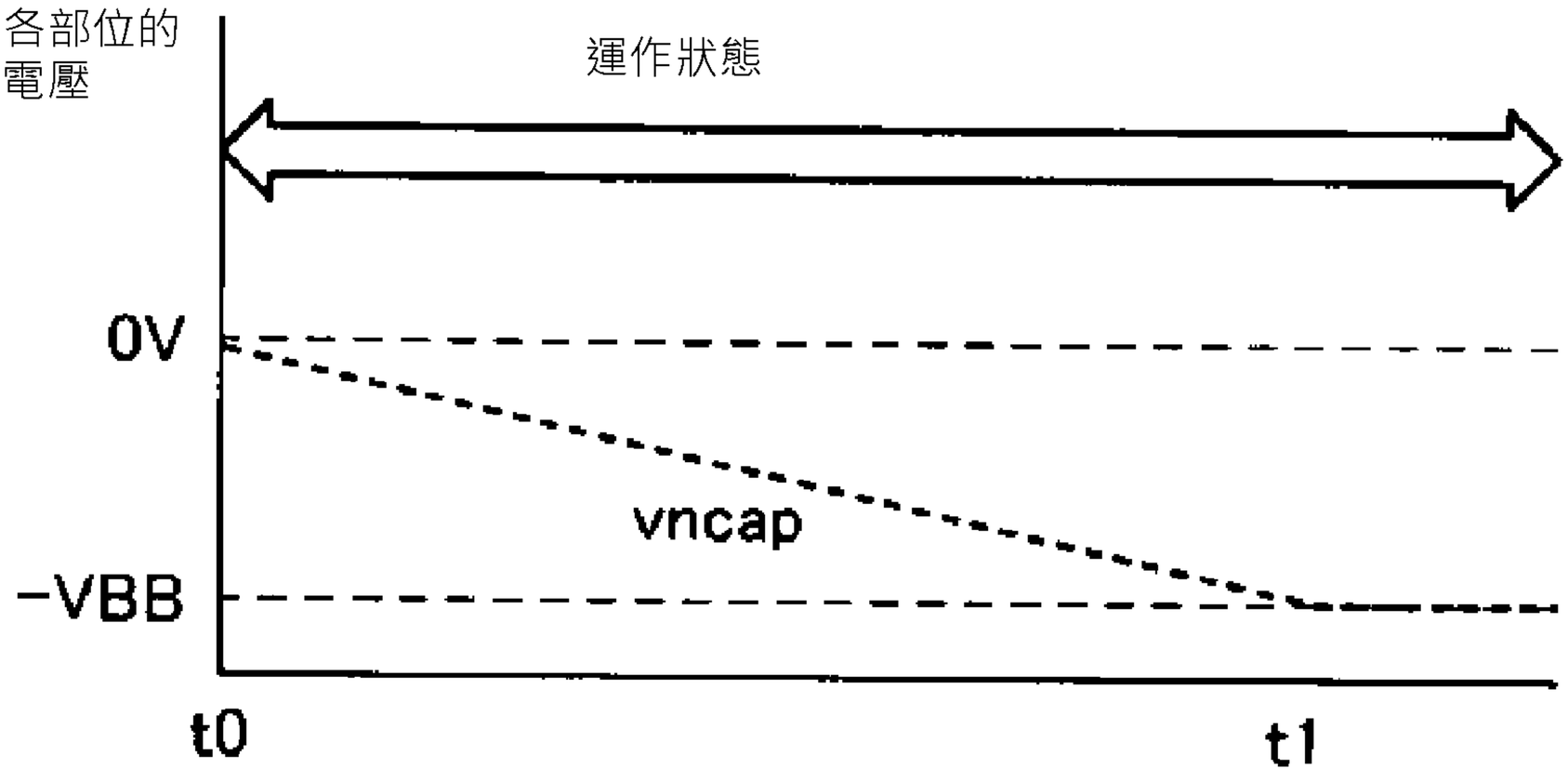


圖 18

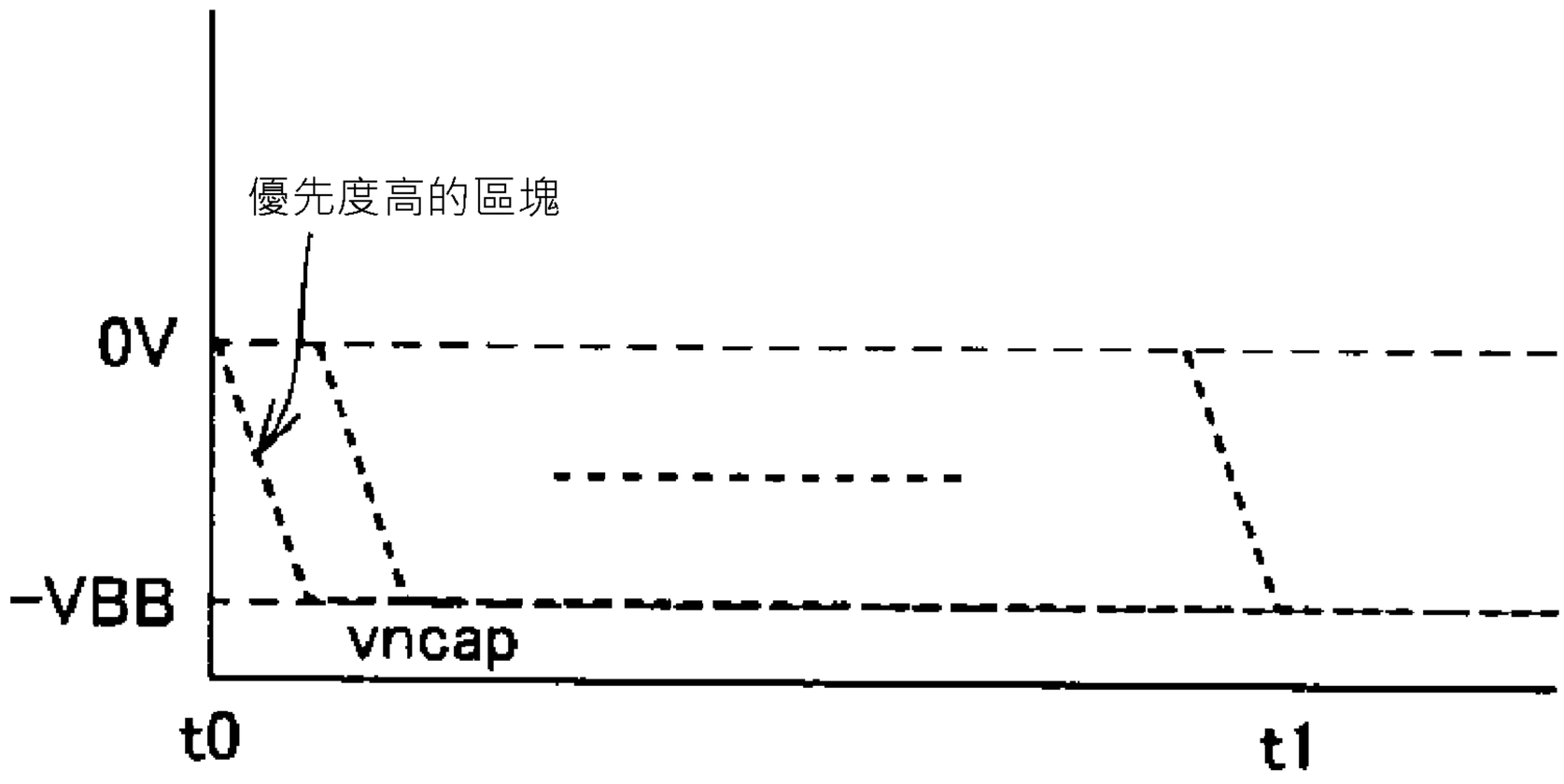


圖 19

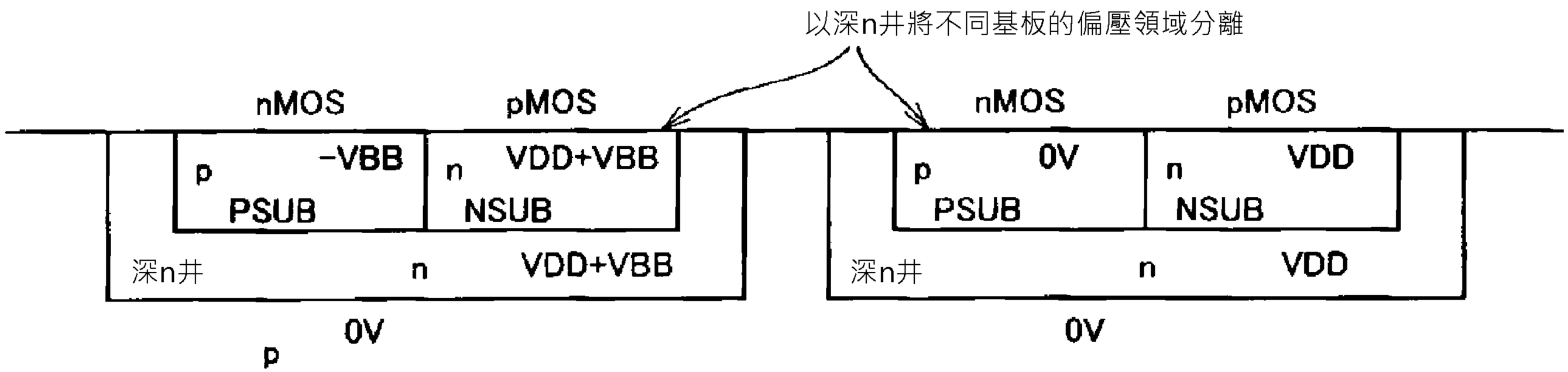

以深n井將不同基板的偏壓領域分離
nMOS
pMOS
nMOS
pMOS
p
-VBB
n
VDD+VBB
PSUB
NSUB
p
0V
n
VDD
PSUB
NSUB
深n井
n
VDD+VBB
深n井
n
VDD
0V
0V
p
PSUB=-VBB
NSUB=VDD+VBB
PSUB=0V
NSUB=VDD

圖 20

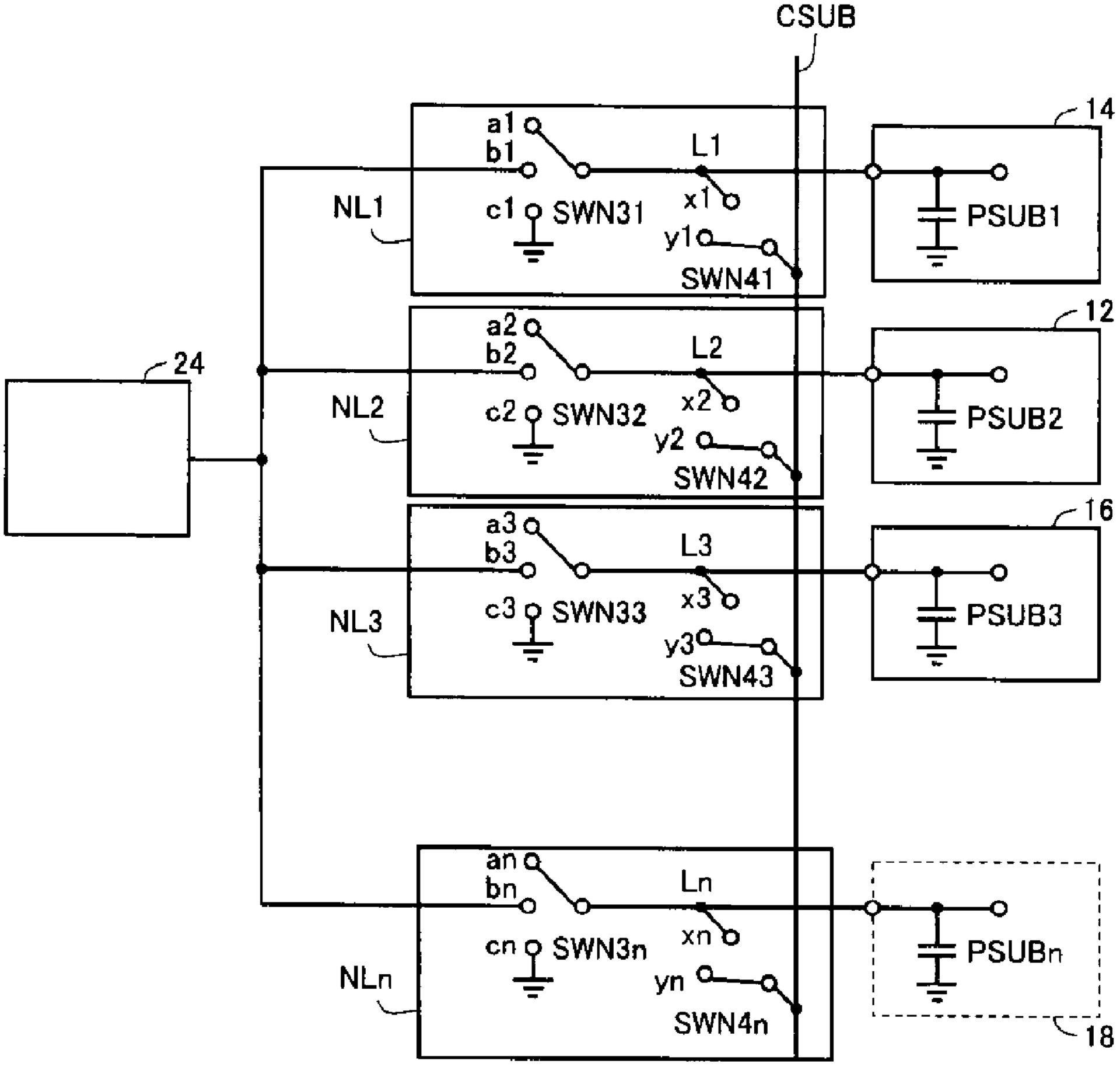

CSUB
14
a1
b1
L1
x1
c1
SWN31
y1
SWN41
NL1
PSUB1
12
a2
b2
L2
x2
c2
SWN32
y2
SWN42
NL2
24
PSUB2
16
a3
b3
L3
x3
c3
SWN33
y3
SWN43
NL3
PSUB3
an
bn
Ln
xn
cn
SWN3n
yn
SWN4n
NLn
PSUBn
18

圖 21

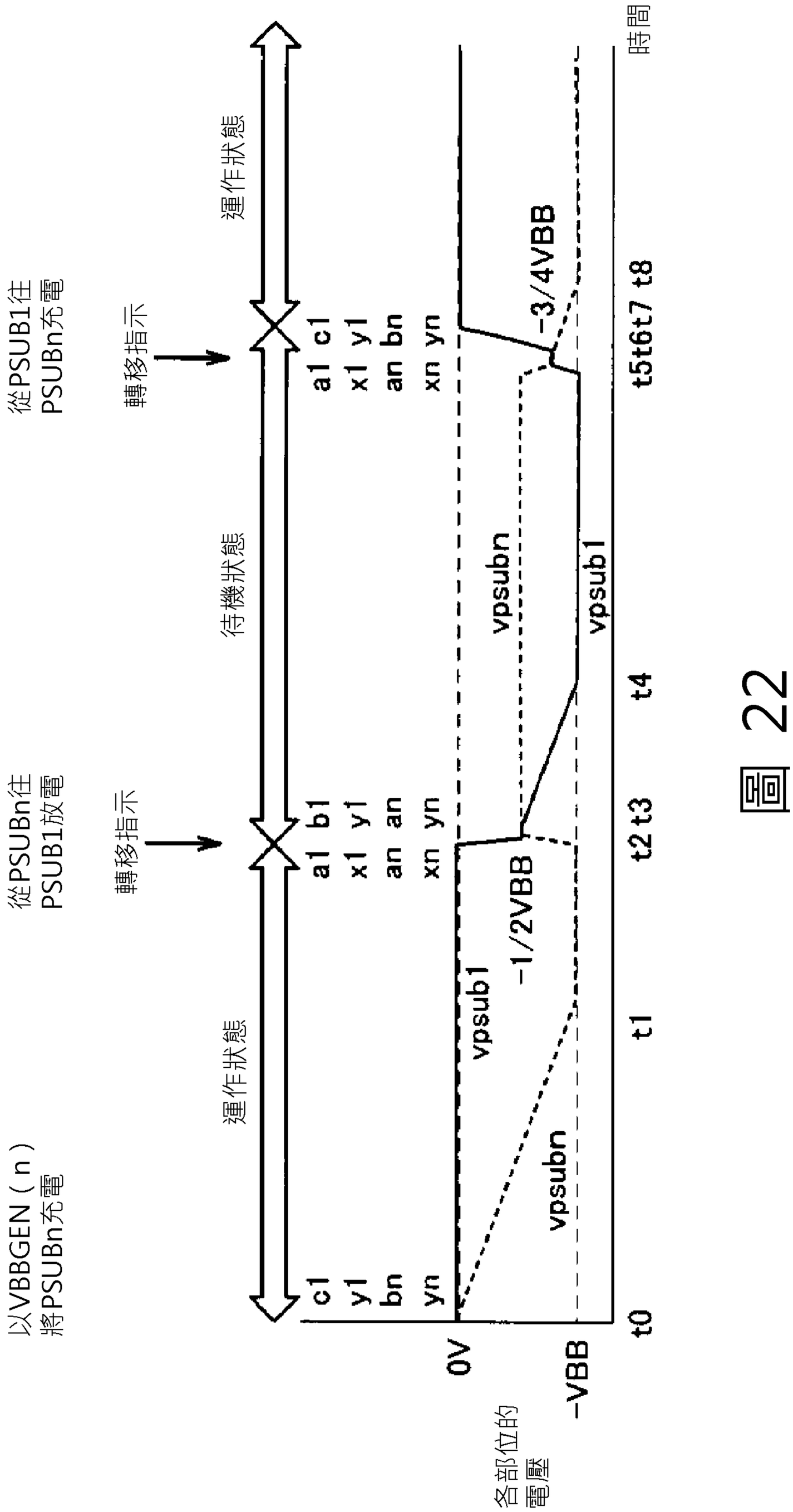

運作狀態
待機狀態
運作狀態
時間
從PSUB1往
PSUBn充電
轉移指示
a1 c1
x1 y1
an bn
xn yn
vpsubn
vpsub1
-3/4VBB
t4
t5t6t7 t8
以VBBGEN（n）
將PSUBn充電
從PSUBn往
PSUB1放電
轉移指示
a1 b1
x1 y1
an an
xn yn
c1
y1
bn
yn
vpsub1
-1/2VBB
vpsubn
t0
t1
t2 t3
0V
-VBB
名部位的
電壓

圖 22