(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-27984
(P2010-27984A)
(43)公開日　平成22年2月4日(2010.2.4)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/10	(2006.01)	H01L	27/10	451	5F083
H01L 27/105	(2006.01)	H01L	27/10	448	

審査請求 未請求　請求項の数 34　ＯＬ　（全 31 頁）

(21)出願番号　特願2008-190174 (P2008-190174)
(22)出願日　平成20年7月23日 (2008.7.23)

（特許庁注：以下のものは登録商標）
1．ＦＲＡＭ

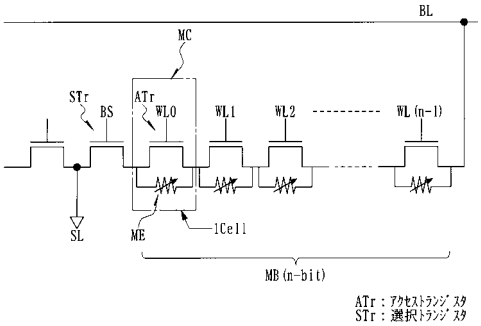
(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　山部　和治
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　吉田　省史
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　蒲原　史朗
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内

最終頁に続く

(54)【発明の名称】不揮発性記憶装置およびその製造方法

(57)【要約】
【課題】多結晶シリコンをフローティング電極としたＥＥＰＲＯＭやＭＯＮＯＳ型不揮発性メモリに代わる、高集積で、かつ高速に動作する不揮発性記憶装置を実現することのできる技術を提供する。
【解決手段】アクセストランジスタＡＴｒと、アクセストランジスタＡＴｒの一対のソース・ドレイン領域間に電気的に接続された記憶素子ＭＥとからなるメモリセルＭＣが、隣接するメモリセルＭＣ間でソース・ドレイン領域を共有して複数個直列に接続されて構成されるメモリセルブロックＭＢを備えている。メモリセルブロックＭＢの一方の端部とソース線ＳＬとの間に選択トランジスタＳＴｒが接続され、メモリセルブロックＭＢの他方の端部にビット線ＢＬが接続されている。また、記憶素子ＭＥは、その一部に１００ｎｍ以下の幅のスリットを有して形成されたローカル配線上に、スリットを跨いで配置されている。
【選択図】図４

図 4



【特許請求の範囲】
【請求項１】
半導体基板上に、ゲート電極が第１方向に沿って形成されたワード線の一部からなるアクセストランジスタと、前記アクセストランジスタの一対のソース・ドレイン領域間に電気的に接続され、抵抗値の差によって記憶情報を判断する記憶素子とからなるメモリセルが、隣接する前記メモリセル間で前記ソース・ドレイン領域を共有して複数個直列に接続されて構成されるメモリセルブロックを備える不揮発性記憶装置であって、
前記メモリセルブロックの一方の端部に位置する前記アクセストランジスタとソース線との間に選択トランジスタが接続され、前記選択トランジスタのソース領域は前記ソース線と電気的に接続され、前記選択トランジスタのドレイン領域は前記メモリセルブロックの一方の端部に位置する前記アクセストランジスタの一方のソース・ドレイン領域と共有し、
前記メモリセルブロックの他方の端部に位置する前記アクセストランジスタの一方のソース・ドレイン領域が、前記第１方向と直交する第２方向に沿って形成されたビット線と電気的に接続されていることを特徴とする不揮発性記憶装置。
【請求項２】
請求項１記載の不揮発性記憶装置において、前記アクセストランジスタを覆う層間絶縁膜と、前記アクセストランジスタの一対のソース・ドレイン領域にそれぞれ達して前記層間絶縁膜に形成された２つの接続孔と、２つの前記接続孔の内部にそれぞれ埋め込まれた２つのプラグ電極と、２つの前記プラグ電極間に電気的に接続され、前記第２方向に沿って形成された電極とをさらに含み、
前記電極に前記第１方向に沿ってスリットが形成され、前記スリットを跨いで前記記憶素子が配置されていることを特徴とする不揮発性記憶装置。
【請求項３】
請求項２記載の不揮発性記憶装置において、前記スリットの幅は１００ｎｍ以下であることを特徴とする不揮発性記憶装置。
【請求項４】
請求項２記載の不揮発性記憶装置において、前記記憶素子と前記電極との間にバリア層が形成されていることを特徴とする不揮発性記憶装置。
【請求項５】
請求項２記載の不揮発性記憶装置において、前記記憶素子は、ＮｉＯ、ＣｕＯ、TiO_2、HfO_2、ZrO_2、Al_2O_3、ＧｅＳｂＴｅ、ＳｂＳｅ、ＧｅＴｅ、Ｎが添加されたＧｅＳｂＴｅ、ＩｎがドープされたＧｅＳｂＴｅ、$SrZrO_3$、$SrTiO_3$またはＭｇＯにより構成されることを特徴とする不揮発性記憶装置。
【請求項６】
請求項２記載の不揮発性記憶装置において、前記電極は、Ｎｉ、Ｗ、Ｃｕ、ＴｉＮ、ＮｉＰｔ、Ｃｏ、ＰｙまたはＦｅＣｏにより構成されることを特徴とする不揮発性記憶装置。
【請求項７】
請求項４記載の不揮発性記憶装置において、前記バリア層は、Ｃｕ、ＣｕＯ、ＴａＯ、ＣｒＯ、ＭｇＯまたはAl_2O_3により構成されることを特徴とする不揮発性記憶装置。
【請求項８】
請求項２記載の不揮発性記憶装置において、前記電極はローカル配線であることを特徴とする不揮発性記憶装置。
【請求項９】
請求項８記載の不揮発性記憶装置において、前記ローカル配線に第１層目の配線が電気的に接続され、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記ソース線は前記第１層目の配線により構成され、前記ビット線は前記第２層目の配線により構成されることを特徴とする不揮発性記憶装置。
【請求項１０】

請求項８記載の不揮発性記憶装置において、前記ローカル配線に第１層目の配線が電気的に接続され、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記ソース線は前記半導体基板に形成された半導体領域により構成され、前記ビット線は前記第２層目の配線により構成されることを特徴とする不揮発性記憶装置。

【請求項１１】

請求項２記載の不揮発性記憶装置において、前記電極は第１層目の配線により構成されることを特徴とする不揮発性記憶装置。

【請求項１２】

請求項１１記載の不揮発性記憶装置において、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記ソース線は前記第１層目の配線により構成され、前記ビット線は前記第２層目の配線により構成されることを特徴とする不揮発性記憶装置。

【請求項１３】

請求項１１記載の不揮発性記憶装置において、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記ソース線は前記半導体基板に形成された半導体領域により構成され、前記ビット線は前記第２層目の配線により構成されることを特徴とする不揮発性記憶装置。

【請求項１４】

請求項１記載の不揮発性記憶装置において、さらに、前記メモリセルブロックの他方の端部に位置する前記アクセストランジスタと前記ビット線との間に第２の選択トランジスタが接続され、

前記第２の選択トランジスタのドレイン領域は前記ビット線と電気的に接続され、前記第２の選択トランジスタのソース領域は前記メモリセルブロックの他方の端部に位置する前記アクセストランジスタの一方のソース・ドレイン領域と共有することを特徴とする不揮発性記憶装置。

【請求項１５】

請求項１記載の不揮発性記憶装置において、前記アクセストランジスタを覆う絶縁膜と、前記アクセストランジスタの一対のソース・ドレイン領域にそれぞれ達して前記絶縁膜に形成された２つの接続孔と、２つの前記接続孔を通じて前記一対のソース・ドレイン領域間に電気的に接続され、前記第２方向に沿って形成された電極とをさらに含み、

前記電極に前記第１方向に沿ってスリットが形成され、前記スリットを跨いで前記記憶素子が配置されていることを特徴とする不揮発性記憶装置。

【請求項１６】

請求項１５記載の不揮発性記憶装置において、前記スリットの幅は１００ｎｍ以下であることを特徴とする不揮発性記憶装置。

【請求項１７】

請求項１５記載の不揮発性記憶装置において、前記記憶素子と前記電極との間にバリア層が形成されていることを特徴とする不揮発性記憶装置。

【請求項１８】

半導体基板上に、第１方向に沿って延在する第１ワード線および第２ワード線と、前記第１方向に沿って延在するソース線と、前記第１方向と直交する第２方向に沿って延在するビット線と、第１アクセストランジスタおよび抵抗値の差によって記憶情報を判断する第１記憶素子から構成される第１メモリセルと、第２アクセストランジスタおよび抵抗値の差によって記憶情報を判断する第２記憶素子とから構成される第２メモリセルとを含み、

前記第１アクセストランジスタのソース領域と前記第２アクセストランジスタのソース領域とは共有され、

前記第１アクセストランジスタのゲート電極は前記第１ワード線の一部により構成され、前記第２アクセストランジスタのゲート電極は前記第２ワード線の一部により構成され、前記第１アクセストランジスタと前記第２アクセストランジスタとが共有するソース領域は前記ソース線の一部によって構成され、前記第１メモリセルのドレイン領域と前記ビ

ット線との間に前記第１記憶素子が接続され、前記第２メモリセルのドレイン領域と前記ビット線との間に前記第２記憶素子が接続されていることを特徴とする不揮発性記憶装置。

【請求項１９】

請求項１８記載の不揮発性記憶装置において、前記第１および第２アクセストランジスタを覆う層間絶縁膜と、前記第１アクセストランジスタのドレイン領域に達して前記層間絶縁膜に形成された第１接続孔と、前記第１接続孔の内部に埋め込まれた第１プラグ電極と、前記第２アクセストランジスタのドレイン領域に達して前記層間絶縁膜に形成された第２接続孔と、前記第２接続孔の内部に埋め込まれた第２プラグ電極と、前記第１プラグ電極と前記第２プラグ電極とに電気的に接続し、前記第２方向に沿って形成された第１電極と、前記第１電極に電気的に接続する第２電極と、前記第１プラグ電極と前記第２電極との間に位置する前記第１電極に前記第１方向に沿って形成された第１スリットと、前記第２プラグ電極と前記第２電極との間に位置する前記第１電極に前記第１方向に沿って形成された第２スリットと、前記第１スリットを跨いで形成された前記第１記憶素子と、前記第２スリットを跨いで形成された前記第２記憶素子とを有することを特徴とする不揮発性記憶装置。

【請求項２０】

請求項１９記載の不揮発性記憶装置において、前記第１および第２スリットの幅は１００ｎｍ以下であることを特徴とする不揮発性記憶装置。

【請求項２１】

請求項１９記載の不揮発性記憶装置において、前記第１記憶素子と前記第１電極との間および前記第２記憶素子と前記第１電極との間にバリア層が形成されていることを特徴とする不揮発性記憶装置。

【請求項２２】

請求項１９記載の不揮発性記憶装置において、前記第１および第２記憶素子は、ＮｉＯ、CuO_2、TiO_2、HfO_2、ZrO_2、Al_2O_3、ＧｅＳｂＴｅ、ＳｂＳｅ、ＧｅＴｅ、Ｎが添加されたＧｅＳｂＴｅ、ＩｎがドープされたＧｅＳｂＴｅ、$SrZrO_3$、$SrTiO_3$またはＭｇＯにより構成されることを特徴とする不揮発性記憶装置。

【請求項２３】

請求項１９記載の不揮発性記憶装置において、前記第１電極は、Ｎｉ、Ｗ、Ｃｕ、ＴｉＮ、ＮｉＰｔ、Ｃｏ、ＰｙまたはＦｅＣｏにより構成されることを特徴とする不揮発性記憶装置。

【請求項２４】

請求項２１記載の不揮発性記憶装置において、前記バリア層は、Ｃｕ、ＣｕＯ、ＴａＯ、ＣｒＯ、ＭｇＯまたはAl_2O_3により構成されることを特徴とする不揮発性記憶装置。

【請求項２５】

請求項１９記載の不揮発性記憶装置において、前記第１電極はローカル配線により構成され、前記第２電極は第１層目の配線により構成され、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記第２層目の配線により前記ビット線は構成されることを特徴とする不揮発性記憶装置。

【請求項２６】

請求項１９記載の不揮発性記憶装置において、前記第１電極は第１層目の配線により構成され、前記第１層目の配線にプラグ電極を介して第２層目の配線が接続され、前記第２層目の配線により前記ビット線は構成されることを特徴とする不揮発性記憶装置。

【請求項２７】

以下の製造工程を含むことを特徴とする不揮発性記憶装置の製造方法：

（ａ）半導体基板の主面上にゲート絶縁膜、ゲート電極および一対のソース・ドレイン領域からなるアクセストランジスタを形成する工程、

（ｂ）前記アクセストランジスタを覆う層間絶縁膜を形成し、前記一対のソース・ドレイ

ン領域にそれぞれ達する２つの接続孔を前記層間絶縁膜に形成する工程、
（ｃ）２つの前記接続孔の内部にそれぞれ導体膜を埋め込み、２つのプラグ電極を形成する工程、
（ｄ）前記半導体基板の主面上に導体膜を堆積し、前記導体膜を加工して、２つの前記プラグ電極に接続し、第１方向に沿ってスリットが形成された電極を形成する工程、
（ｅ）前記半導体基板の主面上にバリア層および記憶素子用材料を順次堆積し、前記記憶素子用材料および前記バリア層を順次加工して、前記スリットを跨ぐ記憶素子を形成する工程。
【請求項２８】
以下の製造工程を含むことを特徴とする不揮発性記憶装置の製造方法：
（ａ）半導体基板の主面上にゲート絶縁膜、ゲート電極および一対のソース・ドレイン領域からなるアクセストランジスタを形成する工程、
（ｂ）前記アクセストランジスタを覆う層間絶縁膜を形成し、前記一対のソース・ドレイン領域にそれぞれ達する２つの接続孔を前記層間絶縁膜に形成する工程、
（ｃ）２つの前記接続孔の内部にそれぞれ導体膜を埋め込み、２つのプラグ電極を形成する工程、
（ｄ）前記半導体基板の主面上に導体膜を堆積し、前記導体膜を加工して、２つの前記プラグ電極に接続し、第１方向に沿ってスリットが形成された第１層目の配線を形成する工程、
（ｅ）前記第１層目の配線の表面を酸化処理した後、前記半導体基板の主面上に記憶素子用材料を順次堆積し、前記記憶素子用材料を加工して、前記スリットを跨ぐ記憶素子を形成する工程。
【請求項２９】
請求項２７または２８記載の不揮発性記憶装置の製造方法において、前記スリットの幅は１００ｎｍ以下であることを特徴とする不揮発性記憶装置の製造方法。
【請求項３０】
請求項２７または２８記載の不揮発性記憶装置の製造方法において、前記記憶素子は、ＮｉＯ、CuO_2、TiO_2、HfO_2、ZrO_2、Al_2O_3、ＧｅＳｂＴｅ、ＳｂＳｅ、ＧｅＴｅ、Ｎが添加されたＧｅＳｂＴｅ、ＩｎがドープされたｇｅＳｂＴｅ、$SrZrO_3$、$SrTiO_3$またはＭｇＯにより構成されることを特徴とする不揮発性記憶装置の製造方法。
【請求項３１】
請求項２７記載の不揮発性記憶装置の製造方法において、前記バリア層は、Ｃｕ、ＣｕＯ、ＴａＯ、ＣｒＯ、ＭｇＯまたはAl_2O_3により構成されることを特徴とする不揮発性記憶装置の製造方法。
【請求項３２】
請求項２７記載の不揮発性記憶装置の製造方法において、前記電極はローカル配線または第１層目の配線により構成されることを特徴とする不揮発性記憶装置の製造方法。
【請求項３３】
請求項３２記載の不揮発性記憶装置の製造方法において、前記ローカル配線は、Ｎｉ、Ｗ、Ｃｕ、ＴｉＮ、ＮｉＰｔ、Ｃｏ、ＰｙまたはＦｅＣｏにより構成されることを特徴とする不揮発性記憶装置の製造方法。
【請求項３４】
請求項２８または３２記載の不揮発性記憶装置の製造方法において、前記第１層目の配線は、Ｃｕにより構成されることを特徴とする不揮発性記憶装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、不揮発性記憶装置およびその製造技術に関し、特に、金属酸化膜の絶縁体状態と金属状態とにより決まる抵抗値を不揮発に記憶し、この抵抗値の差を記憶情報とする

ＲＲＡＭ（Resistive Random Access Memory）、または相変化膜の結晶状態と非晶質状態とにより決まる抵抗値を不揮発に記憶し、この抵抗値の差を記憶情報とするＰＲＡＭ（Phase Change Random Access Memory）を備えた不揮発性記憶装置およびその製造に適用して有効な技術に関するものである。

【背景技術】

【０００２】

例えば特開２００４－２７２９７５号公報（特許文献１）には、半導体基板上に形成されたトランジスタのソース・ドレイン端子間に電圧印加によって抵抗値が変化する可変抵抗素子とを接続してなるメモリセルを、複数直列接続してメモリセル直列部を形成し、メモリセル直列部の少なくとも一端に選択トランジスタを設けてなるメモリセルブロックを複数配置して構成されたメモリセルアレイを有するＮＡＮＤ型メモリセルユニットが開示されている。

【０００３】

また、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステイト・サーキット（IEEE Journal of Solid-State Circuits），Ｖｏｌ．３３，Ｎｏ．５，Ｍａｙ，１９９８年，ｐｐ．７８７－７９２（非特許文献１）には、１つのトランジスタと１つの強誘電体材料からなる記憶素子（Ferroelectric Capacitor）とを並列接続してなるメモリセルを、複数個直列接続して構成されるＦＲＡＭ（Chain Ferroelectric Random Access Memory）を備えた不揮発性記憶装置が記載されている。

【特許文献１】特開２００４－２７２９７５号公報

【非特許文献１】D. Takashima and I. Kunishima, “High-Density Chain Ferroelectric Random Access Memory (Chain FRAM),” IEEE J. Solid-State Circuits, vol. 33, pp. 787-792, May 1998.

【発明の開示】

【発明が解決しようとする課題】

【０００４】

電気的に書き換え可能な不揮発性メモリとしては、多結晶シリコンをフローティング電極としたＥＥＰＲＯＭ（Electrically Erasable Programmable Read Only Memory）が主に使用されている。しかし、この構造のＥＥＰＲＯＭでは、フローティングゲート電極を取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上すると、この問題がより顕著になってくると考えられる。

【０００５】

そこで、近年は、窒化膜を電荷蓄積層とするＭＯＮＯＳ（Metal Oxide Nitride Oxide Silicon）型不揮発性メモリセルが注目されている。この場合、データ記憶に寄与する電荷は絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り囲む酸化膜のどこか一部に欠陥が生じても電荷蓄積層の電荷が全て抜けてしまうことがないため、集積度の向上によりデータ保持が劣化するなどの問題を回避することができる。しかしながら、ＭＯＮＯＳ型不揮発性メモリセルは、書込みおよび消去にミリ秒単位の時間を要するという課題が存在する。そのため、信頼性を低下させることなく高集積化および高速化を実現することのできる構造またはアレイ構成を備える不揮発性メモリセルが望まれている。

【０００６】

本発明の目的は、多結晶シリコンをフローティング電極としたＥＥＰＲＯＭやＭＯＮＯＳ型不揮発性メモリセルに代わる、高集積で、かつ高速に動作する不揮発性記憶装置を実現することのできる技術を提供することにある。

【０００７】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【０００８】
本願において開示される発明のうち、代表的なものの一実施の形態を簡単に説明すれば、次のとおりである。
【０００９】
この実施の形態は、ゲート電極が第１方向に沿って形成されたワード線の一部からなるアクセストランジスタと、アクセストランジスタの一対のソース・ドレイン領域間に電気的に接続され、抵抗値の差によって記憶情報を判断する記憶素子とからなるメモリセルが、隣接するメモリセル間で前記ソース・ドレイン領域を共有して複数個直列に接続されて構成されるメモリセルブロックを備えるＮＡＮＤ型の不揮発性記憶装置である。メモリセルブロックの一方の端部に位置するアクセストランジスタとソース線との間に選択トランジスタが接続され、選択トランジスタのソース領域はソース線と電気的に接続され、選択トランジスタのドレイン領域はメモリセルブロックの一方の端部に位置するアクセストランジスタの一方のソース・ドレイン領域と共有し、メモリセルブロックの他方の端部に位置するアクセストランジスタの一方のソース・ドレイン領域が、第１方向と直交する第２方向に沿って形成されたビット線と電気的に接続されている。また、記憶素子は、その一部に１００ｎｍ以下の幅のスリットを有して第２方向に沿って形成され、アクセストランジスタの一対のソース・ドレイン領域に電気的に接続する電極上に、スリットを跨いで配置されている。
【００１０】
また、この実施の形態は、第１方向に沿って延在する第１ワード線および第２ワード線と、第１方向に沿って延在するソース線と、第１方向と直交する第２方向に沿って延在するビット線と、第１アクセストランジスタおよび抵抗値の差によって記憶情報を判断する第１記憶素子から構成される第１メモリセルと、第２アクセストランジスタおよび抵抗値の差によって記憶情報を判断する第２記憶素子とから構成される第２メモリセルとを含み、第１アクセストランジスタのソース領域と第２アクセストランジスタのソース領域とを共有するＮＯＲ型の不揮発性記憶装置である。第１アクセストランジスタのゲート電極は第１ワード線の一部により構成され、第２アクセストランジスタのゲート電極は第２ワード線の一部により構成され、第１アクセストランジスタと第２アクセストランジスタとが共有するソース領域はソース線の一部によって構成され、第１メモリセルのドレイン領域とビット線との間に第１記憶素子が接続され、第２メモリセルのドレイン領域とビット線との間に第２記憶素子が接続されている。また、第１記憶素子は、ビット線と第１アクセストランジスタのドレイン領域との間に形成されて、その一部に１００ｎｍ以下の幅のスリットを有して第２方向に沿って形成された電極上に、スリットを跨いで配置され、第２記憶素子は、ビット線と第２アクセストランジスタのドレイン領域との間に形成されて、その一部に１００ｎｍ以下の幅のスリットを有して第２方向に沿って形成された電極上に、スリットを跨いで配置されている。
【００１１】
また、この実施の形態は、抵抗値の差によって記憶情報を判断する記憶素子を備える不揮発性記憶装置の製造方法である。まず、半導体基板の主面上にゲート絶縁膜、ゲート電極および一対のソース・ドレイン領域からなるアクセストランジスタを形成した後、アクセストランジスタを覆う層間絶縁膜を形成し、この層間絶縁膜に一対のソース・ドレイン領域にそれぞれ達する２つの接続孔を形成する。次に、この２つの接続孔の内部にそれぞれプラグ電極を形成した後、半導体基板の主面上に導体膜を堆積し、この導体膜を加工して、一対のソース・ドレイン領域にそれぞれ電気的に接続する２つのプラグ電極に電気的に接続し、その一部に１００ｎｍ以下の幅のスリットが形成された電極を形成する。次に、半導体基板の主面上にバリア層および記憶素子用材料を順次堆積し、この記憶素子用材料およびバリア層を順次加工して、スリットを跨ぐ記憶素子を形成する。
【発明の効果】
【００１２】
本願において開示される発明のうち、代表的なものの一実施の形態によって得られる効

果を簡単に説明すれば以下のとおりである。

【００１３】

高集積で、かつ高速に動作することのできる不揮発性記憶装置を実現することができる。

【発明を実施するための最良の形態】

【００１４】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【００１５】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【００１６】

また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態においては、電界効果トランジスタを代表するＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）をＭＩＳと略し、ｎチャネル型のＭＩＳＦＥＴをｎＭＩＳと略す。また、以下の実施の形態において、ウエハと言うときは、Ｓｉ（Silicon）単結晶ウエハを主とするが、それのみではなく、ＳＯＩ（Silicon On Insulator）ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。

【００１７】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１８】

（実施の形態１）

本実施の形態１による不揮発性メモリセルの互いに異なる構造を有する３つの記憶素子を図１～図３を用いて説明する。

【００１９】

本実施の形態１による不揮発性メモリセルの第１の記憶素子が形成された領域の要部平面図を図１（ａ）に示し、図１（ａ）のＡ－Ａ′線における要部断面図を図１（ｂ）に示す。

【００２０】

図１（ａ）および（ｂ）に示すように、半導体基板１上に絶縁膜ＩＳＯを介して同一層からなる２つのローカル配線ＬＭが、例えば１００ｎｍ以下の間隔（スリット）を設けて形成されており、このスリットを跨いで半導体基板１の主面に沿うように記憶素子ＭＥ１が形成されている。ローカル配線ＬＭは、例えばＮｉ、Ｗ、Ｃｕ、ＴｉＮ、ＮｉＰｔ、Ｃｏ、Ｐｙ、ＦｅＣｏなどから構成されている。また、記憶素子ＭＥ１は、ＲＲＡＭ（記憶素子に金属酸化膜を利用した抵抗変化型不揮発性メモリ）の場合は、例えばＮｉＯ、CuO_2、TiO_2、HfO_2、ZrO_2、Al_2O_3などにより構成され、ＰＲＡＭ（記憶素子に相変化膜を利用した相変化型不揮発性メモリ）の場合は、例えばＧＳＴ（ＧｅＳｂＴｅ）、ＳｂＳｅ、ＧｅＴｅ、Ｎが添加されたＧＳＴ、ＩｎがドープされたＧＳＴなどに

より構成される。あるいは、ＳｒＺｒO_3、ＳｒＴｉO_3などのペロブスカイト材料、ＭＲＡＭ（Magnetic ＲＡＭ）またはＦｅＲＡＭ（Ferroelectric ＲＡＭ）で用いられる材料、例えばＭｇＯなどを記憶素子ＭＥ１に用いることもできる。記憶素子ＭＥ１の厚さは、例えば１０ｎｍであり、記憶素子ＭＥ１の幅がローカル配線ＬＭの幅よりも細く形成されている。記憶素子ＭＥ１の幅を細くして、記憶素子ＭＥ１とローカル配線ＬＭとの接触面積を小さくすることにより、電流密度を増加させることができる。また、記憶素子ＭＥ１とローカル配線ＬＭとの間にはバリア層５が形成されている。バリア層５は、例えばＣｕ、ＴａＯ、ＣｒＯ、ＭｇＯ、Ａｌ$_2$Ｏ$_3$などにより構成される。

【００２１】

本実施の形態１による不揮発性メモリセルの第２の記憶素子が形成された領域の要部平面図を図２に示す。

【００２２】

図２に示すように、前述した記憶素子ＭＥ１と同様に、半導体基板１上に絶縁膜を介して同一層からなる２つのローカル配線ＬＭが、例えば１００ｎｍ以下の間隔（スリット）を設けて形成されており、このスリットを跨いで半導体基板１の主面に沿うように記憶素子ＭＥ２が形成されている。記憶素子ＭＥ２が前述した記憶素子ＭＥ１と相違する点は、記憶素子ＭＥ２とローカル配線ＬＭとが接続する部分において、ローカル配線ＬＭの幅が記憶素子ＭＥ２の幅よりも細く形成されていることである。これによっても前述した記憶素子ＭＥ１と同様に、記憶素子ＭＥ２とローカル配線ＬＭとの接触面積を小さくできるので、電流密度を増加させることができる。

【００２３】

本実施の形態１による不揮発性メモリセルの第３の記憶素子が形成された領域の要部平面図を図３に示す。

【００２４】

図３に示すように、前述した記憶素子ＭＥ１と同様に、半導体基板１上に絶縁膜を介して同一層からなる２つのローカル配線ＬＭが、例えば１００ｎｍ以下の間隔（スリット）を設けて形成されており、このスリットを跨いで半導体基板１の主面に沿うように記憶素子ＭＥ３が形成されている。記憶素子ＭＥ３が前述した記憶素子ＭＥ１と相違する点は、記憶素子ＭＥ３がローカル配線ＬＭに接続するプラグ電極４上に達し、さらにローカル配線ＬＭの端部にまで延びて形成されていることである。記憶素子ＭＥ３の幅はローカル配線ＬＭの幅よりも細く形成されているが、記憶素子ＭＥ３を長くして記憶素子ＭＥ３の面積を大きくすることにより、前述した記憶素子ＭＥ１よりも記憶素子ＭＥ３の加工を容易にすることができる。

【００２５】

次に、本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの基本構造を図４および図５を用いて説明する。図４はメモリセルアレイの一部の基本等価回路図、図５はメモリセルアレイの一部の断面模式図である。

【００２６】

図４および図５に示すように、メモリセルＭＣは、記憶素子ＭＥとｎＭＩＳからなるアクセストランジスタ（データの１ビットを選択するｎＭＩＳ）ＡＴｒとを並列に接続して形成されており、さらに、このメモリセルＭＣを複数個直列接続してメモリセルブロックＭＢを形成し、メモリセルブロックＭＢの一方の端部に選択トランジスタＳＴｒを接続している。本実施の形態１によるメモリセルアレイでは、メモリセルブロックＭＢの一方の端部を選択トランジスタＳＴｒを介してソース線ＳＬに接続し、メモリセルブロックＭＢの他方の端部をデータの読み出し／書込みを行うビット線ＢＬに接続している。

【００２７】

各アクセストランジスタＡＴｒのゲートＧはそれぞれ異なるワード線ＷＬ０，ＷＬ１，ＷＬ２，・・・，ＷＬ（ｎ－１）によって駆動され、ワード線ＷＬ０，ＷＬ１，ＷＬ２，・・・，ＷＬ（ｎ－１）のレベルによって各アクセストランジスタＡＴｒのＯＮ・ＯＦＦ状態が切り替わる。例えばワード線ＷＬ１，ＷＬ２，・・・，～ＷＬ（ｎ－１）をｈｉｇ

ｈレベルにするとワード線ＷＬ１，ＷＬ２，・・・，ＷＬ（ｎ－１）が接続された各アクセストランジスタＡＴｒに電流が流れ、ワード線ＷＬ０をｌｏｗレベルにするとワード線ＷＬ０が接続されたアクセストランジスタＡＴｒに並列に接続された記憶素子ＭＥが選択されて、この記憶素子ＭＥに電流が流れる。また、選択トランジスタＳＴｒのゲートＧはブロック選択線ＢＳによって駆動され、ブロック選択線ＢＳのレベルによって選択トランジスタＳＴｒのＯＮ・ＯＦＦ状態が切り替わり、選択トランジスタＳＴｒがＯＮ状態のメモリセルブロックＭＢが選択状態となる。

【００２８】

前述したように、本実施の形態１によるメモリセルアレイでは、図４および図５に示したように、メモリセルブロックＭＢ内のアクセストランジスタＡＴｒは、そのメモリセルブロックＭＢ外の隣接する選択トランジスタＳＴｒとソース線ＳＬを共有している。また、図６に示すように、選択トランジスタＳＴｒのドレイン側（選択トランジスタＳＴｒのドレインＤとビット線ＢＬとの間）に記憶素子ＭＥが付く構造となっている。このような構造とすることにより、選択トランジスタＳＴｒのソース側（選択トランジスタＳＴｒのソースＳとソース線ＳＬとの間）に記憶素子ＭＥが付く構造よりも読み出し電流が増加するので、高速動作を可能にすることができる。

【００２９】

以下に、選択トランジスタのドレイン側に記憶素子を付ける理論根拠について図７および図８に示す回路図を用いて説明する。図７はｎＭＩＳのドレイン側に記憶素子を接続した回路図、図８はｎＭＩＳのソース側に記憶素子を接続した回路図である。

【００３０】

ｎＭＩＳの飽和の式は、式（１）で表され、

$$Id=\beta(Vgs-Vth)^2 \qquad \text{式（１）}$$

ＶｔｈのＶｂｂ依存は、式（２）で表される。

【００３１】

$$Vth=Vtho+K\sqrt{(|Vbs|-2\phi_F)} \qquad \text{式（２）}$$

従って、図７に示すｎＭＩＳのドレイン側に記憶素子を接続した回路では、ドレイン電流は式（３）で表されるので、

$$Id=\beta(Vgs-Vth)^2 \qquad \text{式（３）}$$

ｎＭＩＳのドレイン側に記憶素子を接続した場合のドレイン電流Ｉｄの理論式が変わるわけではない。

【００３２】

一方、図８に示すｎＭＩＳのソース側に記憶素子を接続した回路では、式（１）において、ＶｄがＲ×Ｉｄ電圧分上昇して、Ｖｇｓが小さくなる。また、式（２）において、ＶｂｓはＲ×Ｉｄ電圧分印加されることと同等となり、Ｖｔｈが上昇する。上記２つの効果により、ｎＭＩＳのソース側に記憶素子を接続した場合のドレイン電流は、ドレイン側に記憶素子を接続した前者の場合に比べて減少し、高速動作に不利である。

【００３３】

次に、本実施の形態１による不揮発性メモリセルのデータ書込み動作、データ消去動作、データ読み出し動作およびスタンバイ動作の一例を図９～図１２に示す等価回路図を用いて説明する。図９～図１２には、選択ブロック（Selected Block）のメモリセルと選択トランジスタ、およびこれに隣接する非選択ブロック（Unselected Block）の選択トランジスタを示している。ここでは、ＰＲＡＭを採用した不揮発性メモリセルを例示する。

【００３４】

図９は、データ書込み時の電圧設定を示す等価回路図である。選択ブロック内のデータが書き込まれるメモリセル（Selected Cell）のアクセストランジスタのゲート（ワード線）に０～－０．５Ｖを印加し、データが書き込まれないメモリセルのアクセストランジスタのゲート（ワード線）および選択トランジスタのゲート（ブロック選択線）に１．５Ｖを印加する。さらにビット線ＢＬに１．８Ｖを印加することにより、メモリセル（Selected Cell）のアクセストランジスタに並列に接続された記憶素子に電流が流れて、例え

ば約５ｎｓの速度でデータが書き込まれる。また、このとき、非選択ブロック内の選択トランジスタのゲート（ブロック選択線）には０〜－１．５Ｖが印加される。これにより、非選択ブロック内のメモリセル部の記憶素子が書き込まれることを防ぐ。

【００３５】

図１０は、データ消去時の電圧設定を示す等価回路図である。選択ブロック内のデータが消去されるメモリセル（Selected Cell）のアクセストランジスタのゲート（ワード線）に０〜－０．５Ｖを印加し、データが消去されないメモリセルのアクセストランジスタのゲート（ワード線）および選択トランジスタのゲート（ブロック選択線）に１．５Ｖを印加する。さらにビット線ＢＬに０．８Ｖを印加することにより、メモリセル（Selected Cell）のアクセストランジスタに並列に接続された記憶素子に電流が流れて、例えば約２μｓの速度でデータが消去される。また、このとき、非選択ブロック内の選択トランジスタのゲート（ブロック選択線）には０〜－１．５Ｖが印加される。これにより、非選択ブロック内のメモリセル部の記憶素子が書き込まれることを防ぐ。

【００３６】

図１１は、データ読み出し時の電圧設定を示す等価回路図である。選択ブロック内のデータが読み出されるメモリセル（Selected Cell）のアクセストランジスタのゲート（ワード線）に０〜－０．５Ｖを印加し、データが読み出されないメモリセルのアクセストランジスタのゲート（ワード線）および選択トランジスタのゲート（ブロック選択線）に１．５Ｖを印加する。さらにビット線ＢＬに０．２Ｖを印加することにより、メモリセル（Selected Cell）のアクセストランジスタに並列に接続された記憶素子に微小電流を流して、この記憶素子の抵抗値（高抵抗または低抵抗）により“１”／“０”を、例えば約２〜３ｎｓで判断する。記憶素子には微小電流を流しているので、記憶素子の破壊を防ぐことができる。また、このとき、非選択ブロック内の選択トランジスタのゲート（ブロック選択線）には０〜－１．５Ｖが印加される。これにより、非選択ブロック内のメモリセル部の記憶素子が書き込まれることを防ぐ。

【００３７】

図１２は、メモリセルのスタンバイ時の電圧設定を示す等価回路図である。スタンバイモード時のブロック内メモリセルのアクセストランジスタのゲート（ワード線）全てに１．５Ｖを印加し、選択ブロック内の記憶素子に電流が流れ込み、書込みや消去が行なわれることを防いでいる。また、このゲート（ワード線）全てに１．５Ｖを印加している理由として、メモリセルのデータ書込み、データ消去またはデータ読み出しに備えるということがある。さらに、このスタンバイモード時のブロック内選択トランジスタのゲート（ブロック選択線）には０〜－０．５Ｖが印加されて、選択ブロック内の記憶素子に電流がながれることを防いでいる。

【００３８】

次に、本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの詳細な構造を図１３〜図１６を用いて説明する。図１３〜図１５はメモリセルアレイの一部の要部平面図（図１３は基板からプラグ電極までの各層を重ねた要部平面図、図１４は図１３と同じ平面領域であって、図１３よりも上層のプラグ電極から第１層配線までの各層を重ねた要部平面図、図１５は図１４と同じ平面領域であって、図１４よりも上層の第１層配線から第２層配線までの各層を重ねた要部平面図）、図１６はメモリセルアレイの一部の要部断面図である。ここでは、メモリセルブロックを構成する複数のメモリセルのうち、ワード線ＷＬ０，ＷＬ１に接続されたゲートを有するアクセストランジスタから構成される２つのメモリセルとブロック選択線ＢＳに接続されたゲートを有する１つの選択トランジスタを例に挙げて説明する。

【００３９】

半導体基板１は、例えばｐ型のシリコン単結晶からなり、この半導体基板１にはｐウェルＰＷｍが形成されている。このｐウェルＰＷｍはｐ型不純物、例えばＢが導入されてなり、図示はしないが、ここには、上記メモリセルアレイの他、周辺回路用の素子等も形成されている。このｐウェルＰＷｍは、その下層に形成された埋め込みｎウェルＮＷｍと、

ｐウェルＰＷｍの側部側に形成されたｎウェル（図示は省略）とに取り囲まれており、半導体基板１から電気的に分離されている。その埋め込みｎウェルＮＷｍおよびｎウェルはｎ型不純物、例えばＰまたはＡｓが半導体基板１に導入されて形成されてなり、半導体基板１上の他の素子からのノイズが半導体基板１を通じてｐウェルＰＷｍに侵入するのを抑制または防止したり、ｐウェルＰＷｍの電位を半導体基板１とは独立して所定の値に設定したりする機能を備えている。

【００４０】

半導体基板１の主面には、例えば溝型の分離部（トレンチアイソレーション）ＳＧＩが形成されている。この分離部ＳＧＩは、メモリセルアレイではメモリセルブロック間を電気的に分離するように、半導体基板１に掘られた平面帯状の溝内に絶縁膜が埋め込まれて形成されている。分離部ＳＧＩの絶縁膜は、例えば酸化シリコン等からなり、その上面は半導体基板１の主面とほぼ一致するように平坦にされている。なお、図１３では、分離部ＳＧＩに囲まれた領域を活性領域ＡＲとして示している。

【００４１】

アクセストランジスタＡＴｒの一対のソース・ドレイン領域６は、例えば相対的に低濃度のｎ$^{-}$型の半導体領域７と、そのｎ$^{-}$型の半導体領域７よりも不純物濃度の高い相対的に高濃度のｎ$^{+}$型の半導体領域８とを有している（ＬＤＤ（Lightly Doped Drain）構造）。ｎ$^{-}$型の半導体領域７は、アクセストランジスタＡＴｒのチャネル領域側に配置され、ｎ$^{+}$型の半導体領域８は、アクセストランジスタＡＴｒのチャネル領域側からｎ$^{-}$型の半導体領域７分だけ離れた位置に配置されている。

【００４２】

一対のソース・ドレイン領域６の間の半導体基板１の主面上には、ゲート絶縁膜９を介してゲート電極１０が形成されており、このゲート電極１０は、第１方向に延在するワード線ＷＬ０，ＷＬ１の一部で形成されている。ゲート絶縁膜９は、例えば酸化シリコン等からなり、ゲート電極１０は、例えばｎ型の低抵抗多結晶シリコン等からなる。さらに、ゲート電極１０の上面には、例えばコバルトシリサイド等のようなシリサイド層１１が形成されている。シリサイド層１１を形成することによりゲート電極１０の低抵抗化を図ることができる。このシリサイド層１１は、ソース・ドレイン領域６を構成するｎ$^{+}$型の半導体領域８の上面にも形成されている。さらに、ゲート電極１０の側面には、例えば酸化シリコン等からなるサイドウォール１２が形成されている。

【００４３】

アクセストランジスタＡＴｒは、層間絶縁膜１３により覆われており、この層間絶縁膜１３を介して、アクセストランジスタＡＴｒの上方に記憶素子ＭＥが配置され、アクセストランジスタＡＴｒと記憶素子ＭＥとが並列に接続されている。すなわち、層間絶縁膜１３にはアクセストランジスタＡＴｒのソース・ドレイン領域６上にシリサイド層１１に達する接続孔３が形成されている。この接続孔３の内部に埋め込まれたプラグ電極４を介して、第１方向と直交する第２方向に延在するローカル配線ＬＭがソース・ドレイン領域６と電気的に接続されている。このローカル配線ＬＭには、ゲート電極１０の上方において１００ｎｍ以下の幅のスリット１４が第１方向に沿って設けられており、このスリット１４を跨いで記憶素子ＭＥが形成されている。記憶素子ＭＥとローカル配線ＬＭとの間にはバリア層５が形成されている。記憶素子ＭＥには、金属酸化膜（ＲＲＡＭ）または相変改膜（ＰＲＡＭ）を採用することができるが、例えば金属酸化膜（ＲＲＡＭ）を採用した場合は、記憶素子ＭＥは、例えばＮｉＯ、ローカル配線ＬＭは、例えば厚さが１００ｎｍ以下のＮｉ、記憶素子ＭＥとローカル配線ＬＭとの間に形成されるバリア層５は、例えば厚さが２～３ｎｍのＴａＯを例示することができる。

【００４４】

メモリセルアレイのメモリセルブロックでは、複数の前述したメモリセルが隣接して直列に接続されており、隣接する２つのメモリセルにおいて、１つのソース・ドレイン領域６を共有して使用している。これにより、１ビット当たりのメモリセルサイズを小さくすることができる。図１３～図１５において１点破線で囲まれた領域が１ビット（１Ｃｅｌ

１）を示している。設計ルールで決められた最小加工寸法をＦとすると、ワード線の延在方向（第１方向）に沿ったピッチは２Ｆ、ビット線の延在方向（第２方向）であってソース・ドレイン領域６間のチャネル長方向に沿ったピッチは２Ｆとなり、単位メモリセル面積を４Ｆ^{2}とすることができる。

【００４５】

メモリセルブロックの一方の端部に位置するアクセストランジスタＡＴｒには、選択トランジスタＳＴｒが接続されている。選択トランジスタＳＴｒは、前述したアクセストランジスタＡＴｒと同様の構造を有しており、選択トランジスタＳＴｒのドレイン領域１５Ｄと、メモリセルブロックの一方の端部に位置するアクセストランジスタＡＴｒのソース・ドレイン領域６とを共有している。選択トランジスタＳＴｒは、層間絶縁膜１３により覆われており、層間絶縁膜１３には選択トランジスタＳＴｒのソース領域１５Ｓ上のシリサイド層１１に達する接続孔３が形成されている。この接続孔３の内部に埋め込まれたプラグ電極４を介して、選択トランジスタＳＴｒのソース領域１５Ｓは第１層目の配線Ｍ１からなるソース線ＳＬと電気的に接続されている。

【００４６】

また、メモリセルブロックの他方の端部に位置するアクセストランジスタＡＴｒには、ビット線ＢＬが接続されている。すなわち、このアクセストランジスタＡＴｒの一方のソース・ドレイン領域６にはプラグ電極４を介してローカル配線ＬＭが電気的に接続され、このローカル配線ＬＭに接続する第１層目の配線Ｍ１およびプラグ電極１６を介して第２方向に延在する第２層目の配線Ｍ２からなるビット線ＢＬが接続されている。第１層目の配線Ｍ１、プラグ電極１６および第２層目の配線Ｍ２は、例えばシングルダマシン法により形成される銅からなる。なお、銅膜（例えば第１層目の配線Ｍ１の主導電部を構成するＣｕめっき膜２１ｂ）が形成されている溝内の側壁および底面には、銅が層間膜（例えばストッパ絶縁膜１９ａと配線形成用絶縁膜１９ｂとからなる層間絶縁膜および層間絶縁膜１３）へ拡散することを防止するバリアメタル膜（例えば第１層目の配線Ｍ１に用いられるバリアメタル膜２１ａ）が形成されている。

【００４７】

次に、本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの製造方法を図１７～図２４を用いて説明する。図１７～図２４には、前述した図１６と同じ箇所の要部断面図を示しており、ワード線ＷＬ０，ＷＬ１に接続されたゲートを有するアクセストランジスタから構成される２つのメモリセルとブロック選択線ＢＳに接続されたゲートを有する１つの選択トランジスタを用いてメモリセルアレイの製造方法を説明する。

【００４８】

まず、図１７に示すように、半導体基板（この段階では半導体ウエハと称する平面略円形状の半導体の薄板）１の主面に、例えば溝型の素子分離部ＳＧＩおよびこれに取り囲まれるように配置された活性領域等を形成する。すなわち半導体基板１の所定箇所に分離溝を形成した後、半導体基板１の主面上に、例えば酸化シリコンからなる絶縁膜を堆積し、さらにその絶縁膜が分離溝内のみに残されるように絶縁膜をＣＭＰ（Chemical Mechanical Polishing）法等によって研磨することで、素子分離部ＳＧＩを形成する。

【００４９】

次に、半導体基板１の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込みｎウェルＮＷｍ、ｐウェルＰＷｍおよびｎウェルを形成する。続いて半導体基板１の主面にｐ型不純物、例えばＢをイオン注入法により導入することにより、半導体基板１の主面にアクセストランジスタＡＴｒおよび選択トランジスタＳＴｒのチャネル形成用のｐ型の半導体領域を形成する。

【００５０】

次に、半導体基板１に対して熱酸化処理を施すことにより、半導体基板１の主面上に、例えば酸化シリコンからなる厚さ１～５ｎｍ程度のゲート絶縁膜９を形成する。続いて、半導体基板１の主面上に、例えば低抵抗多結晶シリコンからなる導体膜をＣＶＤ（Chemic

al Vapor Deposition）法により堆積する。導体膜の厚さは、例えば１４０ｎｍ程度である。その後、導体膜をリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、導体膜からなるアクセストランジスタＡＴｒおよび選択トランジスタＳＴｒのゲート電極１０を形成する。ゲート電極１０のゲート長は、例えば４５～１８０ｎｍ程度である。

【００５１】

次に、半導体基板１の主面にｎ型不純物、例えばＡｓをイオン注入することにより、半導体基板１の主面にn^-型の半導体領域７をゲート電極１０に対して自己整合的に形成する。続いて、半導体基板１の主面上に、例えば酸化シリコンからなる絶縁膜をＣＶＤ法により堆積した後、この絶縁膜を異方性のドライエッチング法でエッチバックすることにより、ゲート電極１０の側面にサイドウォール１２を形成する。その後、半導体基板１の主面にｎ型不純物、例えばＰまたはＡｓをイオン注入することにより、半導体基板１の主面にn^+型の半導体領域８をゲート電極１０およびサイドウォール１２に対して自己整合的に形成する。これにより、n^-型の半導体領域７およびn^+型の半導体領域８からなるアクセストランジスタＡＴｒのソース・ドレイン領域６と、選択トランジスタＳＴｒのソース領域１５Ｓおよびドレイン領域１５Ｄとが形成される。

【００５２】

次に、ゲート電極１０の上面およびn^+型の半導体領域８の表面にシリサイド層１１、例えばコバルトシリサイド（$CoSi_2$）層を自己整合法、例えばサリサイド（Salicide：Self Align silicide）プロセスにより形成する。

【００５３】

次に、図１８に示すように、半導体基板１の主面上に、例えばＴＥＯＳ（Tetra Ethyl Ortho Silicate）からなる層間絶縁膜１３をプラズマＣＶＤ法により形成した後、リソグラフィ技術によりレジストパターンＲＰ１を形成し、このレジストパターンＲＰ１をマスクとしたドライエッチング技術により層間絶縁膜１３を加工して、n^+型の半導体領域８上のシリサイド層１１に達する接続孔３を形成する。

【００５４】

次に、図１９に示すように、レジストパターンＲＰ１を除去した後、半導体基板１の主面上に導体膜を堆積し、さらにその導体膜が接続孔３の内部のみに残されるように導体膜をＣＭＰ法等によって研磨することで、プラグ電極４を形成する。プラグ電極４は、例えばチタンおよび窒化チタンの積層膜からなる相対的に薄いバリア層と、そのバリア層に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導体膜とを有している。

【００５５】

次に、図２０に示すように、半導体基板１の主面上に、例えばＮｉからなる導体膜をスパッタリング法により堆積した後、リソグラフィ技術によりレジストパターンＲＰ２を形成し、このレジストパターンＲＰ２をマスクとしたドライエッチング技術により導体膜を加工して、アクセストランジスタＡＴｒのソース・ドレイン領域６（n^+型の半導体領域８）と電気的に接続するプラグ電極４に接続して、ローカル配線ＬＭを形成する。

【００５６】

次に、図２１に示すように、レジストパターンＲＰ２を除去した後、半導体基板１の主面上に、例えばＴａＯからなるバリア層用材料およびＮｉＯからなる記憶素子用材料を、例えばスパッタリング法、ＣＶＤ法またはＡＬＤ（Atomic Layer Deposition）法により順次堆積した後、リソグラフィ技術によりレジストパターンＲＰ３を形成し、このレジストパターンＲＰ３をマスクとしたドライエッチング技術により記憶素子用材料およびバリア層用材料を順次加工して、記憶素子ＭＥおよびバリア層５を形成する。記憶素子ＭＥおよびバリア層５は、アクセストランジスタＡＴｒのゲート電極１０の上方に形成される。

【００５７】

次に、図２２に示すように、レジストパターンＲＰ３を除去した後、半導体基板１の主面上にストッパ絶縁膜１９ａおよび配線形成用絶縁膜１９ｂを順次形成する。ストッパ絶

縁膜１９ａは配線形成用絶縁膜１９ｂへの溝加工の際にエッチングストッパとなる膜であり、配線形成用絶縁膜１９ｂに対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜１９ａは、例えばプラズマＣＶＤ法により形成される窒化シリコン膜とし、配線形成用絶縁膜１９ｂは、例えばプラズマＣＶＤ法により形成される酸化シリコン膜とすることができる。

【００５８】

次に、シングルダマシン法により第１層目の配線Ｍ１を形成する。まず、リソグラフィ技術およびドライエッチング技術によりストッパ絶縁膜１９ａおよび配線形成用絶縁膜１９ｂの所定の領域に配線溝２０を形成する。配線溝２０は、例えば選択トランジスタＳＴｒのソース領域１５Ｓ（ｎ$^{+}$型の半導体領域８）と電気的に接続するプラグ電極４上、およびメモリセルブロックの端部に位置し、ビット線ＢＬが接続されるアクセストランジスタＡＴｒに備わるローカル配線ＬＭ上に形成される。続いて、半導体基板１の主面上にバリアメタル膜２１ａを形成する。バリアメタル膜２１ａは、例えばＴｉＮ膜、Ｔａ膜またはＴａＮ膜等である。続いて、ＣＶＤ法またはスパッタリングによりバリアメタル膜２１ａ上にＣｕのシード層（図示は省略）を形成し、さらに電解めっき法によりシード層上にＣｕめっき膜２１ｂを形成する。Ｃｕめっき膜２１ｂにより配線溝２０の内部を埋め込む。続いて、配線溝２０以外の領域のＣｕめっき膜２１ｂ、シード層およびバリアメタル膜２１ａをＣＭＰ法により除去して、Ｃｕを主導電材料とする第１層目の配線Ｍ１を形成する。

【００５９】

次に、図２３に示すように、半導体基板１の主面上にストッパ絶縁膜２２ａおよびビア形成用絶縁膜２２ｂを順次形成し、これらの所定の領域にビア２３を形成した後、前述した第１層目の配線Ｍ１の製造工程と同様にして、シングルダマシン法によりビア２３の内部にＣｕを主導電材料とするプラグ電極２４を形成する。

【００６０】

さらに、図２４に示すように、半導体基板１の主面上にストッパ絶縁膜および配線溝形成用絶縁膜を順次形成し、これらの所定の領域に配線溝を形成した後、前述した第１層目の配線Ｍ１の製造工程と同様にして、シングルダマシン法によりこの配線溝の内部にバリアメタル膜２５ａおよびＣｕめっき膜２５ｂを埋め込み、Ｃｕを主導電材料とする第２層目の配線Ｍ２を形成する。第２層目の配線Ｍ２により、例えばビット線ＢＬを形成することができる。これ以降は、通常の半導体装置の製造工程を経て、不揮発性メモリを有する半導体装置を製造する。

【００６１】

なお、本実施の形態１では、例えば前述した図１（ｂ）に示すように、所定の間隔（スリット）を設けて２つのローカル配線ＬＭが配置され、このスリットを跨ぎ、バリア層５を介して記憶素子ＭＥ（ＭＥ１）が形成されている。しかし、記憶素子ＭＥとローカル配線ＬＭとの合わせずれが生じた場合は、記憶素子ＭＥとローカル配線ＬＭとの接触面積が変わるため、記憶素子ＭＥの抵抗値にばらつきが生じることが考えられる。そこで、図２５に示すように、ローカル配線ＬＭを構成する導体膜上に絶縁膜２７を形成し、この絶縁膜２７をハードマスクとして上記導体膜をパターニングしてローカル配線ＬＭを形成する。これにより、記憶素子ＭＥとローカル配線ＬＭとの接触面積は、ローカル配線ＬＭの膜厚のみに依存することになり、記憶素子ＭＥとローカル配線ＬＭとの合わせずれが生じても、記憶素子ＭＥの抵抗値のばらつきを抑えることができる。

【００６２】

このように、本実施の形態１によれば、アクセストランジスタＡＴｒと記憶素子ＭＥとを並列に接続して構成したメモリセルＭＣを複数個直列接続してメモリセルブロックＭＢを形成し、メモリセルブロックＭＢの一方の端部とソース線ＳＬとの間に選択トランジスタＳＴｒを接続し、メモリセルブロックＭＢの他方の端部とビット線ＢＬとを接続することにより、メモリセルブロックＭＢの一方の端部とビット線ＢＬとの間に選択トランジスタＳＴｒを接続した場合よりも読み出し電流が増加して、高速動作が可能となる。

【００６３】
また、記憶素子ＭＥに金属酸化膜または相変化膜を用いることにより、メモリセルＭＣのデータ書込み動作、データ読み出し動作、データ消去動作等において、メモリセルＭＣに印加する電圧を１．５Ｖ以下とすることができる。また、金属酸化膜または相変化膜からなる記憶素子ＭＥを細く加工したことにより電流集中が可能となり、上記１．５Ｖ以下の印加電圧においてもナノ秒単位の動作速度を得ることができる。
【００６４】
また、メモリセルＭＣを構成する記憶素子ＭＥを半導体基板１の主面に沿うように形成することによって、メモリセルアレイ領域の凹凸が緩和されるので平坦化プロセスが容易となり、さらに記憶素子ＭＥに金属酸化膜または相変化膜を用いても、その微細加工が容易となるので、メモリセルアレイの高密度化を図ることができ、また製造歩留まりを向上させることができる。
【００６５】
（実施の形態２）
本実施の形態２によるメモリセルのアクセストランジスタの構造は、前述した実施の形態１と同様であるが、記憶素子の構造が前述した実施の形態１と相違する。すなわち、前述した実施の形態１では、記憶素子ＭＥの両端に接続される電極にローカル配線ＬＭを用いたのに対して、本実施の形態２では、第１層目の配線Ｍ１を用いる。
【００６６】
本実施の形態２による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの他のメモリセルを図２６および図２７を用いて説明する。図２６および図２７はメモリセルアレイの一部の要部断面図である。
【００６７】
図２６に示す本実施の形態２によるメモリセルは、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いており、さらに、記憶素子ＭＥと第１層目の配線Ｍ１との間には、スパッタリング法、ＣＶＤ法またはＡＬＤ法によりバリア層５が形成されている。例えばＲＲＡＭを採用する場合、記憶素子ＭＥは、例えばＮｉＯ、第１層目の配線Ｍ１と記憶素子ＭＥとの間に形成されるバリア層５は、例えば厚さが２～３ｎｍのＴａＯを例示することができる。
【００６８】
また、図２７に示す本実施の形態２による他のメモリセルは、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いており、さらに、記憶素子ＭＥと第１層目の配線Ｍ１との間には、第１層目の配線Ｍ１の構成素材を酸化させることにより得られるバリア層２８が形成されている。例えばＲＲＡＭを採用する場合、記憶素子ＭＥは、例えばＮｉＯ、第１層目の配線Ｍ１と記憶素子ＭＥとの間に形成されるバリア層２８は、例えば厚さが２～３ｎｍのＣｕＯを例示することができる。
【００６９】
このように、本実施の形態２によれば、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いることによりローカル配線ＬＭが不要となり、ローカル配線ＬＭの形成に係る製造工程を減らすことができるので、不揮発性メモリセルの製造ＴＡＴを短縮することができる。
【００７０】
（実施の形態３）
本実施の形態３による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの構造を図２８に示すメモリセルアレイの一部の基本回路図を用いて説明する。
【００７１】
前述した実施の形態１によるメモリセルアレイでは、メモリセルブロックＭＢの一方の端部とソース線ＳＬとの間に選択トランジスタＳＴｒを配置し、その選択トランジスタＳＴｒのソース領域をソース線ＳＬに接続し、メモリセルブロックＭＢの他方の端部をデータの読み出し／書込みを行うビット線ＢＬに接続している。

【００７２】
本実施の形態３によるメモリセルアレイでは、図２８に示すように、前述した実施の形態１によるメモリセルと同様に、メモリセルＭＣは、記憶素子ＭＥとｎＭＩＳからなるアクセストランジスタ（データの１ビットを選択するｎＭＩＳ）ＡＴｒとを並列に接続して形成されており、さらに、このメモリセルＭＣを複数個直列接続してメモリセルブロックＭＢを形成しているが、メモリセルブロックＭＢの両方の端部に選択トランジスタＳＴｒ０，ＳＴｒ１を接続している。すなわち、本実施の形態３によるメモリセルアレイでは、メモリセルブロックＭＢの一方の端部とソース線ＳＬとの間に選択トランジスタＳＴｒ０を接続し、メモリセルブロックＭＢの他方の端部とデータの読み出し／書込みを行うビット線ＢＬとの間に選択トランジスタＳＴｒ１を接続している。

【００７３】
このように、本実施の形態３によれば、メモリセルブロックＭＢが選択されていない場合、その選択されていないメモリセルブロックＭＢの両端の選択トランジスタＳＴｒ０，ＳＴｒ１のブロック選択線ＢＳをＯＦＦ状態とすることにより、非選択ブロック内の記憶素子に電流が流れ込み、書込み、消去されることをさらに防ぐことができる。

【００７４】
（実施の形態４）
本実施の形態４による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの構造を図２９に示すメモリセルアレイの一部の要部平面図（基板からプラグ電極までの各層を重ねた要部平面図）を用いて説明する。

【００７５】
前述した実施の形態１によるメモリセルアレイでは、メモリセルブロックＭＢの一方の端部に選択トランジスタＳＴｒを接続し、さらにその選択トランジスタＳＴｒのドレイン領域１５Ｄをメモリセルブロックの一方の端部のアクセストランジスタＡＴｒのソース・ドレイン領域６と共有し、その選択トランジスタＳＴｒのソース領域１５Ｓを第１層目の配線Ｍ１からなるソース線ＳＬに接続している。この例ではメモリセルブロックＭＢで８ｂｉｔ（ＷＬ０～ＷＬ７）を実現している。

【００７６】
本実施の形態４によるメモリアレイでは、図２９に示すように、前述した実施の形態１と同様に、メモリセルブロックＭＢの一方の端部に選択トランジスタＳＴｒを接続し、さらにその選択トランジスタＳＴｒのドレイン領域１５Ｄをメモリセルブロックの一方の端部のアクセストランジスタＡＴｒのソース・ドレイン領域６と共有し、その選択トランジスタＳＴｒのソース領域１５Ｓをソース線ＳＬに接続しているが、ソース線ＳＬを半導体基板１に形成された半導体領域２９により構成している。

【００７７】
このように、本実施の形態４によれば、不揮発性メモリセルの高集積化に伴い、第１層目の配線Ｍ１によるソース線ＳＬの配置が難しくなった場合でも、半導体領域２９により構成するソース線ＳＬを採用することができる。

【００７８】
（実施の形態５）
本実施の形態５による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの構造を図３０に示すメモリセルの要部断面図を用いて説明する。

【００７９】
前述した実施の形態１によるメモリセルＭＣでは、記憶素子ＭＥの両端は、アクセストランジスタＡＴｒのソース・ドレイン領域６の表面のシリサイド層１１に接続するプラグ電極４を介してローカル配線ＬＭに接続している。これによって記憶素子ＭＥの両端がアクセストランジスタＡＴｒのソース・ドレイン領域６と電気的に接続している。

【００８０】
本実施の形態５によるメモリセルＭＣでは、図３０に示すように、プラグ電極４を介さずに、アクセストランジスタＡＴｒのソース・ドレイン領域６の表面のシリサイド層１１

に接続するローカル配線ＬＭを形成し、このローカル配線ＬＭからなる電極に記憶素子ＭＥの両端を接続している。すなわち、アクセストランジスタＡＴｒのゲート電極１０を覆う絶縁膜３１に、ソース・ドレイン領域６の表面のシリサイド層１１に達する接続孔３２が形成され、この接続孔３２を通じて１００ｎｍ以下の間隔（スリット）を有するローカル配線ＬＭを形成することによって、記憶素子ＭＥの両端とアクセストランジスタＡＴｒのソース・ドレイン領域６とを電気的に接続している。さらに、アクセストランジスタＡＴｒのソース・ドレイン領域６の表面のシリサイド層１１に接続するローカル配線ＬＭを介してプラグ電極４が形成されており、このプラグ電極４に接続する第１層目の配線Ｍ１によりビット線ＢＬが形成されている。

【００８１】

このように、本実施の形態５によれば、第１層目の配線Ｍ１によりビット線ＢＬを形成することができるので、前述した実施の形態１よりも配線層を１層減らすことができて、不揮発性メモリセルの製造ＴＡＴを短縮することができる。

【００８２】

（実施の形態６）

本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの等価回路図を図３１（ａ）および（ｂ）に示す。図３１（ａ）はメモリセルアレイの全体の等価回路図、図３１（ｂ）はメモリセルアレイの部分的な等価回路図である。ここでは、ソースを共有する２つのメモリセルＭ００，Ｍ１０を例に挙げてメモリアレイ構成の詳細を説明するが、これら以外のソースを共有する２つのメモリセルについても同様である。

【００８３】

本実施の形態６によるメモリアレイ構成では、ソース線ＳＬ０を共有し、対称の位置にある２つのメモリセルＭ００およびメモリセルＭ１０に対して別個のワード線ＷＬ０およびワード線ＷＬ１をそれぞれ接続する。すなわち、メモリセルＭ００のゲートはワード線ＷＬ０に接続され、メモリセルＭ１０のゲートはワード線ＷＬ１に接続されて、１つのメモリセルＭ００（またはメモリセルＭ１０）が占有する領域（図３１（ｂ）中、点線で囲んだ１つの領域）のチャネル長方向の幅に対して１本のメタル配線（ワード線ＷＬ０またはワード線ＷＬ１）が配置される。

【００８４】

これに対して、２つのメモリセルＭ００およびメモリセルＭ１０においてビット線ＢＬ０を共有することにより、１つのメモリセルＭ００（またはメモリセルＭ１０）が占有する領域のチャネル幅方向の幅に対して１本のメタル配線（ビット線ＢＬ０）が配置されるので、チャネル幅方向の幅はメタル配線の最小ピッチとすることができる。

【００８５】

次に、本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの詳細な構造を図３２～図３４を用いて説明する。図３２および図３３はメモリセルアレイの一部の要部平面図（図３２は基板からプラグ電極までの各層を重ねた要部平面図、図３３は図３２と同じ平面領域であって、図３２よりも上層のプラグ電極から第２層目の配線までの各層を重ねた要部平面図）、図３４はメモリセルアレイの一部の要部断面図である。

【００８６】

図３２～図３４に示すように、前述した実施の形態１において説明したメモリセルＭＣと同様に、各メモリセルＭ００，Ｍ１０は、記憶素子ＭＥとｎＭＩＳからなるアクセストランジスタＮＴｒとにより構成されている。なお、記憶素子ＭＥおよびアクセストランジスタＮＴｒは、それぞれ前述した実施の形態１において説明したメモリセルＭＣを構成する記憶素子ＭＥおよびアクセストランジスタＡＴｒと同様であるため、ここでの説明は省略する。

【００８７】

隣接する２つのアクセストランジスタＮＴｒは、それぞれのソース領域３０Ｓおよびドレイン領域３０Ｄを有しているが、ソース領域３０Ｓ（ソース線ＳＬ０）を共有している。アクセストランジスタＮＴｒは、層間絶縁膜１３により覆われており、この層間絶縁膜

１３を介して、アクセストランジスタＮＴｒの上方に記憶素子ＭＥが配置され、アクセストランジスタＮＴｒと記憶素子ＭＥとが直列に接続されている。すなわち、層間絶縁膜１３にはアクセストランジスタＮＴｒのドレイン領域３０Ｄ上のシリサイド層１１に達する接続孔３が形成されており、この接続孔３の内部に埋め込まれたプラグ電極４を介して、第２方向に延在するローカル配線ＬＭがドレイン領域３０Ｄに電気的に接続されている。このローカル配線ＬＭには、ゲート電極１０の上方において１００ｎｍ以下の幅のスリット１４が設けられており、このスリット１４を跨いで半導体基板１の主面に沿うように記憶素子ＭＥが形成されている。ローカル配線ＬＭと記憶素子ＭＥとの間にはバリア層５が形成されている。記憶素子ＭＥには、金属酸化膜（ＲＲＡＭ）または相変化膜（ＰＲＡＭ）を採用することができるが、例えば金属酸化膜（ＲＲＡＭ）を採用した場合は、記憶素子ＭＥは、例えばＮｉＯ、ローカル配線ＬＭは、例えば厚さが１００ｎｍ以下のＮｉ、記憶素子ＭＥとローカル配線ＬＭとの間に形成されるバリア層５は、例えば厚さが２～３ｎｍのＴａＯを例示することができる。

【００８８】

隣接する２つのアクセストランジスタＮＴｒのそれぞれの記憶素子ＭＥに共通するローカル配線ＬＭには、第１層目の配線Ｍ１が接続されており、さらに、この第１層目の配線Ｍ１に接続するプラグ電極１６を介して第２方向に延在する第２層目の配線Ｍ２からなるビット線ＢＬが接続されている。第１層目の配線Ｍ１、プラグ電極１６および第２層目の配線Ｍ２は、例えばシングルダマシン法により形成される銅からなる。

【００８９】

図３２および図３３において１点破線で囲まれた領域が１ビット（１Ｃｅｌｌ）を示している。設計ルールで決められた最小加工寸法をＦとすると、前述したように、隣接するアクセストランジスタＮＴｒのソース領域３０Ｓを共有とし、またチャネル幅方向の幅はメタル配線の最小ピッチとすることができることから、ワード線ＷＬの延在方向（第１方向）であってチャネル幅方向に沿ったピッチは２Ｆ、ビット線ＢＬの延在方向（第２方向）であってソース領域３０Ｓとドレイン領域３０Ｄとの間のチャネル長方向に沿ったピッチは３Ｆとなり、単位メモリセル面積は６F^2となる。

【００９０】

次に、本実施の形態６による不揮発性メモリセルのデータ消去動作、データ書込み動作およびデータ読み出し動作の一例を図３５（ａ）、（ｂ）および（ｃ）に示すメモリセルの等価回路図を用いて説明する。ここでは、ＰＲＡＭを採用した不揮発性メモリセルを例示する。

【００９１】

図３５（ａ）は、データ消去時の電圧設定を示すメモリセルの等価回路図である。アクセストランジスタＮＴｒのゲート（ワード線ＷＬ）に１．５Ｖを印加し、ビット線ＢＬに約０．８Ｖを印加することにより、アクセストランジスタＮＴｒに接続された記憶素子ＭＥに約１００μＡの電流が流れて、記憶素子ＭＥが約２～３μｓの速度で結晶化してデータが消去される。

【００９２】

図３５（ｂ）は、データ書込み時の電圧設定を示すメモリセルの等価回路図である。アクセストランジスタＮＴｒのゲート（ワード線ＷＬ）に１．５Ｖを印加し、ビット線ＢＬに約１．２Ｖを印加することにより、アクセストランジスタＮＴｒに接続された記憶素子ＭＥに約２００μＡの電流が流れて、記憶素子ＭＥが数１０ｎｓの速度で非晶質化してデータが書き込まれる。

【００９３】

図３５（ｃ）は、データ読み出し時の電圧設定を示すメモリセルの等価回路図である。アクセストランジスタＮＴｒのゲート（ワード線ＷＬ）に１．５Ｖを印加し、ビット線ＢＬに０．２～０．５Ｖを印加し、微少電流をこの記憶素子ＭＥに流すことで抵抗値（高抵抗または低抵抗）により“１”／“０”を、例えば約２～３ｎｓで判断する。

【００９４】

次に、アクセストランジスタの構造は前述した図３４に示したアクセストランジスタの構造と同様であるが、記憶素子の構造が前述した図３４に示した記憶素子の構造と異なる２つのメモリセル構造について図３６および図３７を用いて説明する。図３６および図３７はメモリセルアレイの一部の要部断面図である。

【００９５】

図３６に示す本実施の形態６による他のメモリセルは、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いており、さらに、記憶素子ＭＥと第１層目の配線Ｍ１との間には、スパッタリング法、ＣＶＤ法またはＡＬＤ法によりバリア層５が形成されている。例えばＲＲＡＭを採用する場合、記憶素子ＭＥは、例えばＮｉＯ、第１層目の配線Ｍ１と記憶素子ＭＥとの間に形成されるバリア層５は、例えば厚さが２〜３ｎｍのＴａＯを例示することができる。

【００９６】

また、図３７に示す本実施の形態６による他のメモリセルは、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いており、さらに、記憶素子ＭＥと第１層目の配線Ｍ１との間には、第１層目の配線Ｍ１の構成素材を酸化させることにより得られるバリア層２８が形成されている。例えばＲＲＡＭを採用する場合、記憶素子ＭＥは、例えばＮｉＯ、第１層目の配線Ｍ１と記憶素子ＭＥとの間に形成されるバリア層２８は、例えば厚さが２〜３ｎｍのＣｕＯを例示することができる。

【００９７】

このように、本実施の形態６によれば、ＮＯＲ型不揮発性メモリにおいて、単位メモリセル面積を６Ｆ^{2}とすることができるので、メモリセルアレイ領域の面積を縮小することができる。

【００９８】

また、記憶素子ＭＥに金属酸化膜または相変化膜を用いることにより、メモリセルのデータ書込み動作、データ読み出し動作、データ消去動作等において、メモリセルに印加する電圧を１．５Ｖ以下とすることができる。また、金属酸化膜または相変化膜からなる記憶素子ＭＥを細く加工したことにより電流集中が可能となり、上記１．５Ｖ以下の印加電圧においてもナノ秒単位の動作速度を得ることができる。

【００９９】

また、メモリセルを構成する記憶素子ＭＥを半導体基板１の主面に沿うように形成することによって、メモリセルアレイ領域の凹凸が緩和されるので平坦化プロセスが容易となり、さらに記憶素子ＭＥに金属酸化膜または相変化膜を用いても、その微細加工が容易となるので、メモリセルアレイの高密度化を図ることができ、また製造歩留まりを向上させることができる。

【０１００】

また、記憶素子ＭＥの両端に接続される電極に第１層目の配線Ｍ１を用いた場合はローカル配線ＬＭが不要となり、ローカル配線ＬＭの形成に係る製造工程を減らすことができるので、不揮発性メモリセルの製造ＴＡＴを短縮することができる。

【０１０１】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【０１０２】

本発明は、コンピュータ、携帯端末またはデジタル家電などに用いられる不揮発性メモリに適用することができる。

【図面の簡単な説明】

【０１０３】

【図１】本実施の形態１による不揮発性メモリセルの第１の記憶素子を説明する図であり、（ａ）は要部平面図、（ｂ）は（ａ）のＡ－Ａ′線における要部断面図である。

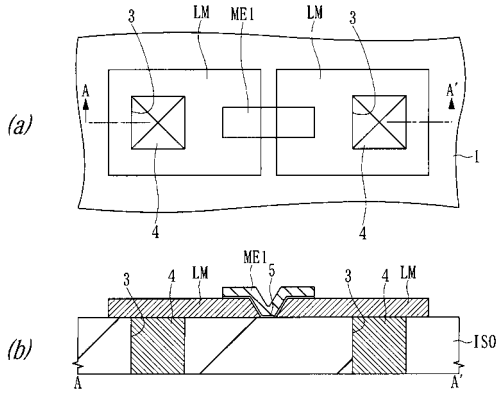
【図２】本実施の形態１による不揮発性メモリセルの第２の記憶素子を示す要部平面図である。
【図３】本実施の形態１による不揮発性メモリセルの第３の記憶素子を示す要部平面図である。
【図４】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す基本等価回路図である。
【図５】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す断面模式図である。
【図６】本実施の形態１による不揮発性メモリセルの等価回路図である。
【図７】電界効果トランジスタのドレイン側に記憶素子を接続した基本回路図である。
【図８】電界効果トランジスタのソース側に記憶素子を接続した基本回路図である。
【図９】本実施の形態１による不揮発性メモリセルのデータ書込み動作を説明するメモリセルアレイの等価回路図である。
【図１０】本実施の形態１による不揮発性メモリセルのデータ消去動作を説明するメモリセルアレイの等価回路図である。
【図１１】本実施の形態１による不揮発性メモリセルのデータ読み出し動作を説明するメモリセルアレイの等価回路図である。
【図１２】本実施の形態１による不揮発性メモリセルのスタンバイ動作を説明するメモリセルアレイの等価回路図である。
【図１３】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部平面図（基板からプラグ電極までの各層を重ねた要部平面図）である。
【図１４】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部平面図（プラグ電極から第１層配線までの各層を重ねた要部平面図）である。
【図１５】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部平面図（第１層配線から第２層配線までの各層を重ねた要部平面図）である。
【図１６】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部断面図である。
【図１７】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの製造方法を説明するアクセストランジスタおよび選択トランジスタの要部断面図である。
【図１８】図１７に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図１９】図１８に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２０】図１９に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２１】図２０に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２２】図２１に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２３】図２２に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２４】図２３に続く、メモリセルアレイの製造工程中の図１７と同じ箇所の要部断面図である。
【図２５】本実施の形態１による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの他の記憶素子を示す断面模式図である。
【図２６】本実施の形態２による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部断面図である。
【図２７】本実施の形態２による不揮発性メモリセルを構成する他のＮＡＮＤ型セルアレ

イの一部を示す要部断面図である。
【図２８】本実施の形態３による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す基本回路図である。
【図２９】本実施の形態４による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイの一部を示す要部平面図（基板からプラグ電極までの各層を重ねた要部平面図）である。
【図３０】本実施の形態５による不揮発性メモリセルを構成するＮＡＮＤ型セルアレイのメモリセルを示す要部断面図である。
【図３１】本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイを説明する図であり、（ａ）はメモリセルアレイの全体の等価回路図、（ｂ）はメモリセルアレイの部分的な等価回路図である。
【図３２】本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの一部を示す要部平面図（基板からプラグ電極までの各層を重ねた要部平面図）である。
【図３３】本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの一部を示す要部平面図（プラグ電極から第２層目の配線までの各層を重ねた要部平面図）である。
【図３４】本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの一部を示す要部断面図である。
【図３５】本実施の形態６による不揮発性メモリセルを構成するＮＯＲ型セルアレイの各動作を説明する図であり、（ａ）はデータ消去動作を説明するメモリセルの等価回路図、（ｂ）はデータ書込み動作を説明するメモリセルの等価回路図および（ｃ）はデータ読み出し動作を説明するメモリセルの等価回路図である。
【図３６】本実施の形態６による不揮発性メモリセルを構成する他のＮＯＲ型セルアレイの一部を示す要部断面図である。
【図３７】本実施の形態６による不揮発性メモリセルを構成する他のＮＯＲ型セルアレイの一部を示す要部断面図である。
【符号の説明】
【０１０４】
１　半導体基板
３　接続孔
４　プラグ電極
５　バリア層
６　ソース・ドレイン領域
７，８　半導体領域
９　ゲート絶縁膜
１０　ゲート電極
１１　シリサイド層
１２　サイドウォール
１３　層間絶縁膜
１４　スリット
１５Ｄ　ドレイン領域
１５Ｓ　ソース領域
１６　プラグ電極
１９ａ　ストッパ絶縁膜
１９ｂ　配線形成用絶縁膜
２０　配線溝
２１ａ　バリアメタル膜
２１ｂ　Ｃｕめっき膜
２２ａ　ストッパ絶縁膜
２２ｂ　ビア形成用絶縁膜
２３　ビア

２４　プラグ電極
２５ａ　バリアメタル膜
２５ｂ　Ｃｕめっき膜
２７　絶縁膜
２８　バリア層
２９　半導体領域
３０Ｄ　ドレイン領域
３０Ｓ　ソース領域
３１　絶縁膜
３２　接続孔
ＡＴｒ　アクセストランジスタ
ＡＲ　活性領域
ＢＬ，ＢＬ０，ＢＬ１，ＢＬ（ｊ－１）　ビット線
ＢＳ　ブロック選択線
Ｄ　ドレイン
Ｇ　ゲート
ＩＳＯ　絶縁膜
ＬＭ　ローカル配線
Ｍ１，Ｍ２　配線
Ｍ００，Ｍ１０　メモリセル
ＭＢ　メモリセルブロック
ＭＣ　メモリセル
ＭＥ，ＭＥ１，ＭＥ２，ＭＥ３　記憶素子
ＮＴｒ　アクセストランジスタ
ＮＷｍ　ｎウェル
ＰＷｍ　ｐウェル
ＲＰ１，ＲＰ２，ＲＰ３　レジストパターン
Ｓ　ソース
ＳＧＩ　素子分離部
ＳＬ，ＳＬ０，ＳＬ（ｋ－１）　ソース線
ＳＴｒ，ＳＴｒ０，ＳＴｒ１　選択トランジスタ
ＷＬ０，ＷＬ１，ＷＬ２，ＷＬ３，ＷＬ４，ＷＬ５，ＷＬ６，ＷＬ７　ワード線
ＷＬ（ｉ－１），ＷＬ（ｎ－１）　ワード線

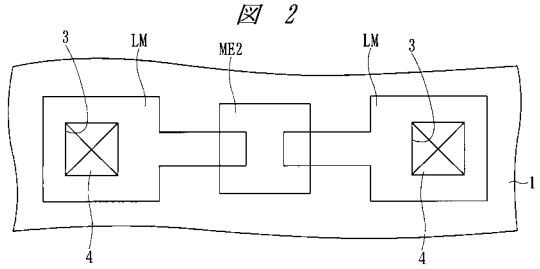
【図１】

図 1



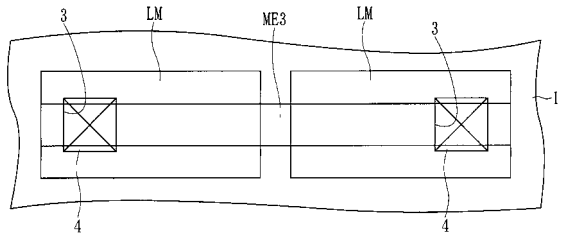
【図２】

図 2



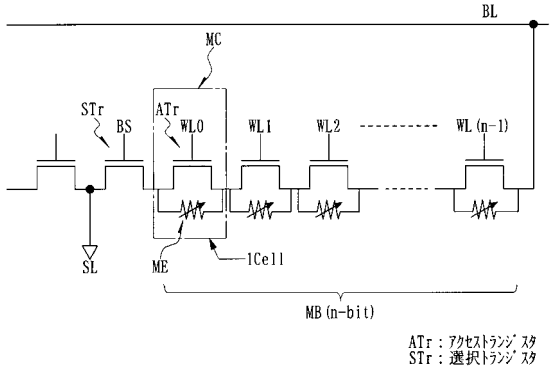
【図３】

図 3



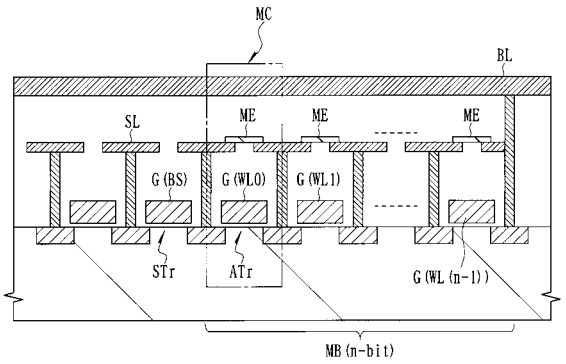
【図４】

図 4



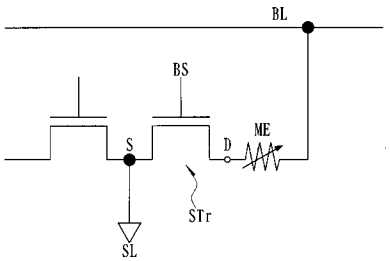
【図５】

図 5



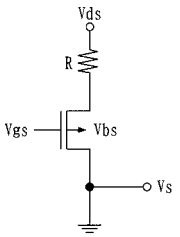
【図６】

図 6



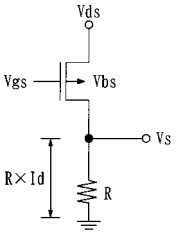
【図７】

図 7



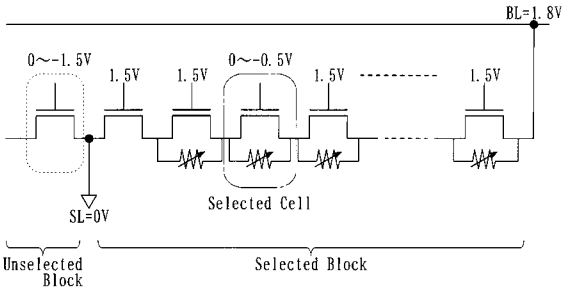
【図８】

図 8



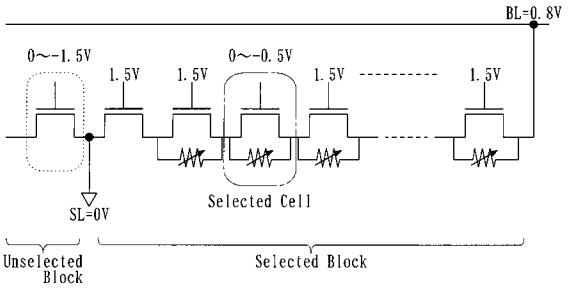
【図９】

図 9



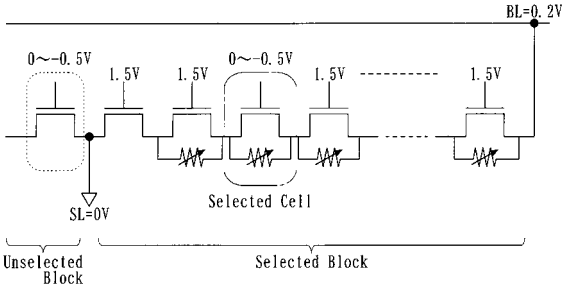
【図１０】

図 10



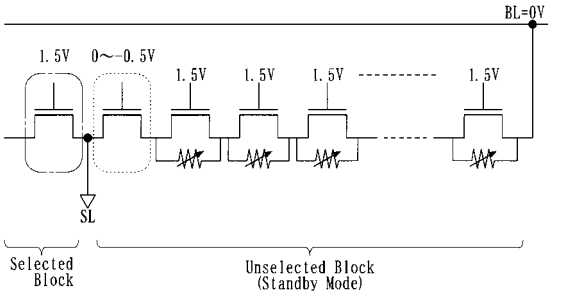
【図１１】

図 11



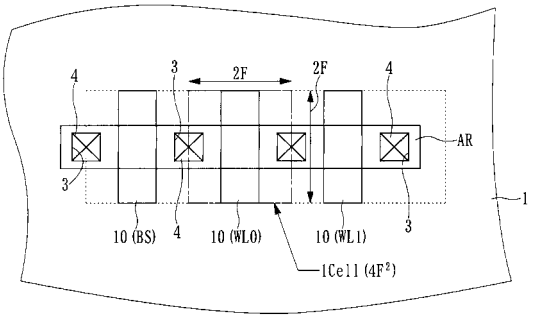
【図１２】

図 12



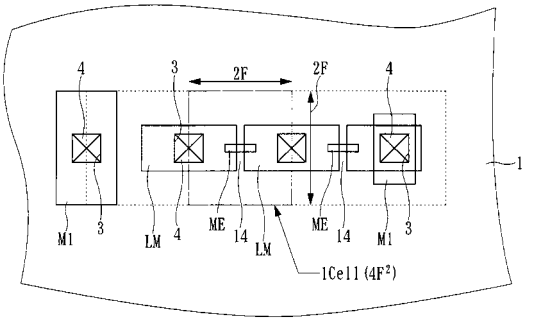
【図１３】

図 13



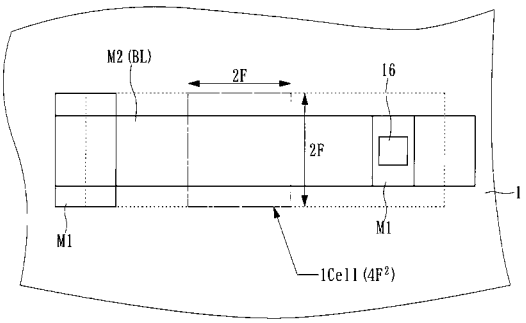
【図１４】

図 14



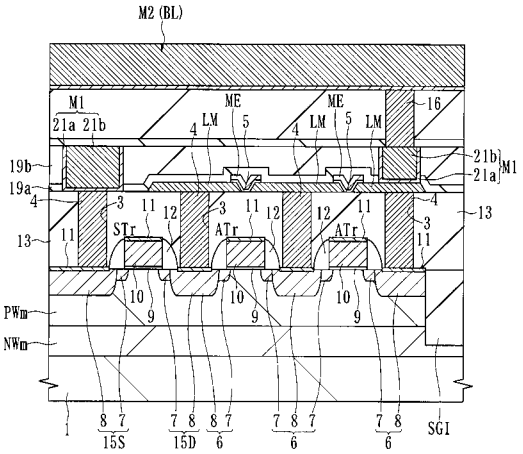
【図１５】

図 15



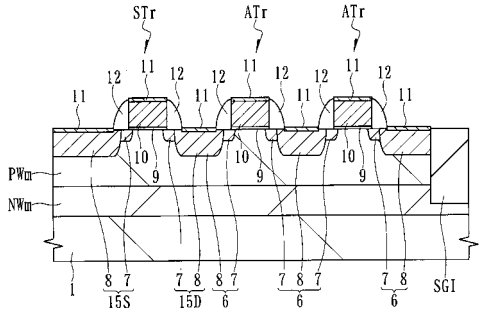
【図１６】

図 16



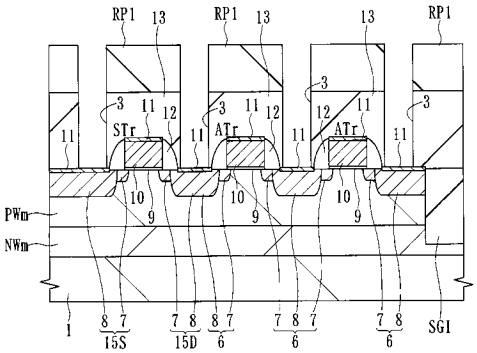
【図１７】

図 17



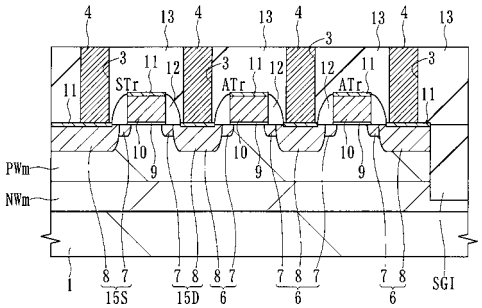
【図１８】

図 18



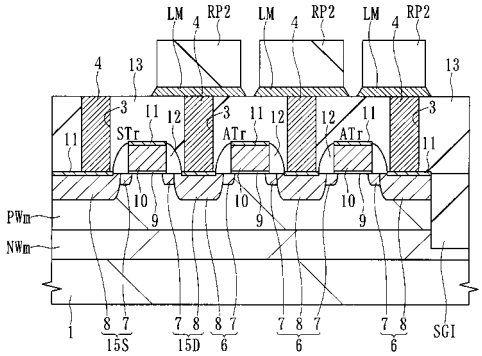
【図１９】

図 19



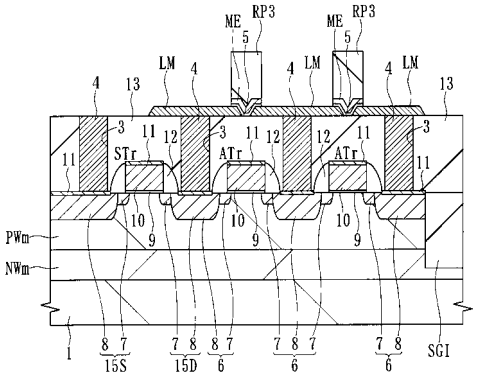
【図２０】

図 20



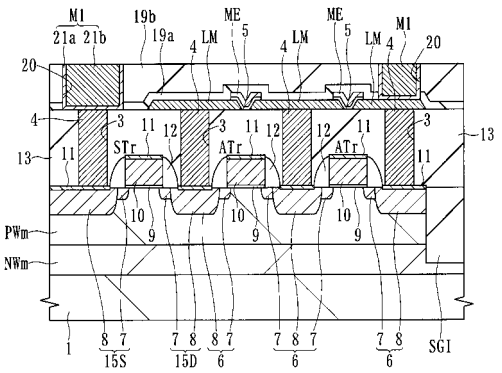
【図２１】

図 21



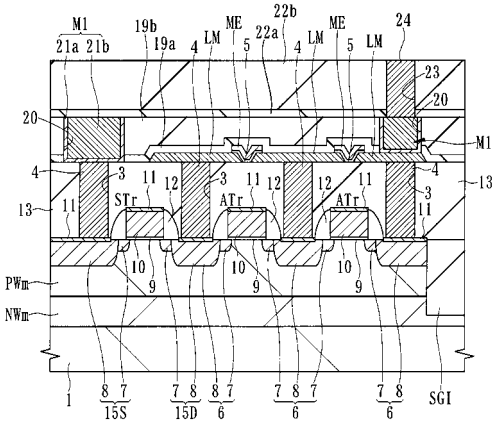
【図２２】

図 22



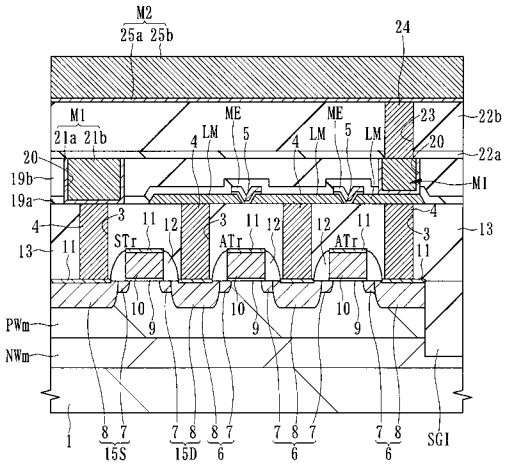
【図２３】

図 23



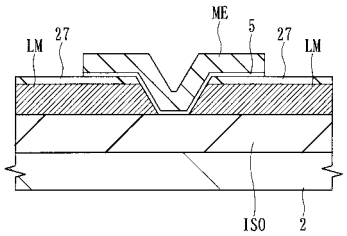
【図２４】

図 24



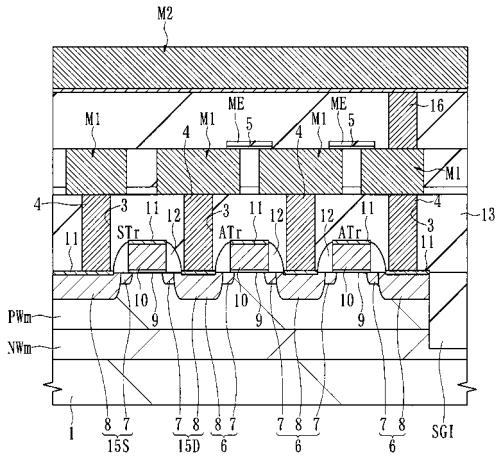
【図２５】

図 25



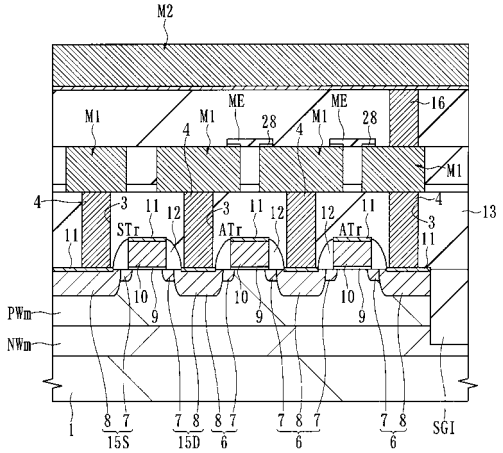
【図２６】

図 26



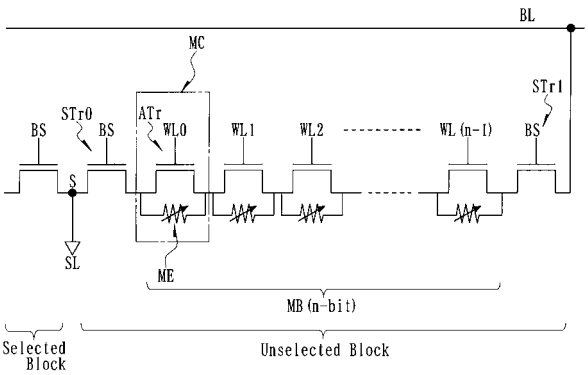
【図２７】

図 27



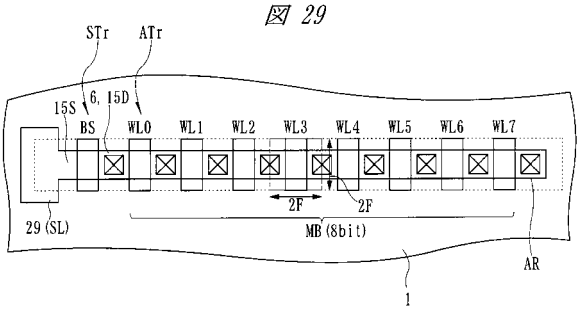
【図２８】

図 28



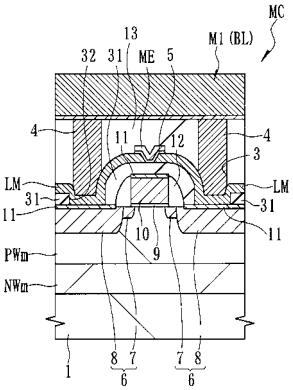
【図２９】

図 29



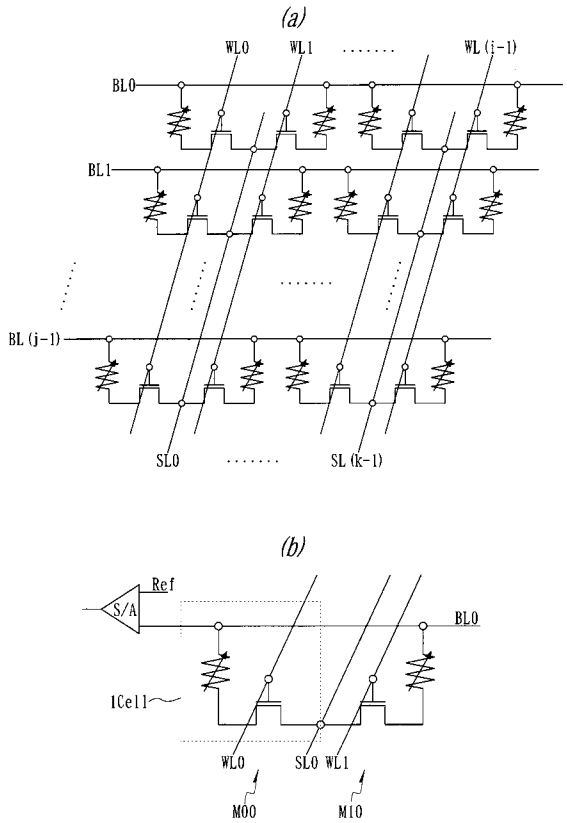
【図３０】

図 30



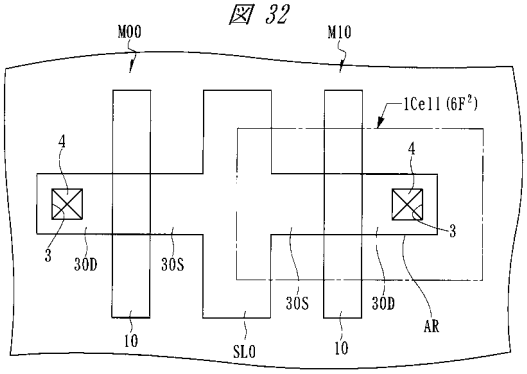
【図３１】

図 31



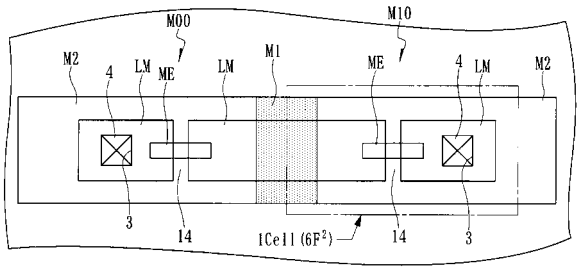
【図３２】

図 32



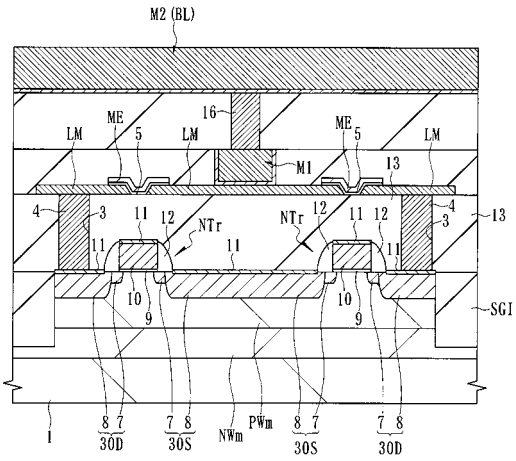
【図３３】

図 33



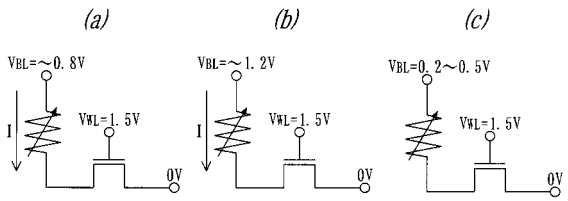
【図３４】

図 34



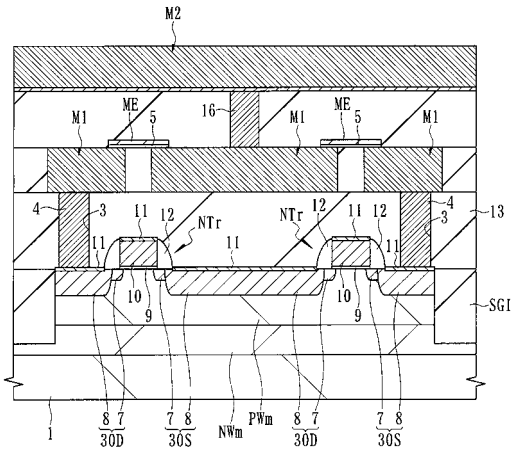
【図３５】

図 35



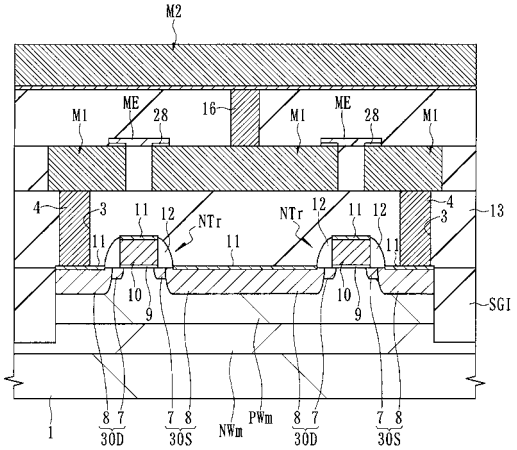
【図３６】

図 36



【図３７】

図 37


M2
M1
ME
28
16
M1
ME
28
M1
4
3
11
12
NTr
11
NTr
12
11
12
4
3
13
11
11
10
9
10
9
SGI
1
8 7
30D
7 8
30S
NWm
PWm
8 7
30D
7 8
30S

フロントページの続き

(72)発明者　竹内　隆
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　武田　康裕
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　前川　径一
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　長谷川　拓実
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　柳田　博史
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内
(72)発明者　岡西　忍
東京都千代田区大手町二丁目６番２号　株式会社ルネサステクノロジ内

Ｆターム(参考) 5F083 FZ10 GA09 HA02 JA35 JA36 JA37 JA39 JA40 JA53 JA60
MA06 MA19 MA20 NA01 PR21 PR39 PR40