

發明專利說明書

中文說明書替換本(97年9月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094133560

※ 申請日期：94.09.27

※IPC 分類：H03K17/687(2006.01)

一、發明名稱：(中文/英文)

高頻積體電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司
SONY CORPORATION

代表人：(中文/英文)(簽章)

中鉢 良治
CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號
7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

小浜 一正
KOHAMA, KAZUMASA

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004 年 10 月 13 日；特願 2004-298955

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於 MMIC (Monolith Microwave Integrated Circuit, 單晶微波積體電路) 之隨附靜電保護元件之高頻積體電路, 更詳細而言, 係關於於高頻 MMIC 之輸入或輸出部設置靜電保護元件, 以實施靜電放電 (ESD: Electric Static Discharge, 除靜電) 保護。

【先前技術】

於行動電話等中, 使用 800 MHz 至 2.3 GHz 頻帶之高頻信號進行通信。由於該頻率較高, 故於選定使用放大發送信號功率之功率放大器 (PA)、放大接收信號之低雜訊放大器 (LNA) 以及信號切換開關 (SW) 等裝置時, 重視高頻特性, 使用 GaAs 等化合物半導體替代通常使用之 Si 半導體之情形較多。

使用 GaAs 等化合物半導體之高頻積體電路, 一般而言, 具有優良之高頻特性, 但是 ESD (靜電放電) 極弱之情形較多。其原因之一在於, 其中所使用之各裝置本身, 為提高高頻特性, ESD 等之雜訊極弱。又, 於使用保護元件之情形下, 常因操作頻率較高, 無法避免寄生電容造成之惡劣影響, 故導致無法獲取充分對策。

圖 4A 表示隨附先前之 ESD 保護元件之 ESD 保護電路 40 之電路構成例。於 I/O (輸出入) 端子 42 與 GNG (接地) 之間, 連接有 ESD 對策用二極體 43, 若係正 DC (直流) 偏壓, 或者具有該二極體 43 之正向閾值電壓 (V_f) 以下之 RF 振幅的 RF 信

號，則該二極體43表現為較高阻抗，其不影響電路特性。另一方面，若將如ESD之較大電壓振幅之雜訊施加於I/O(輸出入)端子42，則超過保護二極體43之反向崩潰電壓(V_b)，由此雜訊被引入GND，故可避免對電路內部(高頻電路41)之損壞。

圖4B表示二極體之電壓－電流特性。橫軸表示施加於二極體43之電壓，縱軸表示流經該二極體43之電流值。自該圖顯然可知，於施加正向電壓時，電流自 V_f (正方向值閾值電壓)流動，又於施加反向電壓時，直至 V_b (崩潰電壓)為止幾乎無電流流動。然而，施加反向電壓超過 V_b 時，電流急劇流動。其結果為二極體43之電阻($\Delta V/\Delta I$)變小。

於Si基板上設入保護二極體時，二極體之正極或負極可於低電阻之基板主體側取出。另一方面，於GaAs基板上設入如圖4A之二極體43時，因GaAs基板本身為高電阻，必須於基板表面取出二極體之正極與負極之雙方，故構造變得複雜，且難以發揮作為保護元件之能力。再者，為構成二極體，使用PN接面(接合)、蕭基接面等，但該接面基本上並非耐ESD等，故難以獲得高性能ESD元件。

此外，該接面部分具有較大寄生電容，故易給高頻特性帶來惡劣影響。

關於不具有保護元件之其他先前例之高頻積體電路50，於圖5所示。圖5中，於高頻電路51之輸入端子I/O 52連接有DFET1C (Depletion型場效電晶體；空乏型場效電晶體)53之汲極，其源極連接於電容器C50 (55)之一方端子，電容器

C50之他方端子連接於GND(接地)。又，閘極經由電阻54連接於控制端子(CTL3)。

此處，省略構成DFET1C (53)之直流偏壓之電阻，僅圖示高頻(交流)信號之相關電路。

自CTL3經由電阻54，將基準電壓施加於DFET1C (53)之閘極，使其執行打開/關閉動作，以作為開關而發揮作用。

將特定電壓施加於該CTL3端子，使DFET1C (53)為打開狀態時，即使自I/O輸入端子52輸入高頻信號，因其經由DFET1C之汲極－源極與電容器C50流動，故於高頻電路51中未輸入高頻信號。

其次，將DFET1C設為關閉狀態，將輸入信號供給高頻電路51。於此狀態下，例如於I/O輸入端子52施加高壓雜訊或者高壓脈衝，因D場效電晶體(DFET1C) 53通常為關閉狀態，故DFET1C之輸出阻抗較高，無法使脈衝電流急劇流動於電容器C50，而是被輸入高頻電路51之輸入或輸出，其結果破壞高頻電路51之內部元件。

下述例示，於高頻電路61之輸入端子或輸出端子設置保護元件，用以改善圖5電路之例。圖6表示圖5所示之高頻積體電路50添加保護二極體之其他先前例。於圖6中，於高頻電路61之輸入端子I/O 62連接有D場效電晶體(DFET1D；空乏型場效電晶體)63之汲極，其源極連接於電容器C60 (67)之一方端子，電容器C60之他方端子連接於GND。源極再連接於二極體65之陰極，陽極連接於二極體66之陽極。二極體66之陰極連接於GND。又D場效電晶體63之閘極經由電阻

64連接於控制器5 (CTL5)。

將基準電壓經由電阻64，自CTL5施加於D場效電晶體63之閘極。

於D場效電晶體63之源極與GND之間設有如下保護元件：使用2個二極體65、66，該二極體之陽極共同連接，於兩端配置陰極，並將一方之陰極連接於D場效電晶體1D63之源極，將他方之陰極連接於GND。該保護元件之電氣輸出入特性為：正向及反向輸入電壓小於電壓 V_b+V_f 之絕對值時，電流不流動，成為高電阻，而大於 V_b+V_f 之絕對值時，電流急劇流動，成為低電阻。

當輸入來自輸出入端子I/O (62)之高壓雜訊或者高壓脈衝時，因D場效電晶體1D63處於浮動狀態，故汲極－源極之間成為導通狀態。當所輸入之電壓高於二極體65、66合計之耐壓時，如上所述，二極體65、66產生崩潰，其合成電阻值自高阻抗變為低阻抗。其結果，經由形成低電阻電流通路之二極體65、66而對GND放電，故雜訊或者高壓脈衝不會施加於高頻電路61。

然而，於該隨附保護二極體之高頻積體電路之例中，與圖4同樣地，於GaAs基板上設入二極體65、66時，因GaAs基板本身為高電阻，必須於基板表面取出二極體之正極與負極之兩方，故構造變得複雜，又，亦難以發揮作為保護元件之能力。再者，為構成二極體，使用PN接面、蕭基接面等，但該接面基本上並非耐ESD等，故難以獲得高性能ESD元件。

再者，該接面部分具有較大寄生電容，故易給高頻特性帶來惡劣影響。

【專利文獻1】特開平6-13862號公報

【專利文獻2】特表2000-510653號公報

[發明所欲解決之問題]

如上所述，一般地，GaAs高頻積體電路於ESD方面較弱，其對策亦較為困難。另一方面，以攜帶電話為代表之消費用途中使用GaAs高頻積體電路之情形亦增多，業者期望實現一種GaAs高頻積體電路，其當然應具有優良之高頻性能，並且ESD耐壓亦較大。

本發明係鑒於上述課題開發而成者，其目的在於提供一種隨附保護元件之高頻電路，其使用ESD保護能力較高之元件，以使優良之高頻特性與較高之ESD耐壓並存。

【發明內容】

本發明具有：高頻電路，其具有輸出入端子(I/O (12))；以及增強型場效電晶體，其於化合物半導體基板上，至少一部分與上述高頻電路形成為一體，輸出入端子之一方端子(汲極)連接於上述高頻電路之輸出入端子，他方端子(源極)連接於第一基準電位(電源或接地)，閘極經由電阻連接於第二基準電位(接地)。

本發明具有：高頻電路，其具有輸出入端子；空乏型場效電晶體，其於化合物半導體基板上，至少一部分與上述高頻電路形成為一體，第一輸出入端子之一方端子連接於上述輸出入端子，閘極經由第一電阻連接於第二基準電

位；增強型場效電晶體，其形成於化合物半導體基板上，設置於上述高頻電路，第二輸出入端子之一方端子連接於上述空乏型場效電晶體之上述第一輸出入端子之他方端子，第二輸出入端子之他方端子連接於第一基準電位，閘極經由第二電阻連接於上述第一基準電位；以及第一電容器，其連接上述增強型場效電晶體之第二輸入端子之一方端子與上述第一基準電位之間。本發明具有：外部端子；具有輸出入端子之高頻電路；第一電容器，其連接上述外部端子與上述高頻電路之輸出入端子之間；以及增強型場效電晶體，其形成於化合物半導體基板上，設置於上述高頻電路，輸出入端子之一方端子連接於上述外部端子，他方端子連接於上述高頻電路之輸出入端子之間，閘極經由電阻連接於第一基準電位。

本發明於高頻電路之輸出入端子具有增強型場效電晶體(場效電晶體)，當自外部輸入雜訊或者高壓脈衝時，使增強型場效電晶體執行崩潰動作，降低其阻抗，藉此使雜訊或者高壓脈衝放電。

本發明具有：化合物半導體基板；空乏型場效電晶體，其製作於上述化合物半導體基板上；高頻電路，其製作於上述化合物半導體基板上，一部分具有上述空乏型場效電晶體；輸出入端子；增強型場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路，而將未連接於上述高頻電路之源極或汲極連接於上述輸出入端子；第一電位，其低於上述高頻電路與上述增強型場

效電晶體之間之電位，以及電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與上述第一電位之間。

上述空乏型場效電晶體亦可具有複數個串聯之空乏型場效電晶體而成。

本發明具有：化合物半導體基板；場效電晶體，其製作於上述化合物半導體基板上；高頻電路，其製作於上述化合物半導體基板上，一部分具有上述場效電晶體；增強型場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路，而將未連接於上述高頻電路之源極或汲極接地；以及電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與接地之間，且進一步具有電容器，其製作於上述化合物半導體基板上，並聯於上述場效電晶體之汲極與源極之間。

上述場效電晶體的部分亦可具有複數個串聯之場效電晶體而成。

本發明具有：化合物半導體基板；第一場效電晶體，其製作於上述化合物半導體基板上；高頻電路，其製作於上述化合物半導體基板上，一部分具有上述第一場效電晶體；開關用第二場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路，第一控制信號，其用以控制上述第二場效電晶體，第一電阻，其一方連接於上述第二場效電晶體之閘極，對他方施加上述第一控制信號；增強型場效電晶體，其將汲極或源極連接於上

述第二場效電晶體之未連接於上述高頻電路之汲極或源極，將未連接於上述第二場效電晶體之側之汲極或源極接地；以及第二電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與上述接地之間；上述增強型場效電晶體部分可具有複數個串聯之增強型場效電晶體。[發明之效果]

本發明之隨附靜電保護元件之高頻電路，於將E場效電晶體(增強型場效電晶體)作為保護元件而使用時，其構造與高頻電路中使用之D場效電晶體(空乏型場效電晶體)或者E場效電晶體相同，或大致相同，故於GaAs上設入製程時，可添加最小限度之步驟而製作。又，如同二極體型保護元件，ESD等雜訊未通過接面，故保護元件本身之能力與耐壓優良。再者，原本其與高頻電路內所使用之場效電晶體係同樣之構造，故寄生電容較小，給本來電路所帶來之惡劣影響亦較小。

【實施方式】

圖1表示隨附靜電保護元件之高頻積體電路(電路)之實施形態例。於圖1A中，輸出入端子I/O 12連接於高頻電路11，且連接於E場效電晶體(增強型場效電晶體)1 (13)之汲極。源極連接於GND(接地)，且閘極經由電阻R1 (14)連接於GND。

該E場效電晶體(EFET1) 13，其與高頻電路11之元件，例如：接收信號用RF放大器之場效電晶體；MIX等；或者發送信號用場效電晶體等形成於同一基板上。

圖1B表示E場效電晶體13之閘極為0V時，源極接地之E場

效電晶體之電氣特性。橫軸表示 V_g (閘極－源極間之電壓)，縱軸表示汲極電流 I_{ds} 。當 V_g 為 V_p (夾止電壓)以下時，電流不流動，其為高阻抗，當 V_g 為 V_p 以上時，汲極電流 I_{ds} 開始流動，結果成為低阻抗。

另一方面，於 V_{ds} 施加負電壓，小於崩潰電壓(V_b)時，汲極電流不流動，其為高阻抗狀態。然而，當負電壓大於 V_b 之絕對值時，汲極電流 I_{ds} 開始急劇流動，其成為低阻抗。

E場效電晶體13係增強(Enhancement，增強)型，其閘極經由電阻 R_1 (14)偏壓於GND，故為關閉狀態。因此，於I/O端子12正偏壓時，或者輸入小振幅RF信號時，E場效電晶體1本身表現為高阻抗。

另一方面，當如同ESD之電壓振幅較大之雜訊等進入時，該雜訊位準超過E場效電晶體13之耐壓，E場效電晶體13成為低阻抗狀態，而使雜訊引入GND，故不會對高頻電路11內部造成破壞。於將E場效電晶體作為保護元件而使用時，該E場效電晶體13之構造，其與高頻電路11中所使用之D場效電晶體或者E場效電晶體相同，或大致相同，故於GaAs上設入製程中，可添加最小限度之步驟而製作。又，如同二極體型保護元件，ESD等雜訊未通過接面，故保護元件本身之能力與耐壓優良。再者，原本其與高頻電路內所使用之場效電晶體為同樣構造，故寄生電容較小，給本來電路所帶來之惡劣影響亦較小。

至此，對高頻電路11之輸入端子側加以說明，但亦同樣地適用於輸出端子側。再者，增強型場效電晶體或空乏型

場效電晶體可由MESFET、閘極接合型FET以及HEMT等而構成。

亦可使前述高頻積體電路進一步具備並聯連接於該E場效電晶體13的輸出入端子間之電容器。

亦可使E場效電晶體為藉由複數個E場效電晶體連接而成者。

圖2表示隨附靜電保護元件之高頻積體電路20之其他實施形態例。於圖2中，於高頻電路21之輸入端子I/O 22連接D場效電晶體(DFET1A；空乏型場效電晶體)23之汲極，其閘極連接於電阻24之一方端子，他方端子連接於控制端子(CTL1)。又，源極連接於E場效電晶體(EFET1A；增強場效電晶體)25之汲極，E場效電晶體之源極連接於GND，又閘極亦經由電阻R1 (26)連接於GND。E場效電晶體25之汲極連接於電容器C20之一方端子，他方端子連接於GND。

該E場效電晶體25與高頻電路21之元件、例如接收信號用RF放大器之場效電晶體、MIX等、或者發送信號用場效電晶體等形成於同一基板上。

此處，省略D場效電晶體23之DC偏壓，僅圖示高頻電路。

D場效電晶體23係藉由將控制信號施加於CTL1，而打開/關閉之信號切換用開關電晶體。又，藉由高頻旁路用C20(27)與E場效電晶體25，D場效電晶體23直流隔離GND電位，將D場效電晶體23設定為適當偏壓。

經由電阻R21將控制信號(電壓)供給D場效電晶體23之閘極時，D場效電晶體23成為ON動作狀態，自輸入端子I/O 22

所輸入之高頻信號，其通過D場效電晶體23之汲極－源極，並經由電容器C20 (27)而於接地流動。其結果，高頻輸入信號未輸入高頻電路21。即，作為開關用電體之D場效電晶體23打開時，該高頻積體電路20為關閉之狀態，高頻電路21中無信號輸入。

其次說明：開關用電晶體之D場效電晶體23於關閉狀態下，當高頻積體電路20為打開狀態時，將信號輸入高頻電路21，此時，自輸入端子I/O 22輸入高壓雜訊或高壓脈衝時之動作。

即，高頻電路21處於動作狀態時，自外部經由輸入端子I/O 22施加高壓雜訊或高壓脈衝，此情形下，於未自CTL1施加控制電壓之狀態時，D場效電晶體23之閘極成為浮動狀態，但將高壓施加於汲極之狀態時則導通，故高壓施加於E場效電晶體25。當該施加電壓為E場效電晶體25之耐壓以上時，即當為崩潰電壓以上時，汲極－源極間之電阻急劇減小，自輸入端子I/O 22輸入之高壓雜訊或高壓脈衝所產生之電荷(電流)，經由該E場效電晶體25而引入GND。

其結果，因高壓雜訊或高壓脈衝並未流動於高頻電路21，而是經由開關用電晶體之D場效電晶體23與靜電保護用電晶體之E場效電晶體25，而流動於GND。因此，設置於高頻電路21內之電晶體之主動元件或電容器等被動元件未遭破壞。

並且，自輸入端子I/O 22輸入通常之輸入信號時，D場效電晶體23為關閉狀態，且保護元件之E場效電晶體25亦為關

閉(未崩潰)狀態，故該等阻抗高於先前之保護二極體，因此於高頻電路21之輸入側不會使高頻特性劣化，而可維持更優良之頻率特性，其優於先前使用二極體作為保護元件之高頻積體電路。

至此，對高頻電路21之輸入端子側加以說明，但亦可同樣適用於輸出端子側。再者，增強型場效電晶體或空乏型場效電晶體，可以MESFET、閘極接合型FET、HEMT等而構成。

亦可使上述高頻積體電路進一步具有第二電容器，該第二電容器並聯於上述D場效電晶體或E場效電晶體之輸入端子之間。

亦可使上述E場效電晶體為藉以複數個E場效電晶體連接而成者。

圖3表示使用EFET1B (34)作為保護元件之高頻積體電路30之其他實施形態例。於圖3中，輸出入端子I/O 32連接於電容器C30 (33)之一方端子，該電容器C30 (33)之他方端子連接於高頻電路31之輸入或輸出端子。又，於輸出入端子I/O32連接有E場效電晶體(EFET1B) 34之源極(或汲極)，於電容器C30 (33)之他方之端子連接汲極(或源極)。此外閘極經由電阻R31 (35)連接於GND。

該E場效電晶體34與高頻電路31之元件、例如接收信號用RF放大器之場效電晶體、MIX等、或者發送信號用場效電晶體等形成於同一基板上。

連接於輸出入端子I/O 32與高頻電路31之輸出入之間的

電容器 C30 (33)之作用在於，例如隔離積體電路內部之高頻電路 31 與 I/O 端子 (32) 外之偏壓 (例如 I/O (32) 外側偏壓於 GND)。通常，GaAs 上所製作之電容耐 ESD 性較弱，於輸入 ESD 時，較多是該電容器 C30 (33) 先於內部而遭受破壞。另一方面，於該例中，將 E 場效電晶體 34 並聯於電容器 C30，藉由電阻 R31 (35) 將其閘極端子偏壓於 GND，故 E 場效電晶體 34 保持關閉狀態，高頻電路 (31) 側則可施加適當之偏壓。

於通常動作中，自輸入端子 I/O 32 輸入高頻信號時，該信號經由電容器 C30 (33) 而輸入高頻電路 31。作為該保護元件之 E 場效電晶體 34 於關閉時，輸出入阻抗較高，又寄生電容亦小，故高頻電路 31 輸入或輸出之高頻特性取決於電容器 C30 (33) 之電容值。

其次，當自 I/O 端子 32 輸入高壓雜訊或高壓脈衝，使施加於 E 場效電晶體 34 之電壓為崩潰電壓以上時，源極—汲極之間成為低阻抗，故高壓雜訊或高壓脈衝通過 E 場效電晶體 34 而不通過電容器 C30 (33)。

因此，可防止破壞電容器 C30 (33)。ESD，其於該電容器 C30 (33) 與 E 場效電晶體 34 之部分，一部分經反射，進而於高頻電路 (31) 內部採取對策等，可防止 ESD 破壞。

至此，對於高頻電路 31 之輸入端子側加以說明，但亦可同樣適用於輸出端子側。進而，增強型場效電晶體或空乏型場效電晶體可藉以 MESFET、閘極接合型 FET、HEMT 等構成。

此外，作為其他實施形態例，於圖 3 中，可於電容器 C30

(33)與高頻電路31之間，例如設置圖1或圖2所示之ESD保護電路，不僅可保護電容器C30(33)，更可保護上述高頻電路31。

亦可使上述高頻積體電路進一步具有第二電容器，該第二電容器並聯於上述E場效電晶體之輸出入端子之間。

亦可使上述E電晶體為藉由複數個E場效電晶體連接而成者。

以此，於圖1至圖3之實施形態例中，將用於ESD之保護元件，例如與高頻電路積體電路之一部分形成於同一GaAs基板上，減少GaAs高頻積體電路之製造過程中之添加步驟，並設置較高ESD保護能力，且非常簡單之E場效電晶體型保護元件，藉此可實現先前難以實現之優良高頻特性與較高ESD耐壓之並存。

表1表示ESD之測定結果。作為ESD評價方法，具有機械模式(Machine Model)與人體模式(Human Body Model)等。機械模式係由電子工業會標準EIA/JESD 22-A115-A等而將其標準化，並將帶有靜電之機械裝置接觸元件之引線端子等時產生之靜電應力模式化。

又，人體模式係由例如電子工業會標準EIA/JESD22-A114而將其標準化，將帶有靜電之人接觸元件之引線端子等時產生於元件之靜電應力模式化。

ESD評價裝置包含如下部分：充電電路，其串聯直流變壓電源與充電電阻；充電用電容器；切換開關，其設於充電電路與放電電路之間，並選擇其中任何一方；以及放電

電路，其蓄積於充電用電容器之電荷，經由開關而施加於放電用電阻與被測定元件(DUT)。

例如於人體模式之情形時，ESD評價裝置之充電電阻、放電用電阻與充電用電容器之值，分別規定為1 M Ω 、1.5 k Ω 、100 pF。

又，一般地，被測定元件於可裝卸地安裝於插口等狀態下而被測定。

評價方法，其將直流變壓電源設定為測定(充電)電壓，切換開關將其連接於充電電阻側，並對充電用電容器充電。其次，切換開關將其連接於放電電阻，將蓄積於充電用電容器之電荷經由放電用電阻施加於被測定元件。與此同時，檢查被測定元件之電氣特性之劣化。使用微型電腦等自動地對直流變壓電源之電壓任意改變充電電壓，進行同樣之測定，並以所獲得之結果為基礎進行演算處理，檢查被測定元件隨著施加電壓之劣化狀況。

下述，隨著保護元件之有無對ESD強度加以比較。圖5所示先前例之無保護元件的高頻積體電路，對應於本發明之圖2之實施例的高頻積體電路，成為無ESD保護用E場效電晶體25之結構。圖6係使用二極體型保護元件之例。圖2、5、6之任一者皆係使用GaAs場效電晶體之開關MMIC(微波積體電路)，表示分別以機械模式(300 pF，0 Ω 之條件)與人體帶電模式(100 pF，1500 Ω 之條件)對各MMIC進行ESD破壞強度試驗之結果。

表1表示：對於電路構成相同且無保護二極體之圖5；隨

附保護二極體之圖6；繼而隨附場效電晶體保護元件之高頻積體電路之實施形態例的圖2，機械模式(Machine Model)與人體模式(Human Body Model)之測定結果。

於機械模式時，圖5所示之無保護元件之高頻積體電路的ESD強度為150 V，圖6所示之隨附二極體保護元件之高頻積體電路的ESD強度為200 V、250 V，圖2所示之隨附E場效電晶體保護元件之高頻積體電路為300 V。

即，獲得如下結果：隨附E場效電晶體保護元件之高頻積體電路與無保護二極體時相比，具有約2倍之ESD強度，又即使與隨附二極體保護時相比，ESD強度亦較高，為50至100 V以上。

又，於人體帶電模式時，圖5所示之無保護元件之高頻積體電路的ESD強度為500 V與1000 V，圖6所示之隨附二極體保護元件之高頻積體電路的ESD強度為1000 V、1500 V，圖2所示之隨附E場效電晶體保護元件之高頻積體電路為1500 V與2000 V。其結果如下：隨附E場效電晶體保護元件之高頻積體電路與無保護二極體之高頻積體電路相比，具有約2至3倍之ESD強度，又即使與隨附二極體保護之高頻積體電路相比，ESD強度亦較高，約為1.5倍以上。

顯然，本發明中圖2之電路，將圖6之二極體保護元件型以及圖5之無保護元件之情形相比，可確認其具有較高之ESD耐壓，以及其優越性。

[表 1]

ESD強度實驗結果

	E場效電晶體型 保護元件 圖2之例	無保護元件 圖5之例	二極體型保護 元件 圖6之例
機械模式 GND基準+施加	300 V	150 V	200 V
機械模式 GND基準+施加	300 V	150 V	250 V
人體帶電模式 GND基準+施加	1500 V	500 V	1000 V
人體帶電模式 GND基準+施加	2000 V	1000 V	1500 V

以此，本高頻積體電路於高頻積體電路之輸出入端子具有增強型場效電晶體，當自外部輸入雜訊或高壓脈衝時，使增強型場效電晶體執行崩潰動作，降低其阻抗，藉此使雜訊或高壓脈衝放電。

不僅增強型，即使使用空乏型場效電晶體亦可保護高頻電路之DC耦合電容器。再者藉由組合該等元件，而可提高高頻電路之輸入或輸出之ESD強度。

又，將作為保護元件之增強型場效電晶體與至少高頻電路之一部分形成於同一GaAs基板，由此可簡化結構。又，其與接面二極體保護元件相比，亦可減小寄生電容，故可提高ESD耐壓，並且亦可維持優良之高頻特性。

[產業上之可利用性]

本發明之高頻積體電路可於高頻MMIC之輸入或輸出部設置靜電保護元件，以提高靜電放電(ESD：Electric Static Discharge)保護，故可適用於高頻無線通信裝置之前端。

【圖式簡單說明】

圖1A、1B係表示本發明之隨附靜電保護元件之高頻積體電路的整體電路構成之電路圖。

圖2係表示本發明之隨附靜電保護元件之高頻積體電路的整體電路構成之電路圖。

圖3係表示本發明之隨附靜電保護元件之高頻積體電路的整體電路構成之電路圖。

圖4A、4B係表示先前例之使用保護二極體之隨附靜電保護元件的高頻積體電路的整體電路構成之電路圖。

圖5係表示先前例之無靜電保護元件之高頻積體電路的整體電路構成之電路圖。

圖6係表示先前例之使用複數個二極體之具有靜電保護元件的高頻積體電路的整體電路構成之電路圖。

【主要元件符號說明】

10, 20, 30, 40, 60	隨附靜電保護元件之高頻積體電路
11, 21, 31, 41, 51, 61	高頻電路
12, 22, 42, 52, 62	輸出入端子(外部端子)
13, 25, 24	E場效電晶體(增強型場效電晶體)
23, 53, 63	D場效電晶體(空乏型場效電晶體)
21, 31, 54, 64	電阻
27, 33, 55, 67	電容器
43, 65, 66	Diode(二極體)

五、中文發明摘要：

本發明之隨附靜電保護元件之高頻積體電路，其於高頻積體電路之輸出入設置有場效電晶體作為靜電保護元件，以提高其優良之高頻特性及ESD耐壓性，本發明之該高頻積體電路包含：高頻電路11，其具有輸出入端子；以及增強型場效電晶體13，其形成於化合物半導體基板上，設於上述高頻電路，輸出入端子之一方端子連接於上述高頻電路之輸出入端子，他方端子連接於第一基準電位，閘極經由電阻14連接於第二基準電位；並且自輸出入端子施加雜訊或高壓脈衝時，使場效電晶體13低阻抗化而實施ESD保護。

六、英文發明摘要：

十、申請專利範圍：

1. 一種高頻積體電路，其包含：

高頻電路，其包含輸出入端子；以及

增強型場效電晶體，其於化合物半導體基板上至少一部分與上述高頻電路一體地形成，輸出入端子之一方端子連接於上述高頻電路之輸出入端子，他方端子連接於第一基準電位，閘極經由電阻連接於第二基準電位。

2. 如請求項1之高頻積體電路，其中上述高頻積體電路進而包含電容器，該電容器並聯於上述增強型場效電晶體之輸出入端子之間。

3. 如請求項1之高頻積體電路，其中上述化合物半導體基板為包含GaAs之基板。

4. 如請求項1之高頻積體電路，其中上述增強型場效電晶體為HEMT。

5. 如請求項1之高頻積體電路，其中上述增強型場效電晶體藉以複數個增強型場效電晶體而連接。

6. 一種高頻積體電路，其包含：

高頻電路，其包含輸出入端子；

空乏型場效電晶體，其於化合物半導體基板上至少一部分與上述高頻電路一體地形成，其源極或汲極之一方端子連接於上述輸出入端子，閘極介以第一電阻連接於控制電壓；

增強型場效電晶體，其形成於化合物半導體基板上，設置於上述高頻電路，其源極或汲極之一方端子連接於

上述空乏型場效電晶體之上述源極或汲極之他方端子，其源極或汲極之他方端子連接於第一基準電位，閘極經由第二電阻連接於上述第一基準電位；以及

第一電容器，其連接於上述增強型場效電晶體之源極或汲極之一方端子與上述第一基準電位之間。

7. 如請求項6之高頻積體電路，其中上述高頻積體電路進而包含第二電容器，該第二電容器並聯於上述空乏型場效電晶體或上述增強型場效電晶體之輸出入端子之間。

8. 如請求項6之高頻積體電路，其中上述化合物半導體基板為包含GaAs之基板。

9. 如請求項6之高頻積體電路，其中上述增強型場效電晶體為HEMT。

10. 如請求項6之高頻積體電路，其中上述增強型場效電晶體藉以複數個增強型場效電晶體而連接。

11. 一種高頻積體電路，其包含：

外部端子；

高頻電路，其包含輸出入端子；

第一電容器，其連接於上述外部端子與上述高頻電路之輸出入端子之間；以及

增強型場效電晶體，其形成於化合物半導體基板上，設置於上述高頻電路，輸出入端子之一方端子連接於上述外部端子，他方端子連接於上述高頻電路之輸出入端子，閘極經由電阻連接於第一基準電位。

12. 如請求項11之高頻積體電路，其中上述高頻積體電路進

而包含第二電容器，該電容器並聯於上述增強型場效電晶體之輸出入端子之間。

13. 如請求項11之高頻積體電路，其中上述化合物半導體基板為包含GaAs之基板。

14. 如請求項11之高頻積體電路，其中上述增強型場效電晶體為HEMT。

15. 如請求項11之高頻積體電路，其中上述增強型場效電晶體藉以複數個增強型場效電晶體而連接。

16. 一種高頻積體電路，其包含：

化合物半導體基板；

空乏型場效電晶體，其製作於上述化合物半導體基板上；

高頻電路，其製作於上述化合物半導體基板上，一部分包含上述空乏型場效電晶體；

輸出入端子；

增強型場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路，而將未連接於上述高頻電路之源極或汲極連接於上述輸出入端子；以及

電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與第一電位之間，該第一電位低於上述高頻電路與上述增強型場效電晶體之間之電位。

17. 如請求項16之高頻積體電路，其中上述化合物半導體係

GaAs。

18. 如請求項16之高頻積體電路，其中上述高頻積體電路進而包含電容器，其製作於上述化合物半導體基板上，並聯於上述增強型場效電晶體之汲極與源極之間。
19. 如請求項16之高頻積體電路，其中上述空乏型場效電晶體與上述增強型場效電晶體，係閘極接合型閘極場效電晶體。
20. 如請求項16之高頻積體電路，其中上述空乏型場效電晶體與上述增強型場效電晶體，係MES場效電晶體。
21. 如請求項16之高頻積體電路，其中上述空乏型場效電晶體與上述增強型場效電晶體係HEMT。
22. 如請求項16之高頻積體電路，其中上述空乏型場效電晶體包含複數個串聯之空乏型場效電晶體。
23. 一種高頻積體電路，其包含：
化合物半導體基板；
場效電晶體，其製作於上述化合物半導體基板上；
高頻電路，其製作於上述化合物半導體基板上，一部分包含上述場效電晶體；
增強型場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路，而將未連接於上述高頻電路之源極或汲極接地；以及
電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與接地之間。
24. 如請求項23之高頻積體電路，其中上述場效電晶體係增

強型場效電晶體或空乏型場效電晶體。

25. 如請求項23之高頻積體電路，其中上述化合物半導體係GaAs。
26. 如請求項23之高頻積體電路，其中上述高頻積體電路進而包含電容器，其製作於上述化合物半導體基板上，並聯於上述場效電晶體之汲極與源極之間。
27. 如請求項23之高頻積體電路，其中上述場效電晶體與增強型場效電晶體係閘極接合型場效電晶體。
28. 如請求項23之高頻積體電路，其中上述場效電晶體與增強型場效電晶體係MES場效電晶體。
29. 如請求項23之高頻積體電路，其中上述場效電晶體與增強型場效電晶體係HEMT。
30. 如請求項23之高頻積體電路，其中上述場效電晶體部分包含複數個串聯之場效電晶體。
31. 一種高頻積體電路，其包含：
 - 化合物半導體基板；
 - 第一場效電晶體，其製作於上述化合物半導體基板上；
 - 高頻電路，其製作於上述化合物半導體基板上，一部分包含上述第一場效電晶體；
 - 開關用第二場效電晶體，其製作於上述化合物半導體基板上，將汲極或源極連接於上述高頻電路；
 - 第一控制信號，其用以控制上述第二場效電晶體；
 - 第一電阻，其一方連接於上述第二場效電晶體之閘極，對他方施加上述第一控制信號；

增強型場效電晶體，其將汲極或源極連接於上述第二場效電晶體之未連接於上述高頻電路之汲極或源極，將未連接於上述第二場效電晶體之側之汲極或源極接地；以及

第二電阻，其製作於上述化合物半導體基板上，連接於上述增強型場效電晶體之閘極與上述接地之間。

32. 如請求項31之高頻積體電路，其中上述第一與第二場效電晶體係空乏型場效電晶體或增強型場效電晶體。
33. 如請求項31之高頻積體電路，其中上述化合物半導體係GaAs。
34. 如請求項31之高頻積體電路，其中上述高頻積體電路進而包含電容器，其製作於上述化合物半導體基板上，且並聯於上述增強型場效電晶體之汲極與源極之間。
35. 如請求項31之高頻積體電路，其中上述第一場效電晶體與增強型場效電晶體係閘極接合型場效電晶體。
36. 如請求項31之高頻積體電路，其中上述第一場效電晶體與增強型場效電晶體係MES場效電晶體。
37. 如請求項31之高頻積體電路，其中上述第一場效電晶體與增強型場效電晶體係HEMT。
38. 如請求項31之高頻積體電路，其中上述增強型場效電晶體部分包含複數個串聯之增強型場效電晶體。

十一、圖式：

10

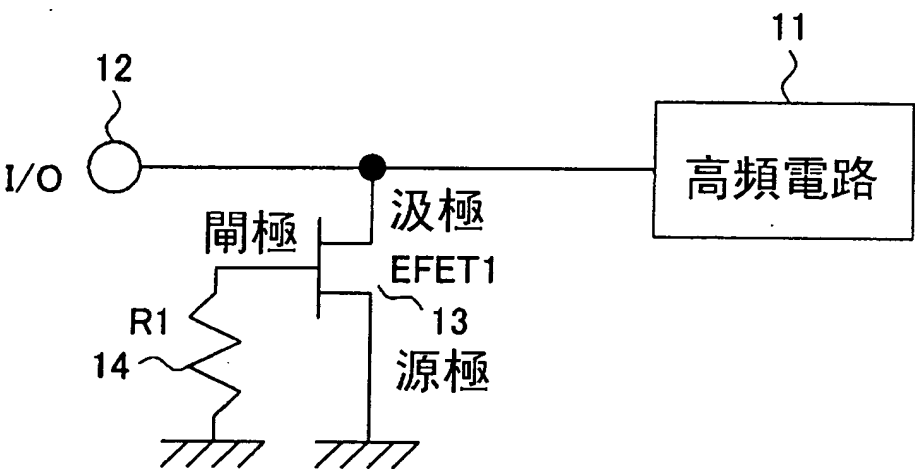


圖 1A

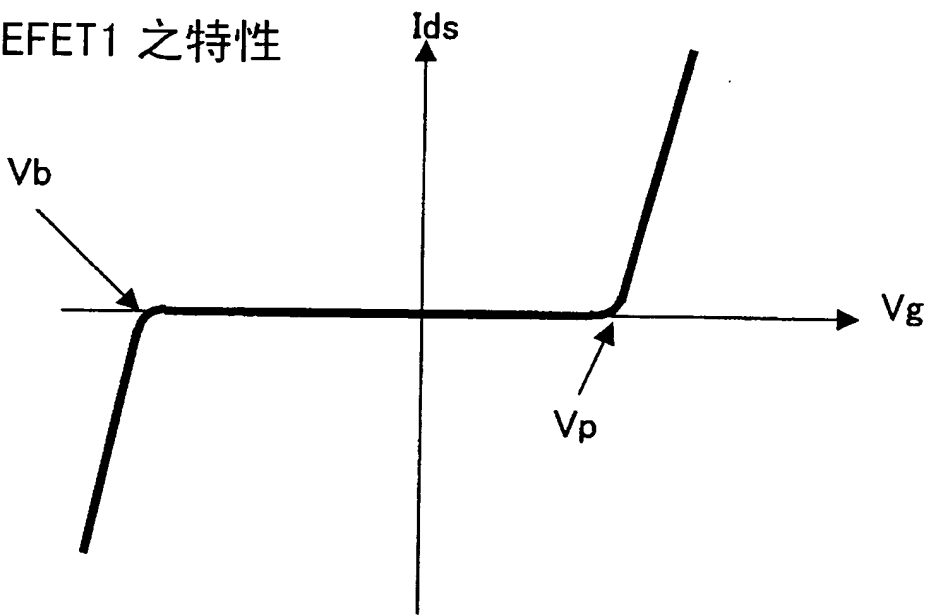


圖 1B

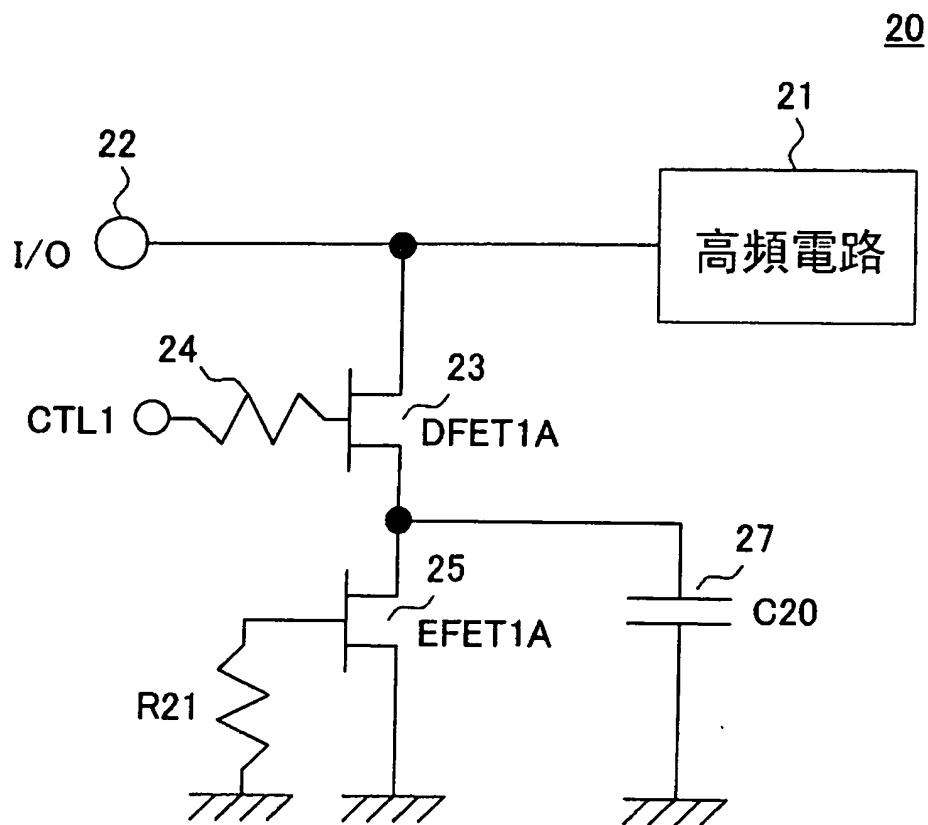


圖 2

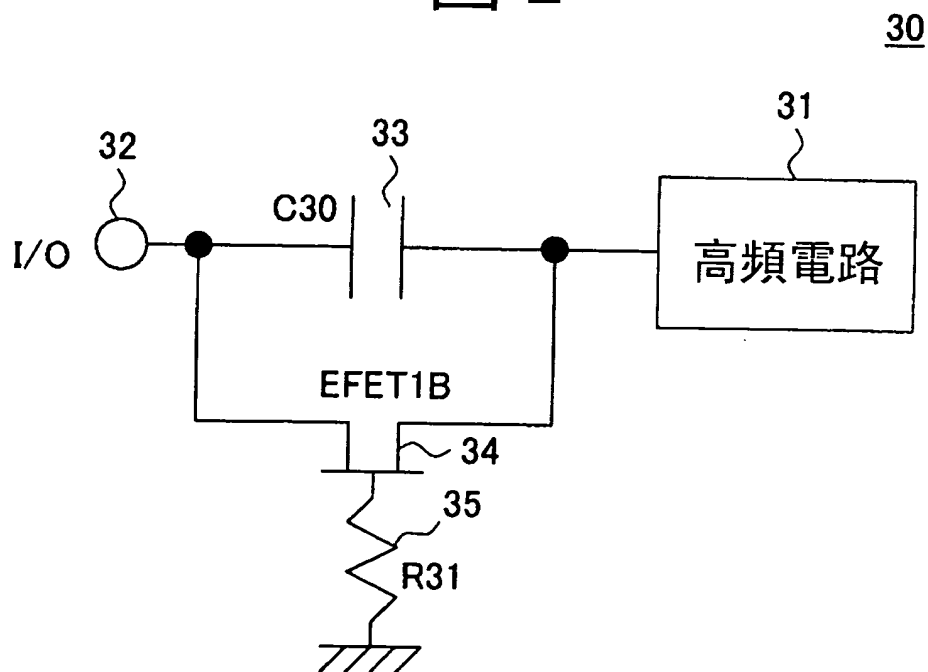


圖 3

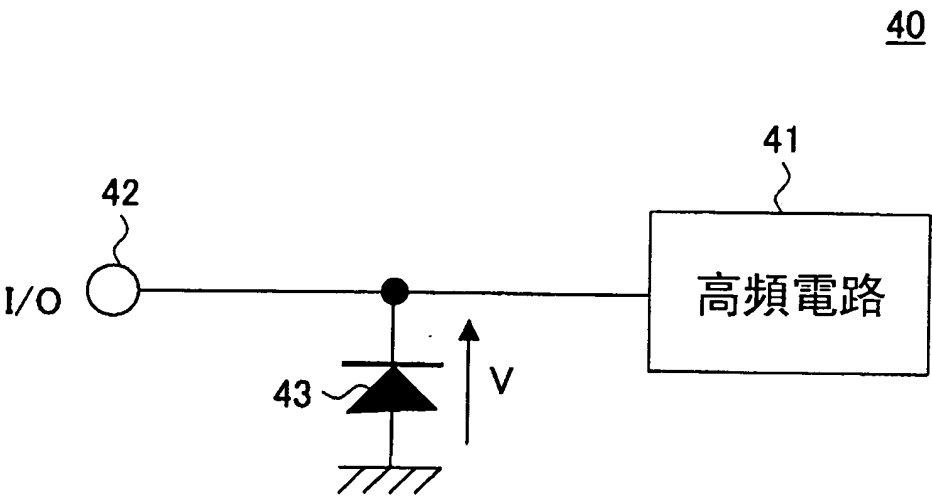


圖 4A

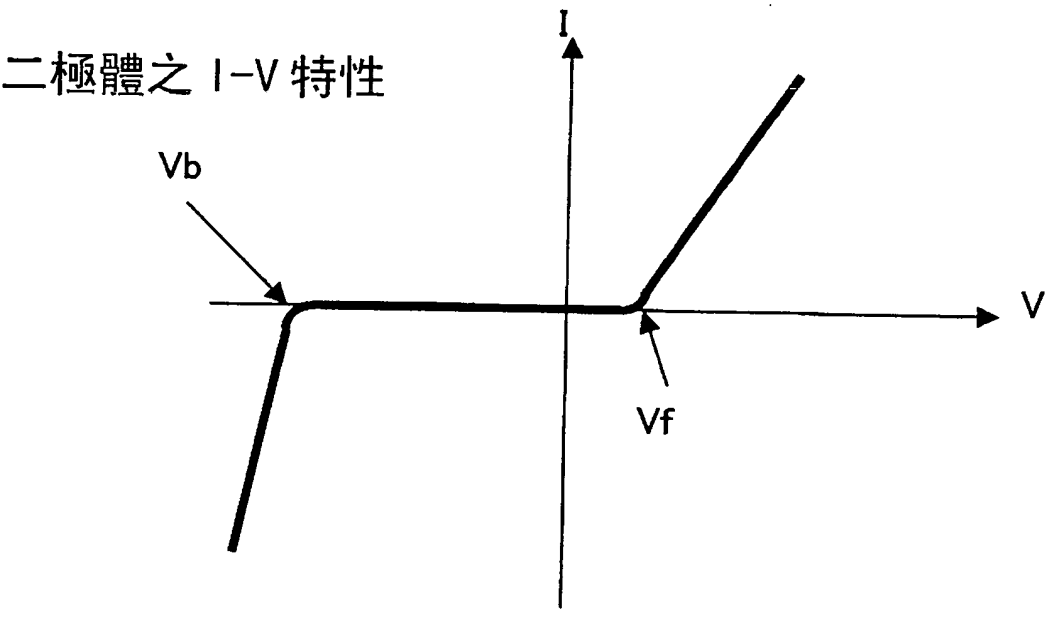


圖 4B

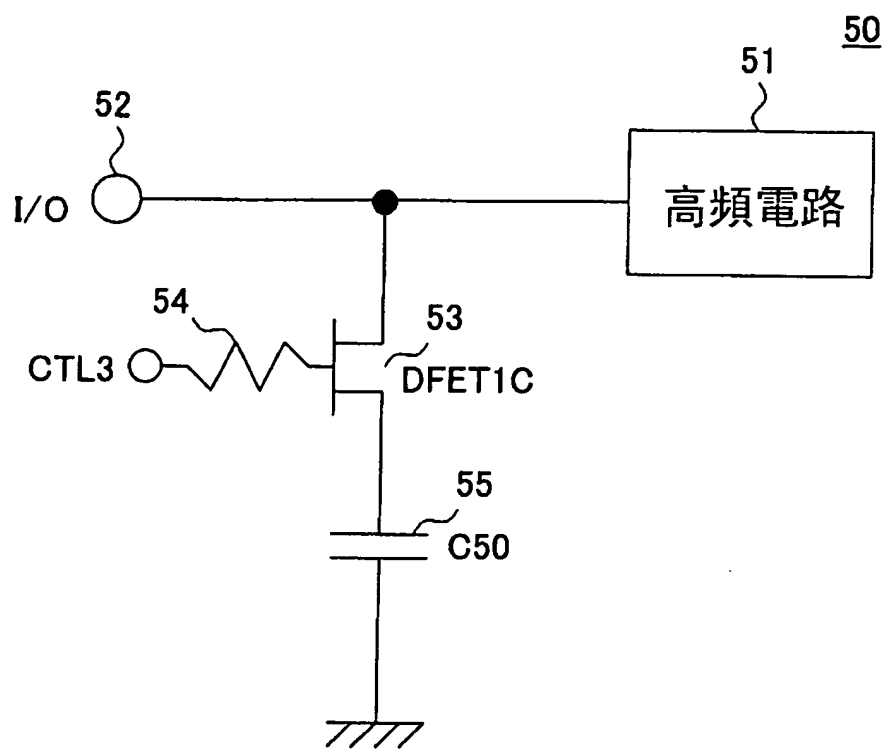


圖 5

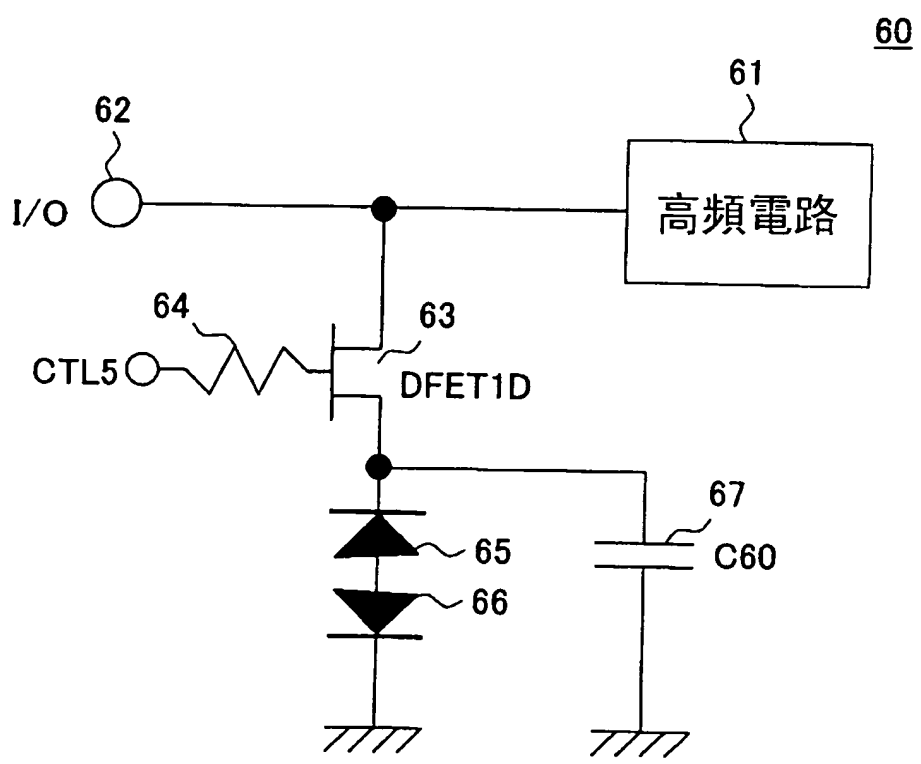


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	具有靜電保護元件之高頻積體電路
11	高頻電路
12	輸出入端子
13	E場效電晶體
14	電阻
I_{ds}	汲極電流
V_b	崩潰電壓
V_g	閘極－源極之間之電壓
V_p	夾止電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)