



(12) 发明专利

(10) 授权公告号 CN 101013703 B

(45) 授权公告日 2010.06.09

(21) 申请号 200710002141.7

(22) 申请日 2007.01.04

(30) 优先权数据

11/327,561 2006.01.06 US

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 吴昭谊 李明修 郭明昌

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 林锦辉

(56) 对比文件

US 6744675 B1, 2004.06.01, 全文.

US 6888739 B2, 2005.05.03, 说明书第 4 栏第 25 行 - 第 8 栏第 32 行, 附图 1、2).

JP 特开 2004-260173 A, 2004.09.16, 全文.

审查员 刘深亮

(51) Int. Cl.

H01L 27/115(2006.01)

H01L 29/792(2006.01)

G11C 16/02(2006.01)

G11C 16/10(2006.01)

G11C 16/26(2006.01)

G11C 16/14(2006.01)

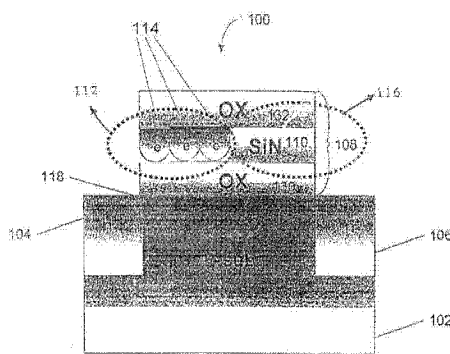
权利要求书 3 页 说明书 7 页 附图 13 页

(54) 发明名称

一种用于辅助电荷存储器器件的阵列结构

(57) 摘要

一个辅助电荷存储器单元包含一个晶体管, 所述晶体管包含, 例如, p 型衬底以及在 p 型衬底上注入的 n+ 源极区域和 n+ 漏极区域。栅极电极形成在衬底以及部分源极和漏极区域上。该栅极电极包含捕捉结构。所述捕捉结构在电性上被认为被分成两边。一边被当成辅助电荷端, 通过在所述结构中捕捉电子, 可以被固定在高电压。所述电子被当成是辅助电荷。另一边可以被用来储存数据, 被当成数据端。介于辅助电荷端和数据端之间陡峭的电场, 可以提高编程效率。



CN 101013703 B

1. 一种非易失性存储器器件,其包含:
  - 硅衬底;
  - 漏极区域,其形成在所述衬底上;
  - 源极区域,其形成在所述衬底上;
  - 捕捉结构,包含氧化物-氮化物-氧化物层,其形成在所述衬底上,所述捕捉结构包含一个辅助电荷端和一个数据端,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定;
  - 辅助电荷,其被捕捉于所述捕捉结构中的辅助电荷端;以及
  - 陡峭的电场区域,其包含一个陡峭的电场,所述电场由所述捕捉结构中介于所述辅助电荷端与所述数据端之间的电荷差所形成。
2. 如权利要求 1 所述的非易失性存储器器件,其中,所述衬底是 p 型衬底,且所述漏极和源极区域是 n 型区域。
3. 如权利要求 1 所述的非易失性存储器器件,其中,所述辅助电荷是经由热电子过程所捕捉的。
4. 如权利要求 1 所述的非易失性存储器器件,其中,所述数据电荷是通过所述陡峭的电场区域的协助,经由热电子过程储存在所述数据端中的。
5. 如权利要求 1 所述的非易失性存储器器件,其中,所述数据端经由带对带热空穴注入而被擦除。
6. 一种存储器阵列结构,其包含多个非易失性存储器单元,所述多个非易失性存储器单元中的每一个包含:
  - 捕捉结构,包含氧化物-氮化物-氧化物层,其包含辅助电荷端和数据端,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定;以及
  - 陡峭的电场区域,其由所述多个非易失性存储器单元中的每一个的辅助电荷端和数据端所形成。
7. 如权利要求 6 所述的存储器阵列结构,其中,所述多个非易失性存储器单元的辅助电荷端是在同一边。
8. 如权利要求 6 所述的存储器阵列结构,其中,所述多个非易失性存储器单元中的每一个的辅助电荷端与所述存储器阵列结构的行交错。
9. 如权利要求 6 所述的存储器阵列结构,其中,所述存储器阵列结构还包含多个字线和多个位线,其与所述多个非易失性存储器单元耦接。
10. 如权利要求 9 所述的存储器阵列结构,其中,所述字线和位线被排列为,每一个非易失性存储器单元都能够被单独地擦除。
11. 如权利要求 9 所述的存储器阵列结构,其中,所述字线和位线被排列为,每一个非易失性存储器单元都能够被单独地编程。
12. 如权利要求 9 所述的存储器阵列结构,其中所述字线和位线被排列为,每一个非易失性存储器单元都能够被按页擦除。
13. 如权利要求 9 所述的存储器阵列结构,其中所述字线和位线被排列为,每一个非易失性存储器单元都能够被按区域擦除。
14. 一种对具有包含辅助电荷端和数据端的捕捉结构的非易失性存储器单元进行编程

的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,该捕捉结构包含氧化物-氮化物-氧化物层,所述方法包括:

使得辅助电荷嵌入到所述辅助电荷端之中;

施加编程电压至所述非易失性存储器单元的栅极;

施加编程电压至所述非易失性存储器单元的源极;

施加编程电压至所述非易失性存储器单元的漏极;以及

根据所述辅助电荷的存在选取所述编程电压,因此导致电子被捕捉在所述非易失性存储器单元的数据端中。

15. 如权利要求 14 所述的方法,其中,施加至所述非易失性存储器单元的栅极的编程电压是 3-5 伏特,施加至所述非易失性存储器单元的源极的编程电压是 0-0.5 伏特,以及施加至所述非易失性存储器单元的漏极的编程电压是 4-8 伏特。

16. 如权利要求 14 所述的方法,其中,施加至所述非易失性存储器单元的栅极的编程电压是 4.5-5 伏特,施加至所述非易失性存储器单元的源极的编程电压是 0 伏特,以及施加至所述非易失性存储器单元的漏极的编程电压是 5-5.5 伏特。

17. 一种读取具有包含辅助电荷端和数据端的捕捉结构的非易失性存储器单元的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,该捕捉结构包含氧化物-氮化物-氧化物层,所述方法包括:

使得辅助电荷嵌入到所述辅助电荷端之中;

施加读取电压至所述非易失性存储器单元的栅极;

施加读取电压至所述非易失性存储器单元的源极;

施加读取电压至所述非易失性存储器单元的漏极;以及

根据所述辅助电荷的存在选取所述读取电压,因此导致读取电流流经所述非易失性存储器单元;以及

测量所述读取电流。

18. 如权利要求 17 所述的的方法,其中,施加至所述非易失性存储器单元的栅极的读取电压是 3-5 伏特,施加至所述非易失性存储器单元的源极的读取电压是 1-2 伏特,以及施加至所述非易失性存储器单元的漏极的读取电压是 0-0.5 伏特。

19. 如权利要求 17 所述的方法,其中,施加至所述非易失性存储器单元的栅极的读取电压是 3-3.5 伏特,施加至所述非易失性存储器单元的源极的读取电压是 1.4-1.8 伏特,以及施加至所述非易失性存储器单元的漏极的读取电压是 0 伏特。

20. 一种擦除具有包含辅助电荷端和数据端的捕捉结构的非易失性存储器单元的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,该捕捉结构包含氧化物-氮化物-氧化物层,所述方法包括:

使得辅助电荷嵌入到所述辅助电荷端之中;

施加擦除电压至所述非易失性存储器单元的栅极;

施加擦除电压至所述非易失性存储器单元的源极;

施加擦除电压至所述非易失性存储器单元的漏极;以及

根据辅助电荷的存在选取所述擦除电压,因此导致空穴从所述非易失性存储器单元的漏极行进至所述非易失性存储器单元的氮化物层,使得所述空穴与一个电子相结合。

21. 如权利要求 20 所述的方法,其中,施加至所述非易失性存储器单元的栅极的擦除电压是大约 -5 至 -10 伏特,施加至所述非易失性存储器单元的源极的擦除电压是 0-0.5 伏特,以及施加至所述非易失性存储器单元的漏极的擦除电压是 4-8 伏特。

22. 如权利要求 20 所述的方法,其中,施加至所述非易失性存储器单元的栅极的擦除电压是大约 -7 至 -8 伏特,施加至所述非易失性存储器单元的源极的擦除电压是 0 伏特,以及施加至所述非易失性存储器单元的漏极的擦除电压是 4.5 伏特。

## 一种用于辅助电荷存储器器件的阵列结构

### 技术领域

[0001] 本发明涉及半导体存储器器件,更具体的说,涉及包括一个辅助电荷的半导体存储器器件。

### 背景技术

[0002] 传统的电可编程只读存储器 (EPROM) 隧道氧化层 (ETOX) 闪存存储器单元和传统的掺氮的只读存储器单元受限于由于执行编程操作所需的大电流而导致的低效率编程。ETOX 闪存存储器和掺氮的只读存储器单元是用沟道热电子 (CHE) 注入以将该单元编程至高电压的方式来进行编程的。热电子是被在半导体器件中的高场强区域中的强电场加速以获得非常高的动能的电子,例如 ETOX 或掺氮的只读存储器半导体器件。沟道热电子注入发生在当栅极和漏极电压相当高于源极电压。

[0003] 由源极行进至漏极的沟道载流子有时候会由于很高的栅极电压而在它们到达漏极之前就被驱至栅极。没有被栅极氧化层捕获的注入载流子会变成栅极电流。沟道热电子的注入效率是很小的,而且用沟道热电子注入进行编程需要很大的编程电流,因此,对于所浪费的电流,沟道热电子注入是没有效率的。

[0004] 另一种存储器单元,PHINES 存储器单元,使用带对带热空穴 (BTBHH) 注入,以将该单元编程至低电压。每个 PHINES 存储器单元能够储存两个位。一个位能够被储存在晶体管的源极端,以及一个位能够被储存在晶体管的漏极端。在这些存储器单元,每个位能够有两个状态;高电流状态,代表着逻辑“1”,和低电流状态,代表着逻辑“0”。存储器单元的每边通过检测流过该单元的电流和决定是否该电流高或低于一个门限值来被读取。

[0005] 被擦除单元的带对带电流高于被编程单元的带对带电流。因此,每个单元每一边的状态,被编程的或是未被编程的,能够通过将流经每个单元每一边的电流与门限值进行比较来被决定,例如,栅极与漏极或栅极与源极电流门限值。

[0006] 在 PHINES 存储器器件,储存在氮化物层的电荷能够被所谓的佛罗诺德汉 (Fowler-Nordheim) 注入步骤所擦除。在擦除周期过程中,将擦除电压施加到源极、漏极、栅极、以及晶体管的衬底,导致电子穿隧 ONO 层的底部氧化层势垒进入氮化物层。这些电子可以补偿在编程中注入氮化物层的空穴。在存在晶体管擦除电压的应用所产生的高电场时,发生该底部氧化层的穿隧。该底部氧化层的穿隧是一种量子机械穿隧的形式。

[0007] 通过带对带热空穴注入进行编程可能还是太慢,而且对某些应用可能要求太长的编程时间。

### 发明内容

[0008] 辅助电荷存储器单元包含晶体管,所述晶体管包含,例如,p 型衬底以及在 p 型衬底上注入的 n+ 源极区域和 n+ 漏极区域。栅极电极形成在衬底以及部分源极和漏极区域上。该栅极电极包含捕捉结构。

[0009] 在一个方面中,该捕捉结构在电性上被认为是被分成两边。一边被当成辅助电荷

端,其在该结构中,通过捕捉电子可以被固定在高电压。该电子被当成是辅助电荷。另一边可以用来储存数据,是被当成数据端。介于辅助电荷端和数据端之间的陡峭的电场,可以提高编程效率。

[0010] 根据本发明的第一方面,提供一种非易失性存储器器件,其包含:硅衬底;漏极区域,其形成在所述衬底上;源极区域,其形成在所述衬底上;捕捉结构,其形成在所述衬底上,所述捕捉结构包含一个辅助电荷端和一个数据端,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定;辅助电荷,其被捕捉于所述捕捉结构中的辅助电荷端;以及陡峭的电场区域,其包含一个陡峭的电场,所述电场由所述捕捉结构中介于所述辅助电荷端与所述数据端之间的电荷差所形成。

[0011] 根据本发明的第二方面,提供一种存储器阵列结构,其包含多个非易失性存储器单元,所述多个非易失性存储器单元中的每一个包含:辅助电荷端和数据端,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定;以及陡峭的电场区域,其由所述多个非易失性存储器单元中的每一个的辅助电荷端和数据端所形成。

[0012] 根据本发明的第三方面,提供一种对包含辅助电荷端和数据端的非易失性存储器单元进行编程的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,所述方法包括:使得辅助电荷嵌入到所述辅助电荷端之中;施加编程电压至所述非易失性存储器单元的栅极;施加编程电压至所述非易失性存储器单元的源极;施加编程电压至所述非易失性存储器单元的漏极;以及根据所述辅助电荷的存在选取所述编程电压,因此导致电子被捕捉在所述非易失性存储器单元的数据端中。

[0013] 根据本发明的第四方面,提供一种读取包含辅助电荷端和数据端的非易失性存储器单元的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,所述方法包括:使得辅助电荷嵌入到所述辅助电荷端之中;施加读取电压至所述非易失性存储器单元的栅极;施加读取电压至所述非易失性存储器单元的源极;施加读取电压至所述非易失性存储器单元的漏极;以及根据所述辅助电荷的存在选取所述读取电压,因此导致读取电流流经所述非易失性存储器单元;以及测量所述读取电流。

[0014] 根据本发明的第五方面,提供一种擦除包含辅助电荷端和数据端的非易失性存储器单元的方法,该数据端具有一电位以表示数据,其中该电位由该数据端是否储存数据电荷来决定,所述方法包括:使得辅助电荷嵌入到所述辅助电荷端之中;施加擦除电压至所述非易失性存储器单元的栅极;施加擦除电压至所述非易失性存储器单元的源极;施加擦除电压至所述非易失性存储器单元的漏极;以及根据辅助电荷的存在选取所述擦除电压,因此导致空穴从所述非易失性存储器单元的漏极行进至所述非易失性存储器单元的氮化物层,使得所述空穴与一个电子相结合。

[0015] 本发明的这些和其他特征,方面,和实施例,会在下列实施方式的章节中进行描述。

#### 附图说明

[0016] 为了更完整地理解本发明,以及它的优点,下列描述结合附图以供参考,其中:

[0017] 图 1 是根据一个实施例配置的辅助电荷存储器器件的图示;

[0018] 图 2A 是描述根据该实施例,对如图 1 所示的示例性辅助电荷存储器单元进行热电

子编程的图示；

[0019] 图 2B 是描述根据该实施例的,对如图 1 所示的示例性辅助电荷存储器单元的擦除操作的图示；

[0020] 图 3 是描述示例性的辅助电荷存储器单元的阵列的图示；

[0021] 图 4 是描述辅助电荷被捕捉在阵列中每个单元的辅助电荷边之后的图 3 的阵列图示；

[0022] 图 5 是描述根据一个实施例对图 3 阵列进行编程的示例性方法的图示；

[0023] 图 6 是描述根据一个实施例,对图 3 阵列进行逐位擦除的示例性方法的图示；

[0024] 图 7 是描述根据一个实施例,对图 3 阵列进行示例性的页擦除或者区域(section)擦除的图示；

[0025] 图 8 是描述根据一个实施例,对读取图 3 阵列的示例性方法的图示；

[0026] 图 9 是描述根据在此所述的系统和方法的另一实施例的辅助电荷存储器单元的示例性阵列的图示；

[0027] 图 10 是描述根据一个实施例,对图 9 阵列进行编程的示例性方法的图示；

[0028] 图 11 是描述根据一个实施例,对图 9 阵列进行逐位擦除的示例性方法的图示；以及

[0029] 图 12 是描述根据一个实施例,读取图 3 阵列的示例性方法的图示。

[0030] **【主要器件符号说明】**

[0031] 100 :辅助电荷存储器器件

[0032] 102 :衬底

[0033] 104、106 :n+ 区域

[0034] 108 :ONO 层

[0035] 110 :氮化物层

[0036] 112 :辅助电荷端

[0037] 114 :电荷

[0038] 116 :数据端

[0039] 118 :陡峭电场区域

[0040] 130、132 :氧化物层

[0041] 200、502、1002 :电子

[0042] 202 :辅助电荷下方沟道的区域

[0043] 250、602、1100 :空穴

[0044] 300、900 :阵列

[0045] 302、304、306、308、310、312、314、316、700、702、1000 :辅助电荷存储器单元

[0046] 318 :连接点

[0047] 402、404、406、408、410、412、414、416 :辅助电荷

[0048] WL :字线

[0049] BL :位线

## 具体实施方式

[0050] 图 1 是根据在此描述的系统和方法的实施例而配置的辅助电荷存储器器件 100 的图示。辅助电荷存储器器件 100 包括包含硅衬底 102 的晶体管。硅衬底 102 可以用作基部材料,在其上制造存储器器件 100 其他部分。两个 n+ 区域 104 和 106 能够通过掺杂硅衬底 102 而产生。这些区域 104 和 106 能够分别当晶体管的源极和漏极。ONO 层 108 能够被沉积到硅衬底 102 之上和 n+ 区域 104 和 106 之间。多晶硅层(未示出)能够沉积在 ONO 层 108 之上,以形成该晶体管的栅电极。

[0051] ONO 层 108 包括夹在两个氧化层之间的可以捕捉电荷的氮化物层 110。例如,向上行进穿越底部氧化层的电子能够被捕获在氮化物层中。这些电子可以形成辅助电荷,或被用来储存数据,如下更进一步所述。氮化物层 110 是电荷捕捉结构的一个例子。

[0052] ONO 层 108 可以,例如,被分成两边。一边可以被当成辅助电荷端 112。辅助电荷端 112 可以通过捕捉在氮化物层 110 中的辅助电荷而被固定在高电压。另一边可以被当成是数据端 116,并可以用来储存数据。该数据可以由储存在数据端 116 的电位来表示,而且将会更加详细描述如下。

[0053] 在辅助电荷端 112 和数据端 116 之间形成陡峭的电场区域 118。根据本实施例,该陡峭的电场区域能够通过限制编程电流或降低编程时间来提高编程效率。例如,在辅助电荷端 112 的高电压能够限制在热电子编程中的编程电流,如以下参考图 2A 所述。

[0054] 图 2A 是描述根据在此所述的系统和方法的实施例,对如图 1 所示的示例性的辅助电荷存储器单元进行热电子编程的图示。在传统的存储器单元中,栅极的正电压吸引从 p 型衬底来电子。这些电子被吸引至接近至硅表面的源极和漏极之间的晶体管区域。这个区域就是所知的沟道。刚开始沟道是一个非导电区域;然而,当栅极电压变的得到更多的正电压,足够的电子就被从 p 型衬底拉进沟道,以建立源极和漏极之间的被充电的路径。电子从源极经晶体管沟道流至漏极,其中这些电子经由 ONO 层 108 的底层氧化层注入氮化物电荷捕捉层 110。假如将 0 伏或者低电压施加在栅极上,则没有或者至少非常少的电子被吸引至沟道,源极和漏极被有效的切断,很少或没有电流流经沟道。结果,将会是很少的电子被捕捉在氮化物层 110 中。

[0055] 辅助电荷存储器器件 100 的辅助电荷端是通过称为在层 100 中的辅助电荷的捕捉电子 114 而固定在高  $V_t$ 。辅助电荷电子 114 减少被拉进辅助电荷端 112 下方沟道区域 202 的电子的数目,因为这些电子的负电荷排斥在区域 202 中的电子。这个可以限制在热电子编程的过程中的编程电流,以减少所需的编程功率。

[0056] 如图 2A 所描述,当施加正确的编程电压,并且存在辅助电荷电子 114 时,电子 200 将开始从源极 104 朝漏极 106 流动。如上所述,电子的流动可以被辅助电荷端 112 中的电子 114 所限制。采用该方式,传统器件所需要的大编程电流在某些应用上能够被减少。当电子 200 从源极 104 行进至漏极 106 时,它将会经过位于辅助电荷端 112 与数据端 116 之间的陡峭电场。某些电子,例如电子 200,将会穿越底部氧化层进入数据端 116 的电荷捕捉氮化物层 110。

[0057] 在编程期间,编程电压被施加至栅极和漏极电极,而源极电极是接地,或是接至 0 伏特。例如,源极 106 和栅极 108 接至 5 伏特。可以了解的是,不同的电压将被用于不同的应用上。

[0058] 图 2B 是描述根据在此所述的系统和方法的一个实施例,对如图 1 所示的示例性辅



助电荷存储器单元进行擦除操作的图示。当对辅助电荷存储器器件 100 进行擦除时,空穴从漏极 106 行进至栅极,并补偿被捕捉在氮化物层 110 中的电子。擦除电压可以被施加在栅极、漏极和源极,以便产生电压差,以导致空穴 250 从漏极 106 经过氧化层 130 流至氮化物层 110。空穴 250 可以补偿电子 200,以移除数据端 116 的电荷。许多存储器单元能够被按块,或按页,或按区域进行擦除。采用该方式,可以避免较慢的带对带热空穴的限制,因为很多单元能够被一次擦除。

[0059] 当对辅助电荷存储器器件 100 进行擦除时,源极 104 接地,漏极 106 接至 4.5 伏特,而栅极接至 -8 伏特。可以了解的是,这些是可能被使用的电压值的示例。

[0060] 图 3 是描述辅助电荷存储器单元 302,304,306,308,310,312,314,和 316 的示例性阵列 300 的图示。辅助电荷存储器单元 302,304,306,308,310,312,314,和 316 可以配置成如图 1 和图 2 所示。单元 302,304,306,308,310,312,314,和 316,可以被安排在例如本示例的  $4 \times 2$  阵列结构之类的阵列结构中。但是其他包括较多或是较少的单元的阵列结构也是可能的。

[0061] 辅助电荷存储器的每一个单元 302,304,306,和 308 的栅极端连接至字线  $WL_n$ ,而辅助电荷存储器的每一个单元 310,312,314,和 316 的栅极端连接至字线  $WL_{n+1}$ 。采用该方式,可以将电压同时施加在阵列中许多单元的栅极上。更进一步,每一个单元 302,304,306,和 308 可以被连接,使得从一个单元的源极端连接至另一个单元的漏极端。

[0062] 例如,单元 302 的漏极与单元 304 的源极在连接点 318 处相连。连接点 318 也连接至位线  $BL_{n-1}$ 。 $BL_{n-2}$ 、 $BL_n$ 、 $BL_{n+1}$  和  $BL_{n+1}$  如图所示,有相似的连接方式。采用该方式,可以将电压施加至每一个单元 302,304,306,和 308 的栅极和漏极。单元 310,312,314,和 316 有相似的连接方式。通过位线和字线的连接,可以将电压施加至单元 302,304,306,308,310,312,314 和 316,以对单元 302,304,306,308,310,312,314 和 316 进行编程或擦除。以下将参考图 4-12 进一步描述对单元 302,304,306,308,310,312,314 和 316 进行编程和擦除。

[0063] 阵列 300 可以被配置成通常所称的虚拟接地阵列。此外,在一个实施例,位线可以被形成埋藏扩散位线。很明显的,其它的配置也是可能的。

[0064] 图 4 是描述在阵列 300 中被捕捉在辅助电荷边上的辅助电荷 402,404,406,408,410,412,414,和 416 的图示。参照图 1、2A、2B 所示,单元 302,304,306,308,310,312,314 和 316 每一个都有辅助电荷端和数据端。正如由图所知,每一个辅助电荷端包括辅助电荷,即,辅助电荷 402,404,406,408,410,412,414 和 416。通常很多电子可以用来在辅助电荷边上产生被充负电的区域。该电子的数目将根据不同应用而有所不同,例如,在某些实施例,比较小的单元需要比较少的电子。

[0065] 图 5 是描述根据在此所述的系统和方法对阵列 300 进行编程的示例性方法的图示。参照图 2A 所示,在阵列 300 中的辅助电荷存储器单元可以被单个地编程。通过施加编程电压至正确的字线和位线,可以对单独的辅助电荷存储器单元进行存取。可以例如通过施加 0 伏特至  $BL_{n-1}$ 、5 伏特至  $BL_n$ 、和 5 伏特至  $WL_n$  对辅助电荷存储器单元 304 进行编程。参照图 2A 所示,电子 502 将从源极流至漏极。一些电子 502 将会穿越底部氧化层,进入在数据端的电荷捕捉氮化物层。

[0066] 在对单元 304 进行编程期间,其它位线可以被允许浮接,而且将 0 伏特施加到其它字线上。因此,没有电流会流进单元 302,306,308,310,312,314,和 316。可以了解的是,晶

晶体管被描述为“没有电流流动”也包括相对于当晶体管被视为导通时或者当晶体管被视为在相对高电流的状态时而言,只有很少的电流流动。

[0067] 在上述所提及的例子以及图 6-8、10-12 的例子中,图中所示的每个位线的电压被认为是漏极电压  $V_d$ 。可以了解的是,一个单元的漏极端,根据特定的阵列结构的应用,可以被连接至其它单元的源极端。

[0068] 图 6 是描述根据在此所述的系统和方法对阵列 300 逐位进行擦除的示例性过程的图示。图 6 中,阵列 300 可以被配置为晶体管的 EEPROM 应用。通过施加不同的电压至正确的字线和位线,能够对在阵列 300 中的辅助电荷存储器单元逐位地单独擦除。例如,通过施加 0 伏特至  $BL_{n-1}$ , 4.5 伏特至  $BL_n$ , 和 -8 伏特至  $WL_n$  而对辅助电荷存储器单元 304 进行擦除。采用该方式,辅助电荷存储器单元 304 将会有 0 伏特的源极电压,5 伏特的漏极电压,和 -8 伏特的栅极电压。

[0069] 源极和栅极的电压差是 8 伏特,以及漏极和栅极的电压差是 12.5 伏特。在漏极和栅极的大电压差和空穴 602 能够从漏极流到栅极。空穴 602 能够补偿储存在辅助电荷存储器单元 304 的数据端中的电子。

[0070] 图 7 是描述根据在此所述的系统和方法对阵列 300 进行页擦除和区域擦除的示例性过程的图示。图 7 中,阵列 300 可以被配置为闪存存储器的应用。在这样的应用,通过施加特定的电压至正确的字线和位线,能够对在阵列 300 中的辅助电荷存储器单元按页或者按区域进行擦除,例如一次擦除多个位。

[0071] 例如,能够以相同的操作对辅助电荷存储器单元 306, 314, 700 和 702 进行擦除。例如,图 7 所示,施加 0 或 4.5 伏特到位线,以及施加 4 和 -8 伏特到适当的字线,如图所示,每一个要进行擦除的辅助电荷存储器单元 306, 314, 700 和 702 将会有 0 伏特的源极电压,5 伏特的漏极电压,和 -8 伏特的栅极电压。这些单元的源极和栅极电压差是 8 伏特,以及漏极和栅极电压差是 12.5 伏特。在漏极和栅极的大电压差和空穴从漏极流到栅极,其中空穴能够补偿储存在辅助电荷存储器单元 306, 314, 700 和 702 的数据端中的电子。

[0072] 可以将擦除禁止电压施加到不同位线以防止对特定单元的擦除,即,在其它区域或块中的单元。例如,在图 7 所示的实施例中,可以将 2 伏的擦除禁止电压施加到特定的位线以防止在其它区域或块中的单元的擦除。

[0073] 图 8 是描述根据在此所述的系统和方法读取阵列 300 的示例性的方法的图示。通过施加特定的电压至适当的字线和位线,能够读取单独的单元。如图 8 中所示,尚未被读取的单元的源极或漏极可以被允许浮接。

[0074] 例如,通过施加正确的读取电压至  $WL_n$ ,  $BL_{n-1}$ , 和  $BL_n$ , 可以读取辅助电荷存储器单元 302。在一个实施例中,例如,单元 302 的栅极电压可以是 3 伏特,源极电压可以是 1.6 伏特,和漏极电压可以是 0 伏特。采用该方式,当器件的数据边中没有储存电荷时,电流可以流动,当器件的数据边有储存电荷,则没有电流流动,或是很少电流流动。可以了解的是,读取特定晶体管所必需的真实源极、漏极和栅极电压将会根据应用而不同,例如,储存在晶体管辅助电荷端的电荷数量会影响这些电压的要求。

[0075] 在一个实施例中,很少或没有电流可以指示一个逻辑状态,而较高的电流可以指示另一个逻辑状态。因此,在每一个存储器单元中可以储存两种状态。此外,在另一个实施例,不同的电流电平可以指示储存在每一个存储器单元中的多重逻辑电平。

[0076] 图 9 是描述根据在此所述的系统和方法的辅助电荷存储器单元的示例性阵列 900 的图示。阵列结构 900 相似于阵列结构 300；然而，如图所示，组成阵列 900 的辅助电荷存储器单元的辅助电荷端和数据端隔行交错。正如图 10-12 所示，可以根据类似于图 5、6 和 8 的方式执行编程、擦除和读取。

[0077] 图 10 是描述根据在此所述的系统和方法的阵列 900 的示例性方法的图示。通过施加特定的电压至正确的字线和位线，能够对在阵列 900 中的辅助电荷存储器单元进行单个地编程。例如，通过施加 0 伏特至  $BL_{n-1}$ ，5 伏特至  $BL_n$ ，和 5 伏特至  $WL_n$ ，可以对辅助电荷存储器单元 1000 进行编程。采用该方法，辅助电荷存储器单元 304 的晶体管将会有 0 伏特的源极电压、5 伏特的漏极电压和 5 伏特的栅极电压。参照图 2A 所示，电子 1002 可以开始由源极流向漏极，以及一些电子 1002 将会穿越第一氧化层，进入数据边电荷捕捉氮化物层。

[0078] 在这样的编程操作过程中，其它的位线可以被允许浮接，以及将 0 伏的电压施加在其它字线上。因此，在其它单元中，将会很少或没有电流流动。采用该方式，可以对单个的辅助电荷存储器单元进行编程，而其它单元维持未被编程，或维持在之前被编程的值。

[0079] 图 11 是描述根据在此所述的系统和方法对阵列 900 逐位执行擦除的图示。通过施加特定电压至正确的字线和位线，可以对在阵列 900 中的辅助电荷存储器单元逐位地单个地进行擦除。例如，通过施加 0 伏特至  $BL_{n-1}$ 、4.5 伏特至  $BL_n$  和 -8 伏特至  $WL_n$ ，可以对辅助电荷存储器单元 1000 进行擦除。采用该方式，辅助电荷存储器单元 1000 将会有 0 伏特的源极电压、5 伏特的漏极电压和 -8 伏特的栅极电压。源极和栅极电压差是 8 伏特，以及漏极和栅极电压差是 12.5 伏特。在漏极和栅极的大电压差将会导致空穴从漏极流到栅极，其中空穴能够补偿储存在辅助电荷存储器单元 1000 的数据端中的电子。

[0080] 图 12 是描述根据在此所述的系统和方法读取阵列 900 的示例性方法的图示。通过施加特定的电压至正确的字线和位线，能够读取单个的单元。如图 12 中所示，没有被读取的单元，其源极和漏极将可以被允许浮接。

[0081] 例如，通过施加正确的电压至  $WL_n$ 、 $BL_{n-1}$  和  $BL_n$ ，可以读取辅助电荷存储器单元 1000。例如，在一个实施例中，单元 1000 的栅极电压可以是 3 伏特，源极电压可以是 1.6 伏特，以及漏极电压可以是 0 伏特。采用该方式，当器件的数据端中没有储存电荷时，电流可以流动，当器件的数据端有储存电荷时，则没有电流流动，或是只有很少电流流动。参照图 8 所示，可以了解的是，读取特定晶体管所必需的实际的源极、漏极和栅极电压将会根据应用，例如储存在晶体管辅助电荷端的电荷数量，而有所不同。

[0082] 根据一个实施例，很少或没有电流可以指示一个逻辑状态，而较高的电流可以指示储存在存储器器件中的位的另一个逻辑状态。因此，在这样实施例中，在每一个存储器单元中可以储存两种状态。此外，在另一个实施例，不同的电流电平可以指示储存在每一个存储器单元中的多重逻辑电平。

[0083] 本发明的特定实施例已经在上面进行了描述，可以了解的是，所描述的实施例仅只是用于说明的范例而已。例如，虽然显示了 p 型衬底以及 n 型漏极和源极区域，可以了解的是，其它的实施例可以使用 n 型衬底以及 p 型漏极和源极区域。更进一步，非易失性存储器器件被配置成与在此所述的系统和方法的实施例一致，根据实施例，可以是单井，或是多重井。因此，本发明应该不被限制于所描述的实施例。当然，在此所描述的本发明的范围，只能根据权利要求和以上的描述以及附图进行限制。

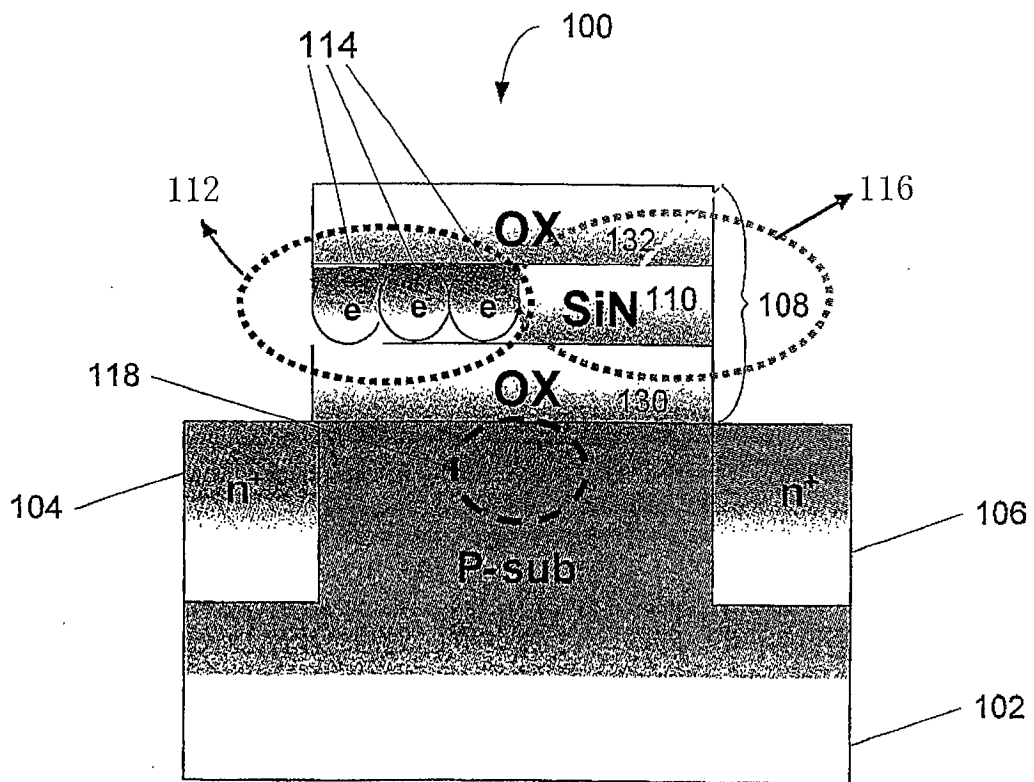


图 1

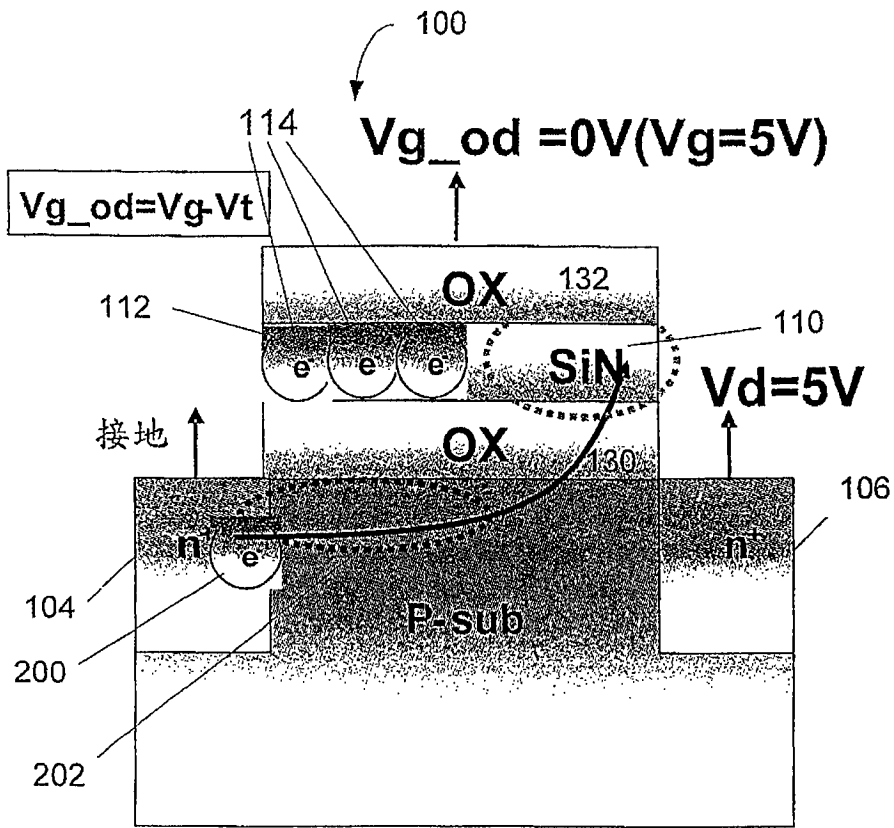


图 2A

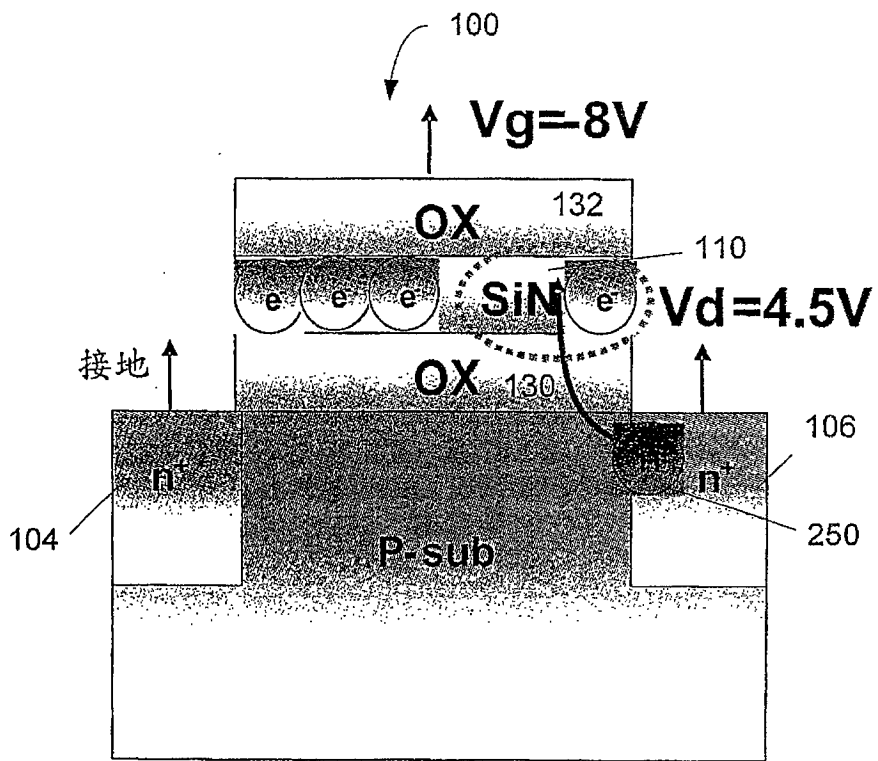


图 2B

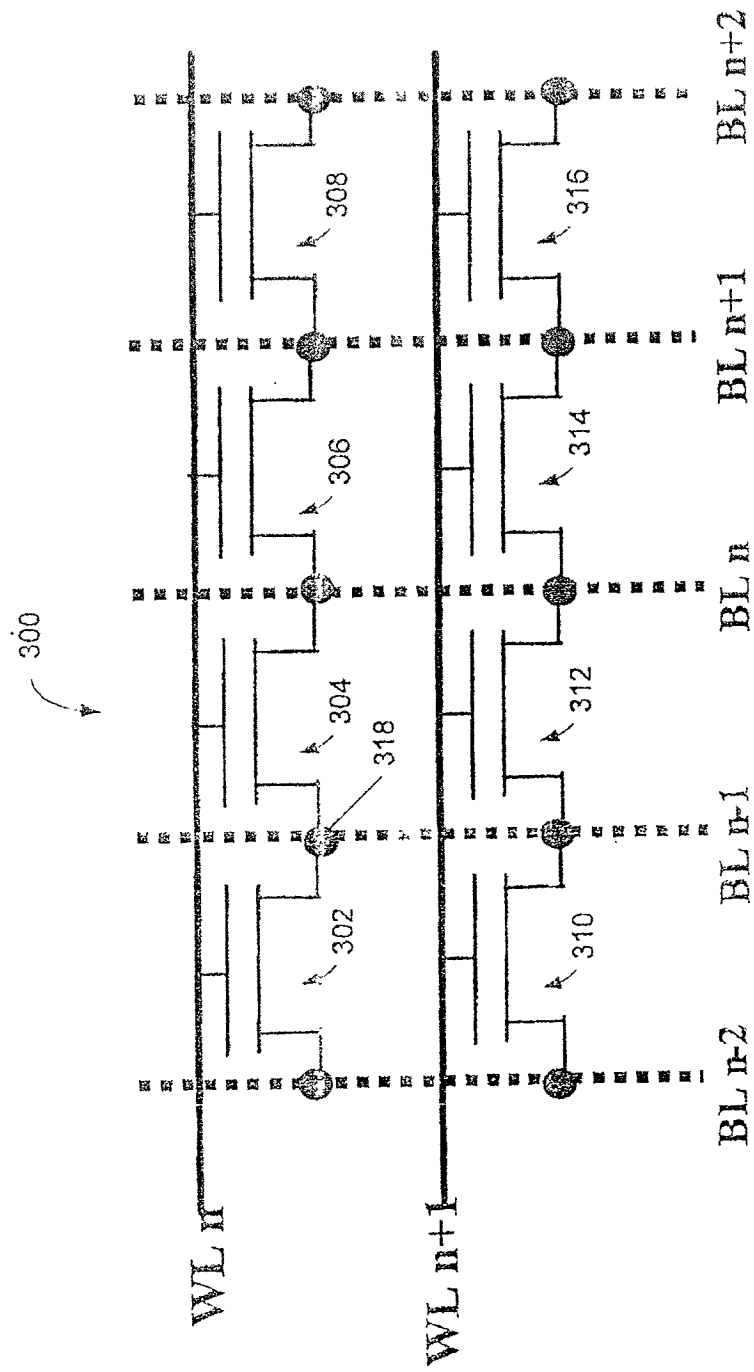


图 3

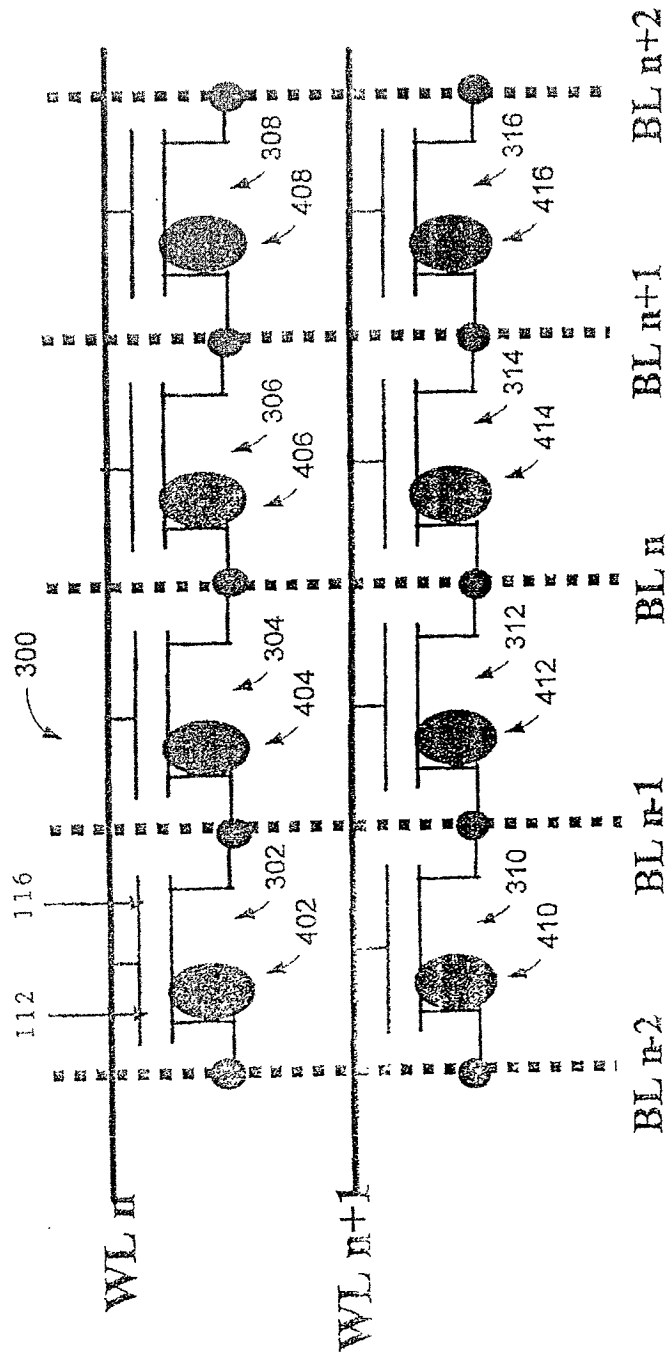


图 4



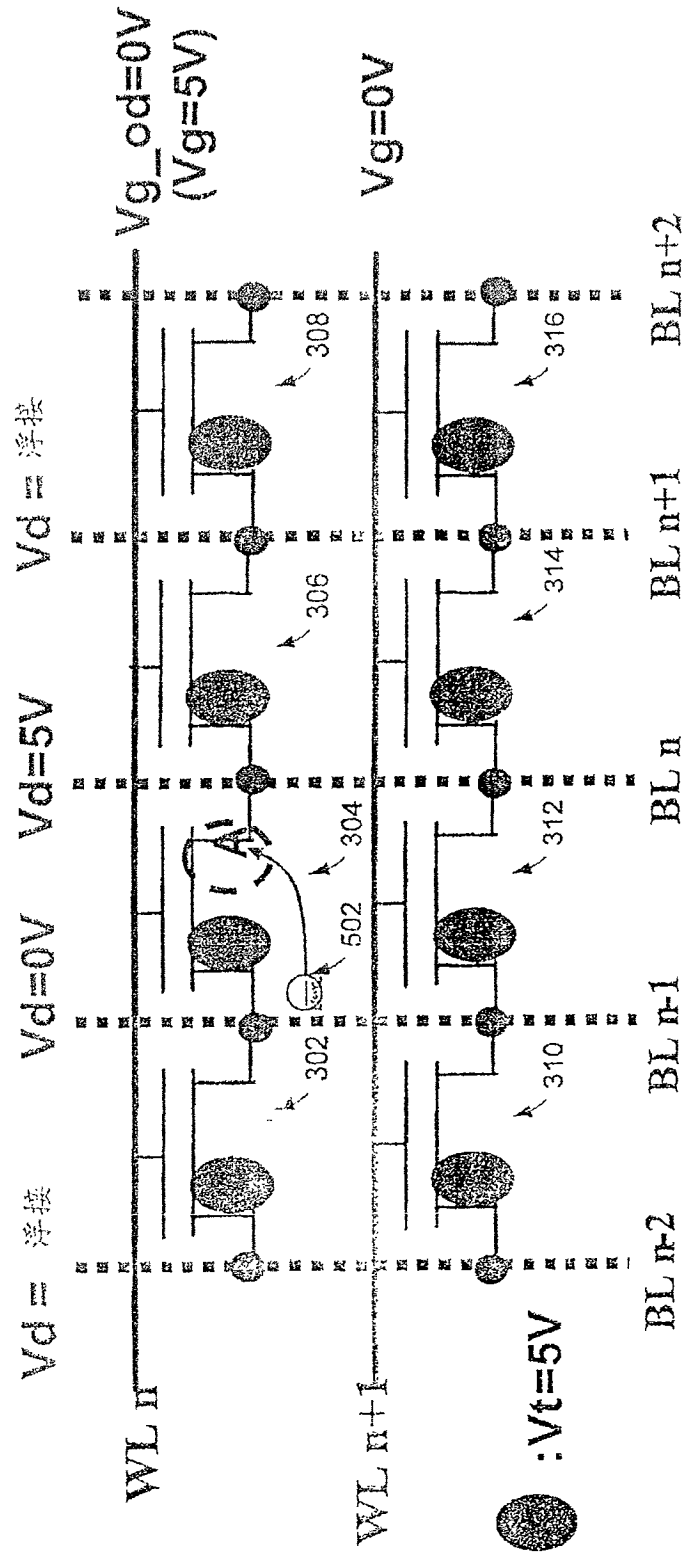


图 5

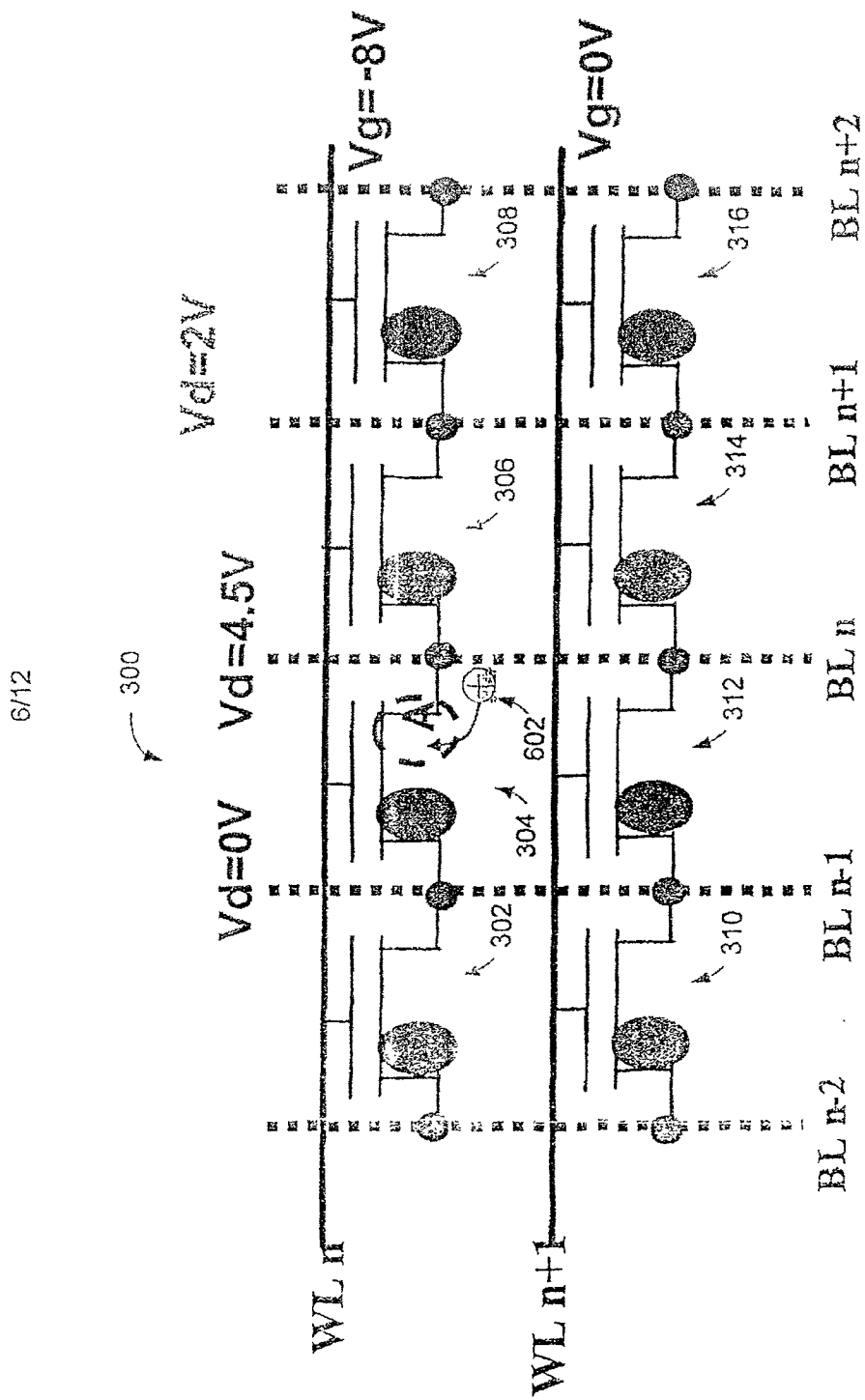


图 6

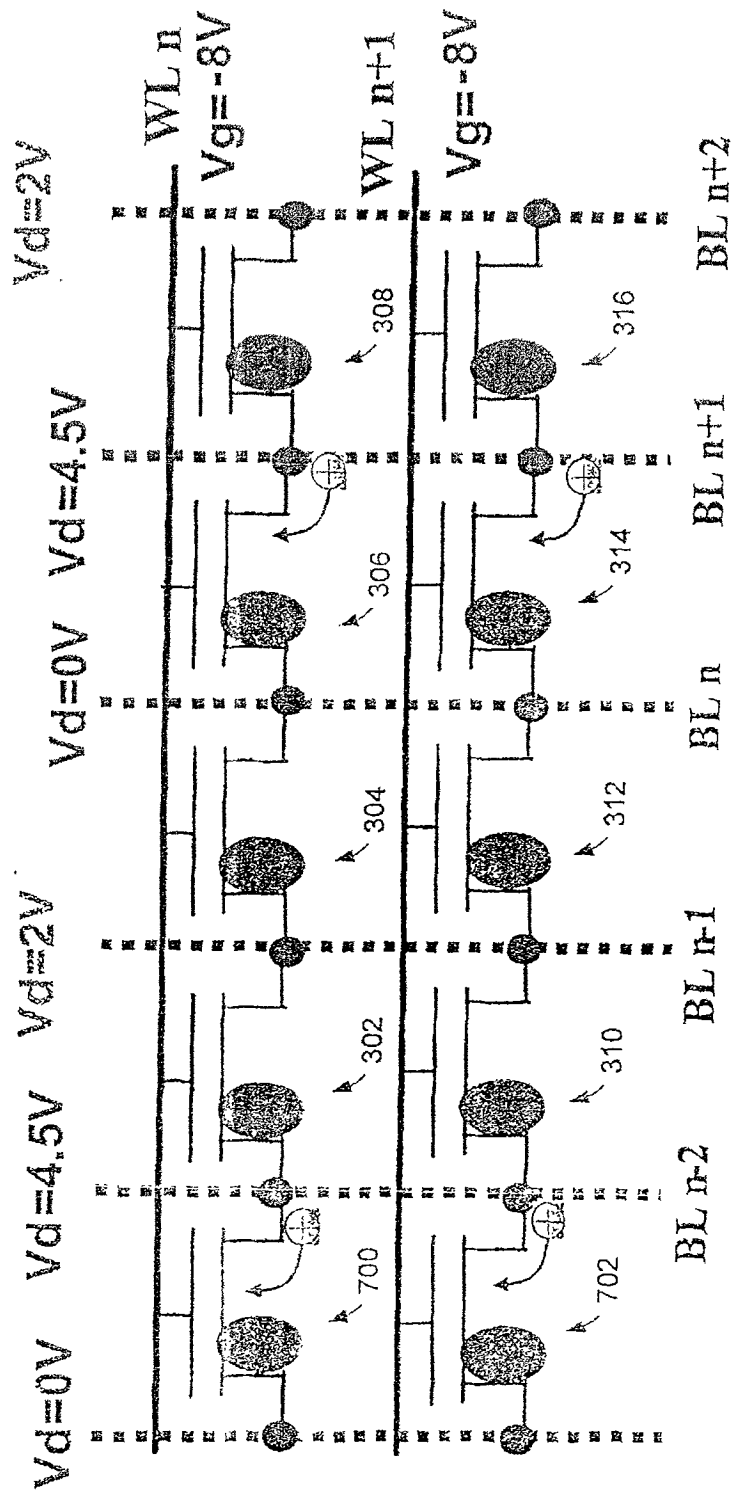


图 7

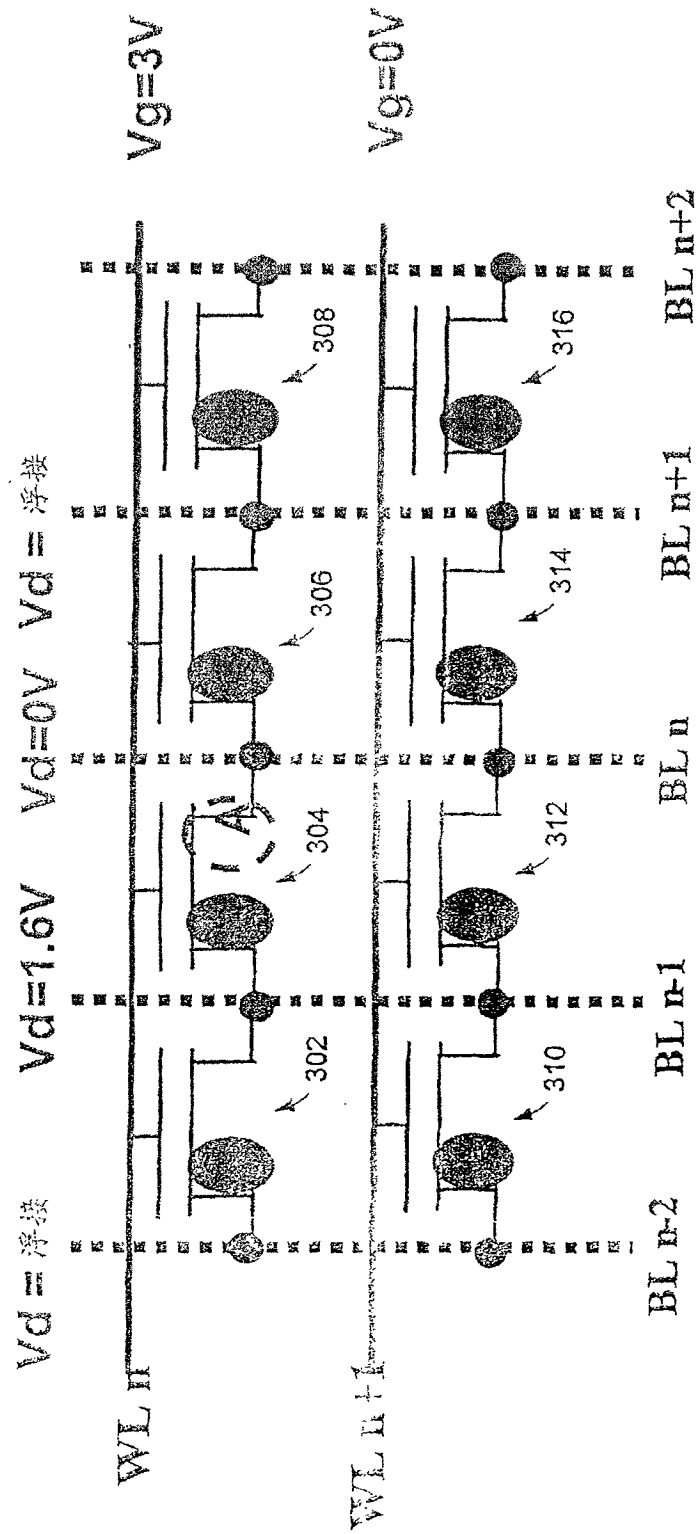


图 8

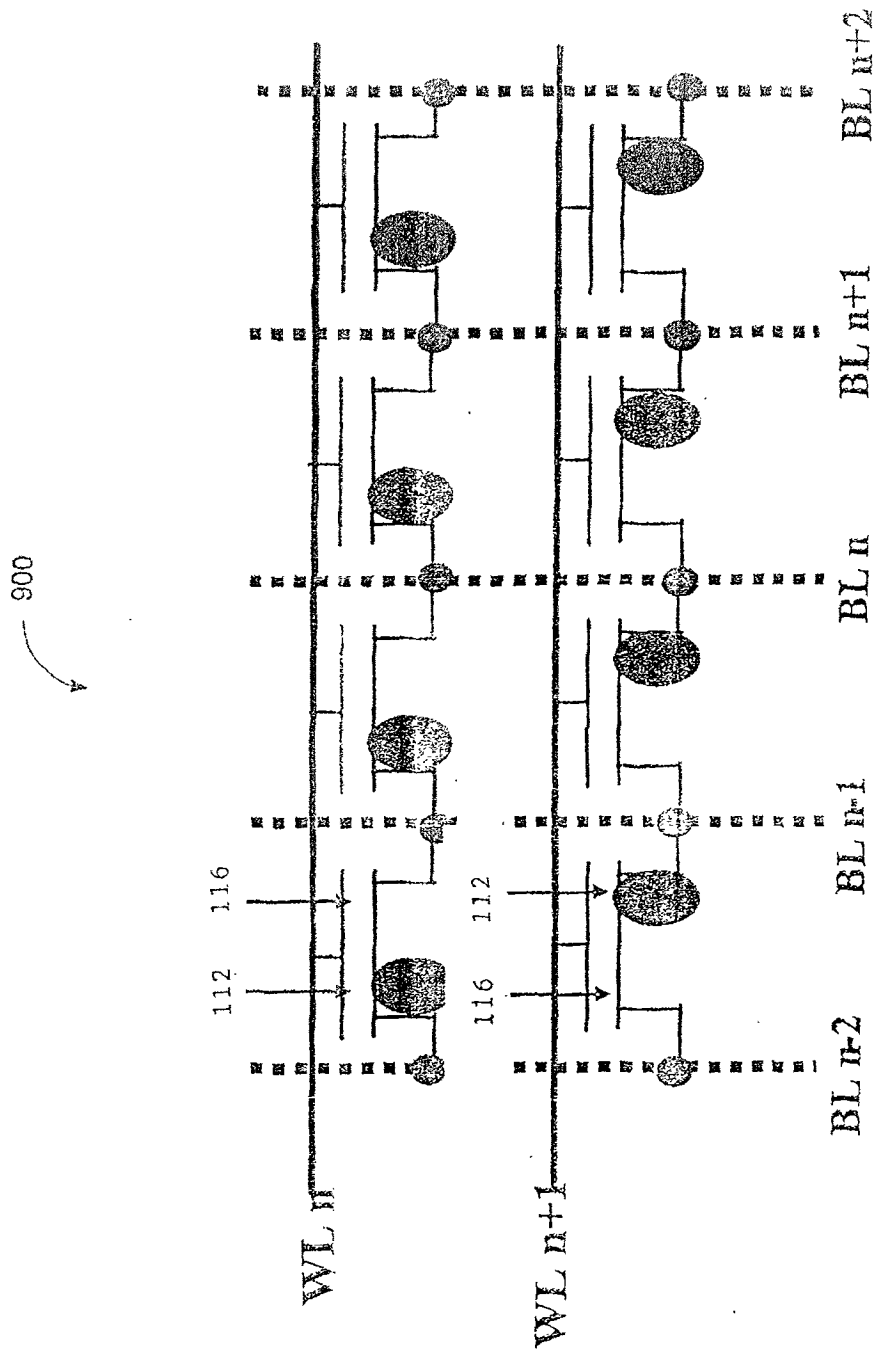


图 9

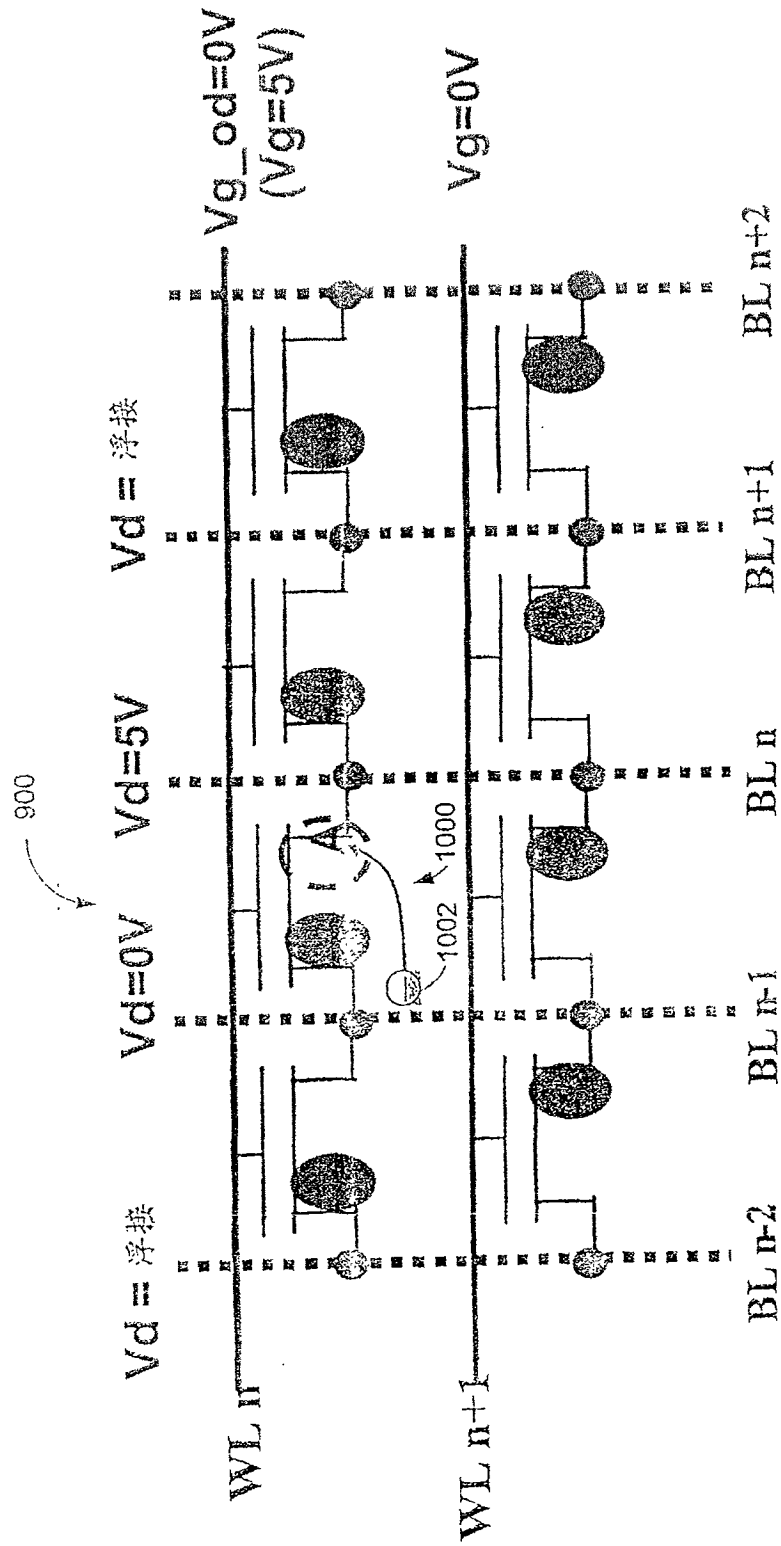


图 10

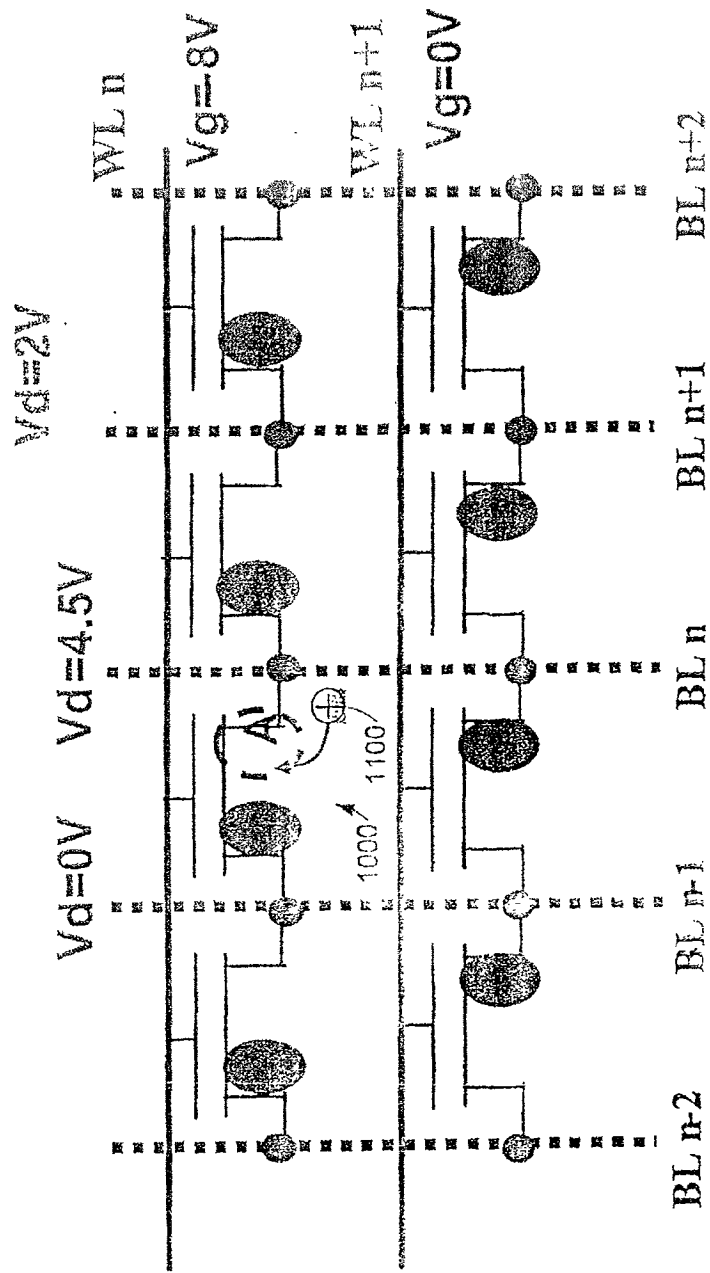


图 11

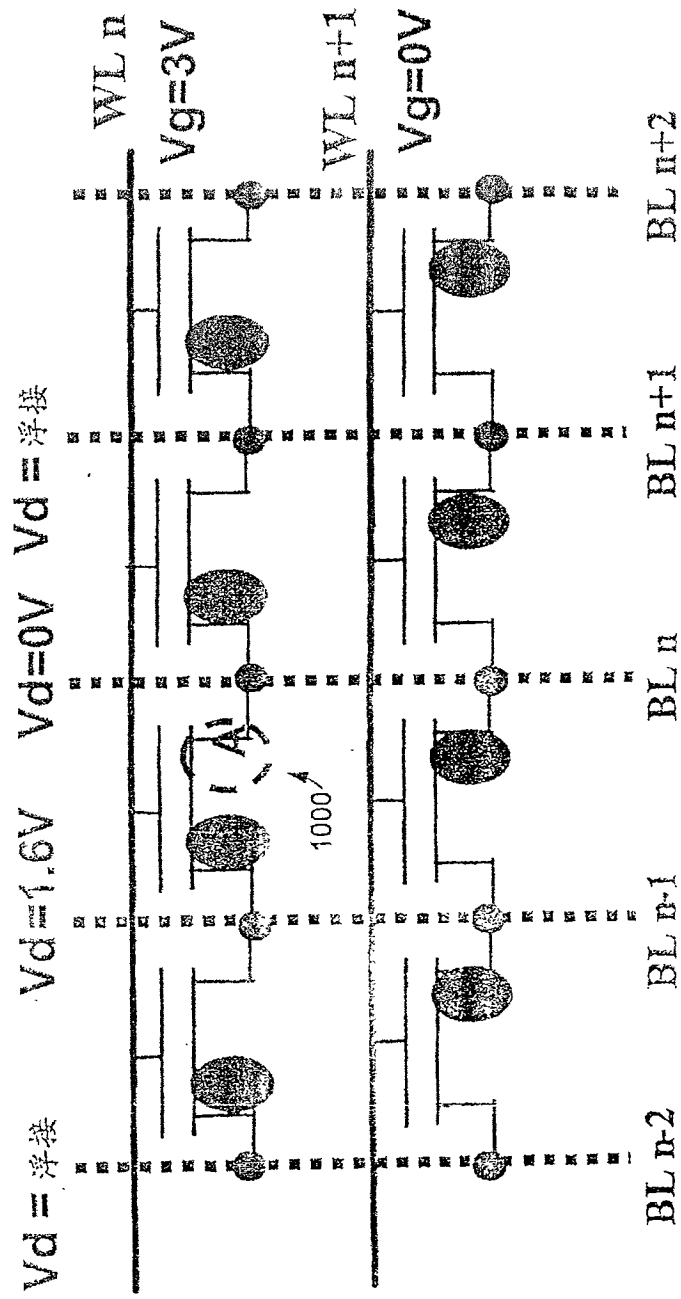


图 12