(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3719541号
(P3719541)
(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]　F I
H03M　1/46　H03M　1/46

請求項の数 7　(全 31 頁)

(21)出願番号　特願平8-36925
(22)出願日　平成8年2月23日(1996.2.23)
(65)公開番号　特開平8-321779
(43)公開日　平成8年12月3日(1996.12.3)
審査請求日　平成15年2月20日(2003.2.20)
(31)優先権主張番号　9503783:4
(32)優先日　平成7年2月24日(1995.2.24)
(33)優先権主張国　英国(GB)

(73)特許権者　599118160
フジツー　マイクロエレクトロニクス　ユーロプ　ゲーエムベーハー
ドイツ国　６３３０３　ドライアイヒ－ブクシュラーク　アム・ズィーベンシュタイン　６－１０
(74)代理人　100070150
弁理士　伊東　忠彦
(72)発明者　イアン　ジュソ　デディク
イギリス国，ミドルセックス　ユービー５　５エイチダブリュ，ノートルト，ベルビュー・ロード　１５番

最終頁に続く

(54)【発明の名称】アナログディジタル変換器

(57)【特許請求の範囲】
【請求項１】
連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって、
アナログ入力信号を受けるように接続され、ディジタルデータを生成するため各変換サイクルで動作可能である比較手段が設けられ、
上記ディジタルデータは、アナログ入力信号が第１の比較値よりも大きい場合に第１の値を有し、該アナログ入力信号が第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有し、
該第１の比較値は、該当する変換サイクル中に使用するため当該アナログディジタル変換器によって決定された仮信号値よりも大きく、仮信号値との間に第１の所定の量の差があり、
該第２の比較値は、該仮信号値よりも小さく、該仮信号値との間に第２の所定の量の差があり、
該仮信号値が該アナログ入力信号により近づくように、当該サイクルに生成された該ディジタルデータに依存して該仮信号値を調整するため各変換サイクルで動作可能である連続的近似手段が設けられ、
各変換サイクル中に、該アナログ入力信号が該仮信号値と比較される第１の比較が実行され、次に、該第１の比較の結果としてアナログ入力信号が仮信号値よりも大きい場合に該アナログ入力信号が該第１の比較値と比較され、該第１の比較の結果としてアナログ入力

信号が該仮信号値よりも小さい場合に該アナログ入力信号が該第２の比較値と比較される第２の比較が実行される、
アナログディジタル変換器。
【請求項２】
連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって、
アナログ入力信号を受けるように接続され、ディジタルデータを生成するため各変換サイクルで動作可能である比較手段が設けられ、
上記ディジタルデータは、アナログ入力信号が第１の比較値よりも大きい場合に第１の値を有し、該アナログ入力信号が第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有し、
該第１の比較値は、該当する変換サイクル中に使用するため当該アナログディジタル変換器によって決定された仮信号値よりも大きく、仮信号値との間に第１の所定の量の差があり、
該第２の比較値は、該仮信号値よりも小さく、該仮信号値との間に第２の所定の量の差があり、
該仮信号値が該アナログ入力信号により近づくように、当該サイクルに生成された該ディジタルデータに依存して該仮信号値を調整するため各変換サイクルで動作可能である連続的近似手段が設けられ、
該比較手段は、該アナログ入力信号が該第１の比較値と該第２の比較値のうちの一方と比較される第１の比較を実行し、次に、アナログ入力信号が該第１の比較値と該第２の比較値のうちのもう一方と比較される第２の比較を実行するため、各変換サイクル中に選択的に動作可能であり、
該比較手段は、該第１の比較の結果を考慮して、該第２の比較の結果が既知である場合、該第２の比較を実行しない、
アナログディジタル変換器。
【請求項３】
連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって、
アナログ入力信号を受けるように接続され、ディジタルデータを生成するため各変換サイクルで動作可能である比較手段が設けられ、
上記ディジタルデータは、アナログ入力信号が第１の比較値よりも大きい場合に第１の値を有し、該アナログ入力信号が第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有し、
該第１の比較値は、該当する変換サイクル中に使用するため当該アナログディジタル変換器によって決定された仮信号値よりも大きく、仮信号値との間に第１の所定の量の差があり、
該第２の比較値は、該仮信号値よりも小さく、該仮信号値との間に第２の所定の量の差があり、
該仮信号値が該アナログ入力信号により近づくように、当該サイクルに生成された該ディジタルデータに依存して該仮信号値を調整するため各変換サイクルで動作可能である連続的近似手段が設けられ、
該比較手段は、該アナログ入力信号が該第１の比較値と該第２の比較値のうちの一方と比較される第１の比較を実行し、次に、アナログ入力信号が該第１の比較値と該第２の比較値のうちのもう一方と比較される第２の比較を実行するため、各変換サイクル中に選択的に動作可能であり、
該比較手段は、各変換サイクルの該第１の比較で使用するため、該第１の比較値と該第２の比較値のうちの一方として、前の変換サイクルの最後の比較で使用された比較値から離れている方の比較値を選択する、
アナログディジタル変換器。

【請求項４】
連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって、
アナログ入力信号を受けるように接続され、ディジタルデータを生成するため各変換サイクルで動作可能である比較手段が設けられ、
上記ディジタルデータは、アナログ入力信号が第１の比較値よりも大きい場合に第１の値を有し、該アナログ入力信号が第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有し、
該第１の比較値は、該当する変換サイクル中に使用するため当該アナログディジタル変換器によって決定された仮信号値よりも大きく、仮信号値との間に第１の所定の量の差があり、
該第２の比較値は、該仮信号値よりも小さく、該仮信号値との間に第２の所定の量の差があり、
該仮信号値が該アナログ入力信号により近づくように、当該サイクルに生成された該ディジタルデータに依存して該仮信号値を調整するため各変換サイクルで動作可能である連続的近似手段が設けられ、
該比較手段は、該アナログ入力信号が該第１の比較値と該第２の比較値のうちの一方と比較される第１の比較を実行し、次に、アナログ入力信号が該第１の比較値と該第２の比較値のうちのもう一方と比較される第２の比較を実行するため、各変換サイクル中に選択的に動作可能であり、
該比較手段は、最初の変換サイクルの第１の比較で、該第１の比較値と該第２の比較値のうちの一方として、該アナログ入力信号から離れている方の比較値を利用する、
アナログディジタル変換器。
【請求項５】
該連続の変換サイクル中に該連続的近似手段によって該仮信号値に適用され得る調整量は、該連続の変換サイクル中の最後の変換サイクル以外の少なくとも１回の変換サイクルにおいて、当該変換サイクルで生成されたディジタルデータ値の誤差の結果として当該変換サイクルで調整が行われた場合に、当該変換サイクルでの調整量が、少なくとも１個のアナログ入力信号値に対して、調整された仮信号値とアナログ入力値との差が連続の変換サイクルの後続のサイクル中に実現可能な調整量の最大合計を超えない範囲に収まるような調整量になるように予め決められる、
請求項１乃至４のうち何れか一項記載のアナログディジタル変換器。
【請求項６】
該連続の変換サイクル中に該連続的近似手段によって該仮信号値に適用され得る調整量は、該連続の変換サイクル中の最後の変換サイクル以外の何れか１回の変換サイクルにおいて、当該変換サイクルで生成されたディジタルデータ値の誤差の結果として当該変換サイクルで調整が行われた場合に、当該変換サイクルでの調整量が、少なくとも１個のアナログ入力信号値に対して、調整された仮信号値とアナログ入力値との差が連続の変換サイクルの後続のサイクル中に実現可能な調整量の最大合計を超えない範囲に収まるような調整量になるように予め決められる、
請求項１乃至５のうち何れか一項記載のアナログディジタル変換器。
【請求項７】
連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって、
アナログ入力信号を受けるように接続され、ディジタルデータを生成するため各変換サイクルで動作可能である比較手段が設けられ、
上記ディジタルデータは、アナログ入力信号が比較値よりも大きい場合に第１の値を有し、それ以外の場合に第２の値を有し、
比較値は該当する変換サイクルで使用するため当該アナログディジタル変換器によって決定された仮信号値に依存し、

該仮信号値が該アナログ入力信号により近づくように、当該サイクルに生成された該ディジタルデータに依存して該仮信号値を調整するため各変換サイクルで動作可能である連続的近似手段が設けられ、
該連続の変換サイクルの中の少なくとも一つの変換サイクルは、比較手段が２回以上動作させられる訂正サイクルであり、その訂正サイクル中に第１の比較と第２の比較が行われ、
該連続的近似手段は、該仮信号値を調整するときに、第１の比較の比較によって生成されたディジタルデータ及び第２の比較によって生成されたディジタルデータを利用するため訂正サイクル中に動作可能である、
アナログディジタル変換器。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、アナログディジタル変換器に係り、特に、連続的な近似法を採用するアナログディジタル変換器に関する。
【０００２】
【従来の技術】
添付図面の図１には、従来の連続的近似アナログディジタル変換器（ＡＤＣ）の概略的なブロック図が示されている。このようなアナログディジタル変換器は、例えば、ホロウィッツとヒルの“電子技術”、第２版、１９８９年、ケンブリッジ大学プレス(“The Art of Electronics", second edition 1989, P. Horowitz and W. Hill, Cambridge University Press)に記載されている。
【０００３】
図１のアナログディジタル変換器１は、ディジタル記憶レジスタ（連続的近似レジスタ又はＳＡＲと呼ばれることがある）３と、ディジタルアナログ変換器（ＤＡＣ）５と、関連基準電圧発生回路７と、比較器９と、制御回路１１と、関連クロック発生回路１３と、ディジタル出力回路１５とからなる。
図１のアナログディジタル変換器を使用する場合、対応するディジタル出力語に変換されるべきアナログ入力電圧V_{IN}は比較器９の一方の入力に供給される。
“変換開始”信号は制御回路１１の一方の入力に供給される。上記パルスに応答して、制御回路１１は、最上位ビットは１であり、残りのビットは０である第１のディジタル“仮”値を連続的記憶レジスタ１３に記憶する。次いで、連続的記憶レジスタ１３内の上記仮値は、比較器９のもう一方の入力に供給される対応するアナログ仮電圧V_{TRIAL}を生成するディジタルアナログ変換器５にロードされる。第１の仮語の値は、仮電圧V_{TRIAL}が最初にディジタルアナログ変換器５のフルスケールの出力の半分にセットされるよう選択される。
【０００４】
V_{IN}とV_{TRIAL}の間の比較の結果ＣＯＭＰが「V_{IN}はV_{TRIAL}よりも大きい」であるならば、連続的近似レジスタ３の最上位ビットは１のままにされる。それ以外の場合、最上位ビットは０にリセットされる。
次いで、アナログディジタル変換器１の次の変換サイクル中に、連続的近似レジスタ３の上位２番目のビットは１にセットされ、それ以外のビットは変更されない。得られる新しいディジタル仮値は別のV_{TRIAL}を発生するディジタルアナログ変換器５に供給される。新しいV_{TRIAL}とV_{IN}の間で比較器９によって行われた比較の結果に基づいて、連続的近似レジスタ３の上位２番目のビットのレベルは、第１の変換サイクルと同様の方法で定められる。
【０００５】
アナログディジタル変換器１の動作は、連続的近似レジスタ３の最下位ビットのレベルが定められるまで連続的なサイクルに亘り同様の方法で続けられる。この点で、制御回路１１は“変換終了”信号を出力し、連続的近似レジスタ３の内容がディジタル出力語Ｄとし

て出力されるよう出力回路１５をイネーブル状態にする。
【０００６】
図１に示したような連続的近似アナログディジタル変換器は、かなり正確かつ高速であり、ｎビットの精度に対しｎの修正時間しか必要としない。典型的な変換時間は１乃至５０μｓの範囲内にあり、８と１２ビットの間の精度が通常得られる。
【０００７】
【発明が解決しようとする課題】
しかし、図１のアナログディジタル変換器の変換速度は、連続的近似レジスタ３の各ビットのレベルに関する判定を最下位ビット（ＬＳＢ）の１よりも良い精度に訂正する必要があるという要求条件によって制限されている。このことは、特に、高速又は高分解能が要求される連続的近似アナログディジタル変換器の場合、各ビットの有効な判定が行われる前に、アナログ回路を正確に修正し、かつ、比較器は大きいオーバードライブの後の小さい信号を分解する必要があるので、問題である。
【０００８】
本発明は、比較手段（アナログ回路）の性能レベル（修正時間及び比較精度）の向上を必要とすることなく従来の連続的近似アナログディジタル変換器に対し速度が改良されたアナログディジタル変換器の提供を目的とする。
【０００９】
【課題を解決するための手段】
上記目的を達成するため、本発明の第１の面によれば、連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器であって：アナログ入力信号を受けるため接続され、上記入力信号の方が当該サイクル中に使用する上記変換器によって定められた仮信号値よりも大きく第１の所定の量上記仮信号値と差がある第１の比較値よりも大きい場合に第１の値を有し、上記入力信号の方が上記仮信号値よりも小さく第２の所定の量上記仮信号値と差がある第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有するディジタルデータを生成するため各変換サイクルで動作可能である比較手段と；上記仮信号値を上記入力信号値により近い対応にさせる傾向があるように上記当該サイクル中に生成された上記ディジタルデータに依存して上記仮信号値を調整するため各変換サイクル中に動作可能な連続的近似手段とからなるアナログディジタル変換器が提供される。
【００１０】
仮信号値の判定は合理的な制限の範囲内で自己訂正性があるので、比較の不完全な修正及び／又は不正確さに起因して一つの変換サイクル中に生成されたディジタルデータ内の誤差は、後のサイクルで自動的に訂正される。これにより、比較手段を従来の連続的近似アナログディジタル変換器よりも高速に動作させることが可能になる。
【００１１】
各変換サイクル中、上記連続的近似手段は、好ましくは、当該変換サイクル中に生成された上記ディジタルデータが上記第１の値を有する場合に上記仮信号値を所定の上方調整量増加させ、上記ディジタルデータが上記第２の値を有する場合に上記仮信号値を所定の下方調整量減少させ、上記ディジタルデータが上記第３の値を有する場合に上記仮信号値を変化のないままにしておく。上記所定の上方調整量は各変換サイクルで上記所定の下方調整量に一致させてもよい。
【００１２】
好ましくは、少なくとも一対の連続的な変換に対し、上記対の後半のサイクル中の上記第１の所定の量は、上記対の前半のサイクル中の上記第１の所定の量よりも減少し、及び／又は、上記対の後半のサイクル中の上記第２の所定の量は、上記対の前半のサイクル中の上記第２の所定の量よりも減少させられる。例えば、上記対の後半のサイクル中の上記第１の所定の量は、上記対の前半のサイクル中の上記第１の所定の量の実質的に半分でもよく、上記対の後半のサイクル中の上記第２の所定の量は、上記対の前半のサイクル中の上記第２の所定の量の実質的に半分でもよい。上記の二分化はディジタル回路によって容易

かつ適宜に実現することができる。

【００１３】

各変換サイクル中、上記第１の所定の量は上記第２の所定の量に等しくてもよい。

上記仮信号値は、好ましくは、最初に上記変換器のフルスケールの入力信号値の実質的に半分である。

上記ディジタルデータの上記第１、第２及び第３の値は、例えば、夫々、＋１、－１及び０である。上記値はディジタル回路で扱うのに都合がよい。

【００１４】

二つの比較値を発生し、その二つの比較値を同時に入力信号と比較するため別個の回路（例えば、二つのディジタルアナログ変換器と二つの比較器）を用いることにより第１及び第２の比較値との夫々の比較を同時に行うことが可能である。このような並行した比較は各変換サイクルに必要とされる時間を短縮する傾向があるが、上記二つの別個の回路は適切に整合させる必要があり、これにより、実際的に比較の有効な結果が得られる前に必要とされる修正時間を増加させる影響が生じる。

【００１５】

従って、好ましくは、上記比較手段は、上記入力信号値が上記第１及び第２の比較値の中の一方と比較される第１の比較を実行し、次いで、上記入力信号値が上記二つの比較値の中の他方と比較される第２の比較と実行するため各変換サイクルで選択的に動作可能である。これにより同一のアナログ回路（ディジタルアナログ変換器と比較器）に両方の比較値を生成させることができるので、従来の連続的近似アナログディジタル変換器において必要とされたアナログ回路の他にアナログ回路は必要ではない。分離した回路の整合性は必要ではないので、各比較の有効な結果を望み通り即座に得ることができる。

【００１６】

この例の場合、各変換サイクル中、上記所定の上方調整量は、好ましくは上記第１の所定の量の実質的に２倍であり、上記所定の下方調整量は、好ましくは上記第２の所定の量の実質的に２倍であり、上記第１及び第２の所定の量は、好ましくは、初期に上記変換器の上記フルスケールの入力信号値（フルスケール走査）の８分の１に実質的に等しい。

【００１７】

好ましくは、上記比較手段は、上記第１の比較の結果が上記第２の比較を不要にさせる場合に、上記第２の比較を行わない。例えば、第１の比較中に入力信号値は第１の比較値よりも大きいことが分かった場合、第１の比較値は第２の比較値よりも大きいので、入力信号値は第２の値よりも小さくなり得ないことになる。第２の比較を省くことにより、次の変換サイクルの開始前に比較手段の修正により多くの時間が残される。或いは、例えば、総変換時間を短縮するため、又は、後のより重大な変換サイクル中に使用するための“余分の”比較フェーズを残すため次のサイクルを直ぐに開始してもよい。

【００１８】

好ましい一実施例において、上記比較手段は、各変換サイクルの上記第１の比較中に使用するため、前の変換サイクルの最後の比較中に使用された上記比較値と最も差のある上記第１及び第２の比較値の中の一方を選択する。上記比較手段によって採用された連続的な比較値の最も大きい可能性のある変化を生じさせることにより、仮信号値は変換の進行中により頻繁に入力信号値を横切る可能性が高くなるので、正確なディジタルデータが各サイクルに生成される可能性が高くなる。従って、比較手段の要求される修正時間をより一層短縮することが可能になる。

【００１９】

上記比較手段は、上記最初の変換サイクルの上記第１の比較中に、上記入力信号値から最も差のある上記第１及び第２の比較値の中の一方を採用する点に利点がある。このことは、上記第１の比較中に入力電圧と比較電圧との差は最大であり、上記結果が得られたときたとえ比較手段は完全に修正されていなくても正確な比較結果が得られる機会を増加させることを意味する。比較値の選択は、第１の比較サイクルの開始前に初期比較を行うことによりなされ、第１の比較サイクル中にアナログ入力電圧は変換器のフルスケールのアナ

ログ入力電圧の半分と比較される。入力電圧がフルスケールの入力電圧の半分を超えた場合、第２の（低い方の）比較電圧をサイクル１の第１の比較における使用のため選択する必要があり、それ以外の場合、第１の（高い方の）比較電圧を選択する必要がある。

【００２０】

他の好ましい実施例において、上記比較手段は、各変換サイクル中に、上記第１の入力信号値が上記仮信号値と比較される第１の比較を実行し、次いで、上記入力信号値は、上記第１の比較の結果として上記入力信号値が上記仮信号値よりも大きい場合に上記第１の比較値と比較され、上記第１の比較の結果として上記入力信号値が上記仮信号値よりも小さい場合に上記第２の比較値と比較される第２の比較を実行するため動作可能である。この例の場合、好ましくは、各変換サイクル中、上記所定の上方調整量は上記第１の所定の量に実質的に等しく、上記所定の下方調整量は上記第２の所定の量に実質的に等しい。上記第１及び第２の所定の量は、好ましくは、最初に上記変換器の上記フルスケールの入力信号値の４分の１に実質的に等しい。

【００２１】

一実施例において、上記連続的近似手段は：各サイクル中、上記比較手段によって生成された上記ディジタルデータを記憶するディジタルレジスタ手段と；上記第１及び第２の比較値の中の一方、又は、上記仮信号値に対応するディジタルコードデータを得るため、上記ディジタルレジスタ手段に接続され、上記記憶されたディジタルデータを採用するデータ処理手段とを有し；上記比較手段は、上記ディジタルデータを生成するため、上記データ処理手段に接続され上記ディジタルコードデータに対応するアナログ比較信号を生成するディジタルアナログ変換手段と、上記ディジタルデータを生成するため上記アナログ入力信号と上記アナログ比較信号を比較するアナログ比較器とを有する。かかる例によれば、上記連続的近似手段は完全にディジタル的であり、アナログ比較手段の動作を簡単かつ適宜制御することが可能である。

【００２２】

好ましくは、上記データ処理手段はグレイコードの形式で上記ディジタルコードデータを生成し、上記ディジタルアナログ変換手段は上記グレイコードに応答性がある。

本発明の第２の面によれば、連続の変換サイクルを行うため繰り返し的に動作可能なアナログディジタル変換器が提供され、上記アナログディジタル変換器は：アナログ入力信号を受けるため接続され、上記入力信号の方が当該サイクル中に使用する上記変換器によって定められた仮信号値に依存する比較値よりも大きい場合に第１の値を有し、それ以外の場合に第２の値を有するディジタルデータを生成するため各変換サイクルで動作可能である比較手段と；上記仮信号値を上記入力信号値により近い対応にさせる傾向があるように、上記当該サイクル中に生成された上記ディジタルデータに依存して上記仮信号値を調整するため各変換サイクル中に動作可能な連続的近似手段とからなり；上記連続の変換サイクルの中の少なくとも一つの変換サイクルは、第１及び第２の夫々の比較がそのサイクル中に行われるよう上記比較手段が２回以上動作させられる訂正サイクルであり、上記連続的近似手段は、上記仮信号値を調整するとき上記第１及び第２の比較によって夫々に生成された上記ディジタルデータを採用するため上記訂正サイクル中に動作可能である。

【００２３】

かかるアナログディジタル変換器によれば、比較手段（アナログ回路）の性能レベル（修正時間及び比較精度）の向上を何ら必要とすることなく従来の連続的近似アナログディジタル変換器に対し速度に関し実質的な改良が得られる。仮信号値の判定は合理的な制限の範囲内で自己訂正性があるので、比較の不完全な修正及び／又は不正確さに起因して一つの変換サイクル中に生成されたディジタルデータ内の誤差は、後のサイクルで自動的に訂正される。これにより、比較手段を従来の連続的近似アナログディジタル変換器よりも高速に動作させ得るようになる。

【００２４】

上記訂正サイクルの上記第２の比較中に採用された上記比較値は、好ましくは、上記第１の比較によって生成された上記ディジタルデータに依存している。

好ましくは、上記訂正サイクル中、ｎが１以上の整数を表わすとき上記連続的近似手段は上記仮信号値のｎビットを判定し、ｍがｎより大きい整数を表わすとき上記比較手段はｍ回の比較を行う。

【００２５】

上記連続の変換サイクルの中の各変換サイクルは訂正サイクルでもよく、或いは、訂正サイクルは、全体で１回しかなくてもよく、複数の変換サイクル毎に１回の訂正サイクルがあってもよい。

本発明の第３の面によれば、連続の変換サイクルを有し、アナログ入力信号に対応するディジタル信号を生成するアナログディジタル変換方法が提供され、上記方法において各変換サイクルは：上記入力信号の方が当該サイクル中に使用するため定められた仮信号値よりも大きく第１の所定の量上記仮信号値と差がある第１の比較値よりも大きい場合に第１の値を有し、上記入力信号の方が上記仮信号値よりも小さく第２の所定の量上記仮信号値と差がある第２の比較値よりも小さい場合に第２の値を有し、それ以外の全ての場合に第３の値を有するディジタルデータを生成する段階と；上記仮信号値を上記入力信号値により近い対応にさせる傾向があるように上記当該サイクル中に生成された上記ディジタルデータに依存して上記仮信号値を調整する段階とからなる。

【００２６】

本発明の第４の面によれば、連続の変換サイクルを有し、アナログ入力信号に対応するディジタル信号を生成するアナログディジタル変換方法が提供され、上記方法において各変換サイクルは：上記入力信号値と、当該サイクルで使用するため定められた仮信号値に依存する比較信号値の間の比較を行い、上記入力信号値が上記比較値よりも大きい場合に第１の値を有し、それ以外の場合に第２の値を有するディジタル信号を生成する段階と；上記仮信号値を上記入力信号値により近い対応にさせる傾向があるように上記当該サイクル中に生成された上記ディジタルデータに依存して上記仮信号値を調整する段階とからなり；少なくとも一つの変換サイクルは、第１及び第２の夫々の比較が行われ、上記仮信号値を調整するとき上記第１及び第２の比較によって夫々に生成された上記ディジタルデータが採用される訂正サイクルである。

【００２７】

【発明の実施の形態】

以下、その例に限定されることなく添付図面を参照して本発明を詳細に説明する。

図２には本発明の第１の実施例の連続的近似アナログディジタル変換器が示されている。第１の実施例のアナログディジタル変換器２０は、図１のアナログディジタル変換器１の構成と同様の構成を有し、両方の図で同一の構成部品は、同一の参照数字で示されている。しかし、第１の実施例のアナログディジタル変換器２０の場合、連続的近似回路（ＳＡＲ）２２及び制御回路２４は、各々図１内の対応する回路３及び１１とは相違がある。

【００２８】

第１の実施例のアナログディジタル変換器は、図１のアナログディジタル変換器と同様に、連続的近似アナログディジタル変換器ではあるが、別の変換アルゴリズムに従って動作する。

第１の実施例の場合、信号仮電圧V_{TRIAL}と変換されるべきアナログ入力電圧V_{IN}の間の比較の出力に依存して各サイクル中に連続的近似レジスタの１ビットを１又は０にセットするのではなく、連続的近似レジスタ２２の各ビットは、アナログ入力信号V_{IN}と２個の別個の比較電圧V_{C1}及びV_{C2}との比較の結果に依存して３個の別々のディジタル値、例えば、＋１、－１、及び０の中の一つにセットすることができる。上記比較電圧の一方V_{C1}が現在の“仮”電圧V_{TRIAL}を第１の量ΔV_1上回り、上記２個の比較電圧の中のもう一方V_{C2}が仮電圧V_{TRIAL}よりも第２の量ΔV_2小さい場合を想定する。仮電圧は、上記入力電圧V_{IN}と２個の比較電圧V_{C1}及びV_{C2}との比較の結果に依存して各変換サイクルの最後で選択的に調整される（上方調整量V_{ADJ1}で増大されるか、又は、下方調整量V_{ADJ2}で減少させられる）。

【００２９】

以下の表１には、連続的近似レジスタの各“ビット”のディジタル判定値が＋１、－１、及び０である場合に第１の実施例の各変換サイクルで行なわれる動作が示されている。

【００３０】

【表１】

表　1

比較	ディジタル出力信号	仮電圧調整
$V_{IN} > V_{TRIAL} + \Delta V_1$	+1	$V_{TRIAL} \leftarrow V_{TRIAL} + V_{ADJ1}$
$V_{IN} < V_{TRIAL} - \Delta V_2$	-1	$V_{TRIAL} \leftarrow V_{TRIAL} - V_{ADJ2}$
$V_{TRIAL} - \Delta V_2 \leq V_{IN} \leq V_{TRIAL} + \Delta V_1$	0	変化なし

【００３１】

好ましくは、本発明の第１の実施例において、比較電圧V_{C1}及びV_{C2}と、仮電圧V_{TRIAL}との間の夫々の差ΔV_1及びΔV_2は、各サイクルで一致させられ、即ち、$\Delta V_1 = \Delta V_2 = \Delta V$である。かかる実施例の場合、上方及び下方調整量$V_{ADJ1}$及び$V_{ADJ2}$も各サイクルで一致させられ、即ち、$V_{ADJ1} = V_{ADJ2} = V_{ADJ} = 2 \times \Delta V$である。連続的なサイクル中、$\Delta V$と$\Delta V_{ADJ}$の値は前のサイクルで使用された値と比較して半分にされる。

【００３２】

【表２】

表 2

サイクル	$\Delta V/V_{fsc}$	V_{ADJ}/V_{fsc}
1	1/8	1/4
2	1/16	1/8
3	1/32	1/16
4	1/64	1/32
5	1/128	1/64
6	1/256	1/128
7	1/512	1/256
8	1/1024	1/512
9	1/2048	1/1024
10	1/4096	1/2048
11	1/8192	1/4096
12	1/16384	1/8192
13	1/32768	1/16384
14	1/65536	1/32768
15	(2^{-17})	(1/65536)
16	(2^{-18})	(2^{-17})

【００３３】
上記表２には内部ディジタルアナログ変換器（ＤＡＣ）５がフルスケールの出力電圧値V_{fsc}を有する１６ビットのアナログディジタル変換器の連続的サイクルで使用されるΔＶとV_{ADJ}の例示的な値が示されている。
変換の最後の２回のサイクル（表２のサイクル１５と１６）において、これらのサイクル中に必要とされるΔＶ／V_{fsc}とΔＶ／V_{fsc}の値（2^{-17}と2^{-18}）は、ディジタルアナログ変換器５の入力でディジタル的に表現するには小さ過ぎる（最下位１ビットよりも小さい）ので、上記アルゴリズムは使用できない。このため、以下図７を参照して説明するようにサイクル１５及び１６では別のアルゴリズムが使用される。
【００３４】
図１の従来のアナログディジタル変換器の場合と同様に、初期仮電圧V_{TRIAL}（サイクル１中に使用する仮電圧）はディジタルアナログ変換器５のフルスケールの出力電圧値V_{fsc}の半分になるよう選択される。
連続的近似アナログディジタル変換器において上記変換アルゴリズムを使用することにより、図１の従来の連続的近似アナログディジタル変換器と同一のアナログ回路（ディジタルアナログ変換器５と比較器９）を利用する一方で、変換速度に著しい増加が得られることがシミュレーションによって実証された。
【００３５】
２－ボルトのフルスケール値のV_{fsc}と、（ディジタルアナログ変換器５の入力コードが最下位ビットの１だけ変化したとき、ディジタルアナログ変換器のアナログ出力電圧は、最下位ビットの０．５と１．５の間に一致する量変化することを表わす）０．５の微分非

直線性（ＤＮＬ）とを有する従来の連続的近似アナログディジタル変換器において、アナログディジタル変換器の内部アナログ回路（ディジタルアナログ変換器５と、比較器９と、ディジタルアナログ変換器５の入力コードが変化したとき、ディジタルアナログ変換器５に供給する基準電圧に小さいけれど重大な変化を発生させる傾向のある基準電圧発生回路７）は、各連続的近似サイクル中に行なわれる比較の前に１６ビットの精度に修正するため１１倍の時定数までが必要であり、比較器９は、（仮電圧V_{TRIAL}の最大のステップ変化である）１ボルトまでの初期オーバーライドの後、１５μＶの範囲内で正確な判定を行なう必要がある。比較器９に供給された仮電圧V_{TRIAL}の１Ｖから始まる指数関数的な減衰を仮定している上記修正は図３に示されている。時間軸は単位名τが付けられ、ここで、τは仮電圧V_{TRIAL}がその初期値の１／ｅ（０．３７Ｖ）に減衰するために要する時間を表わしている。

【００３６】

第１の実施例の“スリー・ステート”変換アルゴリズムを採用するシミュレーションによって、第１の実施例は、アナログ回路に要求される機能のレベルは著しく低下した一方で、従来の図１のアナログディジタル変換器と同一の結果を達成することが示された。特に、アナログ回路の修正精度と比較器の判定精度に対する要求は、“スリー・ステート”アルゴリズムを使用する第１の実施例において非常に厳密さが少なくなり、（図１のアナログディジタル変換器の１１τと比較して）僅か１．２５τ内に正確な最終出力値を達成するのに十分な修正が得られることが分かった。換言すれば、第１の実施例において比較を行なうため必要とされる時間T_1は、アナログ回路の修正時定数τの１．２５倍、即ち、T_1＝１．２５τに過ぎず、一方、図１の従来のアナログディジタル変換器の場合、T_C＝１１τである。例えば、最上位ビットの判定（１Ｖのステップ幅を有する最初の連続的近似サイクル中に行なわれる比較）は、僅かに２９０ｍＶの範囲に収まり、次の判定は１４５ｍＶの範囲内に収まる等の正確さが必要である。上記不完全な修正（即ち、従来のアナログディジタル変換器の場合、１５μＶが要求されるのに対し、最初のサイクル中に僅か２９０ｍＶの範囲内に収まる修正）に起因して生じる誤差は、次の変換サイクル中に自動的に訂正される。換言すれば、誤差が（例えば、ディジタルアナログ変換器及び／又は比較器の不適切な修正に起因して）特定サイクルの判定中に生成されたとき、二つ以上の経路によって同一の最終出力コードに達し得るので、上記誤差を後のサイクル中に（上記制限の範囲内で）訂正することが可能である。

【００３７】

かかる自動訂正は、変換の最後で必要とされる最終的な精度とは無関係に動作するので、最小修正時間は変換器の分解能が高くなっても増加しないことが分かった。

上記スリー・ステート・アルゴリズムを使用する場合、従来の図１のアナログディジタル変換器の場合には１回だけであるのに対し、各変換サイクル中に２回の比較が必要であることが認められる。しかし、第１の実施例において、アナログ回路を図１のアナログディジタル変換器よりも４倍と８倍の間で高速に動作させることが可能であるので、全体的な変換レートは、依然として（分解能とアナログ回路の特性に依存して）２乃至４倍増加している。かくして、例えば、図１のアナログディジタル変換器は、変換のため１６×０．８μｓの（評価）クロック周期を必要とするのに対し、第１の実施例のアナログディジタル変換器は、３２×０．１μｓのクロック周期を必要とする。入力サンプルを得るために要求される時間（０．８μｓ）を含めて、第１の実施例は、（７３．５ｋＨｚから２５０ｋＨｚへの変換レートの増加に対応して）変換時間を１３．６μｓから４．０μｓに短縮する。

【００３８】

第１の実施例のアナログディジタル変換器の連続的近似レジスタ回路２２の一例の概略的なブロック図を図４に示す。連続的近似レジスタ回路２２は、１５ビットシフトレジスタ３０と、第１及び第２の記憶レジスタ３２及び３４と、マルチプレクサ３６と、第１及び第２の加算器３８及び４０とを有する。上記連続的近似レジスタ回路２２は、単一ビットフラグレジスタ４２と、関係するフラグ制御回路３４とを更に有する。

【００３９】
図４の連続的近似レジスタ回路２２の動作を以下に説明する。シフトレジスタ３０は、上記アナログ調整量V_{ADJ}に対応するディジタル値ＷＥＩＧＨＴを記憶するため使用される。第１及び第２の記憶レジスタ３２及び３４は、現在の仮電圧V_{TRIAL}を判定するため採用された夫々のディジタル値ＰＯＳ及びＮＥＧを記憶するため使用される。フラグレジスタ４２は、以下に説明する目的のためフラグＤＯＨＩを記憶する。ＤＯＨＩフラグのセット／リセットは、関係するフラグ制御回路４４によって行なわれる。

【００４０】
加算器３８は、第１及び第２の記憶レジスタ３２及び３４に夫々記憶されたディジタル値ＰＯＳ及びＮＥＧと、別の一定ディジタル値＋３２７６８（＝2^{15}）とをその別個の入力に受ける。かくして、加算器３８の出力に生成されたディジタル値ＴＲＩＡＬは、３２７６８　＋　ＰＯＳ　－　ＮＥＧに一致する。加算器４０は、その一方の入力でディジタル値ＴＲＩＡＬを受け、そのもう一方の入力で二つの別のディジタル値±ＴＨＲの一方を受ける。かかるディジタル値は上記±ΔＶに対応する。値＋ＴＨＲは、フラグレジスタ４２に記憶されたフラグＤＯＨＩがセット（＝１）されたとき加算器４０に供給され、値－ＴＨＲは、フラグＤＯＨＩがリセット（＝０）されたとき加算器４０に供給される。

【００４１】
図４から分かるように加算器４０とシフトレジスタ３０は点線で結ばれている。これは、二つの値±ＴＨＲがシフトレジスタ３０に保持された値ＷＥＩＧＨＴから得られることを示すことを意図している。例えば、上記の例と同様にV_{ADJ}＝２ΔＶであるならば、±ＴＨＲ　＝　±ＷＥＩＧＨＴ／２　である。
従って、加算器４０の出力は、フラグＤＯＨＩに依存して、ＴＲＩＡＬ　＋　ＴＨＲ　又は　ＴＲＩＡＬ　－　ＴＨＲ　にセットすることができる。上記二つのディジタル値は、上記二つの比較値V_{C1}及びV_{C2}に夫々対応している。

【００４２】
図４の回路のマルチプレクサ３６によって、シフトレジスタ３０に保持されたＷＥＩＧＨＴの値を第１の記憶レジスタ３２の内容ＰＯＳ、又は、第２の記憶レジスタ３４の内容ＮＥＧの何れかに加算することが可能になる。この加算演算は以下に説明するように変換サイクルの最後に必要とされる。
次に、図５及び６を参照して第１の実施例の動作を説明する。

【００４３】
初期化ステップＳ１において、レジスタの内容はアナログディジタル変換器の制御回路２４によって夫々の初期値：
ＷＥＩＧＨＴ＝１６３８４（2^{14}），　ＰＯＳ＝０，　ＮＥＧ＝０
にセットされる。
変換の間に、ディジタルアナログ変換器の入力コードは中間コード、即ち、３２７６８にセットされるので、ディジタルアナログ変換器の出力電圧はV_{fsc}／２である。入力電圧V_{IN}は、そのときトラック状態にあるトラックアンドホールド回路を通過して変換の間に比較器９に供給されるので、サイクル１の開始直前に比較器によって行なわれるV_{IN}とV_{fsc}／２の間の比較に基づいて次の変換の最初のサイクル中に使用するためのＤＯＨＩの初期値を選択することが可能である。比較の結果が　$V_{IN} \leqq V_{fsc}$／２　である場合、ＤＯＨＩは１にセットされ、　$V_{IN} > V_{fsc}$／２　である場合、ＤＯＨＩは０にセットされる。かかるＤＯＨＩフラグの値の初期選択の理由を以下に説明する。

【００４４】
ステップＳ２において、最初の変換サイクルが始まり、フラグＤＯＨＩがセットされているかどうかを判定する。サイクルの始めにＤＯＨＩフラグがセットされているとき、このサイクル中に行なわれるべき第１の比較は、高い方の比較電圧V_{C1}との比較であることを示している。フラグＤＯＨＩがサイクルの始めにリセットされている（即ち、値０を有する）場合、このサイクル中に行なわれるべき第１の比較は低い方の比較電圧V_{C2}との比較であることを示している。

【００４５】
従って、ＤＯＨＩが初期にセットされている場合、処理はステップＳ３に続き、ディジタルアナログ変換器５の入力コード（ＤＡＣコード）は連続的近似レジスタ回路２２によって　３２７６８　＋　ＰＯＳ　－　ＮＥＧ　＋　ＴＨＲ　にセットされる。ＰＯＳとＮＥＧは初期的に共にゼロであるので、　３２７６８　＋　８１９２　＝　４０９６０　（４０ｋ）　にセットされたＤＡＣコードが得られる。その結果として、ディジタルアナログ変換器５のアナログ出力電圧は、上記例の場合、ディジタル値４０ｋに等しいアナログの高い方の比較電圧V_{C1}に変化する。ディジタルアナログ変換器５と比較器９を必要とされる程度に修正するため十分な時間が経過した後（例えば、上記の如く、T_1　＝　１．２５τ）、得られた$COMP_{HI}$（V_{IN}　＞　V_{C1}　の場合、$COPM_{HI}$　＝　１、それ以外の場合、$COMP_{HI}$　＝　０）はステップＳ４で記憶される。次いで、ステップＳ５において、小さい方の比較電圧V_{C2}との第２の比較を実行する必要があるかどうかが定められる。この比較は、第１の比較の結果がゼロ（V_{IN}　≦　V_{C1}）の場合に限り必要とされる。第２の比較が必要とされる場合、処理はステップＳ６に進み、ＤＯＨＩがフラグ制御回路４４によってゼロに変えられるので、最初の変換サイクル中には、３２７６８　－　８１９２　＝　２４５７６　（２４ｋ）に等しいＤＡＣコードは、３２７６８　＋　ＰＯＳ　－　ＮＥＧ　－　ＴＨＲ　に変えられる。必要な修正時間の経過後、第２の比較$COMP_{LO}$の結果（V_{IN}　＜　V_{C2}　の場合、$COPM_{LO}$　＝　１、それ以外の場合、$COMP_{LO}$　＝０）が得られ、格納される（ステップＳ７）。

【００４６】
ステップＳ２においてフラグＤＯＨＩが初期にゼロであることが検出された場合、逆の順序で比較が行なわれ、即ち、低い方の比較電圧V_{C2}が最初に発生され（ステップＳ８）、その結果$COMP_{LO}$は格納され（ステップＳ９）、第１の比較の結果$COMP_{LO}$に依存して第２の比較が必要であるかどうかが判定され（ステップＳ１０）、第２の比較が必要であるならば、ＤＯＨＩはフラグ制御回路４４によって１に変えられるので、高い方の比較電圧V_{C1}が発生され（ステップＳ１１）、結果$COMP_{HI}$が得られ、記憶される（ステップ１２）。

【００４７】
次いで、処理はステップＳ１３に進み、高い方の比較電圧V_{C1}との比較の結果$COMP_{HI}$がテストされる。$COMP_{HI}$　＝　１　である場合、ＰＯＳはＷＥＩＧＨＴだけ増加させられる（ステップＳ１７）。この例の場合、制御回路２４は、第１の記憶レジスタ３２内に保持された値ＰＯＳに加算するため、マルチプレクサ３６に値ＷＥＩＧＨＴを第１の記憶レジスタ３２に供給させる。処理は次にステップ２０に続く。

【００４８】
ステップＳ１３において、$COMP_{HI}$はゼロであることが検出された場合、処理はステップＳ１４に続き、もう一方の比較の結果$COMP_{LO}$がテストされる。$COMP_{LO}$は１であることが分かった場合、ＮＥＧはＷＥＩＧＨＴだけ増加させられる（ステップＳ１８）。この例の場合、制御回路２４は、第２の記憶レジスタ３４内に保持された値ＮＥＧに加算するため、マルチプレクサ３６に値ＷＥＩＧＨＴを第２の記憶レジスタ３４に供給させる。次いで、処理はステップＳ２０に続く。

【００４９】
$COMP_{HI}$と$COMP_{LO}$が共にゼロの場合、処理はステップＳ１５に達し、フラグＤＯＨＩはフラグ制御回路４４によって反転される。このようにＤＯＨＩを変える理由を以下に説明する。
ステップＳ２０において、値ＷＥＩＧＨＴは半分にされる（シフトレジスタ３０の内容を右に１つシフトすることにより行なわれる）。次いで、ステップＳ２１において、全ての変換サイクルが未だ終了していないかどうかが判定される。未だ終了していない場合、処理は、次のサイクルを開始するためステップＳ２に戻る。ステップＳ２１において全ての変換サイクルが終了していると判定された場合、変換の結果ＯＵＴＰＵＴは、３２７６８　＋　ＰＯＳ　－　ＮＥＧ　のように計算され、この結果は変換器によって出力される。

【００５０】
次いで、図７を参照して、第１の実施例によるアナログディジタル変換器の１６ビット版の動作の特別な例を説明する。図７の例において、変換されるべきアナログ入力電圧値V_{IN}は、１．２９３３Ｖであり、この値はディジタル値の４２３７９．４（＝４１．３８６ｋ）に対応している。$V_{IN} > V_{fsc}/2$ であるので、ＤＯＨＩは、初期化ステップＳ１でゼロにセットされる。同図に示す如く、サイクル１中に、最初に行なわれる比較は、ディジタル値２４５７６に一致している低い方の比較電圧V_{C2}との比較である。かかる比較の結果$COMP_{LO}$はゼロ（即ち、$V_{IN} > V_{C2}$）であるので、このサイクル中に第２の比較を行なうことが必要である。この第２の比較のため、４０９６０に等しい高い方の比較電圧V_{C1}が使用される。上記比較の結果$COMP_{HI}$は１（$V_{IN} > V_{C1}$）であるので、結果$COMP_{LO}$と$COMP_{HI}$の組み合わせに基づいて、ＰＯＳは１６３８４増加させられ、ＷＥＩＧＨＴは８１９２に２分され、次の変換サイクルが始まる。

【００５１】
サイクル２において、二つの比較電圧の中で、５４２４８に一致する高い方の比較電圧V_{C1}との比較が最初に行なわれる（サイクル１の最後に、ＤＯＨＩ　＝１）。上記比較の結果$COMP_{HI}$は０（$V_{IN} < V_{C1}$）であるので、低い方の比較電圧V_{C2}との比較が必要とされる。低い方の比較電圧V_{C2}は、４５０５６にセットされ、結果$COMP_{LO}$は、１（$V_{C2} \geqq V_{IN}$）である。このような$COMP_{HI}$と$COMP_{LO}$の組み合わせの場合、ＮＥＧはＷＥＩＧＨＴ（８１９２）だけ増加させられ、次のサイクル（サイクル３）が始まる。

【００５２】
サイクル３において、ディジタル値３８９１２に等しいV_{C2}による高い方の比較が最初に行なわれ（サイクル２の最後に、ＤＯＨＩ　＝　１）、比較の結果$COMP_{LO}$はゼロである。従って、ディジタル値４３００８に等しいV_{C1}による２番目の比較が必要とされる。この比較の結果$COMP_{HI}$はゼロである。その結果、ＰＯＳ又はＮＥＧの何れも変更されないが、ＤＯＨＩはサイクルの最後に１からゼロに戻される。ＷＥＩＧＨＴは、２０４８にもう一度２分される。

【００５３】
サイクル４において、初期に　ＤＯＨＩ　＝　０　であるので、最初に行なわれるべき比較は、低い方の比較電圧V_{C2}との比較である。低い方の比較電圧V_{C2}は、３９９３６にセットされ、比較の結果$COMP_{LO}$はゼロである。結果$COMP_{LO}$はゼロであるので、ディジタル値４１９８４に等しい高い方の比較電圧V_{C2}との比較が必要とされる。この２番目の比較の結果$COMP_{HI}$は１であるので、ＰＯＳは１８４３２（１６３８４　＋　２０４８）に増加させられる。このような態様でサイクル１４の最後まで処理は続く。

【００５４】
閾値は１よりも小さいことが必要であるため、出力コードの最後の２ビットはスリー・ステート・アルゴリズムを用いて処理されない。その代わり、出力コードの最後の２ビットの値は、以下のように生成される。
サイクル１５において、ＤＡＣコードは、３２７６８　＋　ＰＯＳ　－　ＮＥＧ　に対応する仮電圧V_{TRIAL}を生成するため３２７６８　＋　ＰＯＳ　－　ＮＥＧ　にセットされ、仮電圧V_{TRIAL}の入力電圧V_{IN}との比較が行なわれる。結果が１（$V_{IN} > V_{TRIAL}$）である場合、ＰＯＳは（サイクル１６のためV_{TRIAL}の高い方の値をセットするため）１だけ増加させられ；それ以外の場合、ＮＥＧは（サイクル１６のためV_{TRIAL}の低い方の値をセットするため）１だけ減少させられる。図７の例の場合、サイクル１５中に、４２３８０のＤＡＣコードは仮電圧V_{TRIAL}を生成するため使用され、仮電圧V_{TRIAL}はディジタル値４２３８０に対応する。$V_{IN} < V_{TRIAL}$ であるので、比較の結果はゼロであり、ＮＥＧは１だけ減少させられる。

【００５５】
サイクル１６中、ＤＡＣコードは、３２７６８　＋　ＰＯＳ　－　ＮＥＧ　に対応する最終的な仮電圧V_{TRIAL}を生成するため３２７６８　＋　ＰＯＳ　－　ＮＥＧ　にセットさ

れ、最終的な仮電圧V_{TRIAL}の入力電圧V_{IN}との比較が行なわれる。この例の場合、結果が１（V_{IN} ＞ V_{TRIAL}）である場合、ＰＯＳ又はＮＥＧに対する変更はなされず；それ以外の場合、ＮＥＧは１だけ減少させられる。

【００５６】

変換処理の最終的な判定は、±１／２ビットを適用する必要があるが、これは可能ではない。その代わり、ＮＥＧは、実行された比較の結果に依存して、１だけ減少させられ、或いは、減少させられないので、最下位ビットの１／２の偏差が発生する。図７の例の場合、サイクル１６中に、４２３７９のＤＡＣコードが最終的な仮電圧を生成するため使用され、即ち、V_{TRIAL}はディジタル値４２３７９に対応する。V_{IN} ＞ V_{TRIAL}であるので、上記比較の結果は１であり、ＮＥＧに対する変更は行なわれない。

【００５７】

従って、図７の例の場合、サイクル１６の最後で、ＰＯＳ ＝ １８９６４、ＮＥＧ ＝ ９３５３ であるので、変換処理の結果ＯＵＴＰＵＴは、意図した結果である３２７６８ ＋ １８９６４ － ９３５３ ＝ ４２３７９ と一致する。

最終的な二つのサイクル１５及び１６は、１回の比較しか必要としないので、１クロックサイクル当たり１回の変換であるならば、完全な変換には３０サイクルを要する。

【００５８】

図５及び６のフローチャートと、図７を参照して説明した例とから、フラグＤＯＨＩは、所定のサイクルで最初に行なわれる比較を判定するため使用されるとが分かる。

ＤＯＨＩフラグは各サイクルの最後で制御されるので、次のサイクルの先頭で、生成されるべき最初の比較電圧は、ディジタルアナログ変換器の出力電圧により大きい変化を必要とする方の比較電圧である。例えば、図７の例の場合、フラグＤＯＨＩは、（最初の比較しか行なわれていないので）サイクル１の最後で１のままにされ、（５４２４８に等しい）高い方の比較電圧がサイクル２の最初の比較で使用されるのに従って、（４５０５６に等しい）低い方の比較電圧が最初に行なわれた場合に必要とされる変化よりも大きいステップ変化（５４２４８ － ４０９６０ ＝ １３２８８に等しい）がディジタルアナログ変換器の出力電圧に発生する。

【００５９】

ある特定のサイクルで両方の比較が行なわれ、第２の比較の結果が１であった場合、例えば、図７の例のサイクル２と３に示されているように次のサイクルの比較の順序は反転される。これは、新しいサイクルの各々の先頭で要求されるディジタルアナログ変換器の出力電圧の変化が最大になることを保証するため行なわれる。例えば、サイクル３の先頭で要求されるステップ変化は、４５０５６ － ３８９１２ であり、この変化は高い方の比較電圧がサイクル３内で最初に試みられた場合に関連した変化 ４５０５６ － ４３００８ よりも著しく大きい。

【００６０】

特定のサイクル中に２回の比較が必要とされ、V_{IN}は高い方の比較電圧と低い方の比較電圧の間にあるという比較の結果が得られた場合、ＤＯＨＩはサイクルの最後に反転され（図６のステップＳ１６）、次のサイクルの先頭でディジタルアナログ変換器の出力電圧の二つの可能性のあるステップ変化の中の大きい方が生じる。例えば、サイクル３において、ＤＯＨＩは、２番目の比較が必要であると判定されたときにセットされるが、サイクル４の先頭で二つの可能性のあるステップ変化の中の大きい方（４３００８ － ４１９８４ ではなく ４３００８ － ３９９３６）が実行されるようにステップＳ１５においてリセットされる。

【００６１】

更に、V_{IN} ＜ V_{fsc}／２のとき ＤＯＨＩ ＝ １ かつ V_{IN} ＞ V_{fsc}／２のとき ＤＯＨＩ ＝ ０ であるよう最初のサイクルのＤＯＨＩを選択するのが好ましいことが分かった。これは、サイクル１の最初の比較において、比較電圧とV_{IN}の間の差が2番目の比較中の差よりも大きいということを意味する。

【００６２】

“最大のステップ”がサイクル中で最初に行なわれることを保証するためＤＯＨＩフラグを使用することにより速度の点で重大な改良が得られることがシミュレーションによって分かった。比較の目的のため、各サイクルで最小のステップが最初に行なわれるようアルゴリズムを変更した。このアルゴリズムの変更は、アナログ回路の時定数τを著しく改善することを要求し、即ち、各比較のため許容された時間T_1が１００ｎｓであるとき、“最大のステップ”版のアルゴリズムが満足に動作し得る時定数８０ｎｓと比べて略６０ｎｓであることが要求された。

【００６３】

可能である限り最大のステップ変化が選択されるようＤＯＨＩを操作することにより、ディジタルアナログ変換器の出力電圧は、アナログ入力電圧V_{IN}を横切る可能性が高くなり、正確な判定が行なわれる尤もらしさは増加する。

ＤＯＨＩフラグ４２の制御は、図４の連続的近似レジスタ回路２２のフラグ制御回路４４によって行なわれる。上記制御回路４４は、比較結果$COMP_{HI}$及び$COMP_{LO}$を入力として受け、フラグＤＯＨＩは変更される必要があるかどうかを定めるため比較結果$COMP_{HI}$及び$COMP_{LO}$を処理する（図５及び６のフローチャートのステップＳ６、Ｓ１１及びＳ１５）。更にフラグ制御回路４４は、V_{IN}のV_{fsc}／２との比較に基づいてサイクル１中に使用するＤＯＨＩの初期値をセットする（図５のステップＳ１）。

【００６４】

比較の順序を選択することは本質的ではないことが理解される。多数の応用において、常に最初に高い方の比較、次に低い方の比較という順序で比較を実行し、或いは、常にその逆の順序で実行しても十分であろう。

以下、表３及び４を参照して本発明の第２の実施例について説明する。第２の実施例は、基本的に第１の実施例と同様の方法で動作する。特に、一般的に上記の表１に従って、第２の実施例は、各変換サイクル中に３個の別々の可能性のある値の中の一つを有するディジタルデータを生成し、仮電圧V_{TRIAL}は生成されたディジタルデータに従って同様の方法で選択的に調整される。しかし、図３に示したように、各サイクルに実行された比較は、上記第１の実施例で行なわれた比較とは相違している。

【００６５】

【表３】

表 3

1 番目の比較	2番目の比較		ディジタル出力信号	仮電圧調整
$COMP_{TRIAL}$	$COMP_{HI}$	$COMP_{LO}$		
1	1	-	+1	$V_{TRIAL} \leftarrow V_{TRIAL} + V_{ADJ1}$
0	-	1	-1	$V_{TRIAL} \leftarrow V_{TRIAL} - V_{ADJ2}$
1	0	-	0	変化なし
0	-	0		

【００６６】
上記第２の実施例（表３）において、各変換サイクルは二つの比較演算を有する。１番目の比較演算中、入力電圧V_{IN}は仮電圧V_{TRIAL}と直接比較される。
１番目の比較の結果$COMP_{TRIAL}$が１、即ち、$V_{IN} > V_{TRIAL}$を表わす場合、２番目の比較演算中、入力電圧V_{IN}は高い方の比較電圧V_{C1}（$= V_{TRIAL} + \Delta V_1$）と比較される。上記比較の結果$COMP_{HI}$が１、即ち、$V_{IN} > V_{C1}$である場合、ディジタル判定データは“＋１”にセットされる。それ以外の場合、ディジタル判定データは“０”にセットされる。

【００６７】
１番目の比較の結果$COMP_{TRIAL}$は０、即ち、$V_{IN} \leqq V_{TRIAL}$を示している場合、２番目の比較演算中、入力電圧V_{IN}は低い方の比較電圧V_{C2}（$= V_{TRIAL} - \Delta V_2$）と比較される。上記比較の結果$COMP_{LO}$が１、即ち、$V_{IN} < V_{C2}$である場合、ディジタル判定データは“－１”にセットされる。それ以外の場合、ディジタル判定データは“０”にセットされる。そのサイクルの最後に、仮電圧V_{TRIAL}は、上記の如く調整され、即ち、ディジタル判定データが“＋１”である場合、上方調整値V_{ADJ1}増加させられ、ディジタル判定データが“－１”である場合、下方調整値V_{ADJ2}減少させられ、ディジタル判定データが“０”である場合、変化させないでそのままにされる。

【００６８】
【表４】

表 4

サイクル	$\Delta V / V_{fsc}$	V_{ADJ}/V_{fsc}
1	1/4	1/4
2	1/8	1/8
3	1/16	1/16
4	1/32	1/32
5	1/64	1/64
6	1/128	1/128
7	1/256	1/256
8	1/512	1/512
9	1/1024	1/1024
10	1/2048	1/2048
11	1/4096	1/4096
12	1/8192	1/8192
13	1/16384	1/16384
14	1/32768	1/32768
15	1/65536	1/65536
16	(2^{-17})	(2^{-17})

【００６９】
第１の実施例の場合と同様に、好ましくは、比較電圧V_{C1}及びV_{C2}と、仮電圧V_{TRIAL}との間の夫々の差ΔV_1及びΔV_2は、各サイクルで一致させられ、即ち、各サイクル中、$\Delta V_1 = \Delta V_2 = \Delta V$である。更に、上方及び下方調整量$V_{ADJ1}$及び$V_{ADJ2}$は、各サイクル中、互いに一致させられ、即ち、$V_{ADJ1} = V_{ADJ2} = V_{ADJ}$である。しかし、第２の実施例の場合、$V_{ADJ}$は各サイクル中、最初のサイクルで$\Delta V / \Delta V_{fsc}$から始まり、その後、上記表４に示したように後続の各サイクルにおいて倍率２でスケーリングされるΔＶに一致させられる。
【００７０】
本発明の第２の実施例を採用するシミュレーションは、第１の実施例に対し、同一のアナログ回路を採用する一方、変換速度の点で更なる改良が得られることを実証した。例えば、厳密な最終出力値のための十分な修正は、図１の従来のアナログディジタル変換器における$T_C = 11\tau$及び第２の実施例における$T_1 = 1.25\tau$と比較して僅か０．６７τの時間T_2内で得ることが可能である。これにより、第２の実施例の場合、（２Ｖフルスケールのアナログディジタル変換器中で１Ｖのステップ幅を有する）最初のサイクルの修正誤差は、０．５１０ｍＶの大きさになる場合があり（図３を参照のこと）、その理由は、この大きさ未満の誤差が後続のサイクルで自動的に訂正されるからである。
【００７１】
図８には、第１及び第２の実施例と、図１の従来のアナログディジタル変換器とのシミュレーションされた性能を比較するグラフが示されている。

図８の水平軸は、アナログ回路の修正時定数τの１回の比較当たりの平均時間Ｔに対する比τ／Ｔを示している。同図の垂直軸は、発生し得る最大誤差の測定量である積分非直線性（ＩＮＬ）を示している。理想的な性能はＩＮＬ値の０．５に対応するが、十分な性能は最大ＩＮＬ値の１まで得られる。各シミュレーションは、３２のクロック周期継続する１６ビットの精度の変換器に関係し：図１の従来のアナログディジタル変換器は、各々が２クロック周期からなる１６回の“２分”変換サイクルを有し；第１及び第２の実施例は、夫々、２クロック周期ずつからなる１４回の“スリー・ステート”変換サイクルと、後続の各々が２クロック周期からなる２分変換サイクルとを有する。

【００７２】

第１及び第２の実施例の性能は、ビット数が変化したとき、基本的に変化しない点に注意が必要である。しかし、図１の従来のアナログディジタル変換器の場合、性能はビット数に応じて変化し：ビット数が増加したとき、図８の曲線は同図の左側に移動する。

第２の実施例は、図４に示された連続的近似レジスタ回路２２と同一の連続的近似レジスタ回路２２を用いて実装することが可能ではあるが、第２の実施例の場合、ＤＯＨＩフラグは使用されないので、フラグレジスタ４２と関連するフラグ制御回路４４とを設ける必要はない。第２の実施例によれば、V_{ADJ} ＝ ΔＶであり、 ± ＴＨＲ ＝ ± ＷＥＩＧＨＴ であるので、回路の更なる単純化を行なうことが可能である。

【００７３】

図９には、図４の連続的近似レジスタ回路が採用された場合の第２の実施例の動作が詳細に説明されている。

初期化ステップＳ３０において、レジスタの内容は、アナログディジタル変換器の制御回路によって以下の夫々の初期値：

ＷＥＩＧＨＴ＝１６３８４（2^{14}）、 ＰＯＳ＝０、 ＮＥＧ＝０

にセットされる。

【００７４】

ステップＳ３１において、最初の変換サイクルが始まり、連続的近似レジスタ回路２２は、ディジタルアナログ変換器５のディジタル入力コード（ＤＡＣコード）を ３２７６８ ＋ ＰＯＳ － ＮＥＧ にセットすることにより上記サイクルの１番目の比較を行なう。ここで、上記セットされた値は、ＰＯＳ及びＮＥＧが最初に共にゼロであるので、３２７６８に一致する。ディジタルアナログ変換器５と比較器９を修正するのに十分な時間 T_2 （例えば、上記の如く、T_2 ＝ ０．６７τ）が経過した後、結果の$COMP_{TRIAL}$がステップＳ３２で評価される。

【００７５】

ステップＳ３２において$COMP_{TRIAL}$ ＝ １（V_{IN} ＞ V_{TRIAL} ）であるならば、処理はステップＳ３３に進み、連続的近似レジスタ回路２２は、上記サイクルの２番目の比較として、入力電圧V_{IN}の高い方の比較電圧V_{C1}との比較を実行し、ＤＡＣコードは、サイクル１では４９１５２（４８ｋ）（初期に ＴＨＲ ＝ ＷＥＩＧＨＴ ＝ １６Ｋ）である ３２７６８ ＋ ＰＯＳ － ＮＥＧ ＋ ＴＨＲ に変えられる。

【００７６】

ステップＳ３４において、上記２番目の比較の結果$COMP_{HI}$は１（V_{IN} ＞V_{C1}）であるか、又は、０（V_{IN} ≦ V_{C1}）であるかが判定される。$COMP_{HI}$ ＝ １ である場合、ＰＯＳはステップＳ３５においてＷＥＩＧＨＴだけ増加させられ；それ以外の場合、ＰＯＳは変わらないままにされる。

ステップＳ３２において、上記サイクルの１番目の比較の結果$COMP_{TRIAL}$がゼロ（V_{IN} ≦ V_{TRIAL} ）であることが分かったならば、処理はステップＳ３６に進み、連続的近似レジスタ回路２２は、上記サイクルの２番目の比較として、入力電圧V_{IN}と低い方の比較電圧V_{C2}の間の比較を実行する。そのため、ＤＡＣコードは、サイクル１では１６３８４（１６ｋ）である ３２７６８ ＋ ＰＯＳ － ＮＥＧ － ＴＨＲ に変えられる。ステップＳ３７において、上記２番目の比較の結果$COMP_{LO}$は１（V_{IN} ＜ V_{C1} ）であることが分かったならば、ステップＳ３８においてＮＥＧはＷＥＩＧＨＴだけ増加

させられ；それ以外の場合にはＮＥＧはかわらないままにされる。
【００７７】
このサイクルは、ステップＳ３９においてＷＥＩＧＨＴを２分することにより終了し、次いで、ステップＳ４０において、変換サイクルの全てが完了していないかどうかが判定される。変換サイクルの全ては完了していない場合、処理は次のサイクルを開始するためステップＳ３１に戻る。ステップＳ４０において、変換サイクルの全てが終了したと判定された場合、変換の結果ＯＵＴＰＵＴは、　３２７６８　＋　ＰＯＳ　－　ＮＥＧ　として計算され、かかる結果は変換器によって出力される。
【００７８】
第１の実施例の場合と同様に、出力コードの最後の２ビットはスリー・ステート・アルゴリズムを用いて生成されていない。その代わりとして、最後の２ビットは以下のように生成される。
サイクル１５において、V_{TRIAL}は、ＤＡＣコードを　３２７６８　＋　ＰＯＳ　－　ＮＥＧ　にセットすることによりV_{IN}に比較され、その結果が１（V_{IN}＞　V_{TRIAL}）である場合、ＰＯＳは１だけ増加させられ；それ以外の場合、ＮＥＧは１だけ減少させられる。かくして、サイクル１５では、１回の比較しか行なわれない。
【００７９】
サイクル１６において、V_{TRIAL}は、ＤＡＣコードを　３２７６８　＋　ＰＯＳ　－　ＮＥＧ　にセットすることによりV_{IN}に再び比較され、その結果が１（V_{IN}　＞　V_{TRIAL}）である場合、ＰＯＳ又はＮＥＧに対する変更は行なわれず；それ以外の場合、ＮＥＧは１だけ増加させられる。かくして、最終サイクル１６は１回の比較しか必要としない。
【００８０】
図１０には、上記図７の例と同一のアナログ入力電圧V_{IN}（１．２９３３Ｖ）に対する第２の実施例の動作の一例が示されている。図１０の例と、図７の例は、各サイクル中に正確な判定が行なわれると仮定した場合、仮電圧は図１０において常に入力電圧未満に維持され、一方、図７において仮電圧は時折上記入力電圧を超える場合があり（例えば、サイクル２及び５）、それ以外のとき上記入力電圧を下回る（例えば、サイクル３、４及び６）点で相違している。かかる相違は、図１０において各サイクル中で、ΔＶ（ＴＨＲ）＝　V_{ADJ}（ＷＥＩＧＨＴ）であるので、入力電圧が比較電圧V_{C1}よりも高いということが分かった場合に限り、（V_{TRIAL}＋　ΔＶ）は、V_{C1}まで増加したV_{TRIAL}である。
【００８１】
更に、図１０を参照すると、ディジタル判定データが＋１又は－１であるならば、常に、現在のサイクルの２番目の比較で使用された電圧は、例えば、サイクル２と３、サイクル５と６のように次のサイクルの１番目の比較に使用されることが分かる。
第２の実施例において、連続的近似レジスタ回路はグレイコードの形式でＤＡＣコードを生成し、ディジタルアナログ変換器はそのディジタル入力に受けられた上記グレイコード化されたＤＡＣコードに応答し得るよう適合している利点がある。図１１乃至１５を参照してその理由を説明する。
【００８２】
図１１には、５ビットのアナログディジタル変換器を実装するため第２の実施例が使用された例が示されている。上記例の場合、連続的近似レジスタ回路は２進（２の補数）形式でＤＡＣコードを生成し、図１１には、５個の各変換サイクルの各比較に使用される可能性のあるアナログ比較電圧が、（サイクル１乃至３と、サイクル４の１番目の比較のため）上記アナログ比較電圧が生成されるようディジタルアナログ変換器に供給されるべきＤＡＣコードと共に示されている。コードの完全な組は図１２に示されている。図１１の点線は、可能性のある別のアナログ比較電圧のレベルを表わしている。特定のレベルを生成するため必要とされるコードは、各ビットの値を点線が通過するボックスに示された値にセットすることにより見つけられ；この線が二つのボックスの間の境界と一致するならば、上側のボックスの値が使用される。例えば、図１１のレベルV_aはコード“０１０１０”に対応している。

【００８３】
図１０における丸付き数字は、各比較中に変更されるＤＡＣコードのビット数を示している。例えば、サイクル１の２番目の比較において、ＤＡＣコードは、“０００００”から“０１０００”（１ビットの変化）又は“１１０００”（２ビットの変化）の何れかに変更される。図１１に示されているように、一般的に、サイクルｉの１番目の比較において、ＤＡＣコードは同一のまま（何れのビットも変化しない）でもよく、或いは、最大ｉビットまで変化してもよい。サイクルｉの２番目の比較において、ＤＡＣコードの少なくとも１ビット、最大でｉ＋１ビットが変化する。
【００８４】
ＤＡＣコードが２ビット以上変えられたとき、ディジタルアナログ変換器５によって生成されたアナログ比較電圧にグリッチが発生する場合があるので、図１１に示したように滑らかに変化するのではなく、電圧は元の値から新しい値に不規則的に変化する。かかるグリッチはアナログ回路の要求修正時間を増加させ、サイクル３、４及び５のように数ビットが変化するとき、この問題はより深刻化する。
【００８５】
上記問題を解決するため、連続的近似レジスタ回路でグレイコードを使用し、かかるグレイコードに応答するディジタルアナログ変換器を使用することが可能になる。同様にして、図１３に示したように、各比較中に精々２ビットのＤＡＣコードしか変化しないことを保証することができる。実際上、１番目の比較において、ＤＡＣコードは、そのままの状態を保つか、或いは、その中の２ビットが変化するかの何れかであり、２番目の比較において、常に２ビットが変化する。従って、グレイコードを使用する場合（図１３／１４）、通常の２進（２の補数）コードを使用する場合（図１１／１２）よりもグリッチの発生は平均して減少する。これはアナログ回路の修正がより速く得られることを意味する。図１３で使用されたグレイコードの完全な組が図１４に示されている。上記例の場合、図１２に示されたレベルと同一のレベルV_aは、グレイコード“０１１１１”に対応する。
【００８６】
図１５にはグレイコードが使用される第２の実施例によるアナログディジタル変換器のブロック回路図が示されている。連続的近似レジスタ回路１２２と、ディジタルアナログ変換器１０５は共に、通常の２進コードの代わりにグレイコードを採用するために図２の中の対応する回路素子に比べて変形されている。連続的近似レジスタ回路１２２は、図４の場合に必要とされた二つのレジスタ３２及び３４の代わりに、単一の記憶レジスタ１３２を使用し、単一の記憶レジスタ１３２のビットは、加算器３８を省略し得るように直接セット又はリセットされる。これにより、グリッチを防止すると共に、ディジタル回路はかなり単純化される。出力回路１１５に付加的に含められたコード変換器１１５ａは、変換の最後でグレイコード形式からの最終的な出力コードを通常の２進形式に変換する機能を行なう。
【００８７】
スリー・ステート・アルゴリズムの自己訂正性は、図１６を参照して第２の実施例の最初の変換サイクルを詳細に考慮することによって示すことが可能である。
図１６において、サイクル１の正確な判定は、$V_{IN} < 16k$の場合に“－１”であり、$V_{IN} > 48k$の場合に“＋１”であり、$16k \leqq V_{IN} \leqq 48k$の場合に“０”である。$V_{IN} < 16k$又は$V_{IN} > 48k$のとき、サイクル１で正確な判定がなされなかった場合に後の変換サイクルで回復することは不可能である。その理由は、１６に対しサイクル２において実現可能性のある調整の最大合計は±１５．９９９ｋ（＝１６ｋ　－　最下位ビットの１（ＬＳＢ（１））であるので、サイクル１において、１６ｋ未満の最終的な値に達する必要があるならば、仮値を１６ｋまで減少させなければならず、４９ｋを超える最終的な値に達する必要があるならな、仮値を４８ｋまで増加させなければならないからである。
【００８８】
しかし、$16k \leqq V_{IN} \leqq 48k$の場合、サイクル１において誤った判定を回

復することが可能である。V_{IN} ＝ ４６．４ｋ の場合を例として説明する。サイクル１において、１番目の比較は３２ｋで行なわれ、２番目の比較は４８ｋで行なわれる。V_{IN}は第２の比較値に非常に近いため、第２の比較中に誤差が発生する尤もらしさはかなり高いので、$COMP_{HI}$は０ではなく１であると見なされる。このような場合、“誤りのある”判定（＋１）がサイクル１で行なわれ、仮値は４８ｋまで増加させられる。しかし、サイクル２及び３において、“正しい”判定（０）が行なわれ、２番目の比較は夫々４４ｋ及び４６ｋを用いている。次いで、サイクル４において、２番目の比較は４７ｋを用い、その結果は－１（V_{IN} ＜ ４７ｋ）である。かくして、仮値は４７ｋまで下方調整され、再び正確な最終値に収束を始める。

【００８９】

サイクル１の誤差は致命的ではなく、後続のサイクル中で自動的に訂正されることが分かる。一般的に、Ｎサイクルを有する変換器に対し誤差がサイクル１で発生したならば：

【００９０】

【数１】

$$\left| V_{TRIAL(i+1)} - V_{IN} \right| < \sum_{x=2}^{N} V_{ADJ(x)}$$

【００９１】

の場合に回復させることが可能であり、式中、$V_{ADJ(X)}$はサイクルＸにおける調整量を、$V_{TRIAL(i+1)}$はサイクルｉ＋１における仮値を表わしている。

【００９２】

【数２】

$$V_{ADJ(i)} = \sum_{x=i+1}^{N} V_{ADJ(x)} + LSB(1)$$

【００９３】

であるので、サイクルｉにおける誤差の回復は：

$|V_{TRIAL(i+1)} - V_{IN}| < V_{ADJ(i)}$

の場合に実現可能である。

従来の２分探索アルゴリズムにおいて、各変換サイクルは、V_{IN}がV_{TRIAL}と直接比較される変換を１回しか行なわない。

もし $V_{IN} > V_{TRIAL}$ ならば、

$V_{TRIAL(i+1)} = V_{TRIAL(i)} + V_{ADJ(i)}$ ・・・（“１”）

それ以外の場合、

$V_{TRIAL(i+1)} = V_{TRIAL(i)} - V_{ADJ(i)}$ ・・・（“０”）

であり、ここで、$V_{TRIAL(1)} = 1/2\ V_{fsc}$、$V_{ADJ(1)} = 1/4\ V_{fsc}$、及び、$V_{ADJ(i+1)} = 1/2\ V_{ADJ(i)}$ である。

【００９４】

いずれかのサイクルで誤りのある判定が行なわれた場合、回復の見込みはない。

V_{IN} ＝ ３３．６ｋ の場合を例として取り上げる。初期仮電圧$V_{TRIAL(1)}$＝ ３２ｋ である。サイクル１の正確な判定は１であるので、$V_{TRIAL(2)}$ ＝ ４８ｋ であるが、サイクル１の正しくない判定（０）によって１６ｋである$V_{TRIAL(2)}$が生じる。この例の場合、$\Sigma V_{ADJ(i)}$ ＝ １５．９９９ｋ であるので、サイクル１６の後の最終的な仮値は、３２ｋ － 最下位ビットの１ までしか達しないので、要求された値３３．６ｋへの回復は不可能である。

【００９５】
しかし、本発明の第２の面によれば、誤差回復能力を持たせるよう従来の２分探索アルゴリズムを修正することが可能である。例えば、図１７の（Ａ）に示した本発明の第３の実施例によれば、１サイクル当たり２回の比較を行なうことが可能であり、仮値は、１番目の比較の結果に依存して（従来の２分探索アルゴリズムの当該サイクルに通常である）“通常の”量で調整され、２番目の比較の結果に依存して、上記“通常の”量よりは少なく、例えば、通常の量の半分の別の量でもう一度調整される。かくして、最初のサイクルにおいて“通常の”調整量は±１６ｋであり、別の調整量は±８ｋであり；サイクル２において、通常及び別の調整量は、夫々±８ｋ及び±４ｋに関し２分され、更に別のサイクルにも同様に続けられる。１６ビットの精度が要求された場合、全部で１６サイクルと、３２回の比較演算とが存在する。

【００９６】
図１７の（Ｂ）にはサイクル１の決定木が示されている。V_{IN} ＝ ３３．６ｋ である上記と同じ例を用いて、１番目の比較中に誤りのある結果が得られたので、V_{TRIAL} は２番目の比較のため１６ｋにセットされた場合を想定する。２番目の比較が正確に行なわれたならば、V_{TRIAL} はサイクル１の最後に２４ｋにセットされて終わる。上記例の場合、サイクル２乃至１６において、更に実現可能性のある調整の合計は２３．９９９ｋ（２４ｋ － 最下位ビットの１）であるので、最終的な仮値は、４７．９９９ｋに達し、サイクル１の誤差からの回復が可能である。

【００９７】
図１７の修正されたアルゴリズムには、２回の比較からなるＮサイクルの各々は、Ｎビットの精度の最終出力コードを必要とするので（最終出力コードの中の１ビットは二つの比較のサイクル毎に判定される）、全体で従来の２分探索アルゴリズムの２倍の実際的な比較が含まれていることが分かる。しかし、上記第１及び第２の実施例と同様に、アナログ回路の不完全な修正に起因して誤差が生成されるならば、上記誤差を後続のサイクルで訂正できるので、アナログ回路を従来の２分探索アルゴリズム中よりも高速に動作させることが可能である。

【００９８】
図１７の実施例に関し多数の変形例を実現可能である。例えば、図１８の（Ａ）には、図１７の第３の実施例よりも比較の数が減少された本発明の第４の実施例が示されている。図１８の（Ａ）によれば、各サイクルには３回の比較が含まれているが、上記実施例の場合、各サイクルは最終出力コードの中の２ビットを判定するので、Ｎ／２のサイクルだけが必要である。例えば、１６ビットの精度の場合、８サイクルが必要とされる。かくして、第４の実施例は、実際上、最終出力コードの１ビット当たり１．５回の比較を含む。サイクル１の決定木を図１８の（Ｂ）に示す。図１８の（Ｃ）に示された図１８の（Ａ）の変形は、各サイクルの２番目及び３番目の比較に使用された調整量が図１８の（Ａ）の２番目及び３番目の比較中の調整量とは異なる。

【００９９】
更に、各サイクル中に４回の比較を行ない、最終出力コードの３ビット（又は３ビット以下）をセットするためその結果を使用することにより、或いは、各サイクル中に５回の比較を行い、最終出力コードの４ビット（又は４ビット以下）をセットするためその結果を使用することにより誤差回復能力を得ることが可能である。一般的に、各サイクルが最終出力コードのｎビットをセットする場合、誤差回復機能を構築するため１サイクル当たりｍ（ｍ＞ｎ）回の比較が必要である。上記第１及び第２の実施例は、ｎ＝１　かつ　ｍ＝２の場合に対応している。

【０１００】
変換サイクルの全てが一致することは必須ではない。例えば、図１９の（Ａ）は従来の２分探索アルゴリズムのサイクルを示し、図１９の（Ｂ）は、３番目のサイクル毎に２回（この例の場合、同一）の比較しか含まない訂正サイクルＣがあることを示している。
要求されるならば、上記訂正サイクルを１回しか含まなくても構わない。例えば、１６ビ

ットのアナログディジタル変換器において、図１９の（Ａ）の従来の２分探索アルゴリズムが使用される場合、１番目の比較を１６ビットの精度にする予定であれば、比較時間 T_C ＝１１τ が必要である。しかし、１番目の比較を８ビットの精度にするため、即ち、最上位から８ビットが正確であるためには、５．５τ しか必要とされない。これは、５．５τ の比較時間を用いる場合、サイクル８の後、±２５６の誤差が存在する可能性があることを意味する。図１９の（Ｃ）に示した本発明の第６の実施例のように、サイクル８が訂正サイクルＣを形成する場合、図１９の（Ａ）のサイクル８の比較は、誤差が訂正されるよう繰り返される。次に、サイクル９乃至１６は、図１９の（Ａ）の通常のアルゴリズムと同様に行なわれるが、この場合も比較時間は、５．５τ である。図１９の（Ｃ）における各比較は同図の（Ｃ）に示された時間の半分で行なうことが可能であり、余分の比較が変換の途中で１回だけ必要とされる。かくして、１６回の普通の長さ（１１τ）の比較の代わりに、本発明の第６の実施例によれば、１７回の半分の長さ（５．５τ）の比較が含まれ、変換速度を実質的に２倍にする。

【０１０１】

【発明の効果】

上記の如く、“スリー・ステート”アルゴリズム（第１及び第２の実施例）又は修正された２分探索アルゴリズム（第３、第４、第５及び第６の実施例）を連続的近似アナログディジタル変換器に適用することにより、従来の“２分探索”アルゴリズムに比較して変換速度の著しい増加が得られ、かつ、アナログ回路に変更を加える必要はない。連続近似レジスタ回路に要求される変更の中には、数百個の論理ゲートの追加しか含まれない。

【０１０２】

あらゆるタイプの連続的近似アナログディジタル変換器において上記改良を得ることが可能であり、あらゆる適当なディジタルアナログ変換器及び比較器のアーキテクチャーを用いることが可能である。

第１の実施例において、典型的な変換中に１回しか比較を行なう必要のない幾つかの変換サイクルの存在が認められる。上記“１回－変換”サイクルは、出力コードの最終的なビットのための余分の修正時間を与える変換シーケンスの最後に使用する余分の時間を得るため使用できる利点がある。例えば、単一の“２分”比較が行なわれる最後の２回の各変換サイクルは、先行する“スリー・ステート”サイクルの２乃至３倍の長さをなしても構わない。

【０１０３】

図４の連続的近似レジスタ回路２２；図１５の連続的近似レジスタ回路１２２と、図２及び図４の制御回路２４は、専用ハードウェア回路ではなく、プログラム制御の下で動作するマイクロコントローラを用いて実装してもよいことが分かる。

同様に、ソフトウェア制御の下で、（コンピュータの入力／出力回路の一部を形成する）ディジタルアナログ変換器を動作させることによる連続的近似技術を用いてアナログ－ディジタル変換を実行するパーソナルコンピュータ等において、上記の如く説明した“スリー・ステート”アルゴリズム、又は、修正された２分探索アルゴリズムを利用するため変換プログラムを変更することが可能である。

【図面の簡単な説明】

【図１】従来の連続的近似アナログディジタル変換器の概略的なブロック図である。

【図２】本発明の第１の実施例のアナログディジタル変換器の概略的なブロック図である。

【図３】図１の従来のアナログディジタル変換器と第１の実施例の動作を比較する際に使用するグラフである。

【図４】第１の実施例に含まれる連続的近似回路の構成の一例を示す図である。

【図５】第１の実施例の動作の説明用のフローチャートである。

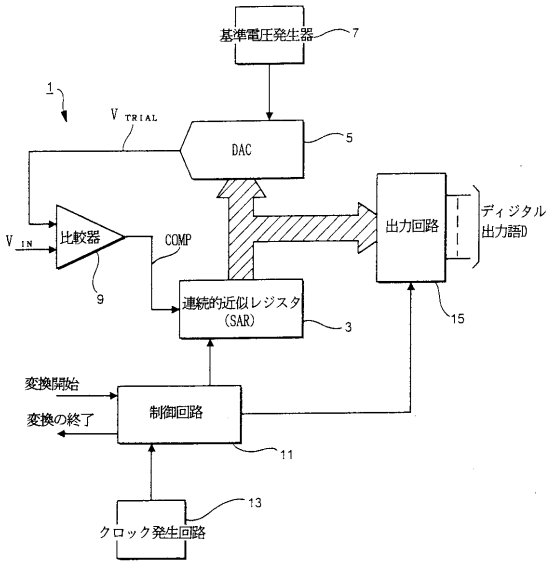
【図６】第１の実施例の動作の説明用のフローチャートである。

【図７】第１の実施例の動作の説明用の図表である。

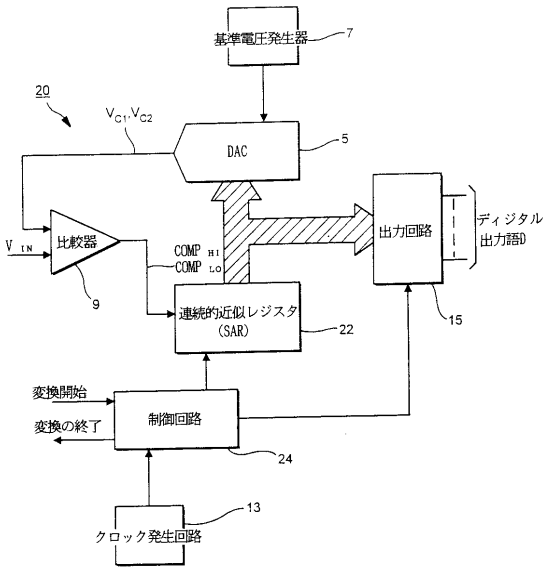
【図８】第１の実施例及び第２の実施例の性能を図１の従来のアナログディジタル変換器

の性能と比較用のグラフである。
【図９】本発明の第２の実施例の動作の説明用のフローチャートである。
【図１０】第２の実施例の動作の説明用の図表である。
【図１１】２進コードが採用された第２の実施例によるアナログディジタル変換器の第１の例の動作を説明する図である。
【図１２】図１０のアナログディジタル変換器で採用された２進コードを示す図である。
【図１３】グレイコードが採用された第２の実施例によるアナログディジタル変換器の第２の例の動作を説明する図である。
【図１４】図１２のアナログディジタル変換器で採用されたグレイコードを示す図である。
【図１５】図１２のアナログディジタル変換器の一部のブロック回路図である。
【図１６】第２の実施例において誤差が訂正される方法の説明用の図である。
【図１７】（Ａ）及び（Ｂ）は夫々本発明の第３の実施例の動作の説明用の図である。
【図１８】（Ａ）及び（Ｂ）は、夫々図１７の（Ａ）及び（Ｂ）に対応しているが、本発明の第４の実施例に関係する図であり、（Ｃ）は第４の実施例の他の例に関係する図である。
【図１９】（Ａ）は従来の２分探索アルゴリズムを採用するアナログディジタル変換器の動作の説明用の図であり、（Ｂ）及び（Ｃ）は、図１３の（Ａ）に対応し、夫々、本発明の第５及び第６の実施例の動作を説明するための図である。
【符号の説明】
１，２０　　アナログディジタル変換器
３　　ディジタル記憶レジスタ
５，１０５　　ディジタルアナログ変換器（ＤＡＣ）
７　　基準電圧発生回路
９　　比較器
１１，２４　　制御回路
１３　　クロック発生回路
１５，１１５　　ディジタル出力回路
２２，１２２　　連続的近似レジスタ回路（ＳＡＲ）
３０　　シフトレジスタ
３２，３４，１３２　　記憶レジスタ
３６　　マルチプレクサ
３８，４０　　加算器
４２　　フラグレジスタ
４４　　フラグ制御回路
１１５ａ　　コード変換器

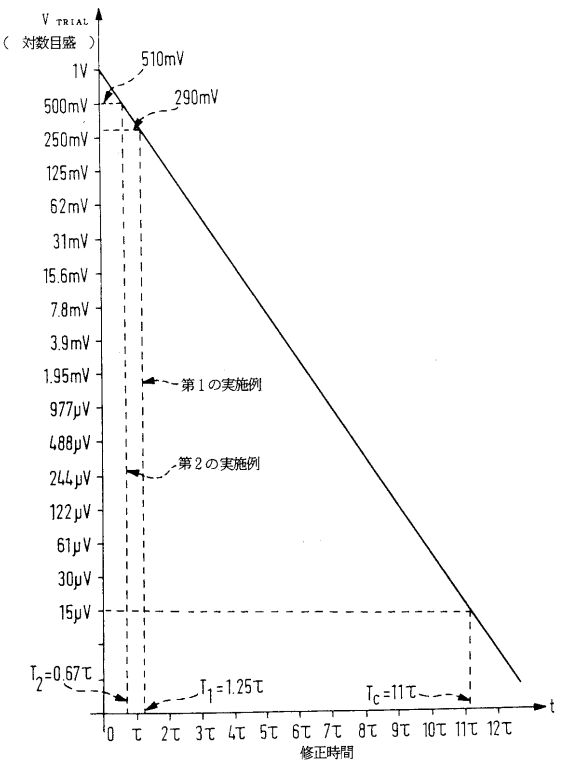
【図１】


基準電圧発生器
7
1
V TRIAL
DAC
5
V IN
比較器
COMP
9
出力回路
ディジタル
出力語D
連続的近似レジスタ
(SAR)
3
15
変換開始
変換の終了
制御回路
11
13
クロック発生回路

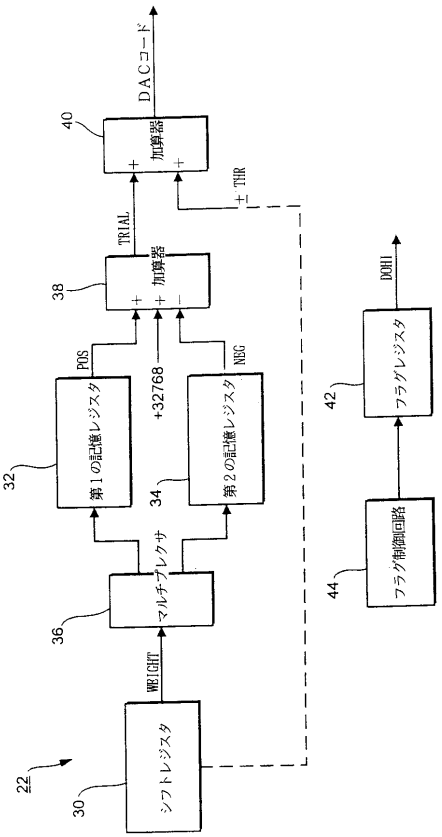
【図２】


基準電圧発生器
7
20
VC1,VC2
DAC
5
V IN
比較器
COMP HI
COMP LO
9
出力回路
ディジタル
出力語D
連続的近似レジスタ
(SAR)
22
15
変換開始
変換の終了
制御回路
24
13
クロック発生回路

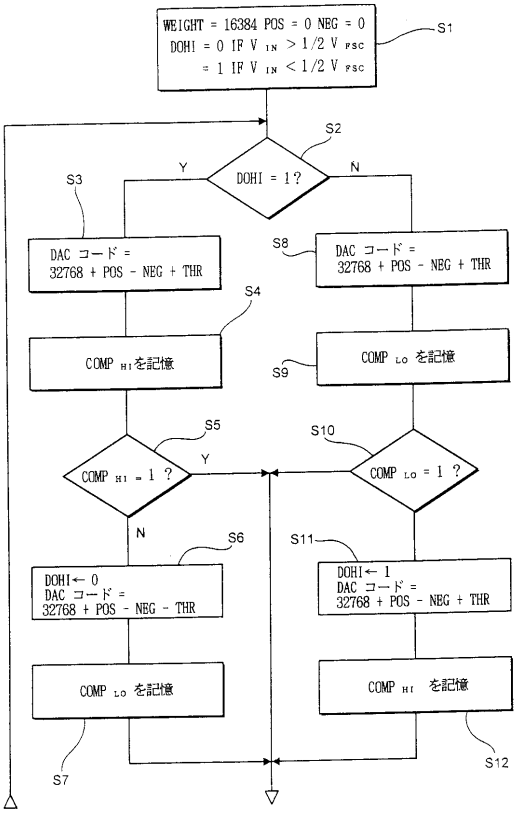
【図３】


V TRIAL
(対数目盛)
1V
500mV
250mV
125mV
62mV
31mV
15.6mV
7.8mV
3.9mV
1.95mV
977μV
488μV
244μV
122μV
61μV
30μV
15μV
510mV
290mV
第１の実施例
第２の実施例
T2=0.67τ
T1=1.25τ
Tc=11τ
0 τ 2τ 3τ 4τ 5τ 6τ 7τ 8τ 9τ 10τ 11τ 12τ
t
修正時間

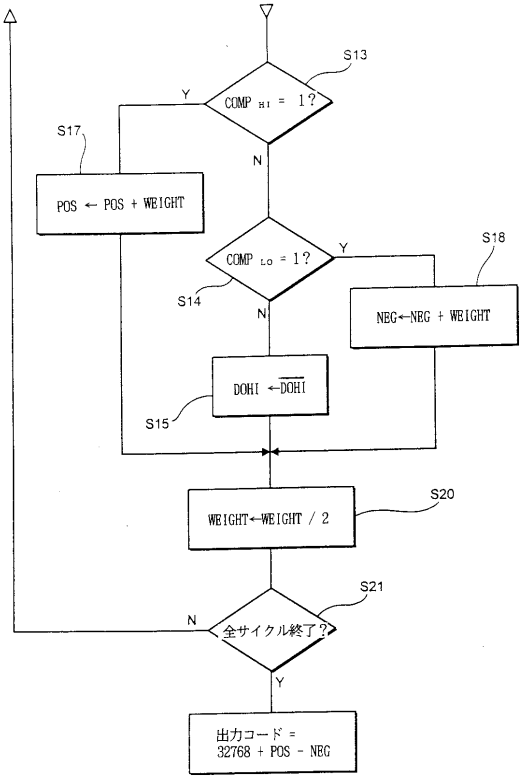
【図４】


DACコード
40
加算器
THR
TRIAL
38
加算器
POS
+32768
NEG
第１の記憶レジスタ
32
第２の記憶レジスタ
34
マルチプレクサ
36
WEIGHT
シフトレジスタ
22
30
DONE
フラグレジスタ
42
フラグ制御回路
44

【図５】



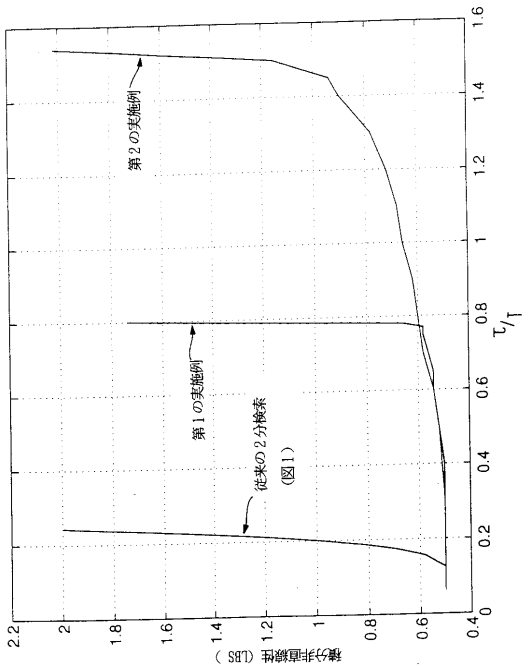
【図６】



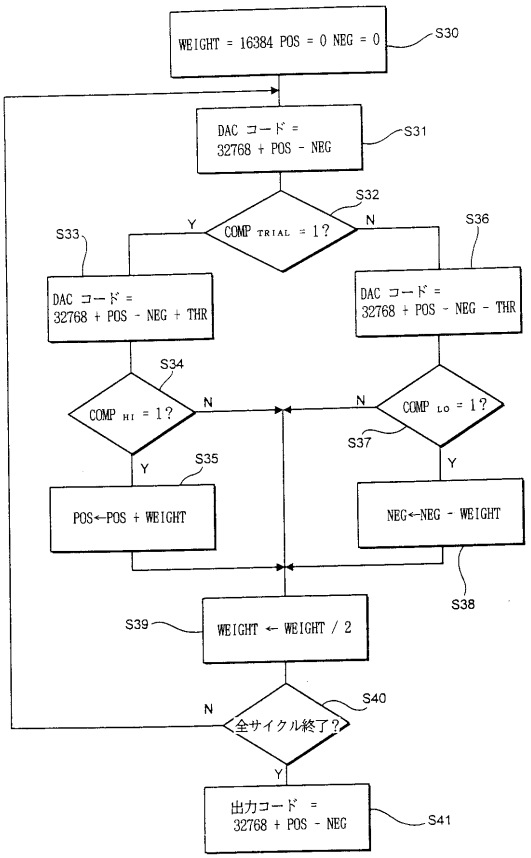
【図７】

サイクル	WEIGHT	POS	NEG	THR	DOHI	1番目の比較	2番目の比較	COMP HI	COMP LO
1	16384	0	0	8192	0	24576	40960	1	0
2	8192	16384	0	4096	1	54248	45056	0	1
3	4096	16384	8192	2048	0	38912	43008	0	0
4	2048	16384	8192	1024	0	39936	41984	1	0
5	1024	18432	8192	512	1	43520	42496	0	1
6	512	18432	9216	250	0	41728	42240	1	0
7	256	18944	9216	128	0	42624	42368	0	0
8	128	18944	9216	64	1	42560	42432	0	1
9	64	18944	9344	32	1	42336	42400	0	0
10	32	18944	9344	16	0	42352	42384	0	0
11	16	18944	9344	8	1	42376	-	1	-
12	8	18960	9344	4	1	42388	42380	0	1
13	4	18960	9352	2	1	42374	42378	1	-
14	2	18964	9352	1	1	42381	42379	0	0
15	1	18964	9352	0	X	42380	-	0	-
16	1	18964	9353	0	X	42379	-	0	-

【図８】



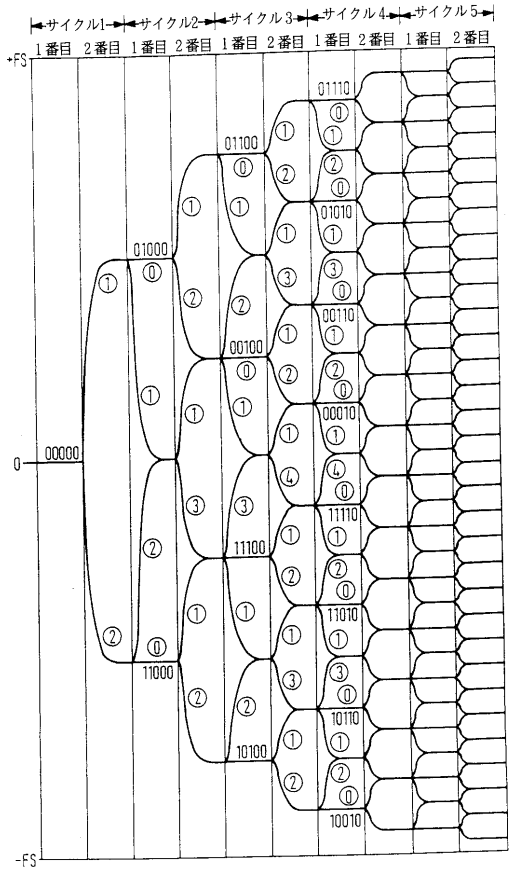
【図９】



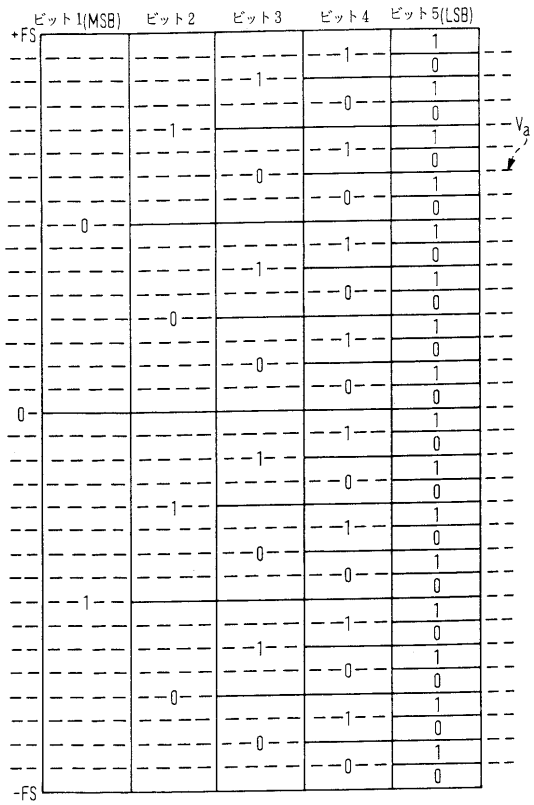
【図１０】

	WEIGHT	POS	NEG	THR	1番目の比較	COMP TRIAL	2番目の比較	COMP HI	COMP LO
1	16384	0	0	16384	32768	1	49152	0	-
2	8192	0	0	8192	32768	1	40960	1	-
3	4096	8192	0	4096	40960	1	45056	0	-
4	2048	8192	0	2048	40960	1	43008	0	-
5	1024	8192	0	1024	40960	1	41984	1	-
6	512	9216	0	512	41984	1	42496	0	-
7	256	9216	0	256	41984	1	42240	1	-
8	128	9472	0	128	42240	1	42368	1	-
9	64	9600	0	64	42368	1	42432	0	-
10	32	9600	0	32	42368	1	42400	0	-
11	16	9600	0	16	42368	1	42384	0	-
12	8	9600	0	8	42368	1	42376	1	-
13	4	9608	0	4	42376	1	42380	0	-
14	2	9608	0	2	42376	1	42378	1	-
15	1	9610	0	1	42378	1	-	-	-
16	0	9611	0	-	42379	1	-	-	-

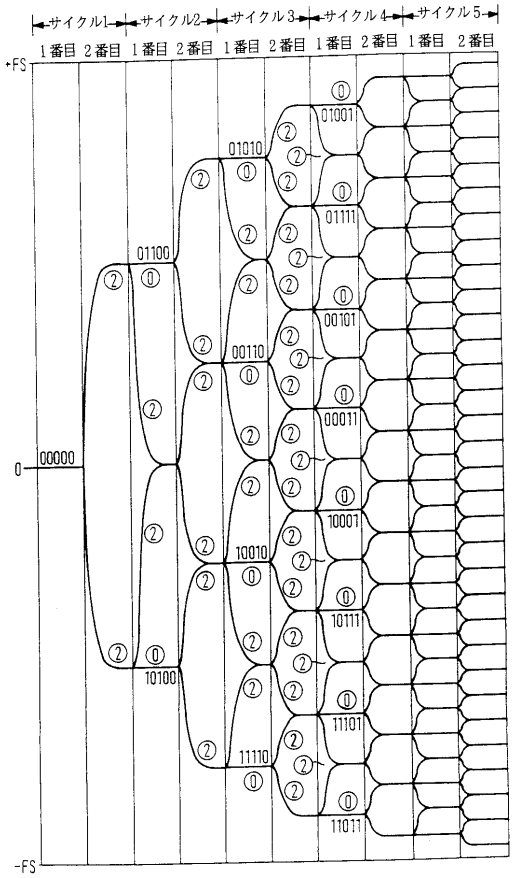
【図１１】



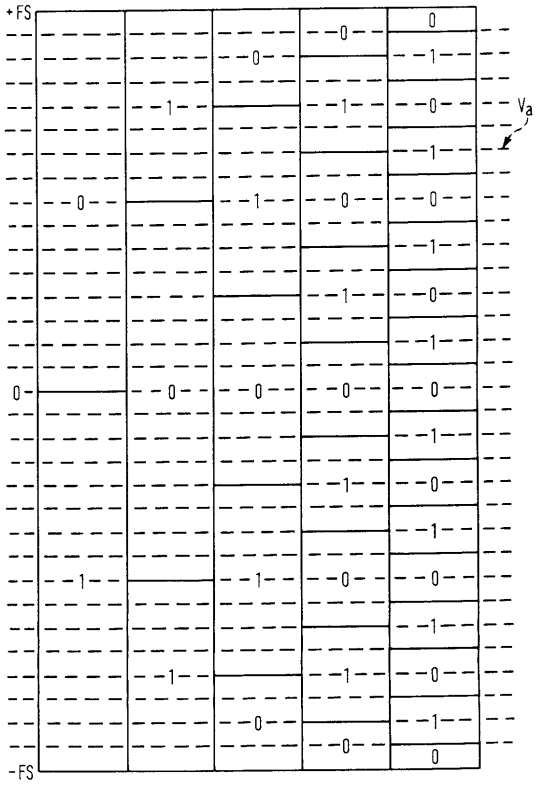
【図１２】



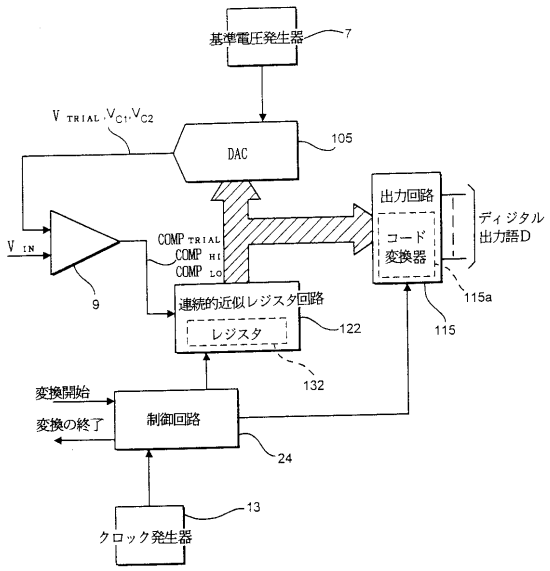
【図１３】



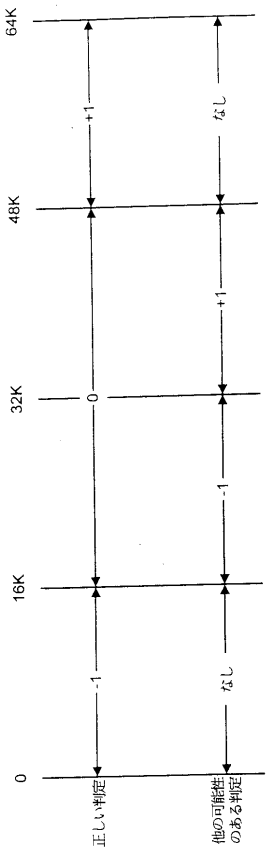
【図１４】



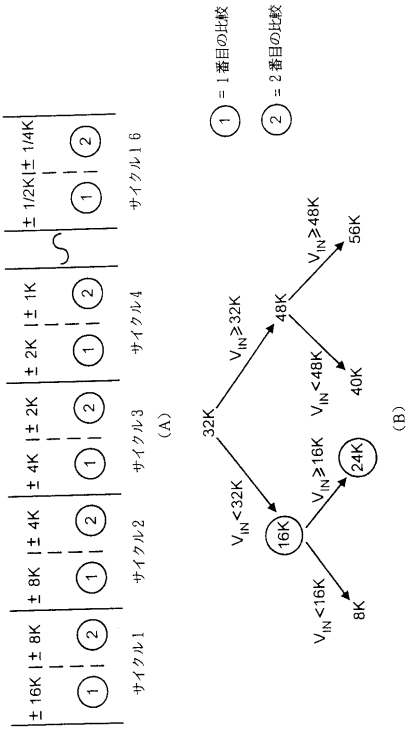
【図１５】



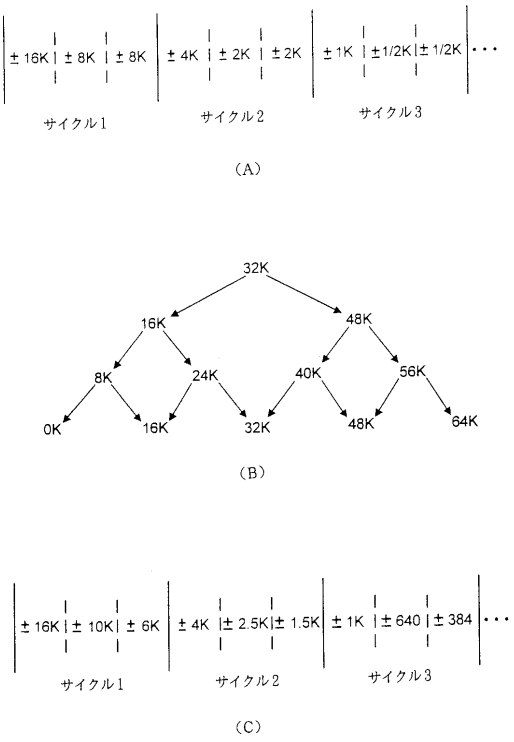
【図１６】



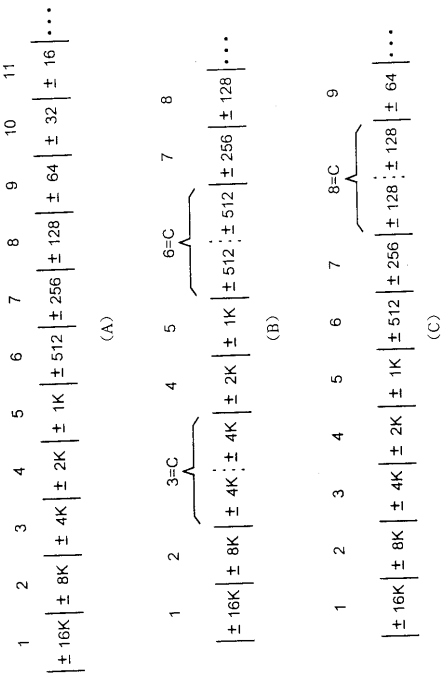
【図１７】


① = 1番目の比較
② = 2番目の比較
± 16K | ± 8K | ± 4K | ± 2K | ± 1K | ± 1/2K | ± 1/4K
サイクル1
サイクル2
サイクル3
サイクル4
サイクル16
(A)
32K
16K
8K
24K
40K
48K
56K
V_{IN}<32K
V_{IN}≥32K
V_{IN}<16K
V_{IN}≥16K
V_{IN}<48K
V_{IN}≥48K
(B)

【図１８】


± 16K | ± 8K | ± 4K | ± 2K | ± 1K | ± 1/2K | ± 1/4K ···
サイクル1
サイクル2
サイクル3
(A)
32K
16K
48K
8K
24K
40K
56K
0K
16K
32K
48K
64K
(B)
± 16K | ± 10K | ± 6K | ± 4K | ± 2.5K | ± 1.5K | ± 1K | ± 640 | ± 384 ···
サイクル1
サイクル2
サイクル3
(C)

【図１９】


1 2 3 4 5 6 7 8 9 10 11
± 16K | ± 8K | ± 4K | ± 2K | ± 1K | ± 512 | ± 256 | ± 128 | ± 64 | ± 32 | ± 16 | ···
(A)
1 2 3=C 4 5 6=C 7 8
± 16K | ± 8K | ± 4K ⋮ ± 4K | ± 2K | ± 1K | ± 512 ⋮ ± 512 | ± 256 | ± 128 | ···
(B)
1 2 3 4 5 6 7 8=C 9
± 16K | ± 8K | ± 4K | ± 2K | ± 1K | ± 512 | ± 256 | ± 128 ⋮ ± 128 | ± 64 | ···
(C)

フロントページの続き

(72)発明者　アンドルー　デイヴィッド　ベケット
イギリス国，バークシャー　アールジー４０　４ワイキュー，ウォキンガム，フィンチャンステッド，チャールトン・クローズ　７番

審査官　柳下　勝幸

(56)参考文献　特開平０３－１５９３２０（ＪＰ，Ａ）
特開昭５９－２０７７３１（ＪＰ，Ａ）
実開昭５９－０４２６４２（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M1/00～1/88